



(12)发明专利申请

(10)申请公布号 CN 106449643 A

(43)申请公布日 2017.02.22

(21)申请号 201610900707.7

H01L 29/788(2006.01)

(22)申请日 2012.11.01

H01L 29/423(2006.01)

(62)分案原申请数据

H01L 21/336(2006.01)

201210430816.9 2012.11.01

G11C 16/04(2006.01)

(71)申请人 北京芯盈速腾电子科技有限责任公司

地址 100176 北京市大兴区北京经济技术开发区荣华中路15号1号楼1209B(朝林大厦)

(72)发明人 范德慈 陈志民 吕荣章

(74)专利代理机构 广州三环专利代理有限公司 44202

代理人 郑裕涵

(51)Int.Cl.

H01L 27/115(2017.01)

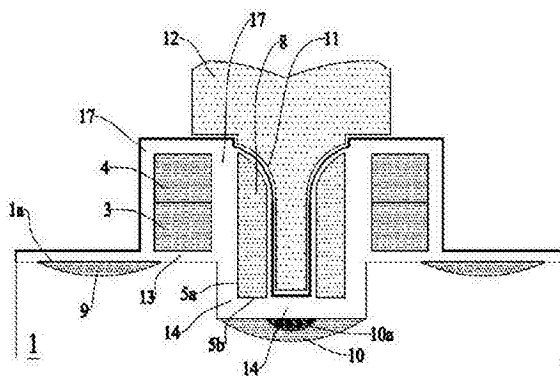
权利要求书2页 说明书11页 附图10页

(54)发明名称

非挥发性内存单元的制造方法

(57)摘要

本发明公开了一种非挥发性内存单元的结构,包含一基板,具有一上表面,上表面上形成一沟渠结构,沟渠结构具有一空间,及定义空间的一侧墙及一底部。基板中设置一源极区及一漏极区,其中源极区位于沟渠结构之下。一穿隧介电层,形成于沟渠结构的侧墙与底部之上。一悬浮闸极区,形成于穿隧介电层的表面上,且悬浮闸极区的一部份位于沟渠结构的空间中。一控制闸极区,形成于悬浮闸极区的表面上,且控制闸极区与悬浮闸极区以一第二介电层相绝缘。本发明能够减轻闸极引发漏极漏电流效应,并对导通电流大小有良好的控制,更能进一步配合先进制程缩小内存单元的单位面积。



1. 一种非挥发性内存单元的制造方法,其特征在于,所述非挥发性内存单元的制造方法包含:

提供一基板,其中所述基板具有一上表面;

形成一第一介电层于所述基板的所述上表面之上;

形成一选择闸极区于所述第一介电层之上;

于所述基板的所述上表面上相邻于所述选择闸极区,形成一沟渠结构,其中所述沟渠结构具有一空间,及定义所述空间的一侧墙及一底部;

于所述沟渠结构下方的所述基板中,以掺杂方式形成一源极区;

于所述沟渠结构的所述侧墙及所述底部之上,形成一穿隧介电层;

于所述穿隧介电层之上,形成一悬浮闸极区;

于位于所述选择闸极区一侧的源极区中,形成一不同浓度且范围较小的掺杂区;并于位于所述选择闸极区的另一侧的所述基板中,形成另一掺杂区以作为一漏极区;

于所述悬浮闸极区之上,形成一第二介电层;

于所述第二介电层之上,形成一控制闸极区,且所述控制闸极区的一部份位于所述沟渠结构的所述空间中。

2. 如权利要求1所述的非挥发性内存单元的制造方法,其特征在于,所述源极区是一浓淡渐次掺杂的结构。

3. 如权利要求1所述的非挥发性内存单元的制造方法,其特征在于,所述第一介电层的厚度介于10埃至100埃之间。

4. 如权利要求1所述的非挥发性内存单元的制造方法,其特征在于,所述沟渠结构的所述底部与所述基板的所述上表面的距离介于500埃至2000埃之间。

5. 如权利要求1所述的非挥发性内存单元的制造方法,其特征在于,所述穿隧介电层的厚度介于60埃至120埃之间。

6. 如权利要求1所述的非挥发性内存单元的制造方法,其特征在于,所述悬浮闸极区的厚度介于200埃至2000埃之间。

7. 如权利要求1所述的非挥发性内存单元的制造方法,其特征在于,所述第二介电层的厚度介于100埃至200埃之间。

8. 一种非挥发性内存单元的制造方法,其特征在于,所述非挥发性内存单元的制造方法包含:

提供一基板,其中所述基板具有一上表面;

形成一第一介电层于所述基板的所述上表面之上;

形成一选择闸极区于所述第一介电层之上;

于所述基板的所述上表面上相邻于所述选择闸极区,形成一沟渠结构,所述沟渠结构具有一空间,及定义所述空间的一侧墙及一底部;

于所述沟渠结构的所述侧墙及所述底部之上,形成一穿隧介电层;

于所述穿隧介电层之上,形成一悬浮闸极区;

于位于所述选择闸极区一侧的所述沟渠结构下方的所述基板中,利用掺杂两种不同扩散系数的离子,形成一掺杂区;并于位于所述选择闸极区的另一侧的所述基板中,形成另一掺杂区以作为一漏极区;

于所述悬浮闸极区之上,形成一第二介电层;并利用此步骤的高温,使所述两种不同扩散系数的离子发生扩散,形成一包含两种不同掺杂浓度区域的一源极区;

于所述第二介电层之上,形成一控制闸极区,且所述控制闸极区的一部份位于所述沟渠结构的所述空间中。

9. 如权利要求8所述的非挥发性内存单元的制造方法,其特征在于,所述源极是一浓淡渐次掺杂的结构。

10. 如权利要求8所述的非挥发性内存单元的制造方法,其特征在于,所述第一介电层的厚度介于10埃至100埃之间。

11. 如权利要求8所述的非挥发性内存单元的制造方法,其特征在于,所述沟渠结构的所述底部与所述基板的所述上表面的距离介于500埃至2000埃之间。

12. 如权利要求8所述的非挥发性内存单元的制造方法,其特征在于,所述穿隧介电层的厚度介于60埃至120埃之间。

13. 如权利要求8所述的非挥发性内存单元的制造方法,其特征在于,所述悬浮闸极区的厚度介于200埃至2000埃之间。

14. 如权利要求8所述的非挥发性内存单元的制造方法,其特征在于,所述第二介电层的厚度介于100埃至200埃之间。

15. 如权利要求8所述的非挥发性内存单元的制造方法,其特征在于,所述两种不同扩散系数的离子是为磷原子以及砷原子。

## 非挥发性内存单元的制造方法

[0001] 本申请是“非挥发性内存单元及非挥发性内存矩阵”发明专利申请案的分案申请，原申请的申请日为：2012年11月1日，申请号为：201210430816.9，发明名称为：非挥发性内存单元及非挥发性内存矩阵，原申请并未主张优先权，请审查老师查实。

### 技术领域

[0002] 本发明关于一种集成电路组件的结构及其制造方法，特别是关于一种非挥发性内存单元的结构及其制造方法。

### 背景技术

[0003] 非挥发性内存(non-volatile memory)具有体积小、重量轻、省电、且数据不随供应电源断电而消失的优点，因此非常适合手持式电子装置的应用。目前随着手持式电子装置的普及，非挥发性内存确已被大量地采用，举凡作为多媒体的储存媒介，或是维持电子系统的正常操作皆有其应用。非挥发性内存目前正处于一个需求量逐年增大，成本与售价却逐年降低的正循环，已为半导体产业中相当重要的产品之一。

[0004] 请参考美国专利号US4,698,787，其揭露的非挥发性内存单元为一传统的堆栈闸式(stack-gate)非挥发性内存结构，具有一悬浮闸极区(floating gate)。在所述内存进行写入“1”的操作时，是利用热电子注入(hot-electron injection)的机制，将足够数量的电子陷捕于所述悬浮闸极区内，而使所述内存单位的状态为“1”；而在所述内存进行写入“0”或是抹除的操作时，利用福勒-诺德汉穿隧(Fowler-Nordheim tunneling)的机制，将电子排出所述悬浮闸极区之外，而使所述内存单位的状态为“0”。由于所述内存单元的状态，决定于是否有足够多的电子陷捕于所述悬浮闸极区内，因此即使移除供应电源，所述内存单元的状态仍得以维持，故称为非挥发性内存。然而此一堆栈闸式的非挥发性内存单元有以下缺点：第一、有过度抹除效应。当内存单元进行抹除的操作时，可能导致过多的电子排出悬浮闸极区之外，而造成所述内存单元的等效晶体管组件，其临界电压为负电压，亦即使得所述内存单元常态为导通的状态而造成不必要的漏电流。第二、进行抹除的操作时，需要较大的操作电流；在内存进行抹除操作时，源极电压远高于悬浮闸极区的电压，因此会造成闸极引发漏极漏电流(gate-induced drain leakage, GIDL)效应，而产生从源极到基板的漏电流，因此操作上需要一个供电能力较强的外接供应电源，而使得整体电路的集成化不容易；另外，为了减轻所述漏电流的程度，所述源极乃以浓淡渐次掺杂(lightly-doped drain)的结构实现；然而当制程能力愈先进，而几何尺寸愈小时，浓淡渐次掺杂的结构却也容易造成信道的碰穿效应(punch-through effect)。因此在小于0.2微米的制程下制造堆栈闸式非挥发性内存时，便舍弃浓淡渐次掺杂的结构，而以深N型槽(deep N-well)的方式来隔离所述源极以及基板而避免漏电流。然而为了节省面积，在一个由堆栈闸式非挥发性内存所形成的内存矩阵中，会有多个内存单元共享深N型槽；而所述共享深N型槽的多个内存单元便由于结构的限制，而必须同时进行抹除的操作，因而牺牲了电路操作上的弹性。最后，在进行写入“1”的操作时，由于通道的电场强度较大，因此电子发生穿隧的机率较低，因

而在操作上需要一较大的电流以增加操作速度。

[0005] 请参考美国专利号US5,338,952,此现有技术为一分离闸式(split-gate)非挥发性内存的结构。与前述的现有技术相比,其具有额外的一选择闸极区。由于所述非挥发性内存单元的等效晶体管组件,其信道区的导通需要悬浮闸极区以及选择闸极区同时存在大于临界电压(threshold)的正电压,因此可藉由对选择闸极区电压的控制,而避免常态漏电流的缺陷。但由于悬浮闸极区以及选择闸极区并未重迭,因此代价是具有较大的芯片面积。除此的外,其写入与抹除操作的原理与堆栈闸式非挥发性内存一致。

[0006] 请参考美国专利号US7,407,857,此现有技术亦为一分离闸式非挥发性内存的结构,其中悬浮闸极区的底部存在一阶梯状结构。所述发明与前述的现有技术相比有两个优点:第一、与前述的分离闸式非挥发性内存的现有技术相比,此阶梯状结构可降低悬浮闸极区与源极区之间的电容耦合程度,因此控制闸极区上所施加的电压可以有较高比例耦合至悬浮闸极区,而使得内存单元在进行写入或抹除操作时,能以较低的供应电压为的;第二、与前二个现有技术相比较,此改良的分离闸式非挥发性内存结构虽然不能完全避免在进行抹除操作时,所造成的闸极引发漏极漏电流效应,但其阶梯状结构能降低源极与悬浮闸极区之间的电场强度,从而减轻所述源极到基板漏电流的程度,因此可避免使用浓淡渐次掺杂或是以深N型槽的制程,而使面积能进一步缩小,降低成本。然而此非挥发性内存单元的等效晶体管组件,其导通时导通电流大小将决定于所述阶梯状结构所形成的较厚的闸极介电层,造成所述导通电流大小的变异较大,进而影响内存的良率。且所述阶梯状结构浮动闸极较厚的穿隧介电层,易导致漏极与源极间的短通路现象,进而大幅限制所述结构的进一步微缩的可能。

## 发明内容

[0007] 有鉴于此,本发明的主要目的在于提供一种非挥发性内存单元、非挥发性内存单元的制造方法及非挥发性内存矩阵,能够减轻闸极引发漏极漏电流效应所造成的漏电流,并对导通时的导通电流大小有良好的控制,更能进一步配合先进制程缩小内存单元的单位面积。

[0008] 为达到上述目的,本发明的技术方案是这样实现的:

一种非挥发性内存单元,包含基板、第一介电层、穿隧介电层、选择闸极区、悬浮闸极区、第二介电层、以及控制闸极区。所述基板为一半导体基板,通常为p型硅基板。所述基板具有一上表面,所述上表面上形成一沟渠结构,所述沟渠结构具有一空间,及定义所述空间的一侧墙及一底部。所述基板中以掺杂方式形成一源极区及一漏极区。源极区及漏极区通常为n型掺杂区,且所述源极区位于所述沟渠结构之下。所述第一介电层形成于所述基板的所述上表面之上,且位于所述漏极区与所述沟渠结构的所述侧墙之间。所述穿隧介电层形成于所述沟渠结构的所述侧墙与所述底部之上。所述选择闸极区形成于所述第一介电层之上。所述悬浮闸极区形成于所述穿隧介电层的表面上,且所述悬浮闸极区的一部份位于所述沟渠结构的所述空间中。所述第二介电层形成于所述悬浮闸极区的表面上。所述控制闸极区形成于所述悬浮闸极区的表面上,且所述控制闸极区与所述悬浮闸极区以所述第二介电层相绝缘。

[0009] 一种非挥发性内存单元的制造方法,此方法的步骤首先为提供一基板。所述基板

为一半导体基板,通常为p型硅基板,且所述基板具有上表面。接下来依次为形成第一介电层于所述基板的所述上表面之上。形成选择闸极区于所述第一介电层之上。于所述基板的所述上表面上相邻于所述选择闸极区,形成一沟渠结构,所述沟渠结构具有一空间,及定义所述空间的一侧墙及一底部。于所述沟渠结构下方的所述基板中,以掺杂方式形成一源极区,所述源极区通常为n型掺杂区。于所述沟渠结构的所述侧墙与所述底部之上,形成一穿隧介电层。于所述穿隧介电层之上,形成一悬浮闸极区。于位于所述选择闸极区一侧的源极区中,再形成一不同浓度且范围小于前述掺杂区的掺杂区,通常为n型掺杂区;并于位于所述选择闸极区的另一侧的所述基板中,以掺杂方式形成一漏极区,漏极区通常为n型掺杂区。于所述悬浮闸极区及所述选择闸极区之上,形成一第二介电层。于所述第二介电层之上,形成一控制闸极区,且所述控制闸极区的一部份位于所述沟渠结构的所述空间中。

[0010] 另一种非挥发性内存单元的制造方法,此方法的步骤首先为准备一基板。所述基板为一半导体基板,通常为p型硅基板,且所述基板具有上表面。接下来依次为形成第一介电层于所述基板的所述上表面之上。形成选择闸极区于所述第一介电层之上。于所述基板的所述上表面上相邻于所述选择闸极区,形成一沟渠结构,所述沟渠结构具有一空间,及定义所述空间的一侧墙及一底部。于所述沟渠结构的所述侧墙与所述底部之上,形成一穿隧介电层。于所述穿隧介电层之上,形成一悬浮闸极区。于位于所述选择闸极区一侧的所述沟渠结构下方的所述基板中,利用掺杂两种不同扩散系数的离子,形成一掺杂区,通常为n型掺杂区;并于位于所述选择闸极区的另一侧的所述基板中,以掺杂方式形成一漏极区,漏极区通常为n型掺杂区。于所述悬浮闸极区及所述选择闸极区之上,形成一第二介电层;同时利用此第二介电层形成步骤的高温,使上述两种不同扩散系数的离子发生扩散,形成一包含两种不同掺杂浓度区域的一源极区。于所述第二介电层之上,形成一控制闸极区,且所述控制闸极区的一部份位于所述沟渠结构的所述空间中。

[0011] 一种非挥发性内存矩阵。所述非挥发性内存矩阵形成于一基板之上,所述基板为一半导体基板,通常为p型硅基板。所述非挥发性内存矩阵包含多个如前所述的具有沟渠结构的非挥发性内存单元。所述基板具有一上表面,所述多个非挥发性内存单元位于所述基板的所述上表面,并延着两个互相垂直的第一方向以及第二方向,形成棋盘状的整齐排列。其中延着第一方向排列的同一列的非挥发性内存单元,其选择闸极区在电性上互相连接。延着第二方向排列的同一栏的非挥发性内存单元,其源极区两两共享,且位于同一列的共享的源极区延着第一方向在电性上互相连接。延着第二方向排列的同一栏的非挥发性内存单元,其控制闸极区两两共享,且位于同一列的共享的控制闸极区延着第一方向在电性上互相连接。延着第二方向排列的同一栏的非挥发性内存单元,其汲极区在电性上互相连接。

[0012] 本发明所提供的非挥发性内存单元、非挥发性内存单元的制造方法及非挥发性内存矩阵,具有以下优点:

本发明的功效在于,由于非挥发性内存单元的悬浮闸极区位于所述沟渠结构之中,且源极区的形成,能充分利用所述沟渠结构的宽度,并形成一渐次掺杂的源极的结构,使得当所述非挥发性内存进行抹除操作时,源极区与p型硅基板之间的垂直电场强度能够被有效地降低,进而减小了闸极引发漏极漏电流效应所造成的源极区到p型硅基板的漏电流,也进而减低了供应电源的供电流能力需求,使整体电路的积体化较易实现。另外,当所述非挥发性内存单元的等效晶体管组件导通时,沟渠结构的侧墙定义了由悬浮闸极区所控制的晶体

管通道部份,由于其在结构上等效地被拉长,因此悬浮闸极区可以对导通电流作有效均匀地控制,减少其变异量,而改善了所述非挥发性内存单元的良率。此外,上述的改善也使得所述非挥发性内存单元的面积得以配合先进制程而进一步地被缩小,也进一步地改善了成本和良率。

### 附图说明

[0013] 图1为本发明的非挥发性内存单元的剖面示意图。

[0014] 图2a为本发明的非挥发性内存单元的一制造方法的形成选择闸级区以及第一绝缘层的示意图。

[0015] 图2b为基于图2a的结构形成沟渠结构的示意图。

[0016] 图2c为基于图2b的结构形成穿隧介电层以及n型掺杂区的示意图。

[0017] 图2d为基于图2c的结构形成多晶硅层的示意图。

[0018] 图2e为基于图2d的结构形成反应性离子蚀刻后的多晶硅层的示意图。

[0019] 图2f为基于图2e的结构形成悬浮闸极区、漏极区以及源极区的示意图。

[0020] 图2g为基于图2f的结构形成第二介电层的示意图。

[0021] 图2h为基于图2g的结构形成控制闸极区的示意图。

[0022] 图3a为本发明的非挥发性内存单元的另一制造方法的形成选择闸级区以及第一绝缘层的示意图。

[0023] 图3b为基于图3a的结构形成沟渠结构的示意图。

[0024] 图3c为基于图3b的结构形成穿隧介电层的示意图。

[0025] 图3d为基于图3c的结构形成多晶硅层的示意图。

[0026] 图3e为基于图3d的结构形成反应性离子蚀刻后的多晶硅层的示意图。

[0027] 图3f为基于图3e的结构形成悬浮闸极区以及漏极区的示意图。

[0028] 图3g为基于图3f的结构形成第二介电层以及源极区的示意图。

[0029] 图3h为基于图3g的结构形成控制闸极区的示意图。

[0030] 图4为具有由本发明的多个非挥发性内存单元所构成的非挥发性内存矩阵的p型硅基板,其上表面的顶视图。

[0031] 图5为延着图4中所示切线的多个非挥发性内存单元的剖面示意图。

### [0032] 【主要组件符号说明】

1	p型硅基板	1a	上表面
3	选择闸级区	4	第一绝缘层
5	沟渠结构	5a	侧墙
5b	底部	6	牺牲氧化层
7	多晶硅层	8	悬浮闸级区
9	漏极区	10	源级区
11	第二介电层	12	控制闸级区
13	第一介电层	14	穿隧介电层
17	二氧化硅侧墙绝缘层	d	沟渠结构的深度
411~414	选择闸级区连接线	421、422	源级区连接线

431、432	控制闸级区连接线	441~446	汲级区连接线
510、520、530、540	非挥发性内存单元		
513	穿孔	514	金属层。

### 具体实施方式

[0033] 下面结合附图及本发明的实施例对本发明的非挥发性内存单元、非挥发性内存单元的制造方法及非挥发性内存矩阵作进一步详细的说明。

[0034] 以下说明内容的技术用语是参照本技术领域的习惯用语，如本说明书对部分用语有加以说明或定义，所述部分用语的解释是以本说明书的说明或定义为准。另外，本说明书所提及的介系词用语“上”、“下”、“于”等，在实施为可能的前提下，涵义可包含直接或间接地在某物或某参考对象的“上”、“下”，以及直接或间接地“于”某物或某参考对象，所谓“间接”是指其间尚有中间物或物理空间的存在；当提及“邻近”、“之间”等用语时，在实施为可能的前提下，涵义可包含两物或两参考对象间存在其它中间物或空间，以及不存在其它中间物或空间。再者，以下内容是关于半导体制程，对于半导体制程领域所习见的氧化层生成、微影、蚀刻、清洗、扩散、离子布植、化学暨物理气相沉积等技术，

若不涉及本发明的技术特征，将不予赘述。此外，图标所示组件的形状、尺寸、比例等仅为示意，说明书中叙述的参数与制程能力有关，是供本技术领域具有通常知识者了解本发明的用，而非对本发明的实施范围加以限制。另外，说明书中叙述的制造方法针对单一非挥发性内存组件的制造而描述者，事实上本技术领域具有通常知识者皆可利用现有技术，而据以实施具产业利用性的由多个非挥发性内存单元所构成的非挥发性内存矩阵。

[0035] 图1为本发明的非挥发性内存单元。

[0036] 请参考图1，图中包含了左右相对称的两组非挥发性内存单元，以下针对图中位于左半部的非挥发性内存单元作说明。所述非挥发性内存单元包含一基板，所述基板通常为一p型硅基板1。所述p型硅基板1具有一上表面1a，所述上表面上形成一沟渠结构5(图1中未标示)。所述沟渠结构5具有一空间，及定义所述空间的一侧墙5a及一底部5b。所述底部5b距离所述p型硅基板1的所述上表面1a介于500埃至2000埃之间，较佳为1000埃(埃，即Ångström，亦即Å，表长度单位，为10的负10次方公尺)。所述p型硅基板1中设置一n型掺杂层形成一漏极区9，以及另一n型掺杂层形成一源极区10，所述源极区10位于所述沟渠结构5之下，且为渐次掺杂的源极的结构。其中n型掺杂区10a即为浓度较浓的掺杂区；所述漏极区9与所述源极区10并不相邻。

[0037] 如图1所示，所述非挥发性内存单元亦包含一第一介电层13、一穿隧介电层14、一选择闸极区3、一第一绝缘层4、一悬浮闸极区8以及一控制闸极区12。

[0038] 所述第一介电层13是一二氧化硅闸极氧化层，形成于所述p型硅基板1的所述上表面1a之上。第一介电层13厚度介于10埃至100埃之间，较佳为40埃，且第一介电层13位于所述漏极区9与所述沟渠结构5的所述侧墙5a之间。

[0039] 所述穿隧介电层14是一二氧化硅穿隧绝缘层，形成于所述沟渠结构5的所述侧墙5a与所述底部5b之上，且穿隧介电层14的厚度介于60埃至120埃之间，较佳为100埃。

[0040] 所述选择闸极区3形成于所述第一介电层13之上。所述第一绝缘层4形成于选择闸极区3之上。所述悬浮闸极区8形成于所述穿隧介电层14之上，且所述悬浮闸极区8的一部份



位于所述沟渠结构5的所述空间中。悬浮闸极区8厚度介于200埃至2000埃之间,较佳为1000埃,且一二氧化硅侧墙绝缘层17相隔而形成于所述选择闸极区3以及所述第一绝缘层4的侧面上;前述的二氧化硅侧墙绝缘层17厚度介于100埃至300埃之间,较佳为200埃。所述第二介电层11是一二氧化硅氧化层,形成于所述悬浮闸极区8及所述第一绝缘层4之上;第二介电层11的厚度介于100埃至200埃之间,较佳为150埃。

[0041] 所述控制闸极区12的厚度为1000埃,至少局部的控制闸极区12形成于所述悬浮闸极区8之上,且所述控制闸极区12与所述悬浮闸极区8以所述第二介电层11相绝缘。

[0042] 如图1所示,所述悬浮闸极区8在电性上为绝缘状态,与外界并无电性上相连接的关系;然而通过控制所述控制闸极区12的电压,可利用电容耦合方式间接控制所述悬浮闸极区8的电压。

[0043] 由于非挥发性内存单元的悬浮闸极区8位于所述沟渠结构5的中,且源极区10的形成,能充分利用所述沟渠结构5的宽度,而形成一浓淡渐次掺杂的结构,使得当所述非挥发性内存进行抹除操作时,源极区10与p型硅基板1之间的电场强度能够被有效地降低,进而减小了闸极引发漏极漏电流效应所造成的源极区10到p型硅基板1的漏电流,也进而减小了供应电源的供电流能力需求,使整体电路的积体化较易实现。另外,当所述非挥发性内存单元的等效晶体管组件导通时,沟渠结构5的侧墙5a定义了由悬浮闸极区所控制的晶体管信道部份,由于在结构上等效地被拉长,因此悬浮闸极区8可以对导通电流作有效均匀地控制,减少其变异量,也因此改善了所述非挥发性内存单元的良率。此外,上述的改善也使得所述非挥发性内存单元的面积得以配合先进制程而进一步地被缩小,也进一步地改善了成本和良率。

[0044] 所述非挥发性内存单元的一制造方法将叙述如下。

[0045] 请参考图2a至图2h,其是本发明所揭露的非挥发性内存单元的制造方法实施例示意图,其可应用于非挥发性内存单元的制造上。此实施例包含下列步骤。

[0046] 如图2a所示,准备一基板,例如一p型硅基板1。所述p型硅基板具有一上表面1a。

[0047] 如图2a所示,利用热氧化法或其他氧化法,在所述p型硅基板之上表面1a形成一第一介电层13。第一介电层13可为二氧化硅闸极氧化层,其厚度介于10埃至100埃之间,较佳为40埃。

[0048] 如图2a所示,形成一选择闸极区3以及一第一绝缘层4于第一介电层13上。详细步骤说明如下,在所述第一介电层13的整个表面上,依次形成一厚度为1000埃的多晶硅层,以及一厚度为1000埃的绝缘层。所述绝缘层材质可以为氮化硅(SiN)或是硅酸乙脂(Tetraethyl orthosilicate, TEOS)。然后以一蚀刻阻挡图样层形成于所述绝缘层之上,在蚀刻阻挡图样形成之后,进行选择性的蚀刻,以蚀刻一部份的所述多晶硅层以及所述绝缘层,以形成选择闸极区3以及第一绝缘层4。

[0049] 如图2a所示,移除所述蚀刻阻挡图样层,并利用高温氧化沉积法(high-temperature oxide (HTO) deposition process),形成一二氧化硅绝缘层于已具有所述选择闸极区3以及所述第一绝缘层4的所述p型硅基板1的整个表面之上。所述二氧化硅绝缘层亦可能与另一氮化硅间隔区(spacer)(100~200埃)形成复合层覆盖于所述选择闸极区3以及所述第一绝缘层4的侧壁表面之上。二氧化硅绝缘层覆盖范围包含外露部份的所述二氧化硅闸极氧化层、所述选择闸极区3及所述第一绝缘层4的侧面、以及所述第一绝缘层4的

上方。二氧化硅绝缘层厚度介于100埃至300埃之间,较佳为200埃。所述二氧化硅绝缘层在所述选择闸极区3及所述第一绝缘层4的侧面部份形成一二氧化硅或上述复合侧墙绝缘层17;至此,所述非挥发性内存单元的剖面图如图2a所示。

[0050] 如图2b所示,以另一蚀刻阻挡图样层形成于图2a所示的所述二氧化硅绝缘层的表面之上。在蚀刻阻挡图样形成之后,进行选择性的蚀刻,以蚀刻一部份的所述p型硅基板1,并在相邻于所述选择闸极区3的一侧形成一沟渠结构5。沟渠结构5具有一空间,以及定义所述空间的一侧墙5a以及一底部5b。所述底部5b距离所述p型硅基板1的所述上表面1a,亦即所述沟渠结构5的深度d介于500埃至2000埃之间,较佳为1000埃。

[0051] 如图2b所示,移除蚀刻阻挡图样层;接着,为了去除所述沟渠结构5的所述侧墙5a以及所述底部5b的表面因蚀刻步骤所造成的结构缺陷,遂利用快速热氧化法(rapid thermal oxidation, RTO),在所述沟渠结构5的所述侧墙5a以及所述底部5b的表面,形成一牺牲氧化层6(sacrificial oxide),厚度约为100至200埃;至此,所述非挥发性内存的剖面图如图2b所示。

[0052] 如图2c所示,利用氧化层湿式蚀刻法(oxide wet etch),移除所述牺牲氧化层6;接着利用布值法(implantation),将磷(phosphor)或砷(Arsenic)原子掺杂(doping)进所述沟渠结构5的所述底部5b的下方的p型硅基板区域,浓度为每平方公分10的13次方至每平方公分10的15次方,形成一n型渐次掺杂区,并施以快速热处理(Rapid Thermal Anneal)钝化后续加速氧化效应(enhanced oxidation),并作为一源极区10。

[0053] 如图2c所示,利用干式热氧化法(dry thermal oxidation),在所述侧墙5a以及所述底部5b之上形成一穿隧介电层14,穿隧介电层14厚度介于60埃至120埃之间,较佳为100埃。

[0054] 如图2c所示,于各种形成穿隧介电层14的方法中,利用干式热氧化法所形成的所述穿隧介电层14将具有较均匀的结构。由于当非挥发性内存单元进行写入“0”的操作时,热电子流的穿隧动作乃发生于所述穿隧介电层14之中,因此此一均匀结构将提高穿隧动作的效率及其均匀度,而有助于提升非挥发性内存单元的良率。

[0055] 另外,当非挥发性内存单元进行写入“0”的操作时,其穿隧动作主要乃发生于所述穿隧介电层14位于所述沟渠结构5的所述侧墙5a部份。而当非挥发性内存单元进行抹除的操作“1”时,其穿隧动作主要乃发生于所述穿隧介电层14位于所述沟渠结构5的所述底部5a部份,因此位于所述侧墙5a的所述穿隧介电层14部份与位于所述底部5b的所述穿隧介电层14部份,其厚度不必一致,惟从简化制程步骤的角度来考虑,其厚度通常相同;至此,所述非挥发性内存的剖面图如图2c所示。

[0056] 如图2d所示,在图2c所示的所述二氧化硅绝缘层表面之上,形成一多晶硅层7,且厚度介于200埃至2000埃之间,较佳为1000埃(可能范围),即如图2d所示。

[0057] 如图2e所示,对所述多晶硅层7进行反应性离子蚀刻(reactive ion etching, RIE),所述蚀刻法具有很好的方向性,最后的所述多晶硅层7只留下位于所述沟渠结构5的所述侧墙5a以及所述底部5b,向上方延伸于所述选择闸极区3以及所述第一绝缘层4侧面的部份,以及所述选择闸极区3以及所述第一绝缘层4另一侧面的部份;至此,所述非挥发性内存的剖面图如图2e所示。

[0058] 如图2f所示,在图2e所示的表面上形成一蚀刻阻挡图样层,在蚀刻阻挡图样形成

之后,进行选择性蚀刻,以蚀刻所述多晶硅层7残留于远离所述沟渠结构5而位于所述选择闸极区3以及所述第一绝缘层4的所述另一侧面的部份;最后剩下的所述多晶硅层7即形成一悬浮闸极区8,位于所述穿隧介电层14之上。

[0059] 有别于先前技术的是,最后形成的非挥发性内存单元的等效晶体管组件其信道区长度参数,与所述悬浮闸极区8的厚度,亦即所述多晶硅层7的厚度无关。因此所述多晶硅层7的形成,其厚度允许较大的误差值,因而在制程上不需针对此步骤所形成的尺寸作较精密的控制。

[0060] 如图2f所示,在位于选择闸极区一侧的源极区中,形成一不同浓度且范围较小的掺杂区(另外,虽图2f未显示,此掺杂区更可视需要以另一氧化硅或氮化硅间隔区加以缩小范围并优化整体渐次掺杂浓度曲线);并于位于所述选择闸极区的另一侧的所述基板中,形成另一掺杂区以作为一漏极区。例如,利用离子布植法(ion implantation),将砷原子掺杂进所述p型硅基板10a的两个区域。其中第一个区域位于所述沟渠结构5的所述底部5b的下方,且未被所述悬浮闸极区8阻挡之处;第二个区域位于所述选择闸极区3以及所述第一绝缘层4的所述另一侧面,所述第二个区域是为一漏极区9。所述两个区域的浓度为每平方公分 $10^{15}$ 次方,形成一较浓的n型掺杂区;值得注意的是此时源极区形成了渐次掺杂漏极或类似双扩散漏极(double-diffused drain, DDD)的结构,是为一较高浓度的掺杂区被较低浓度掺杂区所包围的结构,可以有效降低n型掺杂区与p型硅基板在操作时因反偏所形成的高电场强度,以及其可能衍生的负面效应,例如漏电流;然后移除所述蚀刻阻挡图样层;至此,所述非挥发性内存的剖面图如图2f所示。

[0061] 如图2g所示,在图2f所示的表面之上,形成一ONO(Oxide/Nitride/Oxide)绝缘层,是为一第二介电层11,且厚度介于100埃至200埃之间,较佳为150埃;至此,所述非挥发性内存的剖面图如图2g所示。

[0062] 如图2h所示,于所述第二介电层之上,形成一控制闸极区,且所述控制闸极区的一部份位于所述沟渠结构的所述空间中。例如在所述第二介电层11的整个表面上,形成一多晶硅层,其厚度为1000埃,且所述多晶硅层填满所述沟渠结构5的剩余空间;接着形成另一蚀刻阻挡图样层,进行选择性蚀刻,留下的所述多晶硅层即定义了一控制闸极区12,所述控制闸极区12主要覆盖于所述悬浮闸极区8之上;接着移除所述蚀刻阻挡图样层;至此所述非挥发性内存的主要结构已完成,其剖面图如图2h所示。

[0063] 所述非挥发性内存单元的另一制造方法将叙述如下。

[0064] 请参考图3a至图3h,其是本发明所揭露的非挥发性内存的另一制造方法实施例示意图。

[0065] 图3a的形成步骤与图2a相同,请参考图2a的相关说明。

[0066] 图3b的形成步骤与图2b相同,请参考图2b的相关说明。

[0067] 如图3c所示,利用氧化层湿式蚀刻法,移除所述牺牲氧化层6;再利用干式热氧化法,在所述侧墙5a以及所述底部5b的表面形成一穿隧介电层14。穿隧介电层14厚度介于60埃至120埃之间,较佳为100埃。位于所述侧墙5a的所述穿隧介电层14部份与位于所述底部5b的所述穿隧介电层14部份,其厚度不必一致,惟从简化制程步骤的角度来考虑,其厚度通常相同;至此,所述非挥发性内存的剖面图如第3c图所示。

[0068] 如图3d所示,在第3c图所示的所述二氧化硅绝缘层表面之上,形成一多晶硅层7,

且厚度为1000埃(可能范围介于200埃至2000埃之间),即如图3d所示。

[0069] 如图3e所示,对所述多晶硅层7进行反应性离子蚀刻,最后的所述多晶硅层7只留下位于所述沟渠结构5的所述侧墙5a以及所述底部5b,向上方延伸于所述选择闸极区3以及所述第一绝缘层4侧面的部份,以及所述选择闸极区3以及所述第一绝缘层4另一侧面的部份;至此,所述非挥发性内存的剖面图如图3e所示。

[0070] 如图3f所示,在图3e所示的表面上形成一蚀刻阻挡图样层,在蚀刻阻挡图样形成之后,进行选择性蚀刻,以蚀刻所述多晶硅层7残留于远离所述沟渠结构5而位于所述选择闸极区3以及所述第一绝缘层4的所述另一侧面的部份;最后剩下的所述多晶硅层7即形成一悬浮闸极区8;随后利用离子布植法,分别将砷原子以及磷原子掺杂进所述沟渠结构5的所述底部5b的下方,且未被所述悬浮闸极区8阻挡的p型硅基板区域10a,浓度各为每平方公分 $10^{15}$ 次方以及每平方公分 $10^{14}$ 次方(另外,虽3f图未显示,此掺杂区更可视需要以另一氧化硅或氮化硅间隔区加以缩小范围并优化整体渐次掺杂浓度曲线);并将砷原子掺杂进位于所述选择闸极区3以及所述第一绝缘层4的所述另一侧面的p型硅基板区域,是为一漏极区9,浓度为每平方公分 $10^{15}$ 次方;至此,所述非挥发性内存的剖面图如图3f所示。

[0071] 如图3g所示,在图3f所示的表面之上,形成一ONO绝缘层,是为一第二介电层11。第二介电层11厚度介于100埃至200埃之间,较佳为150埃;另外,形成所述ONO绝缘层的步骤,是一高温的制程;利用磷原子与砷原子在所述p型硅基板中具有不同扩散系数的特性,此时在第3f图中10a部份所掺杂的磷原子与砷原子,便因为高温而开始发生不同程度的扩散,而形成了源极区10中由磷原子定义的浓度较低的部份,砷原子则定义了浓度较高的部份;最后,所述源极区10形成了浓淡渐次掺杂或称双扩散漏极的结构;至此,所述非挥发性内存的剖面图如图3g所示。

[0072] 图3h的形成步骤与图2h相同,请参考图2h的相关说明。至此所述非挥发性内存的主要结构已完成,其剖面图如图3h所示。

[0073] 以下对本发明的非挥发性内存单元的操作方法作说明。

[0074] 进行抹除的操作,也就是对所述非挥发性内存单元进行写入“1”的操作时,在源极区10施以6伏特的电压,在控制闸极区12施以负9伏特的电压,在漏极区9以及选择闸极区3则施以0伏特的电压;由于悬浮闸极区8与控制闸极区12之间存在的一等效电容,其电容值远大于悬浮闸极区8与源极区10之间存在的等效电容电容值,因此控制闸极区12与源极区10之间所施以的电压差,将大部份反应在悬浮闸极区8与源极区10的电压差上,即悬浮闸极区8的电压约在负8V;根据福勒-诺德汉穿隧原理,此时电子将从悬浮闸极区8经位于底部5b的穿隧介电层14穿隧而进入源极区10,最后所述悬浮闸极区8的等效极性为正电。

[0075] 而由于源极区10与控制闸极区12的电压差高达约14伏特,且源极区10为较高电压,因此将引发能带间穿隧(band-to-band tunneling)效应,或称闸极引发漏极漏电流(gate induced drain leakage, GIDL)效应,造成源极区10与p型硅基板1之间的崩溃电压(breakdown voltage)降低,而导致一从源极区10至p型硅基板1的漏电流,此漏电流大小一方面决定于源极区10与p型硅基板1之间的电场强度。本发明所揭露的非挥发性内存结构,由于其源极区10可以有较大的横向延伸空间,且形成一浓淡渐次掺杂的结构,因此可以有效地降低所述电场强度(经分析显示源极区边缘的等效电压已降至约1伏特),而大大地降

低了所述漏电流大小,进而提高了供应电源的利用效率,也减低电路于操作时的温升程度,延长了电路的使用寿命。

[0076] 进行写入“0”的操作时,在源极区10施以5至6伏特的电压,在控制闸极区12施以9伏特的电压,在漏极区9施以0至0.5伏特的电压,而在选择闸极区3则施以约1伏特的电压,所述1伏特乃略高于所述非挥发性内存单元的等效晶体管组件的临界电压,而使所述等效晶体管组件处于次导通的状态;所述次导通的状态使得所述等效晶体管组件导通微安培(micro ampere, uA)级的电流,且电流方向乃由源极区10出发,在p型硅基板1的中紧贴着侧墙5a的通道部份,并在第一介电层13的下方直角转弯后,经选择闸极区3的正下方通道部份而流入漏极区9;至于电子流的流动方向则与电流相反。此时悬浮闸极区8随着控制闸极区12的偏压而处于较高电压的状态,因此侧墙5a的通道部份亦处于较高电压的部份,然而在第一介电层13下方信道部份的电压则由于所述等效晶体管组件处于次导通的状态而相对较低;因此当电子流由第一介电层13下方的通道部份直角转弯而进入侧墙5a的通道部份时,其对应的电压变化(约8伏特)将产生一个高电场区域,而引发热电子注入机制,部份电子将由所述高电场区域经穿隧介电层14穿隧而进入悬浮闸极区8,最后所述悬浮闸极区8由于陷捕足够数量的电子于其中,而使其等效极性为负电。

[0077] 进行读取的操作时,在源极区10以及控制闸极区12施以0伏特的电压(或控制闸极区10亦可施以Vcc的电压,此Vcc为内存电路的供电电压值,例如0.18微米制程下,此电压通常为1.8伏特),在漏极区9施以约1伏特的电压,而在选择闸极区3则施以Vcc的电压,此时,选择闸极区3下方的通道部份为导通状态。假设所述非挥发性内存单元的储存状态为“0”,亦即所述悬浮闸极区8的等效极性为负电,则侧墙5a的通道部份并不导通,亦即通道的电流大小几乎为0;另一方面,假设所述非挥发性内存单元的储存状态为“1”,亦即所述悬浮闸极区8的等效极性为正电,则侧墙5a的通道部份亦为导通状态,此时通道存在电流,大小约为30微安培。通过侦测通道电流大小,所述非挥发性内存单元的储存内容即可得知。

[0078] 以下对本发明的非挥发性内存单元所构成的非挥发性内存矩阵结构实施例作说明。

[0079] 图4为具有由本发明的非挥发性内存单元所构成的非挥发性内存矩阵的一p型硅基板,其上表面的顶视图。图中显示了所述非挥发性内存矩阵的一部份。所述非挥发性内存矩阵具有多个非挥发性内存单元,并延着互相垂直的第一方向X以及第二方向Y作棋盘状的整齐排列。延着切线401,包含了4组非挥发性内存单元,其剖面图如第5图所示。第5图包含了510、520、530、540共4组非挥发性内存单元。各组非挥发性内存单元的结构相同于如第2h图或第3h图所揭露的非挥发性内存单元结构,或有多余的部份补充如下:以非挥发性内存单元510为例,511为降低控制闸极区等效电阻而形成的金属硅化层(silicide),512为兼容于逻辑制程,为产生轻掺杂漏极结构而形成之间隔区,513为将漏极区引出的具导电性的穿孔(via),514则为连接各非挥发性内存单元的漏极区的金属层。511、512、513、514的部份乃为所述非挥发性内存单元于此特定应用中所形成的结构,其并未包含于所述非挥发性内存单元本身的主要结构中,亦并未对所述非挥发性内存单元的特性产生显著的影响。

[0080] 请回到图4。图4中共包含24组非挥发性内存单元,其每一列,即第一方向X,包含了6组非挥发性内存单元,且每一栏,即第二方向Y,包含了4组非挥发性内存单元。其中每一列的选择闸极区延着第一方向X相连,亦即在电性上互相连接,如411、412、413、414所示;源极

区则在每一栏中相邻的非挥发性内存单元两两共享,且位于同一列的共享的源极区延着第一方向X相连,亦即在电性上互相连接,如421、422所示;控制闸极区亦在每一栏中相邻的非挥发性内存单元两两共享,且位于同一列的共享的控制闸极区延着第一方向X相连,亦即在电性上互相连接,如431、432所示;每一栏的所有漏极区则经由穿孔,由一延着第二方向Y延伸的金属层相连,亦即在电性上互相连接,如441、442、443、444、445、446所示;至于各个非挥发性内存单元的悬浮闸极区则各自独立,且在电性上为绝缘状态,与外界并无电性上相连接的关系,而用以储存各个非挥发性内存单元的储存状态,如非挥发性内存单元510、520、530、540分别对应至其悬浮闸极区451、452、453、454。

[0081] 以下对本发明的非挥发性内存单元所构成的非挥发性内存矩阵的操作方法作说明。

[0082] 本非挥发性内存矩阵的结构,能够进行以共享源极区的相邻两列为单位的局部抹除操作。例如欲抹除510以及520所在的两列非挥发性内存单元时,即在共享的源极区422施以6伏特的电压,并在共享的控制闸极区432施以负9伏特的电压。如此电子将从悬浮闸极区穿隧而进入源极区,最后此两列的悬浮闸极区,包含451以及452,其等效极性为正电。

[0083] 针对某单一非挥发性内存单元进行写入“0”的操作时,例如对非挥发性内存单元520进行写入“0”的操作,即在其源极区422施以5至6伏特的电压,在其控制闸极区432施以9伏特的电压,在其漏极区446施以0伏特的电压,而在其选择闸极区413则施以约1伏特的电压,此时通过热电子注入机制,电子将由信道中的高电场区域穿隧进入其悬浮闸极区452,最后其悬浮闸极区452的等效极性为负电。

[0084] 针对某单一非挥发性内存单元进行读取的操作时,例如对非挥发性内存单元520进行读取的操作,即在其源极区422以及控制闸极区432施以0伏特的电压(或控制闸极区432亦可施以Vcc的电压,此Vcc为内存电路的供电电压值,例如0.18微米制程下,此电压通常为1.8伏特),在其漏极区446施以约1伏特的电压,而在其选择闸极区413则施以Vcc的电压。此时,其选择闸极区413下方的通道部份为导通状态。假设所述非挥发性内存单元520的储存状态为“0”,亦即其悬浮闸极区452的等效极性为负电,则通道的电流大小几乎为0;另一方面,假设所述非挥发性内存单元520的储存状态为“0”,亦其悬浮闸极区452的等效极性为正电,此时通道存在电流,大小约为30微安培。通过侦测通道电流大小,所述非挥发性内存单元的储存内容即可得知。

[0085] 以上所述,仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围。

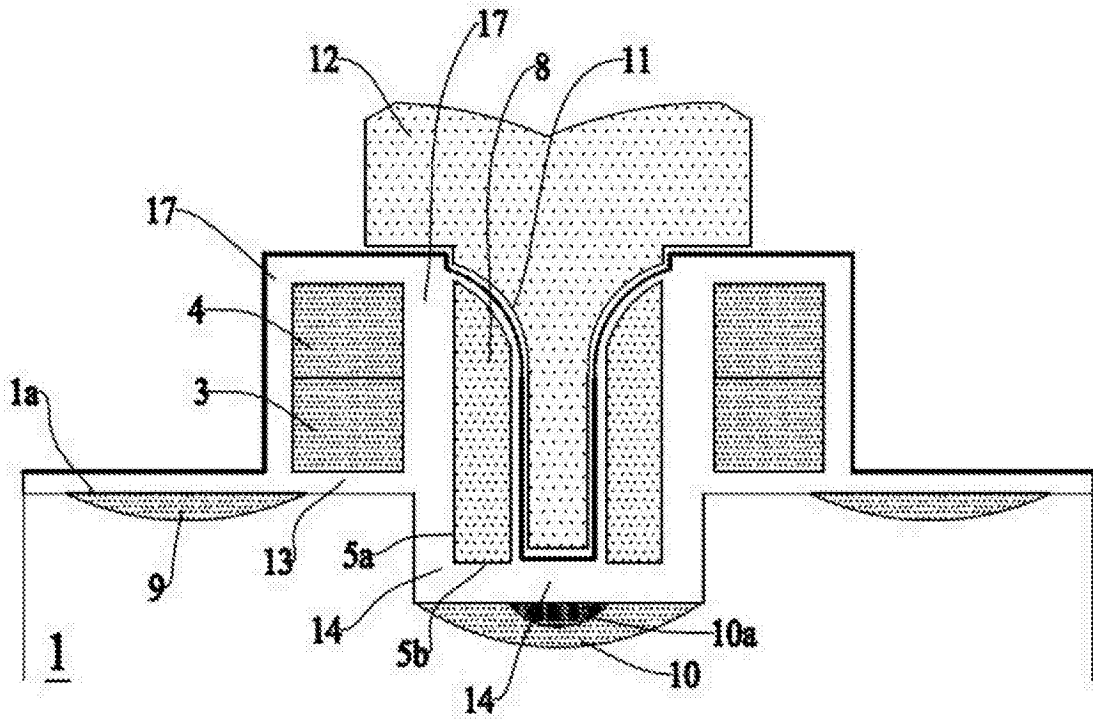


图1

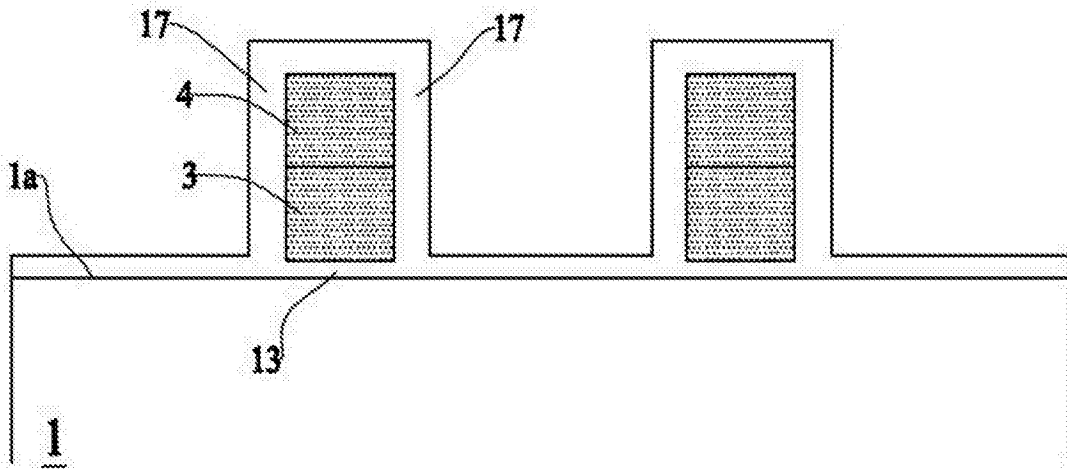


图2a

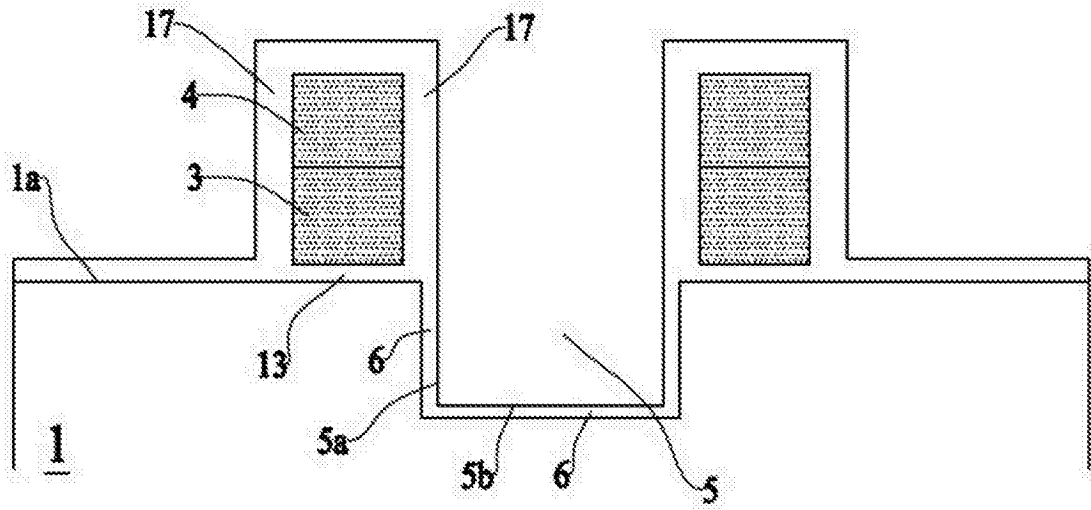


图2b

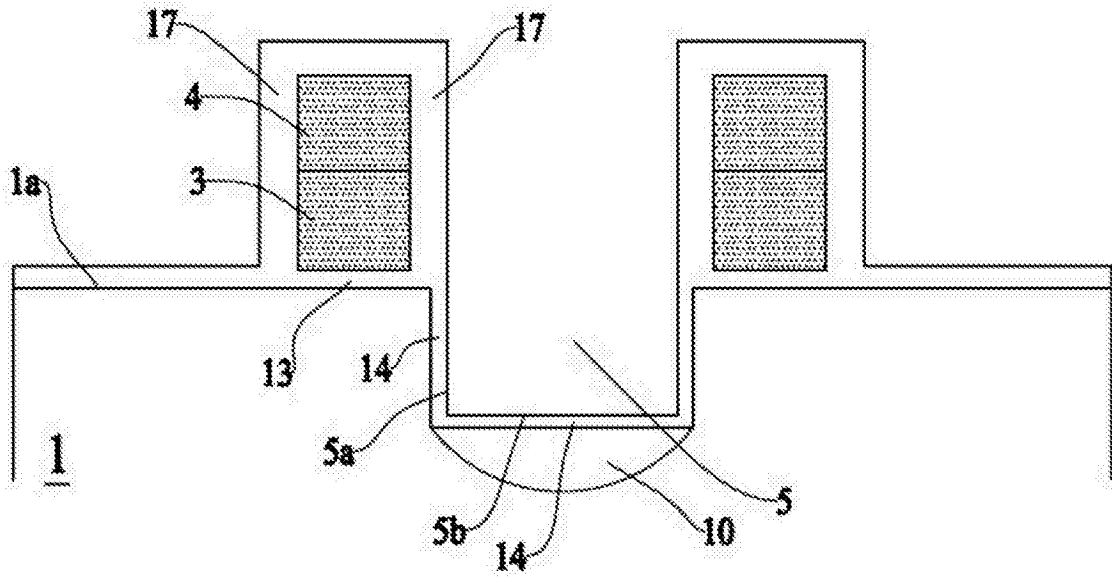


图2c



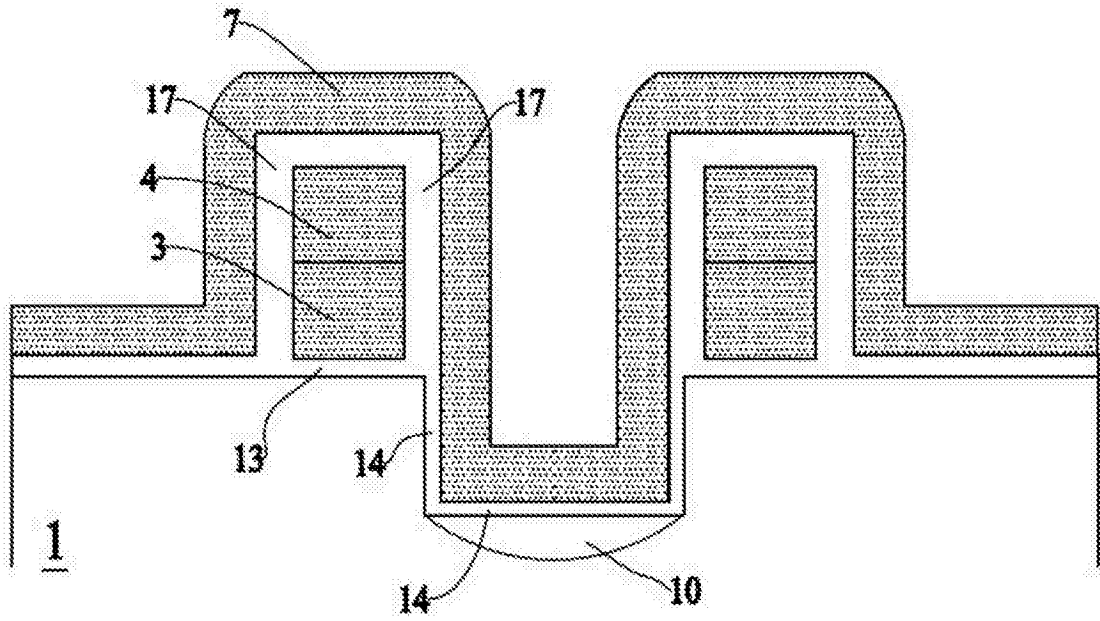


图2d

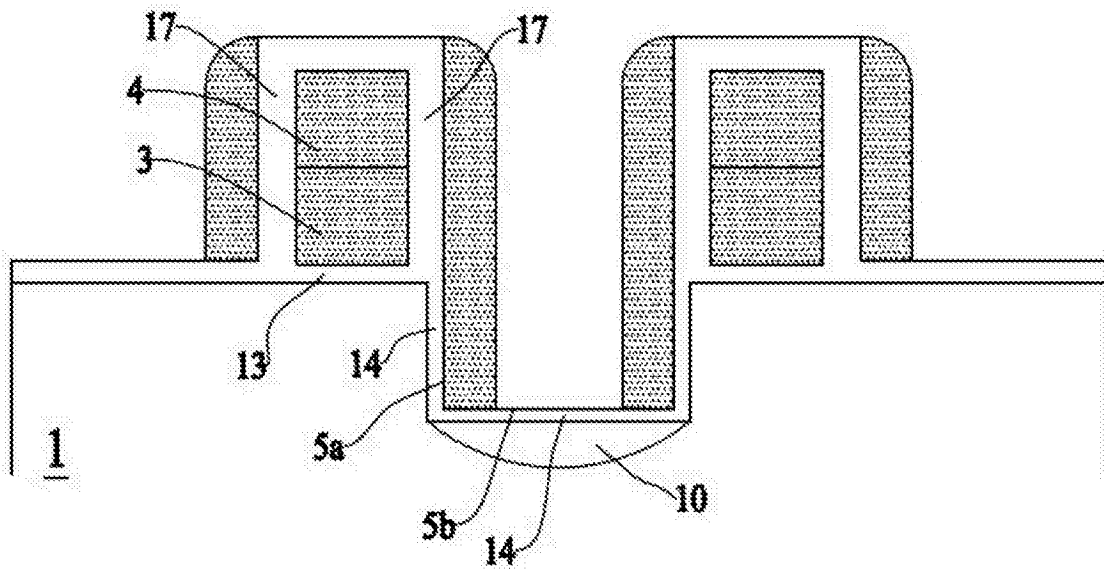


图2e

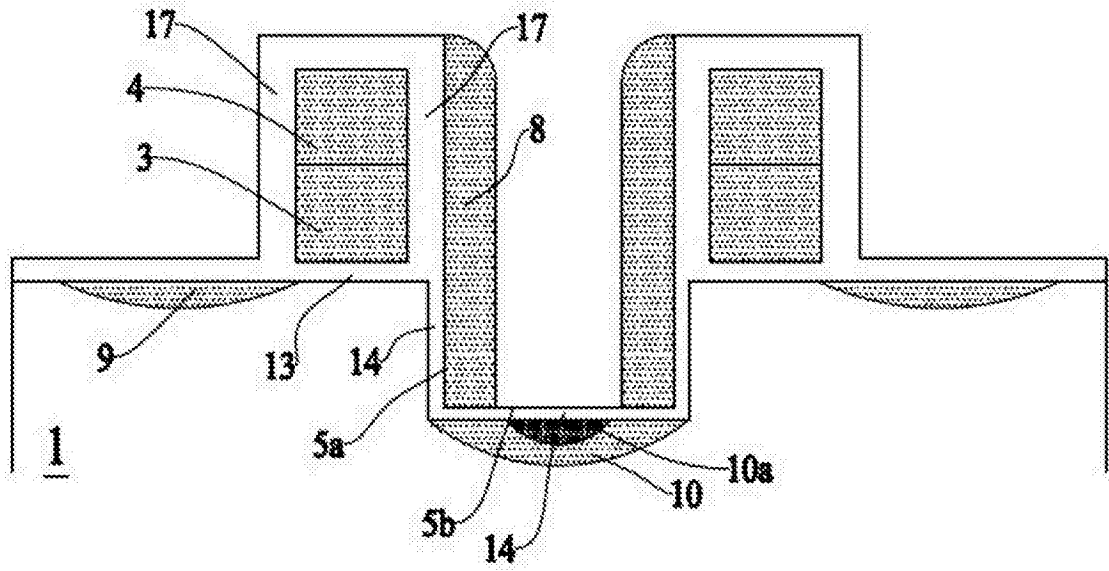


图2f

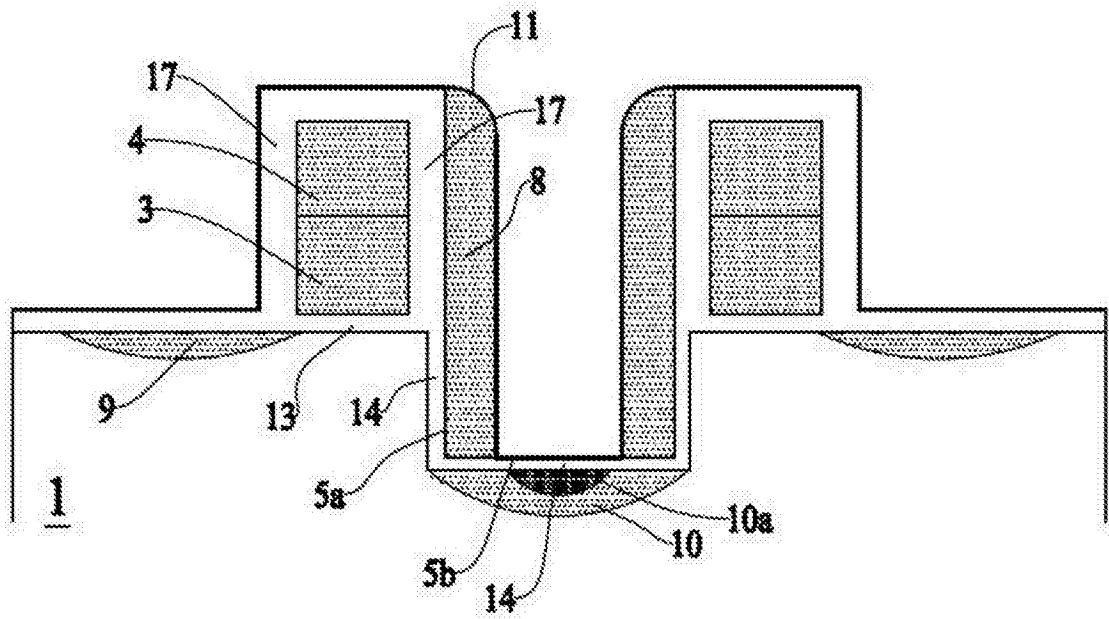


图2g

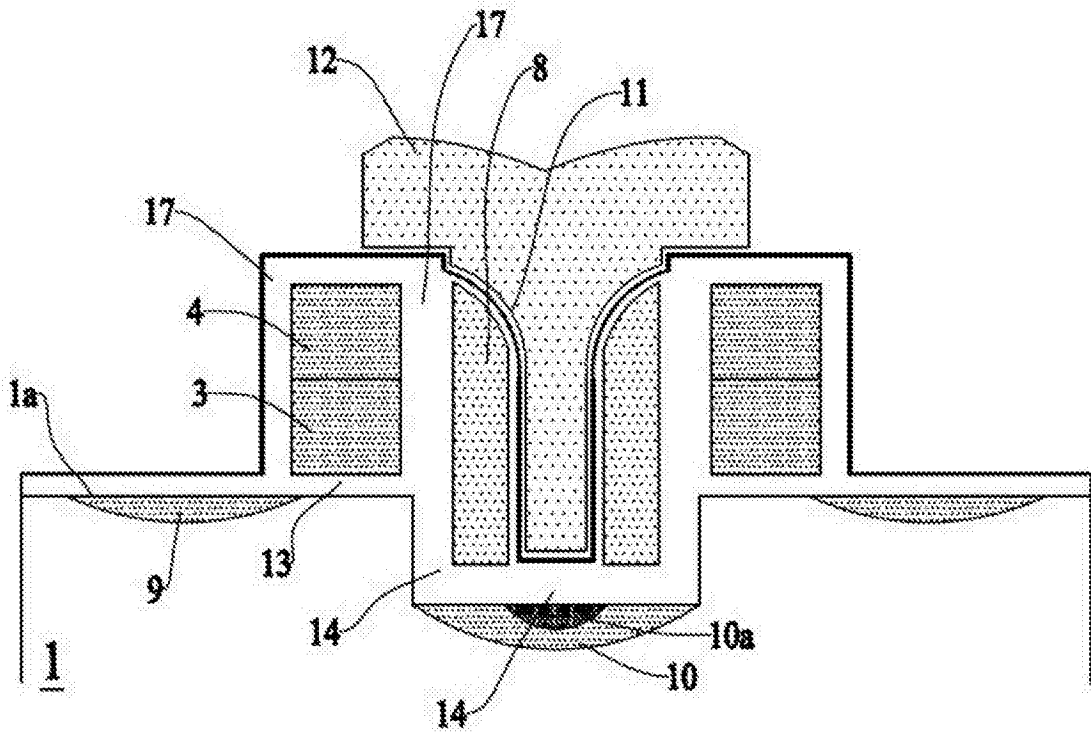


图2h

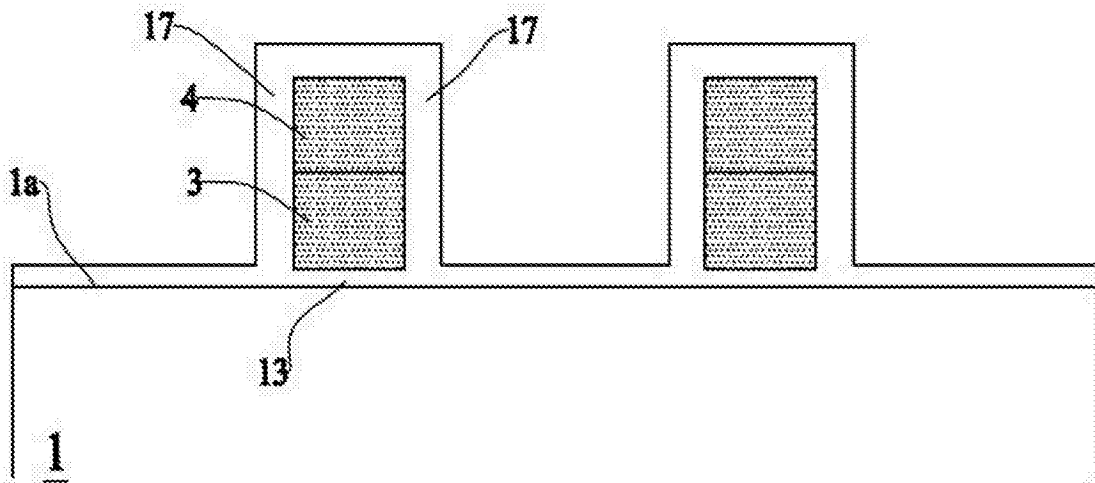


图3a

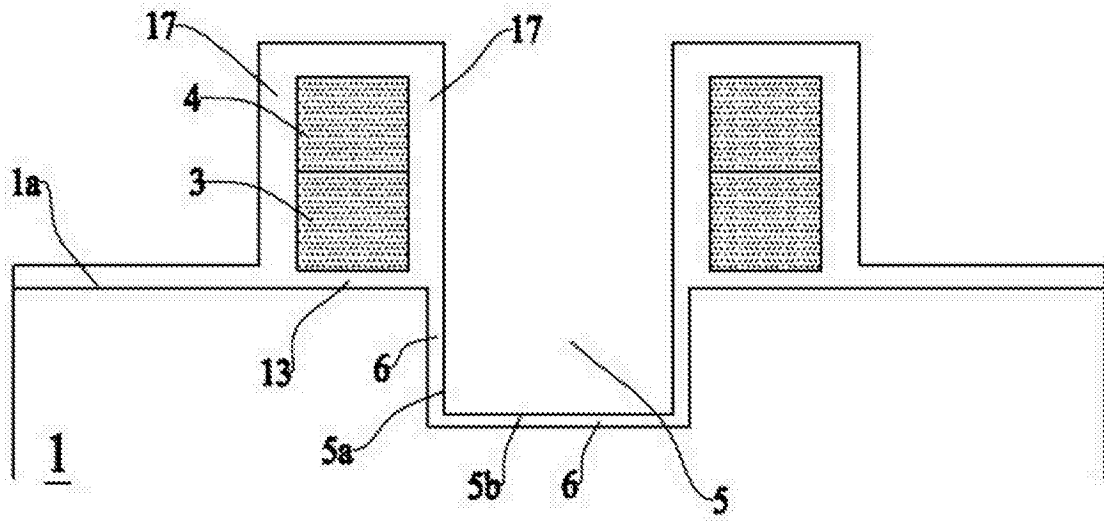


图3b

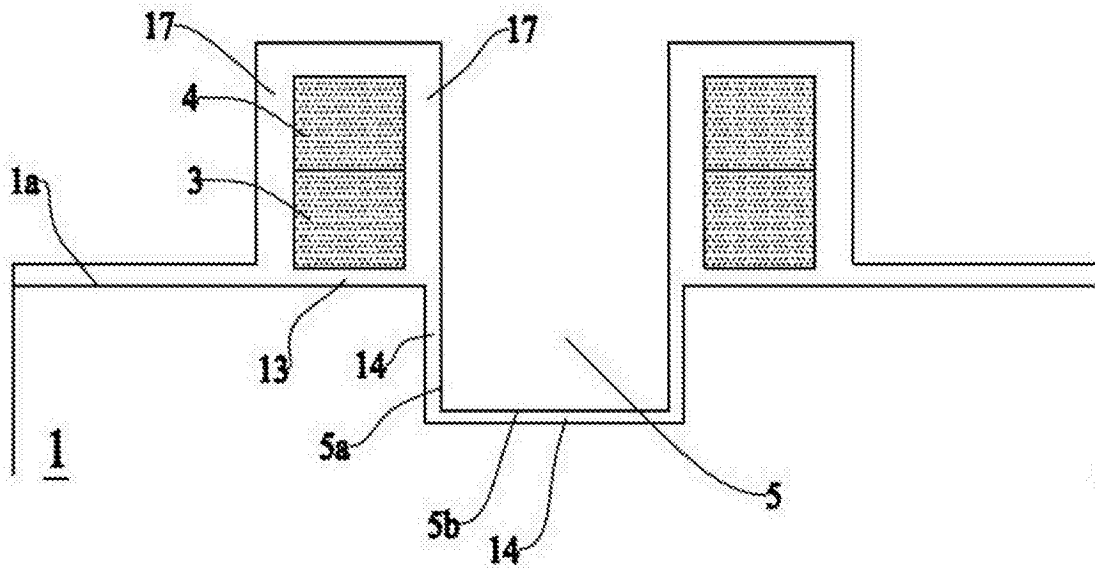


图3c

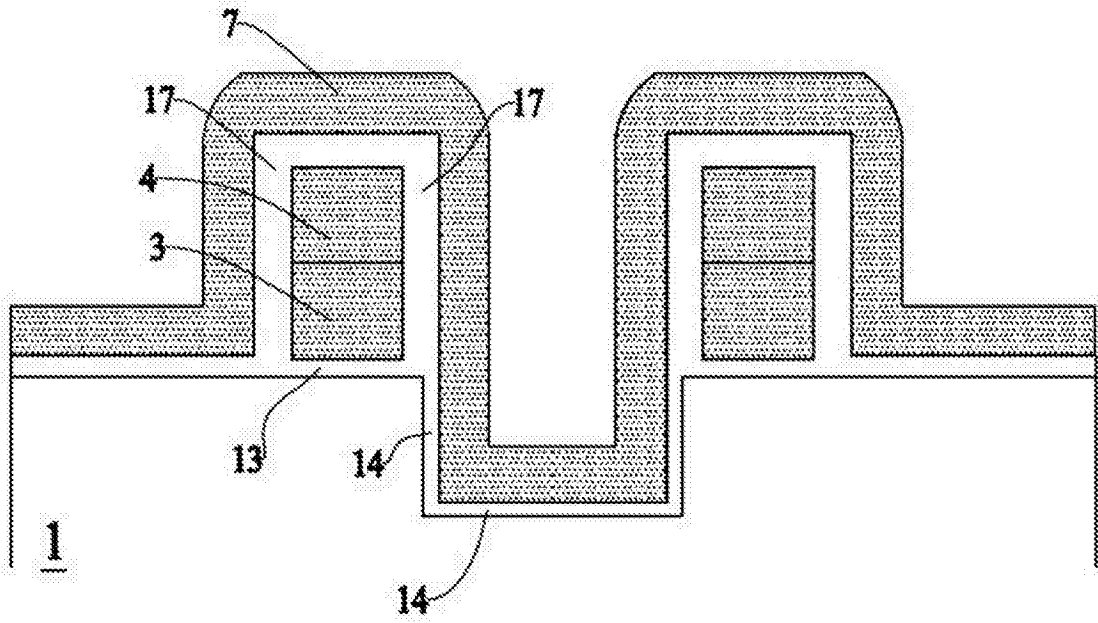


图3d

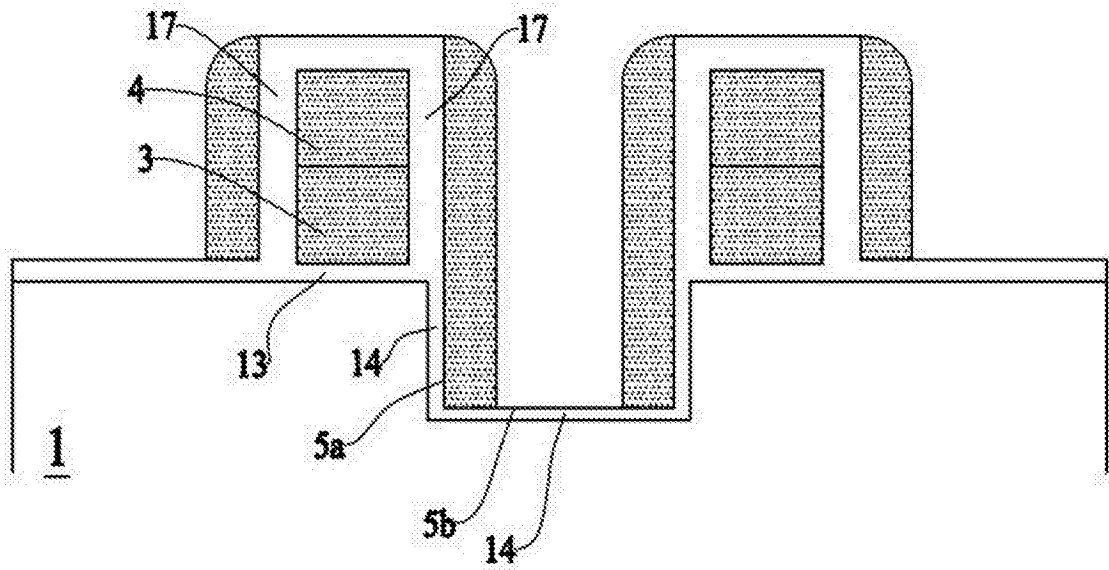


图3e

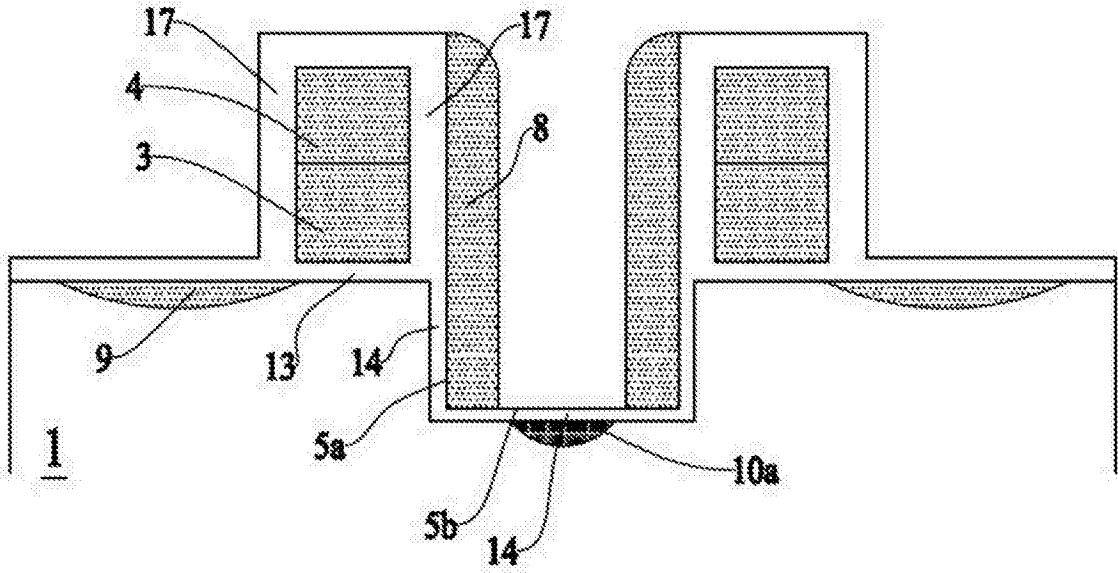


图3f

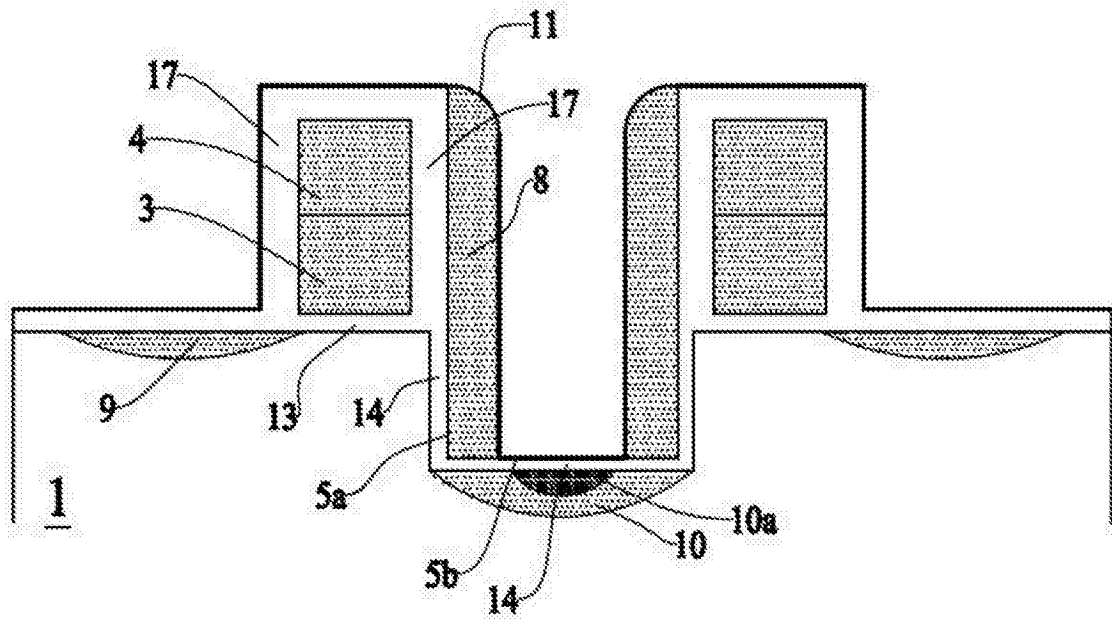


图3g

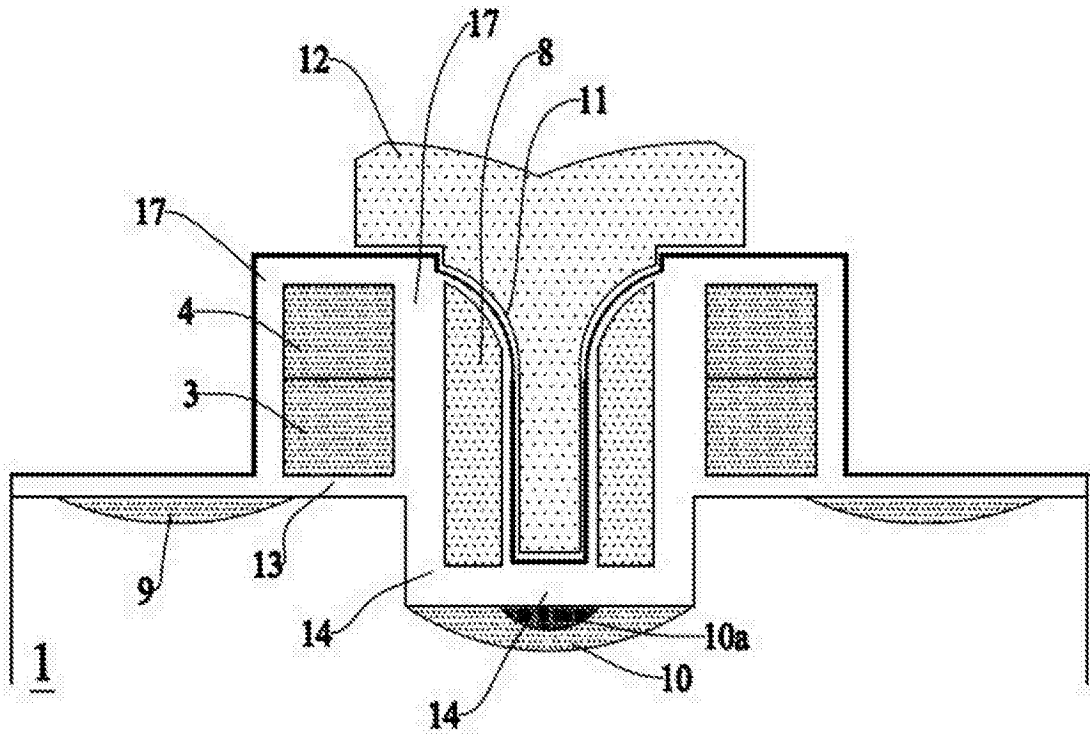


图3h

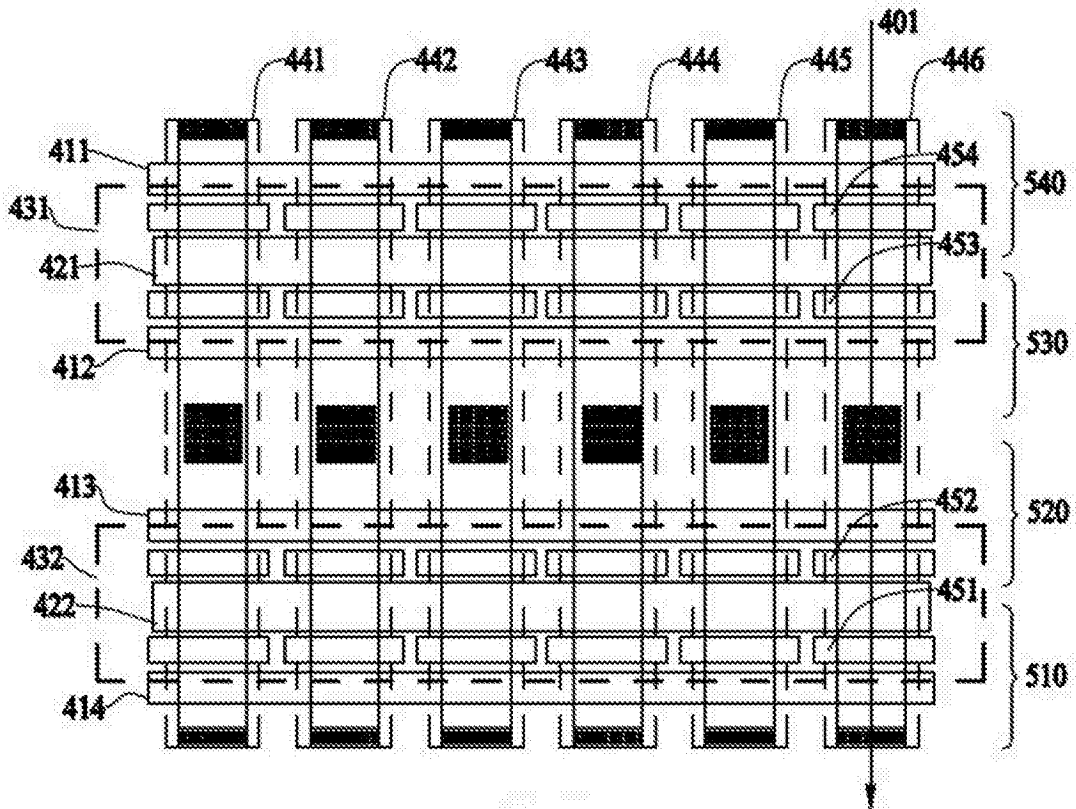


图4

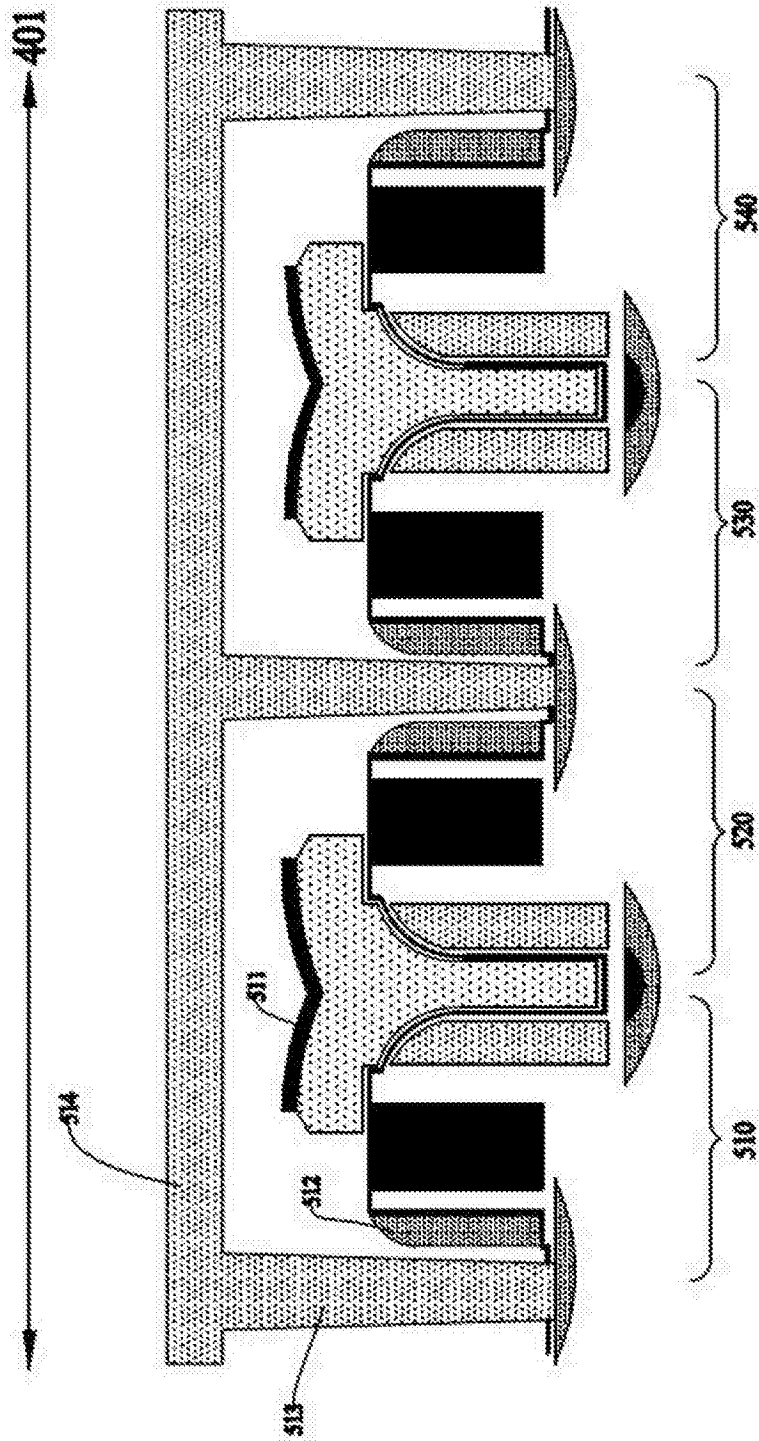


图5