

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-124157  
(P2009-124157A)

(43) 公開日 平成21年6月4日(2009.6.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 A	5 F O 3 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 S	5 F O 3 8
HO 1 L 23/52 (2006.01)	HO 1 L 21/88 Z	
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A	
HO 1 L 27/04 (2006.01)		

審査請求 有 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2008-324268 (P2008-324268)  
 (22) 出願日 平成20年12月19日 (2008.12.19)  
 (62) 分割の表示 特願2003-292166 (P2003-292166)  
 の分割  
 原出願日 平成15年8月12日 (2003.8.12)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (71) 出願人 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100082175  
 弁理士 高田 守  
 (74) 代理人 100106150  
 弁理士 高橋 英樹  
 (72) 発明者 富田 和朗  
 東京都千代田区丸の内二丁目4番1号 株  
 式会社ルネサステクノロジ内

最終頁に続く

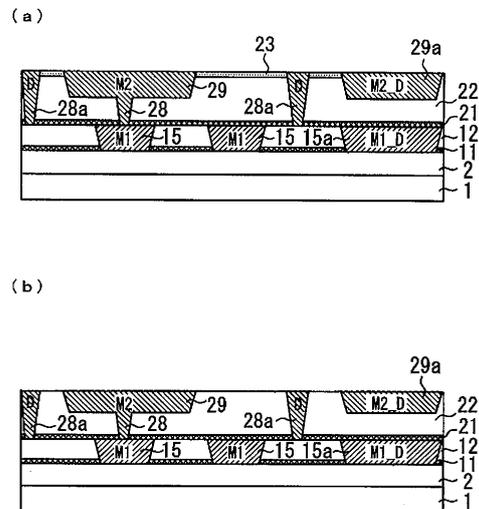
(54) 【発明の名称】 配線構造の製造方法

(57) 【要約】

【課題】 低誘電率膜内に孤立ビアを形成する際に、レジストポイズニングの発生を抑制する。

【解決手段】 基板1上に形成されたp-SiOC膜12内に、第1配線15と、第1ダミー配線15aを形成する。次に、p-SiOC膜22を形成し、p-SiOC膜22上にキャップ膜23を形成する。キャップ膜23及びp-SiOC膜22内に、第1配線15と接続するビア28と第2配線29とからなるデュアルダマシ配線を形成するとともに、孤立したビア28の周辺にダミービア28aを形成する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

第 1 配線と絶縁膜とを含む第 1 の層を形成する工程と、  
 前記第 1 の層の上に、前記第 1 配線および前記絶縁膜に接触させて、窒素原子を含むストッパ膜を形成する工程と、  
 前記ストッパ膜の上に層間絶縁膜を形成する工程と、  
 前記第 1 配線と対向する位置において前記ストッパ膜に到達する第 1 ピアホールと、前記絶縁膜と対向する位置において前記ストッパ膜に到達する第 2 ピアホールと、を前記層間絶縁膜に形成する工程と、  
 前記層間絶縁膜上に化学増幅型レジストでレジストパターンを形成し、前記第 2 ピアホールをレジストで埋める工程と、  
 前記レジストパターンをエッチングマスクとして、前記層間絶縁膜の上方部分のみをエッチングすることにより、前記第 1 ピアホールの上部に第 2 配線のための溝を形成する工程と、  
 前記溝および前記第 1 ピアホールに導電材料を埋め込むことにより、前記第 2 配線およびピアを形成する工程と、  
 を有することを特徴とする配線構造の製造方法。

10

## 【請求項 2】

第 1 配線と絶縁膜とを含む第 1 の層を形成する工程と、  
 前記第 1 の層の上に、前記第 1 配線および前記絶縁膜に接触させて、窒素原子を含むストッパ膜を形成する工程と、  
 前記ストッパ膜の上に層間絶縁膜を形成する工程と、  
 前記第 1 配線と対向する位置において前記ストッパ膜に到達する第 1 ピアホールと、前記絶縁膜と対向する位置において前記ストッパ膜に到達する第 2 ピアホールとを、前記第 1 ピアホールの近くに前記第 2 ピアホールを位置させて前記層間絶縁膜に形成する工程と、  
 前記層間絶縁膜上に化学増幅型レジストでレジストパターンを形成し、前記第 2 ピアホールをレジストで埋める工程と、  
 前記レジストパターンをエッチングマスクとして、前記層間絶縁膜の上方部分のみをエッチングすることにより、前記第 1 ピアホールの上部に第 2 配線のための溝を形成する工程と、  
 前記溝、前記第 1 ピアホールおよび前記第 2 ピアホールにそれぞれ導電材料を埋め込むことにより、前記溝に前記第 2 配線を、前記第 1 ピアホール内に孤立ピアとして第 1 ピアを、前記第 2 ピアホールにダミーピアを、それぞれ形成する工程と、  
 を有することを特徴とする配線構造の製造方法。

20

30

## 【請求項 3】

第 1 配線と絶縁膜とを含む第 1 の層を形成する工程と、  
 前記第 1 の層の上に、前記第 1 配線および前記絶縁膜に接触させて、窒素原子を含むストッパ膜を形成する工程と、  
 前記ストッパ膜の上に層間絶縁膜を形成する工程と、  
 前記第 1 配線と対向する位置において前記ストッパ膜に到達する第 1 ピアホールと、前記絶縁膜と対向する位置において前記ストッパ膜に到達する第 2 ピアホールとを、前記第 1 ピアホールの近くに前記第 2 ピアホールが位置するように前記層間絶縁膜に形成する工程と、  
 前記層間絶縁膜上に化学増幅型レジストでレジストパターンを形成し、前記第 2 ピアホールをレジストで埋める工程と、  
 前記レジストパターンをエッチングマスクとして、前記層間絶縁膜の上方部分のみをエッチングすることにより、前記第 1 ピアホールの上部に第 2 配線のための溝を形成する工程と、  
 前記溝および前記第 1 ピアホールに導電材料を埋め込むことにより、前記第 2 配線および

40

50

びビアを形成するビア形成工程と、  
を有し、

前記溝の幅は、前記第 1 ビアホール径および前記第 2 ビアホール径よりも大きいことを特徴とする配線構造の製造方法。

【請求項 4】

前記層間絶縁膜が、SiOC 膜であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の配線構造の製造方法。

【請求項 5】

前記層間絶縁膜を形成した後に、前記層間絶縁膜の上にキャップ層を形成し、前記キャップ層を貫通させて前記層間絶縁膜内に前記第 1 ビアホールおよび前記第 2 ビアホールを形成することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の配線構造の製造方法。

10

【請求項 6】

前記第 1 配線、前記ビア、および前記第 2 配線を、銅で形成することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の配線構造の製造方法。

【請求項 7】

前記第 1 ビアホールおよび前記第 2 ビアホールを形成する工程が、第 1 の穴と第 2 の穴とを有するフォトリソパターンを形成する工程と、前記フォトリソパターンをエッチングマスクとして用いて前記層間絶縁膜をエッチングすることにより、前記第 1 の穴の形状に従った形状に前記第 1 ビアホールを形成し前記第 2 の穴の形状に従った形状に前記第 2 ビアホールを形成する工程と、を含むことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の配線構造の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線構造の製造方法に係り、特にダミービアが形成された半導体装置に代表される電子デバイスの配線構造の製造方法に関するものである。

【背景技術】

【0002】

図 1 2 は、従来の半導体装置における配線構造を説明するための概略上面図である。図 1 3 は、図 1 2 に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造の F - F ' 断面図である。

30

図 1 2 及び図 1 3 に示すように、層間絶縁膜 3 0 内に、第 1 配線 ( M 1 ) 1 5 と接続するビア 2 8 と、該ビア 2 8 と接続する第 2 配線 ( M 2 ) 2 9 とからなるデュアルダマシン配線が形成されている。また、配線パターンの粗密間差をなくすために、第 1 配線 1 5 の周辺に第 1 ダミー配線 1 5 a が形成され、第 2 配線 2 9 の周辺に第 2 ダミー配線 2 9 a が形成されている。

【0003】

ところで、近年、半導体装置の微細化に伴って、配線信号遅延が問題となっている。この問題を解決するため、配線材料に銅 ( C u ) が用いられ、層間絶縁膜に比誘電率が低い低誘電率膜が用いられている ( 例えば、非特許文献 1 参照 ) 。

40

【0004】

【非特許文献 1】K. Higashi 等、Proceedings of the 2002 International Interconnect Technology Conference、p. 15-17

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、ビアの寸法が小さくなると、近接効果により孤立ビアと密集ビアとの粗密間差が大きくなってしまふ。さらに、層間絶縁膜として低誘電率膜を用い、且つ、K r F レジストや A r F レジストのような化学増幅型レジストをマスクとして用いてビアを形成する場合、特に孤立ビアの形成領域において、化学増幅型レジストの酸の影響でビアの

50

抵抗上昇や断線が発生してしまうという問題があった。すなわち、ビア、特に孤立ビアで、いわゆる「レジストポイズニング」が発生してしまうという問題があった。この問題は、低誘電率膜のアッシングダメージを防止するため、低誘電率膜上に異種の絶縁膜からなるキャップ膜を形成する場合に起こりやすい。

【 0 0 0 6 】

また、例えば、先端口ジック回路製品のような電子デバイスでは、消費電力を低減するため電源電圧を低電圧化している。このため、外部からのノイズにより誤動作しやすいという問題があった。

【 0 0 0 7 】

本発明は、上記従来の課題を解決するためになされたもので、低誘電率膜内にビアを形成する際に、レジストポイズニングの発生を抑制することができる配線構造の製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 0 8 】

本願の第 1 の発明は、上記の目的を達成するため、配線構造の製造方法であって、第 1 配線と絶縁膜とを含む第 1 の層を形成する工程と、前記第 1 の層の上に、前記第 1 配線および前記絶縁膜に接触させて、窒素原子を含むストッパ膜を形成する工程と、

前記ストッパ膜の上に層間絶縁膜を形成する工程と、

前記第 1 配線と対向する位置において前記ストッパ膜に到達する第 1 ビアホールと、前記絶縁膜と対向する位置において前記ストッパ膜に到達する第 2 ビアホールと、を前記層間絶縁膜に形成する工程と、

20

前記層間絶縁膜上に化学増幅型レジストでレジストパターンを形成し、前記第 2 ビアホールをレジストで埋める工程と、

前記レジストパターンをエッチングマスクとして、前記層間絶縁膜の上方部分のみをエッチングすることにより、前記第 1 ビアホールの上部に第 2 配線のための溝を形成する工程と、

前記溝および前記第 1 ビアホールに導電材料を埋め込むことにより、前記第 2 配線およびビアを形成する工程と、

を有することを特徴とする。

30

【発明の効果】

【 0 0 0 9 】

本発明によれば、低誘電率膜内に孤立ビアを形成する際に、レジストポイズニングの発生を抑制することができる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一又は相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

【 0 0 1 1 】

実施の形態 1 .

40

まず、配線構造について説明する。

図 1 は、本発明の実施の形態 1 による半導体装置における配線構造を説明するための概略上面図である。図 2 は、図 1 に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造の A - A ' 断面図である。

【 0 0 1 2 】

次に、図 1 及び図 2 ( a ) を参照して、配線構造について説明する。

基板 1 上に、層間絶縁膜 2 としての H D P 酸化膜が形成されている。ここで、基板 1 は、例えば、 $10 \cdot \text{cm}$  の比抵抗を有する P 型シリコンウェハである。H D P 酸化膜 2 上にストッパ膜 1 1 としての p - S i C 膜が形成され、この p - S i C 膜 1 1 上に低誘電率膜 1 2 としての p - S i O C 膜が形成されている。p - S i C 膜 1 1 及び p - S i O C 膜

50

12内には第1配線(M1)15が形成され、この第1配線15の周辺に第1ダミー配線(M1\_\_D)15aが形成されている。この第1ダミー配線15aは、例えば1 $\mu$ m $\times$ 1 $\mu$ mのサイズを有し、2 $\mu$ mのピッチで形成されている。

【0013】

p-SiOC膜12、第1配線15及び第1ダミー配線15a上に、ストップ膜21としてのp-SiC膜が形成され、このp-SiC膜21上に低誘電率膜22としてのp-SiOC膜が形成されている。図(a)に示すように、p-SiOC膜22上に、キャップ膜23が形成されている。キャップ膜23は、低誘電率膜22のアッシングダメージを防止するために形成され、低誘電率膜22とは異なる種類の絶縁膜である。なお、詳細は後述するが、図2(b)に示すように、キャップ膜23は、CMPにより最終的に除去されてもよい。

10

【0014】

キャップ膜23、p-SiOC膜22及びp-SiC膜21内には、第1配線15と接続するビア28と、このビア28と接続する第2配線29とからなるデュアルダマシン配線28,29が形成されている。

孤立したデュアルダマシン配線28,29の周辺には、何れの配線にも接続しないダミービア28aと、第2ダミー配線29aとが形成されている。このダミービア28aは、例えば、寸法が0.15 $\mu$ mであり、0.5 $\mu$ mのピッチで形成されている。また、第2ダミー配線29aは、例えば1 $\mu$ m $\times$ 1 $\mu$ mのサイズを有し、2 $\mu$ mのピッチで形成されている。

20

【0015】

次に、デュアルダマシン法を用いた上記配線構造の製造方法について説明する。

図3は、図2(a)に示した配線構造の製造方法を説明するための工程断面図である。

まず、図示しないが、基板1内に、STI(shallow trench isolation)法を用いて深さが例えば300nmのトレンチを形成する。

次に、基板1上にHDP-CVD法を用いて酸化膜(以下「HDP酸化膜」という。)2を例えば1000nmの膜厚で形成し、CMP法を用いてHDP酸化膜2を300nm研磨する。次に、HDP酸化膜2上に、CVD法を用いてp-SiC膜11を例えば50nmの膜厚で形成する。そして、その上にCVD法を用いてp-SiOC膜12を例えば400nmの膜厚で形成し、CMP法を用いてp-SiOC膜12を150nmだけ研磨する。さらに、p-SiOC膜12上に、第1配線/第1ダミー配線形成用の化学増幅型のレジストパターン(以下「レジストパターン」という。)13を形成する。これにより、図3(a)に示すような構造が得られる。

30

【0016】

次に、図3(b)に示すように、ダマシン法を用いてp-SiOC膜12及びp-SiC膜11内に、第1配線15及び第1ダミー配線15aを形成する。詳細には、レジストパターン13をマスクとしたドライエッチングにより、p-SiOC膜12及びp-SiC膜11内に開口14,14aを形成する。そして、この開口14,14a内にバリアメタルとして例えばTa/TaN膜をそれぞれ10nm/10nmの膜厚で形成し、このバリアメタル上にスパッタ法を用いてCuシード層を例えば100nmの膜厚で堆積させ、めっき法を用いてCuを500nm堆積させる。その後、CMP法を用いて不要なCu及びバリアメタルを除去する。

40

【0017】

次に、図3(c)に示すように、CVD法を用いてp-SiC膜21を例えば50nmの膜厚で形成し、その上にCVD法を用いてp-SiOC膜22を例えば600nmの膜厚で形成し、CMP法を用いてp-SiOC膜22を200nmだけ研磨する。そして、p-SiOC膜22上にCVD法を用いてキャップ膜23を、例えば50nm~200nmの膜厚で形成する。さらに、キャップ膜23上に、ビア/ダミービア形成用のレジストパターン24を形成する。

【0018】

50

次に、図3(d)に示すように、レジストパターン24をマスクとしたドライエッチングにより、キャップ膜23及びp-SiOC膜22内にストッパ膜21表面に達するビアホール(接続孔)25を形成するとともに、孤立したビアホール25の周辺にダミーのビアホール25aを形成する。

【0019】

次に、図3(e)に示すように、ストッパ膜21をドライエッチングすることにより、ビアホール25を延長して第1配線15に接続する。次いで、ダミービアホール25a内を含むキャップ膜23上にレジストパターン26を形成する。これにより、ダミービアホール25a内にレジストが埋め込まれたレジストビアが形成される。

【0020】

次に、このレジストパターン26をマスクとしたドライエッチングにより、キャップ膜23及びp-SiOC膜22内に開口(配線溝)27, 27aを形成する。そして、この開口27, 27a内にバリアメタル(Ta/TaN=10nm/10nm)を形成し、このバリアメタル上にスパッタ法を用いてCuシード層を100nm堆積させ、めっき法を用いてCuを500nm堆積させる。その後、CMP法を用いて不要なCu及びバリアメタルを除去する。これにより、図3(f)に示すような構造が得られる。すなわち、第1配線15に接続するビア28と、このビア28に接続する第2配線29とからなるデュアルダマシ配線28, 29が形成される。また、孤立ビア28の周辺にダミービア28aが形成され、第2配線29周辺に第2ダミー配線29aが形成される。

【0021】

なお、Cu及びバリアメタルのCMP時に、キャップ膜23を更に除去してもよい。すなわち、図2(b)に示すように、最終的な配線構造において、キャップ膜23は存在しても存在しなくてもよい(後述する実施の形態2~5についても同様)。キャップ膜23が除去された場合でも、キャップ膜23が残る場合(図2(a))と同等のデバイス特性が得られる。

【0022】

以上説明したように、本実施の形態1では、低誘電率膜であるp-SiOC膜22内の孤立ビア28周辺にダミービア28aを形成した。これにより、低誘電率膜22内に孤立ビア28を形成する際に、レジストポイズニングの発生を抑制することができることを本発明者は見出した。

また、近接効果による孤立ビアと密集ビアとの粗密間差が抑制されるため、ビア28の寸法制御性が向上する。

【0023】

また、本実施の形態1では、ビア開口率が高くなるため、エッチングによりビアホール25, 25aを形成する際に、安定してエンドポイントの検出を行うことができる。これにより、ビアホールの下地膜突き抜けや、開口不良を防止することができ、広いプロセスマージンを確保することができる。

【0024】

また、ダミービアを形成することによりビアのパターン占有率が揃うため、ビア(プラグ)研磨時にエロージョンやディッシングの発生を防止することができる。

【0025】

なお、本実施の形態1では、ダミービア28aの寸法が0.15µmの場合について説明したが、ビア28の最小寸法の1~10倍であれば、上記効果が得られる。また、ダミービアのピッチは0.5µmに限らず、ビアのパターン占有率が0.5%~30%の範囲で一定になれば、任意であってよい。また、ダミービアは図1に示すような正方形の開口断面を有する形状に限られず、円筒形状や、長方形の開口断面を有するスリット形状であっても上記効果が得られる(後述する実施の形態2~5についても同様)。

【0026】

また、低誘電率膜12, 22としてp-SiOC膜を用いたが、これに限らず、比誘電率が3以下の低誘電率膜であれば適用することができる。さらに、ポーラス膜のような超

10

20

30

40

50

低誘電率膜を適用することもできる。また、ストッパ膜 11, 21 として p - SiC 膜を用いたが、p - SiN 膜を用いてもよく、p - SiC 膜と p - SiN 膜の積層膜を用いてもよい。さらに、下地膜に対して十分エッチング選択比を確保できれば、ストッパ膜は必ずしも要しない。また、プラグの材料として、W 又は Cu を用いたが、これ以外にも、Ta、Ti 等の導電材料又はそれらを積層したものを用いてもよい（後述する実施の形態 2 ~ 5 についても同様）。

#### 【0027】

実施の形態 2 .

図 4 は、本発明の実施の形態 2 による半導体装置における配線構造を説明するための概略上面図である。図 5 は、図 4 に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造の B - B' 断面図である。

10

#### 【0028】

前述の実施の形態 1 では、孤立ビア 28 の周辺に第 1 及び第 2 配線 15, 29 に接続しないダミービア 28a を配置したが、本実施の形態 2 による配線構造では、孤立ビア 28 の周辺に第 1 配線 15 と接続するダミービア 28b を配置した。

従って、本実施の形態 2 によれば、実施の形態 1 で得られる効果と同様の効果が得られる。

さらに、本実施の形態 2 において、デュアルダマシン法を用いることにより、太い配線幅を有する第 1 及び第 2 配線 15, 29 のストレスマイグレーションを低減することができる。

20

#### 【0029】

なお、本実施の形態 2 では、ダミービア 28b が第 1 配線 15 のみと接続しているが、ダミービアが第 2 配線 29 のみと接続してもよく、それらのダミービアが孤立ビア 28 周辺に混在してもよい。

#### 【0030】

実施の形態 3 .

図 6 は、本発明の実施の形態 3 による半導体装置における配線構造を説明するための概略上面図である。図 7 は、図 6 に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造の C - C' 断面図である。

#### 【0031】

前述の実施の形態 1 では、孤立ビア 28 の周辺に第 1 及び第 2 配線 15, 29 に接続しないダミービア 28a を配置したが、本実施の形態 3 による配線構造では、孤立ビア 28 の周辺に第 1 ダミー配線 15a と第 2 ダミー配線 29a とに接続するダミービア 28c を配置した。

30

従って、本実施の形態 3 によれば、実施の形態 1 で得られる効果と同様の効果が得られる。

また、回路的容量をほとんど増加させることなく、ストレスマイグレーションによるビア抵抗上昇や断線不良を抑制することができる。

さらに、本実施の形態 3 において、デュアルダマシン法を用いることにより、太い配線幅を有する第 1 及び第 2 配線 15, 29 のストレスマイグレーションを低減することができる。

40

#### 【0032】

実施の形態 4 .

図 8 は、本発明の実施の形態 4 による半導体装置における配線構造を説明するための概略上面図である。図 9 は、図 8 に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造の D - D' 断面図である。

#### 【0033】

図 8 及び図 9 に示すように、本実施の形態 4 による配線構造では、孤立ビア 28 の周辺に、第 1 及び第 2 配線 15, 29 の何れにも接続しないダミービア 28a と、第 1 配線 15 と接続するダミービア 28b と、第 1 及び第 2 ダミー配線 15a, 29a と接続するダ

50

ミーピア 28c とを配置した。すなわち、本実施の形態 4 は、実施の形態 1 ~ 3 のダミーピア 28a, 28b, 28c を全て適用したものである。

従って、本実施の形態 4 によれば、実施の形態 1 ~ 3 で得られる効果と同様の効果が得られる。また、本実施の形態 4 は、特に線幅が太い配線 15, 29 を形成する際のストレスマイグレーション低減に好適である。

【0034】

実施の形態 5 .

図 10 は、本発明の実施の形態 5 による半導体装置における配線構造を説明するための概略上面図である。図 11 は、図 10 に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造の E - E' 断面図である。

10

【0035】

前述の実施の形態 3 では、 $1\mu\text{m} \times 1\mu\text{m}$  のサイズを有する第 1 及び第 2 ダミー配線 15a, 29a を第 1 及び第 2 配線 15, 29 周辺に形成し、それらをダミーピア 28c により接続した。

本実施の形態 5 では、図 10 及び図 11 に示すように、第 1 配線 15 の周辺に、線幅  $0.5\mu\text{m}$  のラインパターンからなる第 1 ダミー配線 15b を  $2\mu\text{m}$  ピッチで形成した。さらに、第 2 配線 29 の周辺に、第 1 ダミー配線 15b と直交するように、線幅  $0.5\mu\text{m}$  のラインパターンからなる第 2 ダミー配線 29b を  $2\mu\text{m}$  ピッチで形成した。さらに、第 1 ダミー配線 15b と第 2 ダミー配線 29b との交点にダミーピア 28d を配置した。これにより、第 1 及び第 2 ダミー配線 15b, 29b とダミーピア 28d とからなるダミー

20

【0036】

以上説明した本実施の形態 5 では、第 1 ダミー配線 15b と第 2 ダミー配線 29b とを格子状に配置し、その交点にダミーピア 28d を配置した。本実施の形態 5 によれば、孤立ダミー 28 の周辺にダミーピア 28d を配置したため、実施の形態 1 で得られる効果と同様の効果が得られる。

【0037】

さらに、本実施の形態 5 では、ダミーピア 28d を介して同一電位となったダミーパターン 15b, 28d, 29b が任意箇所でもグラウンド電位に接続されている。このダミーパターンによって回路パターン 15, 28, 29 がシールドされるため、外部からのノイズによる回路パターンの誤動作を抑制することができる。従って、外部ノイズに対して高いマージンを有する配線構造及びその製造方法が得られる。

30

【図面の簡単な説明】

【0038】

【図 1】本発明の実施の形態 1 による半導体装置における配線構造を説明するための概略上面図である。

【図 2】図 1 に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造の A - A' 断面図である。

【図 3】図 2 に示した配線構造の製造方法を説明するための工程断面図である。

40

【図 4】本発明の実施の形態 2 による半導体装置における配線構造を説明するための概略上面図である。

【図 5】図 4 に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造の B - B' 断面図である。

【図 6】本発明の実施の形態 3 による半導体装置における配線構造を説明するための概略上面図である。

【図 7】図 6 に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造の C - C' 断面図である。

【図 8】本発明の実施の形態 4 による半導体装置における配線構造を説明するための概略上面図である。

50

【図9】図8に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のD-D'断面図である。

【図10】本発明の実施の形態5による半導体装置における配線構造を説明するための概略上面図である。

【図11】図10に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のE-E'断面図である。

【図12】従来の半導体装置における配線構造を説明するための概略上面図である。

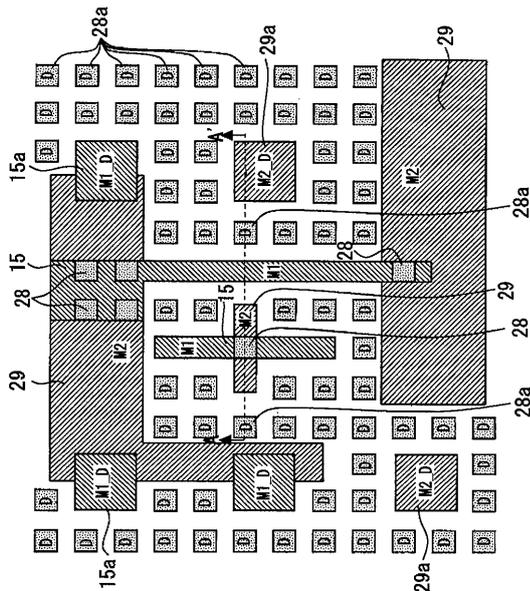
【図13】図12に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のF-F'断面図である。

【符号の説明】

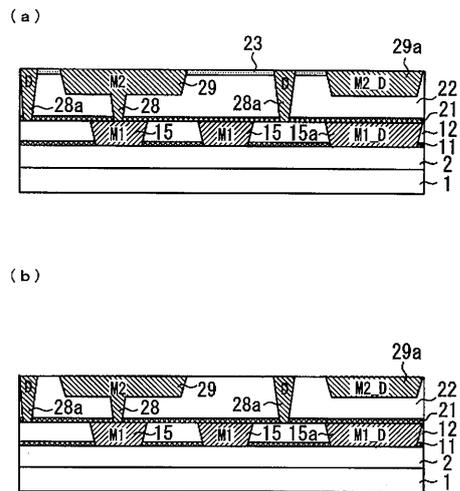
【0039】

1 基板（シリコンウェハ）、 2 層間絶縁膜（HDP酸化膜）、 11, 21 ストップ膜（p-SiC膜）、 12, 22 低誘電率膜（p-SiOC膜）、 13, 24 レジストパターン、 14, 14a, 25, 25a, 27, 27a 開口（配線溝、接続孔）、 15 第1配線、 15a, 15b 第1ダミー配線、 23 キャップ膜（絶縁膜）、 28 ピア、 28a, 28b, 28c, 28d ダミーピア、 29 第2配線、 29a, 29b 第2ダミー配線。

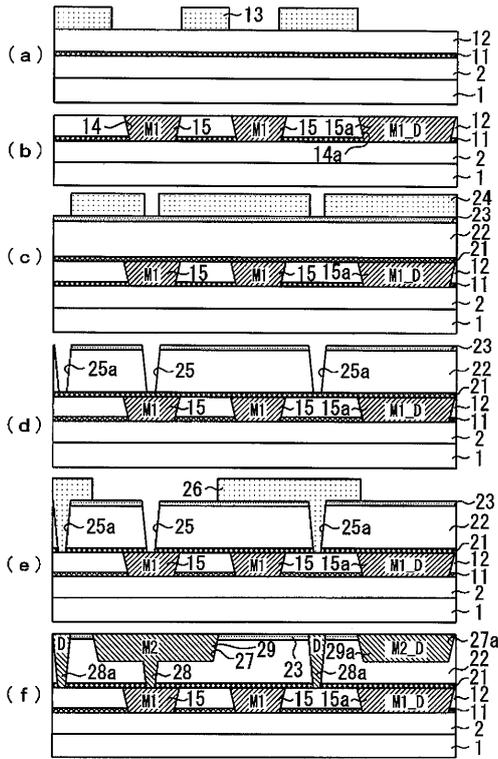
【図1】



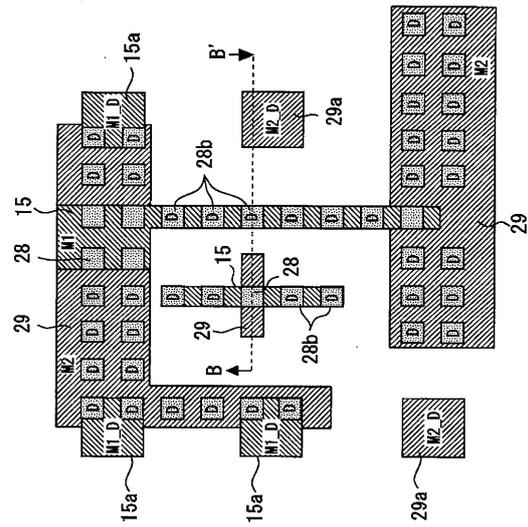
【図2】



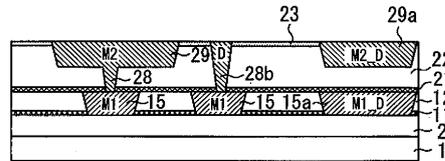
【 図 3 】



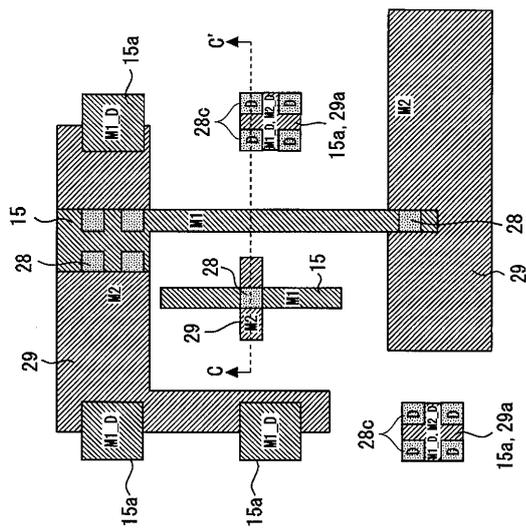
【 図 4 】



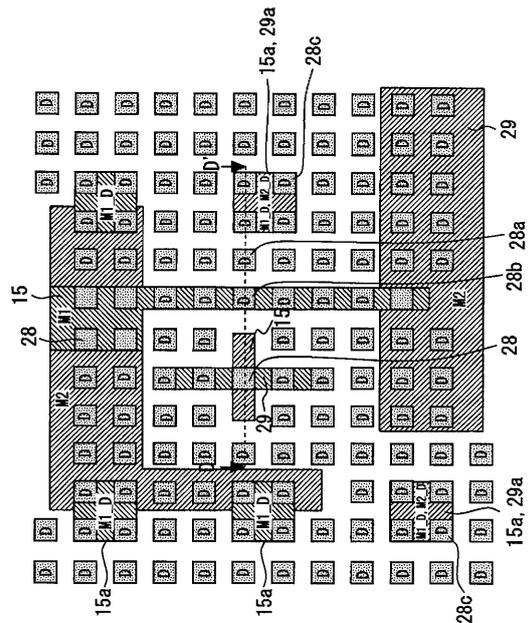
【 図 5 】



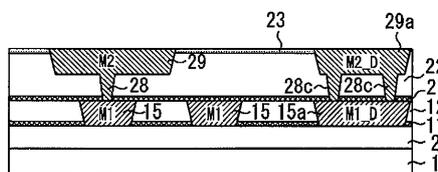
【 図 6 】



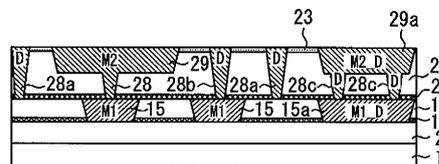
【 図 8 】



【 図 7 】



【 図 9 】





## フロントページの続き

- (72)発明者 橋本 圭司  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 西岡 康隆  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 松本 晋  
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 関口 満  
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 岩崎 晃久  
大阪府門真市大字門真1006番地 パナソニック株式会社内

Fターム(参考) 5F033 HH11 HH18 HH21 HH32 HH33 JJ11 JJ18 JJ19 JJ21 JJ32  
JJ33 KK11 MM01 MM02 NN06 NN07 NN32 PP15 PP27 QQ09  
QQ11 QQ25 QQ48 RR01 RR06 RR29 SS15 TT02 UU03 UU04  
VV01 VV03 VV05 XX06 XX18  
5F038 BH10 BH19 CD02 CD10 CD13 EZZ0