



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월29일
 (11) 등록번호 10-1193913
 (24) 등록일자 2012년10월17일

(51) 국제특허분류(Int. Cl.)
 H01L 33/22 (2010.01) H01L 33/20 (2010.01)
 H01L 33/38 (2010.01)
 (21) 출원번호 10-2010-0081625
 (22) 출원일자 2010년08월23일
 심사청구일자 2010년08월23일
 (65) 공개번호 10-2012-0018652
 (43) 공개일자 2012년03월05일
 (56) 선행기술조사문헌
 KR100816841 B1*
 KR1020050072640 A*
 KR1020080093558 A*
 JP2008085372 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 고려대학교 산학협력단
 서울 성북구 안암동5가 1
 (72) 발명자
 김태근
 경기도 성남시 분당구 서현로 177, 금강아파트
 103-1301 (이매동)
 안호명
 서울특별시 강동구 아리수로97길 19, 406동 202호
 (강일동, 강일리버파크)
 심재인
 서울특별시 성북구 인촌로22길 45, 204호 (안암동5가)
 (74) 대리인
 특허법인주원

전체 청구항 수 : 총 4 항

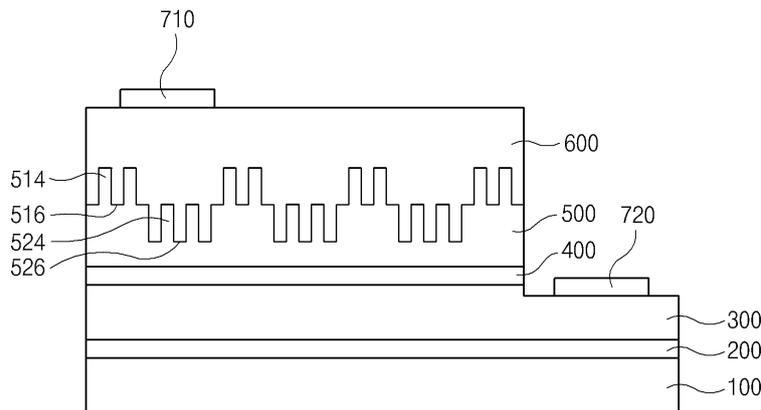
심사관 : 김갑병

(54) 발명의 명칭 **광결정 패턴이 형성된 반도체 발광 소자 및 그 제조 방법**

(57) 요약

본 발명은 2단계로 광결정 패턴이 형성된 반도체 발광 소자 및 그 제조 방법을 개시한다. 본 발명은 반도체층 또는 투명 전극층에 형성된 제 1 광결정 패턴 내부에 제 2 광결정 패턴을 형성하여 광추출 효율을 향상시킨다. 또한, 본 발명은 제 1 광결정 패턴 내부에 나노 스케일의 미세한 제 2 광결정 패턴을 형성하기 위해서 폴리머 비드를 이용한 나노스피어 리소그래피 공정을 이용하였고, 폴리머 비드를 단일층으로 배치하기 위해서 열가소성 수지로 구현되는 트랩핑 레이어를 이용하여 간편하게 폴리머 비드를 단일층으로 형성함으로써, 종래의 나노스피어 리소그래피 공정시 폴리머 비드 사이즈에 따른 공정 변수를 일일이 계산하고 변경하는 불편함을 해소하였다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

(a) 반도체 기판에 제 1 반도체층, 활성층 및 제 2 반도체층을 순차적으로 형성하는 단계;

(b1) 상기 제 2 반도체층 표면에, 복수의 요홈부를 형성하여 상기 제 1 광결정 패턴을 형성하는 단계; 및

(b2) 상기 요홈부 사이의 상기 제 2 반도체층의 표면(상면)과 상기 복수의 요홈부의 하면에 각각 단면이 요철 패턴인 제 2 광결정 패턴을 형성하는 단계; 및

(c) 상기 제 2 반도체층 위에 투명 진극층을 형성하는 단계를 포함하고,

상기 (b2) 단계는

상기 제 1 광결정 패턴이 형성된 제 2 반도체층의 상기 상면 및 상기 요홈부의 하면에 폴리머 비드를 단일층으로 배치하고, 상기 폴리머 비드의 사이즈를 조절한 후, 상기 폴리머 비드를 식각 마스크로 이용하여 상기 제 2 반도체층을 식각하여 상기 제 2 광결정 패턴을 형성하되,

상기 (b2) 단계는

(b2-1) 상기 제 1 광결정 패턴이 형성된 제 2 반도체층 표면에 트랩핑 레이어를 형성하는 단계;

(b2-2) 상기 트랩핑 레이어 위에 상기 폴리머 비드들을 배치하는 단계;

(b2-3) 상기 반도체 기판에 열을 가하여 상기 트랩핑 레이어를 용융시키고, 상기 트랩핑 레이어 바로 위에 위치한 폴리머 비드들을 상기 용융된 트랩핑 레이어 내부로 잠지게 하는 단계;

(b2-4) 상기 반도체 기판을 냉각시켜 상기 폴리머 비드가 상기 트랩핑 레이어에 잠긴 상태에서 상기 트랩핑 레이어를 응고시키고, 상기 트랩핑 레이어 위에 배치된 폴리머 비드들을 제거하여, 폴리머 비드를 단일층으로 상

기 제 2 반도체층에 배치하는 단계; 및

(b2-5) 상기 트랩핑 레이어를 제거하고, 상기 폴리머 비드의 사이즈를 조절한 후, 상기 사이즈가 조절된 폴리머 비드를 식각 마스크로 이용하여 상기 제 2 반도체층을 식각하여 상기 제 2 광결정 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 발광 소자 제조 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

(a) 반도체 기판에 제 1 반도체층, 활성층, 제 2 반도체층, 및 투명 전극층을 순차적으로 형성하는 단계;

(b1) 상기 투명 전극층 표면에, 복수의 요홈부를 형성하여 제 1 광결정 패턴을 형성하는 단계; 및

(b2) 상기 복수의 요홈부 사이의 상기 투명 전극층의 표면(상면)과 상기 복수의 요홈부의 하면에 각각 단면이 요철 패턴인 제 2 광결정 패턴을 형성하는 단계를 포함하고,

상기 (b2) 단계는

상기 제 1 광결정 패턴이 형성된 상기 투명 전극층의 상기 상면 및 상기 요홈부의 하면에 폴리머 비드를 단일층으로 배치하고, 상기 폴리머 비드의 사이즈를 조절한 후, 상기 폴리머 비드를 식각 마스크로 이용하여 상기 투명 전극층을 식각하여 상기 제 2 광결정 패턴을 형성하되,

상기 (b2) 단계는

(b2-1) 상기 제 1 광결정 패턴이 형성된 투명 전극층 표면에 트랩핑 레이어를 형성하는 단계;

(b2-2) 상기 트랩핑 레이어 위에 상기 폴리머 비드들을 배치하는 단계;

(b2-3) 상기 반도체 기판에 열을 가하여 상기 트랩핑 레이어를 용융시키고, 상기 트랩핑 레이어 바로 위에 위치한 폴리머 비드들을 상기 용융된 트랩핑 레이어 내부로 잠기게 하는 단계;

(b2-4) 상기 반도체 기판을 냉각시켜 상기 폴리머 비드가 상기 트랩핑 레이어에 잠긴 상태에서 상기 트랩핑 레이어를 응고시키고, 상기 트랩핑 레이어 위에 배치된 폴리머 비드들을 제거하여, 폴리머 비드를 단일층으로 상기 투명 전극층에 배치하는 단계; 및

(b2-5) 상기 트랩핑 레이어를 제거하고, 상기 폴리머 비드의 사이즈를 조절한 후, 상기 사이즈가 조절된 폴리머 비드를 식각 마스크로 이용하여 상기 투명 전극층을 식각하여 상기 제 2 광결정 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 발광 소자 제조 방법.

청구항 14

제 9 항 또는 제 13 항에 있어서,

상기 트랩핑 레이어는 열가소성 수지로 형성되는 것을 특징으로 하는 반도체 발광 소자 제조 방법.

청구항 15

제 9 항 또는 제 13 항에 있어서, 상기 (b2-1) 단계에서

상기 트랩핑 레이어는, 그 두께가 사이즈가 조절되기 전의 상기 폴리머 비드의 직경보다 작도록 형성되는 것을 특징으로 하는 반도체 발광 소자 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 발광 소자에 관한 것으로서, 보다 구체적으로는 광추출 효율을 향상시키기 위해서 2단계로 광결정 패턴이 형성된 반도체 발광 소자에 관한 것이다.

배경기술

[0002] 종래의 질화갈륨계 LED의 경우 반도체와 공기층의 굴절률 차이로 인해 발생하는 프레넬 반사와 Snell의 법칙에 의한 전반사로 인하여 질화갈륨계 LED에서 공기층으로 진행하는 빛의 약 4% 만이 추출되므로 광추출 효율이 현저히 낮다는 단점을 가지고 있다.

[0003] 따라서, 낮은 광추출 효율을 개선하기 위한 많은 연구가 이루어지고 있으며, 그 대표적인 방법으로 질화갈륨계 LED의 표면에 요철구조 또는 미세패턴을 형성하여 표면산란 효과 또는 2차원 광결정 효과를 통해 광추출 효율을 높이는 방안을 중심으로 연구가 진행 중이다. 도 1은 종래의 일반적인 LED 소자의 광추출 효율을 향상시키기 위해 투명 전극층 표면에 미세 패턴을 형성한 일례를 도시한 도면이다.

[0004] 최근의 LED 공정은 점점 나노 스케일의 미세 공정으로 진행하고 있고, 이러한 미세공정에 적용가능한, 미세패턴 형성을 위한 리소그래피 방식에는 홀로그래픽 리소그래피, 전자빔 (E-beam) 리소그래피 그리고 나노스피어 리소그래피(Nanosphere lithography, NSL) 방식이 주로 사용되고 있다. 하지만, 홀로리소그래피의 경우 수십 나노미터 크기의 나노스케일 패턴을 형성하기가 어렵고, 전자빔 리소그래피의 경우 대면적 패터닝에 적용이 어렵다는 한계점을 갖는다.

[0005] 이에 비하여, 나노스피어 리소그래피 기술은 나노 스케일의 패턴형성을 일반적인 리소그래피 기술과 달리 별도의 마스크를 필요로 하지 않으므로, PR 코팅 및 노광, 현상 등의 공정단계를 줄일 수 있다는 점에서 공정상의 이점을 가지고 있다. 또한, 나노스피어 리소그래피에 사용되는 폴리머, 실리카 계열의 비드(bead)는 크기가 30nm ~200 μ m 로 다양하기 때문에, 나노스케일의 미세패턴을 포함한 다양한 크기 및 형태의 패턴 형성이 가능하다는 장점이 있다.

[0006] 그러나, 상술한 바와 같은 나노 사이즈의 비드를 이용한 lithography 절차 중 비드를 단일층(monolayer)으로 코팅하는 것이 가장 중요한데, 폴리머 비드(polymer bead)를 단일층으로 코팅하기 위해서는, 비드의 크기에 따라서 비드 가중치(wt%), 스핀 속도, 기판과의 접촉을 위한 계면활성제양 등의 다양한 공정 변수를 일일이 계산하여 변경하여야 하는 어려움이 따른다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는, 반도체층 또는 투명 전극층에 2단계로 광결정 패턴을 형성하여 반도체 발광 소자의 광추출 효율을 향상시킨 반도체 발광 소자 및 그 제조 방법을 제공하는 것이다.

[0008] 또한, 본 발명의 다른 과제는 2단계로 광결정 패턴을 형성할 때, 홀로리소그래피와 나노스피어 리소그래피를 순차적으로 이용하여, 제 1 광결정 패턴의 내부에 나노 스케일의 제 2 광결정 패턴을 형성하여 효과적으로 빛을 추출할 수 있는 반도체 발광 소자 및 그 제조 방법을 제공하는 것이다.

[0009] 또한, 본 발명의 다른 과제는 나노스피어 리소그래피를 적용함에 있어, 트랩핑 레이어(Trapping layer)를 이용하여 폴리머 비드의 사이즈가 바뀌어도 간편하게 재현성있는 monolayer 코팅을 수행할 수 있는 반도체 발광소자 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0010] 상술한 과제를 해결하기 위한 본 발명의 반도체 발광 소자는, 반도체 기판; 상기 반도체 기판위에 형성된 제 1 반도체층; 상기 제 1 반도체층 위에 형성되어 빛을 발생시키는 활성층; 상기 활성층 위에 형성되고, 표면에 제

1 광결정 패턴이 형성되며, 상기 제 1 광결정 패턴 내부에 제 2 광결정 패턴이 형성된 제 2 반도체층; 및 상기 제 2 반도체층 위에 형성된 투명 전극층을 포함한다.

- [0011] 한편, 상술한 과제를 해결하기 위한 본 발명의 다른 반도체 발광 소자는, 반도체 기판; 상기 반도체 기판위에 형성된 제 1 반도체층; 상기 제 1 반도체층 위에 형성되어 빛을 발생시키는 활성층; 상기 활성층 위에 형성된 제 2 반도체층; 및 상기 제 2 반도체층 위에 형성되고, 표면에 제 1 광결정 패턴이 형성되며, 상기 제 1 광결정 패턴 내부에 제 2 광결정 패턴이 형성된 투명 전극층을 포함한다.
- [0012] 또한, 상술한 반도체 발광 소자에서, 상기 제 1 광결정 패턴은 단면이 상면과 요홈부로 구성되어 요철 패턴을 형성하고, 상기 제 2 광결정 패턴은 상기 상면과 상기 요홈부의 하면에 각각 형성되는, 단면이 요철 패턴일 수 있다.
- [0013] 또한, 상기 제 2 광결정 패턴은, 원기둥 형상의 복수의 돌출부와, 상기 복수의 돌출부 사이의 저면에 의해서, 그 단면이 요철 패턴으로 형성될 수 있다.
- [0014] 또한, 상기 제 1 광결정 패턴의 요홈부는 평면이 사각형일 수 있다.
- [0015] 한편, 상술한 과제를 해결하기 위한 본 발명의 반도체 발광 소자 제조 방법은, (a) 반도체 기판에 제 1 반도체층, 활성층 및 제 2 반도체층을 순차적으로 형성하는 단계; (b) 상기 제 2 반도체층 표면에, 단면이 요철 패턴이 되도록 제 1 광결정 패턴을 형성하고, 상기 제 1 광결정 패턴 내부에 제 2 광결정 패턴을 형성하는 단계; 및 (c) 상기 제 2 반도체층 위에 투명 전극층을 형성하는 단계를 포함한다.
- [0016] 또한, 상기 (b) 단계는, (b1) 상기 제 2 반도체층 표면에, 복수의 요홈부를 형성하여 상기 제 1 광결정 패턴을 형성하는 단계; 및 (b2) 상기 요홈부 사이의 상기 제 2 반도체층의 표면(상면)과 상기 복수의 요홈부의 하면에 각각 단면이 요철 패턴인 제 2 광결정 패턴을 형성하는 단계를 포함할 수 있다.
- [0017] 또한, 상기 (b2) 단계는, 상기 제 1 광결정 패턴이 형성된 제 2 반도체층의 상기 상면 및 상기 요홈부의 하면에 폴리머 비드를 단일층으로 배치하고, 상기 폴리머 비드의 사이즈를 조절한 후, 상기 폴리머 비드를 식각 마스크로 이용하여 상기 제 2 반도체층을 식각하여 상기 제 2 광결정 패턴을 형성할 수 있다.
- [0018] 또한, 상기 (b2) 단계는, (b2-1) 상기 제 1 광결정 패턴이 형성된 제 2 반도체층 표면에 트래핑 레이어를 형성하는 단계; (b2-2) 상기 트래핑 레이어 위에 상기 폴리머 비드들을 배치하는 단계; (b2-3) 상기 반도체 기판에 열을 가하여 상기 트래핑 레이어를 용융시키고, 상기 트래핑 레이어 바로 위에 위치한 폴리머 비드들을 상기 용융된 트래핑 레이어 내부로 잠기게 하는 단계; (b2-4) 상기 반도체 기판을 냉각시켜 상기 폴리머 비드가 상기 트래핑 레이어에 잠긴 상태에서 상기 트래핑 레이어를 응고시키고, 상기 트래핑 레이어 위에 배치된 폴리머 비드들을 제거하여, 폴리머 비드를 단일층으로 상기 제 2 반도체층에 배치하는 단계; 및 (b2-5) 상기 트래핑 레이어를 제거하고, 상기 폴리머 비드의 사이즈를 조절한 후, 상기 사이즈가 조절된 폴리머 비드를 식각 마스크로 이용하여 상기 제 2 반도체층을 식각하여 상기 제 2 광결정 패턴을 형성하는 단계를 포함할 수 있다.
- [0019] 한편, 상술한 과제를 해결하기 위한 본 발명의 다른 반도체 발광소자 제조 방법은, (a) 반도체 기판에 제 1 반도체층, 활성층, 제 2 반도체층, 및 투명 전극층을 순차적으로 형성하는 단계; 및 (b) 상기 투명 전극층 표면에, 단면이 요철 패턴이 되도록 제 1 광결정 패턴을 형성하고, 상기 제 1 광결정 패턴 내부에 제 2 광결정 패턴을 형성하는 단계를 포함한다.
- [0020] 또한, 상기 (b) 단계는, (b1) 상기 투명 전극층 표면에, 복수의 요홈부를 형성하여 상기 제 1 광결정 패턴을 형성하는 단계; 및 (b2) 상기 요홈부 사이의 상기 투명 전극층의 표면(상면)과 상기 복수의 요홈부의 하면에 각각 단면이 요철 패턴인 제 2 광결정 패턴을 형성하는 단계를 포함할 수 있다.
- [0021] 또한, 상기 (b2) 단계는, 상기 제 1 광결정 패턴이 형성된 상기 투명 전극층의 상기 상면 및 상기 요홈부의 하면에 폴리머 비드를 단일층으로 배치하고, 상기 폴리머 비드의 사이즈를 조절한 후, 상기 폴리머 비드를 식각 마스크로 이용하여 상기 투명 전극층을 식각하여 상기 제 2 광결정 패턴을 형성할 수 있다.
- [0022] 또한, 상기 (b2) 단계는, (b2-1) 상기 제 1 광결정 패턴이 형성된 투명 전극층 표면에 트래핑 레이어를 형성하는 단계; (b2-2) 상기 트래핑 레이어 위에 상기 폴리머 비드들을 배치하는 단계; (b2-3) 상기 반도체 기판에 열을 가하여 상기 트래핑 레이어를 용융시키고, 상기 트래핑 레이어 바로 위에 위치한 폴리머 비드들을 상기 용융된 트래핑 레이어 내부로 잠기게 하는 단계; (b2-4) 상기 반도체 기판을 냉각시켜 상기 폴리머 비드가 상기 트래핑 레이어에 잠긴 상태에서 상기 트래핑 레이어를 응고시키고, 상기 트래핑 레이어 위에 배치된 폴리머 비드들을 제거하여, 폴리머 비드를 단일층으로 상기 투명 전극층에 배치하는 단계; 및 (b2-5) 상기 트래핑 레이어를

제거하고, 상기 폴리스티렌 비드의 사이즈를 조절한 후, 상기 사이즈가 조절된 폴리머 비드를 식각 마스크로 이용하여 상기 투명 전극층을 식각하여 상기 제 2 광결정 패턴을 형성하는 단계를 포함할 수 있다.

[0023] 또한, 상기 트래핑 레이어는 열가소성 수지로 형성될 수 있다.

[0024] 또한, 상기 (b2-1) 단계에서, 상기 트래핑 레이어는, 그 두께가 상기 폴리머 비드의 직경보다 작도록 형성되는 것이 바람직하다.

발명의 효과

[0025] 본 발명은 반도체층 또는 투명 전극층에 형성된 제 1 광결정 패턴 내부에 제 2 광결정 패턴을 형성하여 광추출 효율을 향상시킨다.

[0026] 또한, 본 발명은 제 1 광결정 패턴 내부에 나노 스케일의 미세한 제 2 광결정 패턴을 형성하기 위해서 폴리머 비드를 이용한 나노스피어 리소그래피 공정을 이용하였고, 폴리머 비드를 단일층으로 배치하기 위해서 열가소성 수지로 구현되는 트래핑 레이어를 이용하여 간편하게 폴리머 비드를 단일층으로 형성함으로써, 종래의 나노스피어 리소그래피 공정시 폴리머 비드 사이즈에 따른 공정 변수를 일일이 계산하고 변경하는 불편함을 해소하였다.

도면의 간단한 설명

[0027] 도 1은 종래의 일반적인 LED 소자의 광추출 효율을 향상시키기 위해 투명 전극층 표면에 미세 패턴을 형성한 일 예를 도시한 도면이다.

도 2는 본 발명의 바람직한 실시예에 따른 발광 소자를 도시하는 도면이다.

도 3a 내지 도 3c는 본 발명의 바람직한 일 실시예에 따른 광결정 패턴의 구조를 설명하는 도면이다.

도 4a 내지 도 4i 는 본 발명의 바람직한 일 실시예에 따른 2단계 광결정 패턴이 형성된 반도체 발광 소자를 제조하는 방법을 도시하는 도면이다.

도 5는 본 발명의 변형 실시예에 따른 반도체 발광 소자의 구조를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0029] 도 2는 본 발명의 바람직한 일 실시예에 따른 반도체 발광 소자를 도시하는 도면이다. 도 2에 도시된 예에서는 본 발명이 수평형 발광 소자에 적용된 경우를 예시적으로 설명하지만, 본 발명은 수직형 발광 소자에도 적용될 수 있음은 물론이다.

[0030] 도 2를 참조하면, 본 발명의 바람직한 실시예에 따른 발광소자는 일반적인 종래의 반도체 발광 소자와 마찬가지로 반도체 기판(100)위에 버퍼층(200), 제 1 반도체층(300), 활성층(400), 제 2 반도체층(500) 및 투명 전극층(600)이 차례로 형성되어 있고, 투명 전극층(600)과 접하는 제 2 반도체층(500)의 상면(510)에는 2단계로 광결정 패턴이 형성되어 있다.

[0031] 본 발명의 바람직한 일 실시예에서 제 1 반도체층(300)은 n-타입 반도체층으로, 제 2 반도체층(500)은 p-타입 반도체층으로 각각 형성되었으나, 그 역의 경우도 가능함은 물론이다.

[0032] 반도체 기판(100) 내지 제 2 반도체층(500)의 구성은 일반적인 수평형 발광 소자의 구성과 동일한 구성이 이용될 수 있으므로, 그 구체적인 설명은 생략하고, 본 발명의 특징인 광결정 패턴에 대해서만 설명한다.

[0033] 도 3은 본 발명의 바람직한 일 실시예에 따른 광결정 패턴의 구조를 설명하는 도면으로서, 도 3a는 제 1 광결정 패턴이 형성된 제 2 반도체층(500)의 평면도를 도시하고, 도 3b는 제 1 및 제 2 광결정 패턴이 형성된 제 2 반도체층(500)의 단면도를 도시하며, 도 3c는 제 1 및 제 2 광결정 패턴이 형성된 제 2 반도체층(500)의 평면도를 도시한다.

[0034] 도 3a를 참조하면, 제 2 반도체층(500)의 표면에는 복수의 요철부(520)가 형성되고, 그 결과, 제 2 반도체층(500)의 표면에는, 그 단면(A-A')이 요철 패턴인 제 1 광결정 패턴이 형성되어 있다. 제 1 광결정 패턴을 구성

하는 요흡부(520)의 폭은 수 마이크로미터 단위로 형성되고, 제 2 반도체층(500)에 형성되는 요흡부(520)의 수와 크기는 공정 조건으로 제어가 가능하다. 이하에서, 제 2 반도체층(500) 표면을 상면(510)이라 칭하고, 상면(510)으로부터 제 2 반도체층(500) 내부로 형성된 요흡부(520)의 바닥면을 하면(522)이라고 칭한다.

- [0035] 도 3a에 도시된 예에서는, 요흡부(520)의 평면 형상을 사각형으로 구현하였으나, 다양한 형상으로 요흡부(520)를 구현할 수도 있다. 또한, 설명의 편의를 위해서 도 3a에는 제 1 광결정 패턴만을 도시하였고, 제 2 광결정 패턴은 도시하지 않았음을 주의해야 한다.
- [0036] 한편, 도 3b 및 도 3c를 참조하면, 제 2 반도체층(500)의 상면(510)과 하면(522)에 각각 돌출부(514,524)와 돌출부(514,524)보다 낮은 저면(516,526)으로 형성된 제 2 광결정 패턴이 형성되어 있다. 따라서, 제 2 반도체층(500)의 상면(510) 및 하면(522)에 각각 단면이 요철 패턴인 제 2 광결정 패턴이 형성되어, 제 2 반도체층(500)은 전체적으로 2단계로 광결정 패턴이 형성되어 있다. 이 때, 상면(510)과 하면(522)에 형성되는 돌출부(514,524)의 폭 및 돌출부(514,524) 사이의 간격은 나노미터 단위로 형성된다.
- [0037] 이렇게, 제 2 반도체층(500)에 2단계로 광결정 패턴을 형성함으로써, 종래 기술에 비하여 광추출 효율을 향상시킬 수 있다.
- [0038] 한편, 상술한 예에서는 제 2 반도체층(500)에 2단계 광결정 패턴을 형성하는 것으로 설명하였으나, 상술한 본 발명의 바람직한 일 실시예의 변형 실시예는, 도 5에 도시된 바와 같이, 투명 전극층(600)에 이러한 2단계 광결정 패턴을 형성하였다.
- [0039] 도 4a 내지 도 4i 는 본 발명의 바람직한 일 실시예에 따른 2단계 광결정 패턴이 형성된 반도체 발광 소자를 제조하는 방법을 도시하는 도면이다. 이하에서, 도 4a 내지 도 4i를 참조하여 본 발명의 바람직한 일 실시예에 따른 2단계 광결정 패턴이 형성된 반도체 발광 소자를 제조하는 방법을 설명한다.
- [0040] 먼저, 도 4a에 도시된 바와 같이, 종래 기술과 동일한 방식으로 반도체 기판(100)위에 순차적으로 버퍼층(200), 제 1 반도체층(300), 활성층(400), 및 제 2 반도체층(500)이 형성된다.
- [0041] 그 후, 도 4b에 도시된 바와 같이, 제 2 반도체층(500) 위에 포토레지스트(900)를 형성하고, 홀로리소그래피(HoLolithography) 방식에 따라서, 포토레지스트(900)를 노광하고 현상하여 포토레지스트(900)를 현상마스크로 마련한 후, 도 4c에 도시하는 바와 같이 잔존하는 포토레지스트(900)를 식각 마스크로 이용하여 제 2 반도체층(500)을 식각하여, 제 2 반도체층(500) 위에 복수의 요흡부(520)를 형성하고 잔존하는 포토레지스트(900)를 제거함으로써 제 1 광결정 패턴을 제 2 반도체층(500) 위에 형성한다.
- [0042] 그 후, 도 4d 에 도시된 바와 같이, 인가되는 열에 잘 용융되는 폴리머 계열의 열가소성 물질로 구현되는 트랩핑 레이어(800)를 제 2 반도체층(500)위에 형성한다. 이 때, 형성되는 트랩핑 레이어의 두께는 폴리머 비드(1000)의 직경보다는 작아야 하고, 바람직하게는 후술하는 공정에 따라서 폴리머 비드(1000)(polymer bead)가 용융된 트랩핑 레이어(800)에 잠겼을때, 용융된 트랩핑 레이어(800)가 폴리머 비드(1000)보다 높게 올라오지 않도록 적절히 설정되어야 한다.
- [0043] 트랩핑 레이어(800)가 형성된 후, 도 4e에 도시된 바와 같이, 트랩핑 레이어(800)가 형성된 제 2 반도체층(500) 위에 폴리머 비드(1000)들을 코팅한다. 이 때, 비드(1000)를 코팅하는 방식은 다양하게 적용가능하고, 일례로, sol-gel 방식으로 폴리머 비드(1000)가 포함된 용액을 트랩핑 레이어(800)가 형성된 제 2 반도체층(500) 위에 코팅하고 용매를 증발시켜 폴리머 비드(1000)들을 다층으로 코팅할 수 있다.
- [0044] 폴리머 비드(1000)가 코팅된 후, 반도체 기판(100)에 트랩핑 레이어(800)가 용융될 수 있는 적절한 온도의 열(본 발명의 바람직한 실시예에서는 약 100℃ 정도의 온도)을 가하면(522), 도 4f 에 도시된 바와 같이, 트랩핑 레이어(800)가 용융되면서 트랩핑 레이어(800) 바로 위에 위치한 폴리머 비드(1000)들이 트랩핑 레이어(800) 내부로 잠기고, 기판(100)을 냉각시키면 트랩핑 레이어(800)가 다시 응고되면서 트랩핑 레이어(800) 내부에 잠긴 폴리머 비드(1000)들은 응고된 트랩핑 레이어(800) 내부에 포획된다.
- [0045] 그 후, 도 4g에 도시된 바와 같이, 초순수(D.I. water)로 린싱 공정(약 40℃의 온도에서 약 15분 동안 수행)을 수행하여 트랩핑 레이어(800)에 포획되지 않은 폴리머 비드(1000)들을 제거하면, 제 1 광결정 패턴을 구성하는 제 2 반도체층(500)의 상면(510) 및 요흡부(520) 내부의 하면(522)에 단일층으로 폴리머 비드들(1000)이 배치된다.
- [0046] 폴리머 비드들(1000)의 단일층이 제 2 반도체층(500) 위에 배치되면, 도 4h 에 도시된 바와 같이, O₂ RIE 식각

방식을 이용하여 트래핑 레이어(800)를 제거하고, 트래핑 레이어(800)가 제거된 후, CF₄ RIE 식각 방식을 이용하여 폴리머 비드(1000)를 식각하여 폴리머 비드(1000)의 크기를 감소시킨다. CF₄ RIE 공정 후에, 크기가 감소된 폴리머 비드(1000)들은 식각 마스크로서 이용되어, 제 1 광결정 패턴 내부에 형성되는 제 2 광결정 패턴의 돌출부(514,524)의 크기(폭) 및 돌출부(514,524) 간의 간격을 결정한다.

[0047] 폴리머 비드(1000)를 제 2 광결정 패턴에 맞도록 식각한 후, 도 4i 에 도시된 바와 같이, 폴리머 비드(1000)를 식각 마스크로 이용하여 Deep RIE 식각 방식을 이용하여 제 2 반도체층(500)을 식각한다. 식각이 완료되면, 단면이 요철 패턴인 제 1 광결정 패턴의 상면(510) 및 요홈부(520)의 하면(522)에 각각 단면이 요철 패턴으로 구현되는 제 2 광결정 패턴이 형성된다. 제 2 광결정 패턴의 형성에 이용되는 폴리머 비드(1000)는 구형이므로, 제 2 광결정 패턴이 형성되면, 제 2 반도체층(500)의 상면(510) 및 요홈부(520) 내부에 원기둥 형상의 돌출부(514,524)가 형성된다.

[0048] 제 2 반도체층(500)에 제 2 광결정 패턴이 형성되면, 폴리머 비드(1000)를 제거한 후 제 2 반도체층(500) 위에 투명 전극층(600)을 형성하고, 투명 전극층(600) 및 제 1 반도체층 위에 전극 패드(710,720)를 형성하여, 도 2 에 도시된 바와 같은 반도체 발광 소자를 완성한다.

[0049] 지금까지 본 발명의 바람직한 일 실시예에 따라서 2단계 광결정 패턴이 형성된 반도체 발광 소자 및 그 제조 방법에 대해서 설명하였다. 상술한 본 발명의 바람직한 일 실시예에서는 제 2 반도체층(500)에 2단계 광결정 패턴을 형성하였으나, 변형 실시예에서는 도 5 에 도시된 바와 같이, 제 2 반도체층(500) 위에 투명 전극층(600)을 형성하고, 투명 전극층(600) 위에 2단계 광결정 패턴을 형성한 후, 투명 전극층(600)의 일부 영역에 광결정 패턴을 채우는 전극 패드(710)를 형성한다. 변형 실시예는 2단계 광결정 패턴이 투명 전극층(600)에 형성되는다는 점을 제외하면, 2단계 광결정 패턴을 형성하는 과정을 상술한 본 발명의 바람직한 일 실시예와 동일하므로, 구체적인 설명은 생략한다.

[0050] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

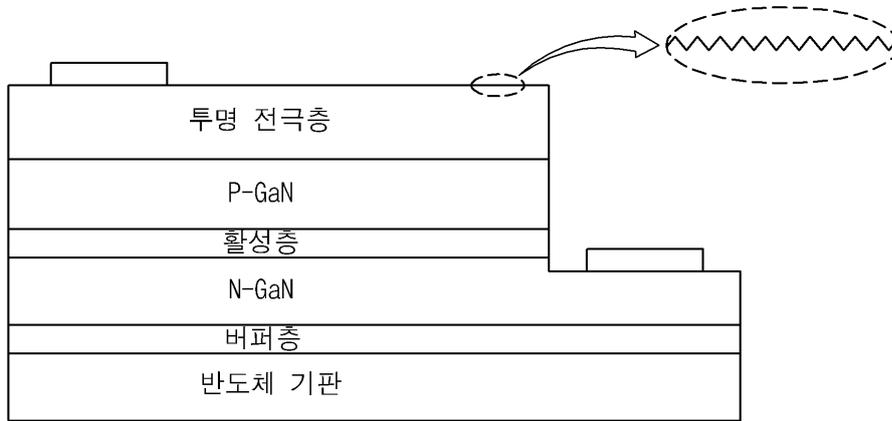
부호의 설명

[0051]	100	반도체 기판
	200	버퍼층
	300	제 1 반도체층
	400	활성층
	500	제 2 반도체층
	510	상면
	514, 524	돌출부
	516, 526	저면
	520	요홈부
	522	하면
	600	투명 전극층
	710, 720	전극패드
	800	트래핑 레이어

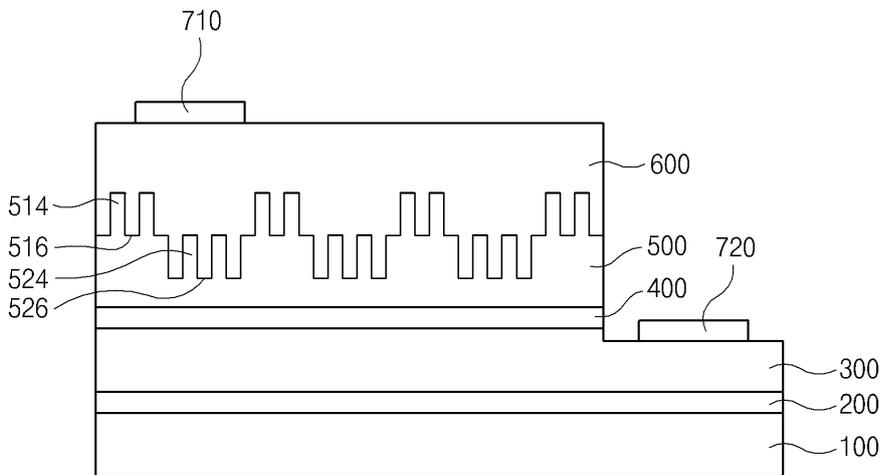
900 포토레지스트
1000 폴리머 비드

도면

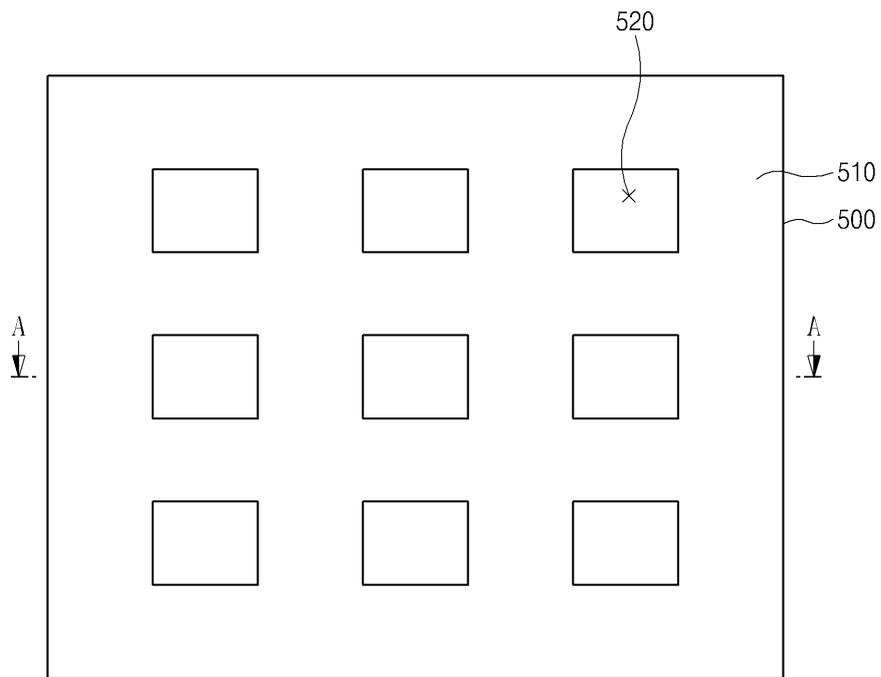
도면1



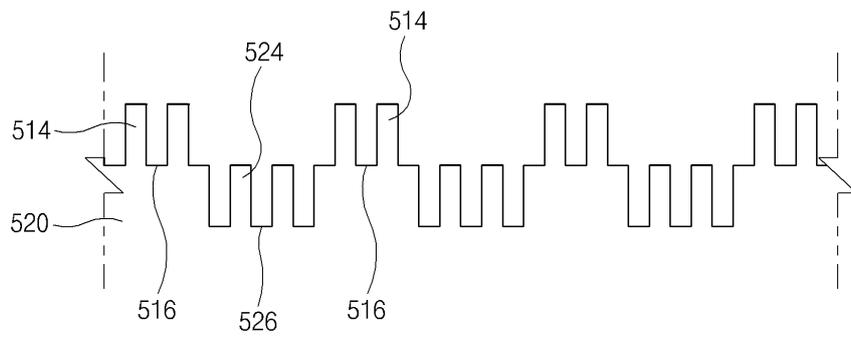
도면2



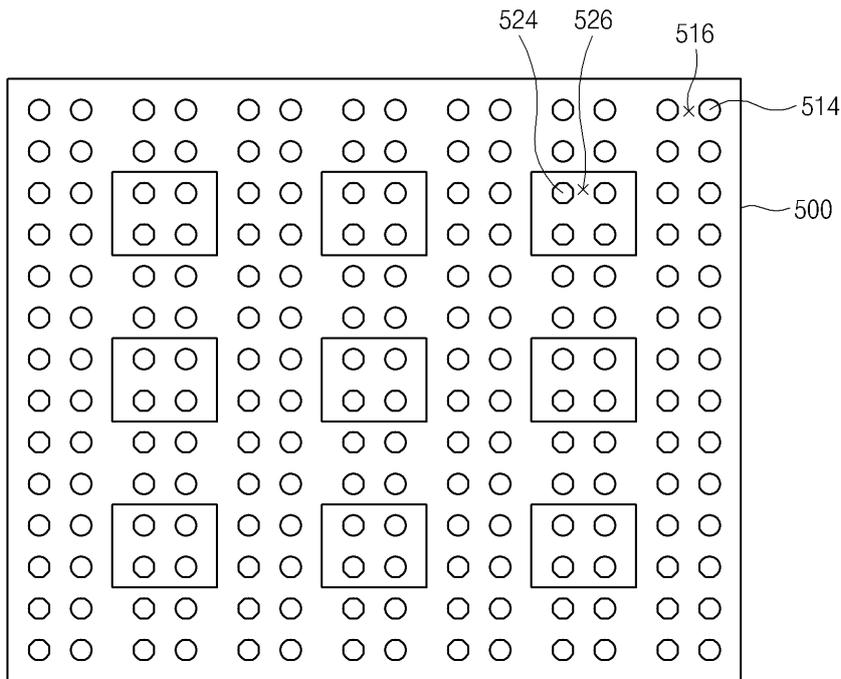
도면3a



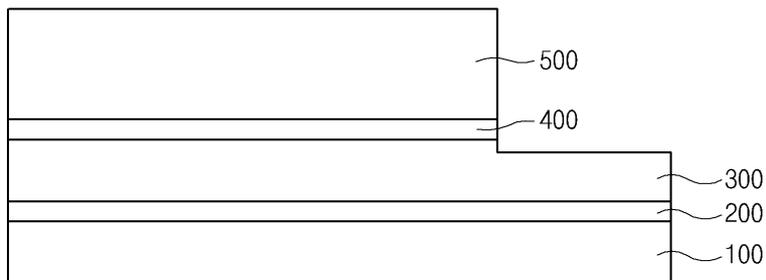
도면3b



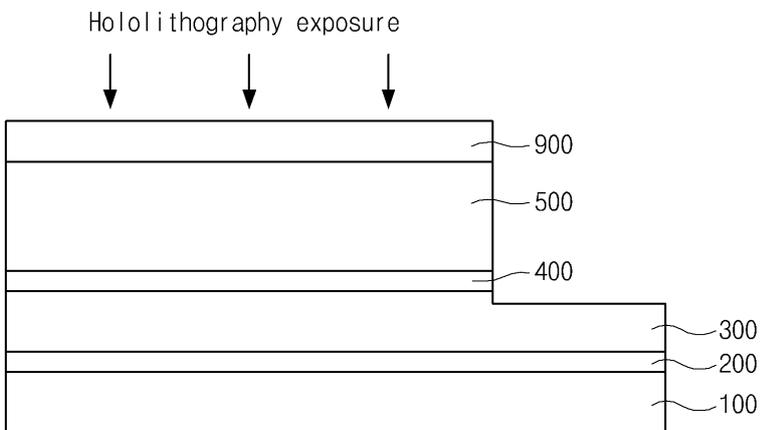
도면3c



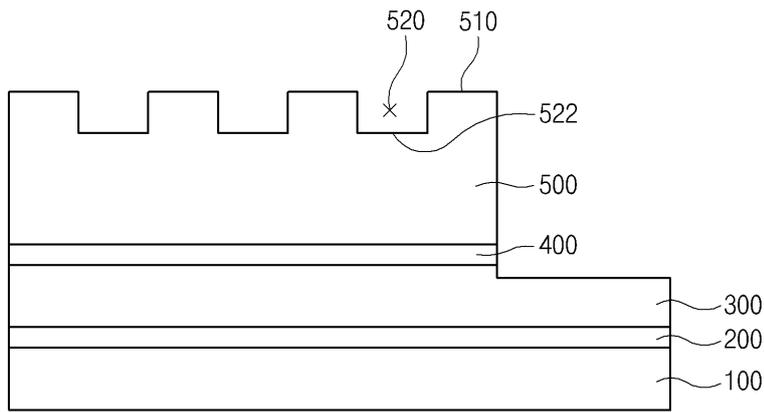
도면4a



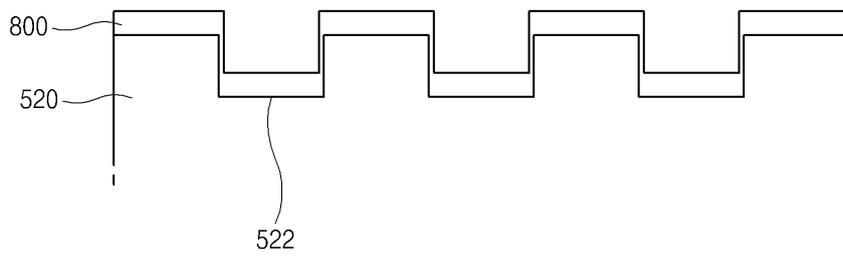
도면4b



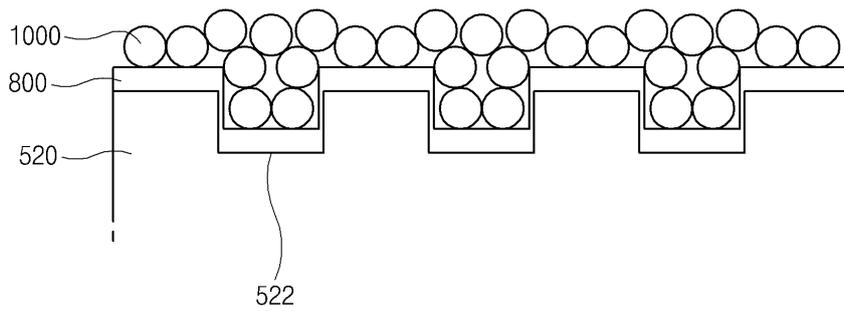
도면4c



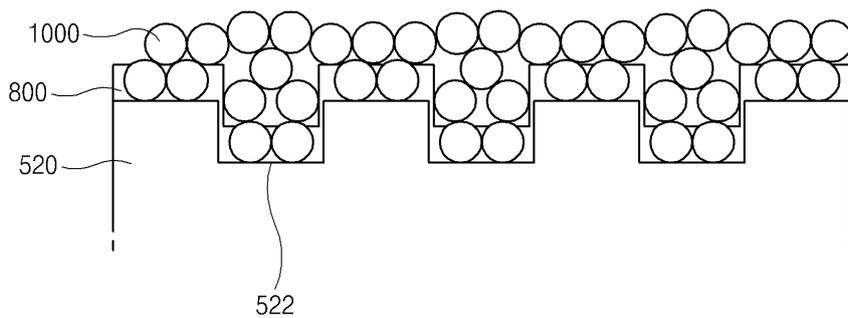
도면4d



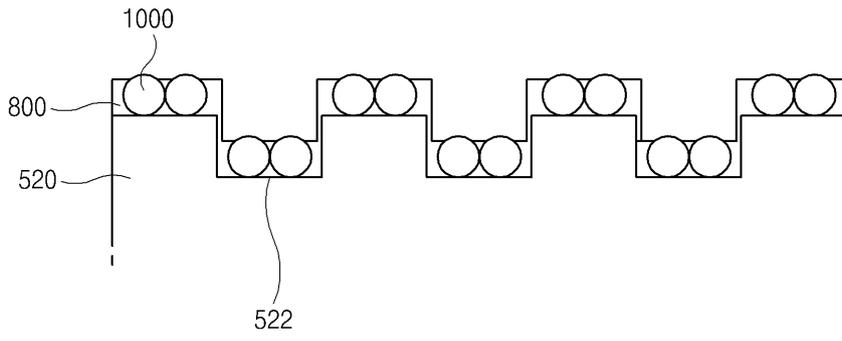
도면4e



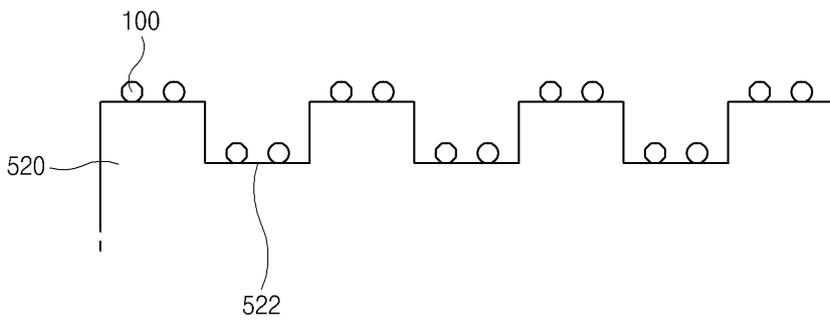
도면4f



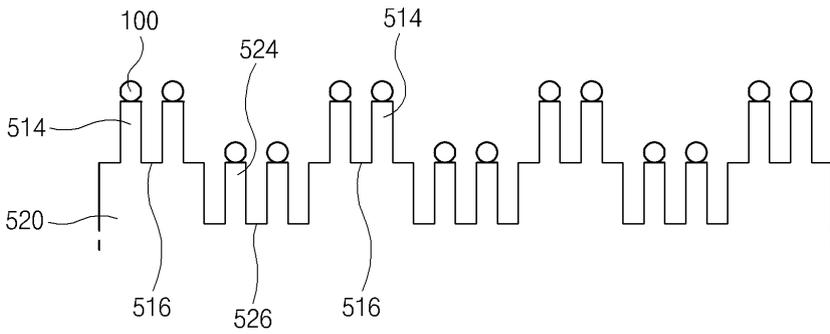
도면4g



도면4h



도면4i



도면5

