

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5854673号
(P5854673)

(45) 発行日 平成28年2月9日(2016.2.9)

(24) 登録日 平成27年12月18日(2015.12.18)

(51) Int. Cl. F 1
HO 4 N 5/378 (2011.01) HO 4 N 5/335 7 8 0
HO 3 M 1/56 (2006.01) HO 3 M 1/56

請求項の数 3 (全 18 頁)

(21) 出願番号	特願2011-154265 (P2011-154265)	(73) 特許権者	000001007
(22) 出願日	平成23年7月12日 (2011.7.12)		キヤノン株式会社
(65) 公開番号	特開2013-21567 (P2013-21567A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成25年1月31日 (2013.1.31)	(74) 代理人	100076428
審査請求日	平成26年7月14日 (2014.7.14)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素がアレイ状に配置された画素部と、

各々が前記画素部の各列に対応し該対応する列の各画素からのアナログ信号をデジタル信号に変換するための複数のアナログデジタル変換部を有する変換部であって、前記画素部の少なくとも1列に対応する少なくとも1つのアナログデジタル変換部を含む第1グループと前記画素部の他の少なくとも1列に対応する少なくとも1つのアナログデジタル変換部を含む第2グループとを含む変換部と、

クロック信号を供給するためのクロック供給部と、を含み、

前記第1グループのアナログデジタル変換部および前記第2グループのアナログデジタル変換部のそれぞれは、比較部およびカウンタ部を有し、

前記比較部は、前記アナログ信号と時間的に変化する参照電位とを比較して該比較の結果を出力し、

前記カウンタ部は、前記比較を開始してから前記比較の結果が変化するまでの時間を前記クロック供給部からのクロック信号をカウントすることにより計測し、

前記クロック供給部は、前記第1グループのアナログデジタル変換部のカウンタ部にクロック信号を供給する第1のクロックバッファおよび前記第2グループのアナログデジタル変換部のカウンタ部にクロック信号を供給する第2のクロックバッファを含み、

前記第1のクロックバッファは、互いに逆位相の2つのクロック信号を2つの入力端子でそれぞれ受けてデューティ比が補正された互いに逆位相の2つのクロック信号を2つの

10

20

出力端子にそれぞれ出力する第 1 差動回路と、前記第 1 差動回路から出力された互いに逆位相の 2 つのクロック信号をそれぞれ偶数段の C M O S インバータ回路を介して出力し、

前記第 2 のクロックバッファは、前記第 1 のクロックバッファから出力された互いに逆位相の 2 つのクロック信号を 2 つの入力端子でそれぞれ受けてデューティ比が補正された互いに逆位相の 2 つのクロック信号を 2 つの出力端子にそれぞれ出力する第 2 差動回路と、前記第 2 差動回路から出力された互いに逆位相の 2 つのクロック信号をそれぞれ偶数段の C M O S インバータ回路を介して出力する、

ことを特徴とする固体撮像装置。

【請求項 2】

複数の画素がアレイ状に配置された画素部と、

各々が前記画素部の各列に対応し該対応する列の各画素からのアナログ信号をデジタル信号に変換するための複数のアナログデジタル変換部を有する変換部であって、前記画素部の少なくとも 1 列に対応する少なくとも 1 つのアナログデジタル変換部を含む第 1 グループと前記画素部の他の少なくとも 1 列に対応する少なくとも 1 つのアナログデジタル変換部を含む第 2 グループとを含む変換部と、

クロック信号を供給するためのクロック供給部と、を含み、

前記第 1 グループのアナログデジタル変換部および前記第 2 グループのアナログデジタル変換部のそれぞれは、比較部およびカウンタ部を有し、

前記比較部は、前記アナログ信号と時間的に変化する参照電位とを比較して該比較の結果を出力し、

前記カウンタ部は、前記比較を開始してから前記比較の結果が変化するまでの時間を前記クロック供給部からのクロック信号をカウントすることにより計測し、

前記クロック供給部は、互いに直列に接続された第 1 のクロックバッファおよび第 2 のクロックバッファであってクロック信号をバッファリングするための第 1 のクロックバッファおよび第 2 のクロックバッファを含んでおり、

前記第 1 のクロックバッファは、クロック信号のデューティ比を差動回路によって補正し、偶数段の C M O S インバータ回路を介して前記第 1 グループのカウンタ部のそれぞれと前記第 2 のクロックバッファとに出力し、

前記第 2 のクロックバッファは、前記第 1 のクロックバッファから供給されたクロック信号のデューティ比を差動回路によって補正し、偶数段の C M O S インバータ回路を介して前記第 2 グループのカウンタ部のそれぞれに出力し、

前記差動回路は、

電源電位と基準電位の間第 1 ノード、第 2 ノード、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、および第 4 のトランジスタを含み、

前記第 1 のトランジスタは、P M O S トランジスタであって前記電源電位と前記第 1 ノードの間に配置され、

前記第 1 のトランジスタのゲートは前記第 2 ノードと電氣的に接続され、

前記第 2 のトランジスタは、P M O S トランジスタであって前記電源電位と前記第 2 ノードの間に配置され、

前記第 2 のトランジスタのゲートは前記第 1 ノードと電氣的に接続され、

前記第 3 のトランジスタは、N M O S トランジスタであって前記第 1 ノードと前記基準電位の間配置され、

前記第 4 のトランジスタは、N M O S トランジスタであって前記第 2 ノードと前記基準電位の間配置される、

ことを特徴とする固体撮像装置。

【請求項 3】

複数の画素がアレイ状に配置された画素部と、

各々が前記画素部の各列に対応し該対応する列の各画素からのアナログ信号をデジタル信号に変換するための複数のアナログデジタル変換部を有する変換部であって、前記画素部の少なくとも 1 列に対応する少なくとも 1 つのアナログデジタル変換部を含む第 1 グル

10

20

30

40

50

ープと前記画素部の他の少なくとも1列に対応する少なくとも1つのアナログデジタル変換部を含む第2グループとを含む変換部と、

クロック信号を供給するためのクロック供給部と、を含み、

前記第1グループのアナログデジタル変換部および前記第2グループのアナログデジタル変換部のそれぞれは、比較部およびカウンタ部を有し、

前記比較部は、前記アナログ信号と時間的に変化する参照電位とを比較して該比較の結果を出力し、

前記カウンタ部は、前記比較を開始してから前記比較の結果が変化するまでの時間を前記クロック供給部からのクロック信号をカウントすることにより計測し、

前記クロック供給部は、互いに直列に接続された第1のクロックバッファおよび第2のクロックバッファであってクロック信号をバッファリングするための第1のクロックバッファおよび第2のクロックバッファを含んでおり、

前記第1のクロックバッファは、クロック信号のデューティ比を差動回路によって補正し、偶数段のCMOSインバータ回路を介して前記第1グループのカウンタ部のそれぞれと前記第2のクロックバッファとに出力し、

前記第2のクロックバッファは、前記第1のクロックバッファから供給されたクロック信号のデューティ比を差動回路によって補正し、偶数段のCMOSインバータ回路を介して前記第2グループのカウンタ部のそれぞれに出力し、

前記差動回路は、

電源電位と基準電位の間に第1ノード、第2ノード、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、第5のトランジスタ、および第6のトランジスタを含み、

前記第1のトランジスタは、PMOSトランジスタであって前記電源電位と前記第1ノードの間に配置され、

前記第1のトランジスタのゲートは前記第2ノードと電気的に接続され、

前記第2のトランジスタは、PMOSトランジスタであって前記電源電位と前記第2ノードの間に配置され、

前記第2のトランジスタのゲートは前記第1ノードと電気的に接続され、

前記第3のトランジスタは、NMOSトランジスタであって前記第1ノードと前記基準電位の間に配置され、

前記第4のトランジスタは、NMOSトランジスタであって前記第2ノードと前記基準電位の間に配置され、

前記第5のトランジスタは、NMOSトランジスタであって前記第1ノードと前記基準電位の間に配置され、

前記第5のトランジスタのゲートは前記第2ノードと電気的に接続され、

前記第6のトランジスタは、NMOSトランジスタであって前記第2ノードと前記基準電位の間に配置され、

前記第6のトランジスタのゲートは前記第1ノードと電気的に接続される、

ことを特徴とする固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置は、例えば、CMOSイメージセンサとして、または、CCDイメージセンサとして構成され、画素がアレイ状に配置された画素部と、画素部から出力されたアナログ信号をデジタル信号に変換するアナログデジタル変換部とを含む。アナログデジタル変換部は、アナログ信号と参照電圧とを比較し判定結果を出力する比較部と、クロック信号をカウントすることにより比較を開始してから判定結果が変化するまでに要した時間を

10

20

30

40

50

読み取るカウンタ部とを含む。カウンタ部のカウンタのそれぞれに波形の崩れていないクロック信号を供給するため、複数のバッファが用いられる。画素数の増大に伴うカウンタ部の数の増大、およびクロック信号が伝搬するクロック配線の長距離化、これに伴う寄生容量成分・寄生抵抗成分の増大により、ますます多くのバッファを要するようになってきた。

【0003】

しかし、多段のバッファの使用は、特にプロセスばらつきによるクロック信号のデューティ比（Hi期間/信号周期）の崩れをもたらす。特許文献1には、クロック信号の両エッジでカウントする回路が開示されており、カウント動作のデューティ比の崩れを抑制すると記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-89066号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

画素数の増大に伴うバッファの数の増大、微細化に伴うプロセスばらつきの増大により、このクロック信号のデューティ比の崩れが問題となりうる。また特許文献1に開示される技術により、カウント動作のデューティ比の崩れが抑制されると記載されているが、クロック信号自体のデューティ比の崩れを抑制する技術については開示されていない。

【0006】

本発明の目的は、プロセスばらつきにかかわらず、カウンタ部のそれぞれに供給されるクロック信号のデューティ比の崩れを抑制することである。

【課題を解決するための手段】

【0007】

本発明の1つの側面に係る固体撮像装置は、複数の画素がアレイ状に配置された画素部と、各々が前記画素部の各列に対応し該対応する列の各画素からのアナログ信号をデジタル信号に変換するための複数のアナログデジタル変換部を有する変換部であって、前記画素部の少なくとも1列に対応する少なくとも1つのアナログデジタル変換部を含む第1グループと前記画素部の他の少なくとも1列に対応する少なくとも1つのアナログデジタル変換部を含む第2グループとを含む変換部と、クロック信号を供給するためのクロック供給部と、を含み、前記第1グループのアナログデジタル変換部および前記第2グループのアナログデジタル変換部のそれぞれは、比較部およびカウンタ部を有し、前記比較部は、前記アナログ信号と時間的に変化する参照電位とを比較して該比較の結果を出力し、前記カウンタ部は、前記比較を開始してから前記比較の結果が変化するまでの時間を前記クロック供給部からのクロック信号をカウントすることにより計測し、前記クロック供給部は、前記第1グループのアナログデジタル変換部のカウンタ部にクロック信号を供給する第1のクロックバッファおよび前記第2グループのアナログデジタル変換部のカウンタ部にクロック信号を供給する第2のクロックバッファを含み、前記第1のクロックバッファは、互いに逆位相の2つのクロック信号を2つの入力端子でそれぞれ受けてデューティ比が補正された互いに逆位相の2つのクロック信号を2つの出力端子にそれぞれ出力する第1差動回路と、前記第1差動回路から出力された互いに逆位相の2つのクロック信号をそれぞれ偶数段のCMOSインバータ回路を介して出力し、前記第2のクロックバッファは、前記第1のクロックバッファから出力された互いに逆位相の2つのクロック信号を2つの入力端子でそれぞれ受けてデューティ比が補正された互いに逆位相の2つのクロック信号を2つの出力端子にそれぞれ出力する第2差動回路と、前記第2差動回路から出力された互いに逆位相の2つのクロック信号をそれぞれ偶数段のCMOSインバータ回路を介して出力する。

【発明の効果】

【 0 0 0 8 】

本発明によれば、プロセスばらつきにかかわらず、カウンタ部のそれぞれに供給されるクロック信号のデューティ比の崩れを抑制することができる。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 従来のクロック信号の伝送方式を説明するための固体撮像装置の一例の図。

【 図 2 】 本発明を説明するための固体撮像装置の例を示す図。

【 図 3 】 差動回路の図。

【 図 4 】 差動回路のタイムチャートを示す図。

【 図 5 】 差動回路のタイムチャートを示す図。

10

【 図 6 】 差動回路の図。

【 図 7 】 差動回路のタイムチャートを示す図。

【 図 8 】 本発明の固体撮像装置のカウンタ部に使用されうるカウンタの例を示す図。

【 発明を実施するための形態 】

【 0 0 1 0 】

最初に、従来のクロック信号の伝送方式の課題を詳細に述べる。図 1 は、従来のクロック信号の伝送方式を採用した固体撮像装置 1 0 0 0 である。固体撮像装置 1 0 0 0 は、例えば、複数の画素 1 0 がアレイ状に配置された画素部 2 0 と、複数のアナログデジタル変換部 3 1 を有する変換部 3 0 と、クロック信号を伝搬するように直列に接続された複数のバッファ 2 0 0 を有するクロック供給部 4 0 とを含む。また、周辺回路として水平走査回路 5 0、参照電位（例えば、ランプ信号）を発生させる参照電位発生器 6 0、クロック信号を発生させるクロックジェネレータ 7 0 が配置されうる。アナログデジタル変換部 3 1 は、比較部 3 2 およびカウンタ部 3 3 を有し、画素部 2 0 から出力されたアナログ信号をデジタル信号へ変換する。比較部 3 2 は、アナログ信号と時間的に変化する参照電位とを比較してその結果を出力する。カウンタ部 3 3 は、比較部 3 2 において行われる比較を開始してから比較の結果が変化するまで時間を、クロック供給部 4 0 から供給されるクロック信号をカウントすることにより計測する。バッファ 2 0 0 は、伝搬されるクロック信号をバッファリングし、カウンタ部 3 3 のそれぞれや後段のバッファ 2 0 0 に出力する。

20

【 0 0 1 1 】

図 1 に示すように、従来のクロック信号の伝送方式においては、カウンタ部 3 3 のそれぞれに波形の崩れていないクロック信号を供給するため、バッファ 2 0 0 が用いられる。画素数の増大に伴うカウンタ部 3 3 の数の増大に伴う容量成分の増大、およびクロック信号が伝搬するクロック配線の長距離化に伴う寄生容量成分・寄生抵抗成分の増大により、ますます多くのバッファ 2 0 0 を要する。しかし、バッファ 2 0 0 の数の増大は、特に微細化に伴うプロセスばらつきが増大により、このクロック信号のデューティ比の崩れをもたらす。

30

【 0 0 1 2 】

より具体的に、例えば、PMOSの駆動電流 I_{DP} とNMOSの駆動電流 I_{DN} の関係が、プロセスばらつきにより $I_{DP} > I_{DN}$ となっている場合を考えると、バッファ 2 0 0 の閾値電圧 V_t は高くなる。これにより、バッファリング後のクロック信号は、バッファリング前のクロック信号より H_i 状態の期間が短くなる。バッファリング後のクロック信号は、長距離のクロック配線による寄生容量や寄生抵抗、および多数のカウンタ部の入力容量によって波形が崩れ、再びバッファリングを要する。しかし、バッファ 2 0 0 の V_t が高くなっているため、次段のバッファリングにより、さらに H_i 状態の期間が短くなる。この繰り返しにより、クロック信号がバッファ 2 0 0 を介するたびに信号のデューティ比が崩れていく。その結果、クロック供給部 4 0 の末端におけるクロック信号は、初期のクロック信号から大きくデューティ比が崩れたものとなり、ひいては H_i 状態の期間がなくなり Low 状態のみとなる（クロック信号の矩形形状そのものが消えてしまう）こともありうる。本発明は、このクロック信号のデューティ比の崩れを防ぐべく、差動回路を使用することによって、デューティ比を一定に保つものである。以下、添付図面を参照し

40

50

ながら本発明の実施形態を説明する。

< 第 1 実施形態 >

本発明の第 1 実施形態にかかる固体撮像装置 1 を、図 2 (a) を参照しながら説明する。固体撮像装置 1 は、複数の画素 1 0 がアレイ状に配置された画素部 2 0 と、画素部 2 0 から出力されたアナログ信号をデジタル信号へ変換する変換部 3 0 と、クロック信号を後述のカウンタ部 3 3 のそれぞれに供給するクロック供給部 4 0 と、を含む。変換部 3 0 は、少なくとも一つのアナログデジタル変換部 3 1 を含む第 1 グループ 9 1 および少なくとも一つのアナログデジタル変換部 3 1 を含む第 2 グループ 9 2 を有する。本実施形態においては第 1 グループ 9 1 および第 2 グループ 9 2 の 2 つのグループを例示するが、変換部 3 0 は、アナログデジタル変換部 3 1 を含む他のグループをさらに有してもよい。クロック供給部 4 0 は、クロック信号を伝搬するように直列に接続された第 1 のクロックバッファ 1 0 0 および第 2 のクロックバッファ 1 0 0 を有する。第 1 グループ 9 1 のアナログデジタル変換部 3 1 および第 2 グループ 9 2 のアナログデジタル変換部 3 1 のそれぞれは、比較部 3 2 およびカウンタ部 3 3 を有する。比較部 3 2 は、アナログ信号と時間的に変化する参照電位 (例えば、ランプ信号) とを比較してその結果を出力する。カウンタ部 3 3 は、比較部 3 2 において比較を開始してから比較結果が変化するまで時間を、クロック信号をカウントすることにより計測する。クロックバッファ 1 0 0 は、例えば、図 3 に示すような、差動回路 3 を含む。

【 0 0 1 3 】

第 1 のクロックバッファ 1 0 0 は、差動回路 3 によってクロック信号のデューティ比を補正し、補正されたクロック信号を、偶数段の C M O S インバータ回路を介して、第 1 グループ 9 1 のカウンタ部 3 3 のそれぞれと第 2 のクロックバッファ 1 0 0 に出力する。第 2 のクロックバッファ 1 0 0 は、差動回路 3 によってクロック信号のデューティ比を補正し、補正されたクロック信号を偶数段の C M O S インバータ回路を介して第 2 グループ 9 2 のカウンタ部 3 3 のそれぞれに出力する。これにより、バッファリングによるクロック信号のデューティ比の崩れや、ひいてはクロック信号の矩形形状そのものが消えてしまうことを防止する固体撮像装置 1 を提供することができる。

【 0 0 1 4 】

特に、固体撮像装置 1 のカウンタ部 3 3 には、例えば、図 8 (a) に示すようなリップルカウンタ 3 3 a を用いる場合がある。このカウンタ 3 3 a は、クロック信号の波形の立ち上がりエッジによってカウント動作するので、クロック信号の周期が一定であればよく、クロック信号のデューティの崩れは問題にはならない。しかし、前述の通り、バッファリングを繰り返すことによりクロック信号のデューティ比の崩れが進行し、結果としてクロック信号の矩形形状そのものが消えてしまうこともありうる。そこで本発明を適用することにより、バッファリングのたびにクロック信号のデューティ比を一定に補正することが可能であり、クロック信号が、クロック供給部 4 0 の末端に到達する前にクロック信号の矩形形状が消えてしまうことを防ぐことができる。

【 0 0 1 5 】

以上のように、本実施形態によれば、バッファリングのたびにクロック信号のデューティ比を補正することができ、クロック供給部 4 0 の末端までクロック信号のデューティ比を一定に保つことが可能である。

【 0 0 1 6 】

差動回路 3 は、電源電位と基準電位の間、P M O S トランジスタ M 1 (第 1 のトランジスタ) および M 2 (第 2 のトランジスタ) と、N M O S トランジスタ M 3 (第 3 のトランジスタ) および M 4 (第 4 のトランジスタ) と、を含む。そして、差動回路 3 の二つの出力は、偶数段の C M O S インバータから構成されるバッファ B A および B B と、それぞれ接続される。トランジスタ M 1 とトランジスタ M 3 は直列に接続され、トランジスタ M 2 とトランジスタ M 4 は直列に接続されている。また、トランジスタ M 1 とトランジスタ M 3 の接続点 n 1 (第 1 ノード) はトランジスタ M 2 のゲートに電気的に接続され、トランジスタ M 2 とトランジスタ M 4 の接続点 n 2 (第 2 ノード) はトランジスタ M 1 のゲ

10

20

30

40

50

ートに電氣的に接続されている。また、トランジスタM3のゲートは差動回路3の第1の入力端子となっており、クロック信号CKa__INが入力される。トランジスタM4のゲートは差動回路3の第2の入力端子となっており、CKa__INとは逆位相のクロック信号CKb__INが入力される。また、n2はバッファBAの入力と、n1はバッファBBの入力とに接続され、バッファBAの出力はCKa__OUT、バッファBBの出力はCKb__OUTとなっている。ここで、トランジスタM3およびトランジスタM4は、トランジスタM1およびトランジスタM2より十分に大きいサイズである。これにより、プロセスばらつきがあった場合や、動作電圧条件、動作温度条件のいずれの条件においても、トランジスタM3およびトランジスタM4は、トランジスタM1およびトランジスタM2より大きい駆動力を有するものとする。

10

【0017】

まず、第1のケース、即ち、閾値電圧 V_t が中心になるように設計されたバッファが、プロセスばらつきの影響でPMOS駆動力がNMOS駆動力より大きくなり、 V_t は設計値より高くなるケースを考える。即ち、第1のケースでは、バッファリングによってHi状態の期間が短くなったクロック信号が、差動回路3に入力される。図4は、入力CKa__INのデューティ比が $X/(X+Y)$ (但し、 $X < Y$)であった場合の、各ノードの電圧、各トランジスタの状態を示すタイムチャートである。

【0018】

期間T1においては、CKa__INはHi状態、CKb__INはLow状態であるので、トランジスタM3はON状態となり、n1はLow状態となる。従って、トランジスタM2はON状態となり、トランジスタM4はOFF状態であるのでn2はHi状態となり、トランジスタM1はOFF状態となる。

20

【0019】

続いて、期間T2においては、CKa__INがLow状態、CKb__INはLow状態であるので、トランジスタM3はOFF状態となり、トランジスタM1はOFF状態のまま変化しないため、n1はLow状態が維持される。これにより、トランジスタM2はON状態が維持され、トランジスタM4はOFF状態であるのでn2はHi状態となる。

【0020】

次に、期間T3においては、CKa__INがLow状態、CKb__INはHi状態であるので、M4はON状態となり、n2はLow状態となる。従って、トランジスタM1はON状態となり、トランジスタM3はOFF状態であるのでn1はHi状態となり、トランジスタM2はOFF状態となる。

30

【0021】

そして、期間T4においては、CKa__INがLow状態、CKb__INはLow状態であるので、トランジスタM4はOFF状態となり、トランジスタM2はOFF状態のまま変化しないため、n2はLow状態が維持される。これにより、トランジスタM1はON状態が維持され、トランジスタM3はOFF状態であるのでn1はHi状態となる。

【0022】

上記T1からT4が繰り返しなされ、従って、第1のケースにおいては、バッファリングによりデューティ比が $X/(X+Y)$ (但し、 $X < Y$)まで崩れていたクロック信号は、差動回路3のn1とn2において、デューティ比が50%まで復元され、補正される。

40

【0023】

次に、第2のケース、即ち、閾値電圧 V_t が中心になるように設計されたバッファが、プロセスばらつきの影響でNMOS駆動力がPMOS駆動力より大きくなり、 V_t は設計値より低くなるケースを考える。即ち、第2のケースでは、バッファリングによってHi状態の期間が長くなったクロック信号が、差動回路3に入力される。図5は、入力CKa__INのデューティ比が $Y/(X+Y)$ (但し、 $X < Y$)であった場合の、各ノードの電圧、各トランジスタの状態を示すタイムチャートである。

【0024】

期間T1においては、CKa__INはHi状態、CKb__INはLow状態であるので

50

、トランジスタM3はON状態であり、n1はLow状態となる。従って、トランジスタM2はON状態となり、トランジスタM4はOFF状態であるのでn2はHi状態となり、トランジスタM1はOFF状態となる。

【0025】

続いて、期間T2においては、CKa__INがHi状態、CKb__INはHi状態であるので、トランジスタM4はON状態となる。このとき、トランジスタM2もON状態のまま変化しないが、トランジスタM4はトランジスタM2より大きい駆動力を有するため、n2はLow状態となる。これにより、トランジスタM1はON状態となり、トランジスタM3もON状態であるが、同様の理由でn1はLow状態となる。

【0026】

次に、期間T3においては、CKa__INがLow状態、CKb__INはHi状態であるので、トランジスタM4はON状態であり、n2はLow状態となる。従って、トランジスタM1はON状態となり、トランジスタM3はOFF状態であるのでn1はHi状態となり、トランジスタM2はOFF状態となる。

【0027】

そして、期間T4においては、CKa__INがHi状態、CKb__INはHi状態であるので、トランジスタM3はON状態となる。このとき、トランジスタM1もON状態のまま変化しないが、トランジスタM3はトランジスタM1より大きい駆動力を有するため、n1はLow状態となる。これにより、トランジスタM2はON状態となり、トランジスタM4もON状態であるが、同様の理由でn2はLow状態となる。

【0028】

上記T1からT4が繰り返しなされる。第2のケースにおいては、バッファリングによりデューティ比が $Y/(X+Y)$ (但し、 $X < Y$)まで崩れていたクロック信号が、差動回路3に入力された場合は、このn1とn2においてデューティ比が $X/(X+Y)$ と反転する。その後、このデューティ比が反転したクロック信号は、このバッファBA(またはバッファBB)によりバッファリングされることによりHi状態の期間が長くなり、デューティ比は修復され、補正される。つまり、差動回路3は、デューティ比の崩れを補正し、クロック信号の矩形形状が消えてしまうことを防止する。

【0029】

まとめると、第1のケースでは、デューティ比が崩れていたクロック信号は、差動回路3によって、デューティ比が50%まで修復され、補正される。一方で、第2のケースでは、差動回路3によって、デューティ比が反転され、後続のバッファBA(もしくはバッファBB)により補正される。従って、本発明により前述のような効果が得られる。

<第2実施形態>

本発明の第2実施形態を説明する。第2実施形態は、クロックバッファ100に、図6に示すような差動回路4を使用する点で、第1実施形態と異なる。差動回路4は、差動回路3の回路構成に加え、NMOSTランジスタM5(第5のトランジスタ)とNMOSTランジスタM6(第6のトランジスタ)を、さらに含む。トランジスタM5は、トランジスタM3と並列に配置され、トランジスタM5のゲートはn2に接続されている。トランジスタM6は、トランジスタM4と並列に配置され、トランジスタM6のゲートはn1に接続されている。図3に示す差動回路3を使用した場合は、前述の第1のケース(図4)において、n1およびn2がフローティング状態となる期間T2およびT4があるという問題がある。この差動回路4をクロックバッファ100として使用することにより、この問題を解決し、さらに信頼性の高い固体撮像装置1を提供することができる。

【0030】

図7は、前述の第1のケースにおける差動回路4、即ち、入力CKa__INのデューティ比が $X/(X+Y)$ (但し、 $X < Y$)であった場合の、各ノードの電圧、各トランジスタの状態を示すタイムチャートである。即ち、図7は、図4に、各期間におけるトランジスタM5およびトランジスタM6の状態が追加されたタイムチャートである。トランジスタM5の状態は、トランジスタM1とは逆の状態となり、トランジスタM6は、トランジ

10

20

30

40

50

スタM2とは逆の状態となる。従って、差動回路4を使用することにより、トランジスタM5およびトランジスタM6による相補的作用が、n1およびn2がフローティング状態となることを回避させ、より信頼性の高い固体撮像装置1を提供することができる。

<第3実施形態>

本発明の第3実施形態にかかる固体撮像装置2を、図2(b)を参照しながら説明する。第3実施形態は、クロックバッファ100における差動クロック信号の両方を使用する点で、第1実施形態と異なる。例えば、カウンタ部に、図8(b)に示すようなリップルカウンタ33a'を用いて、カウンタ部33'とすることが可能である。このカウンタ33a'は、タイムチャート(図4、図5等)に示すCKa__OUTの波形の立ち上がりエッジ、およびCKb__OUTの波形の立ち上がりエッジによってカウント動作する。即ち、CKa__OUTの立ち上がりと立ち下りの両方のエッジによって動作する。従って、バッファリングによるクロック信号のデューティ比が崩れることは回避されたい。そこで本発明を適用することにより、クロック供給部40の末端までクロック信号のデューティ比を一定に保つことが可能である。

10

【0031】

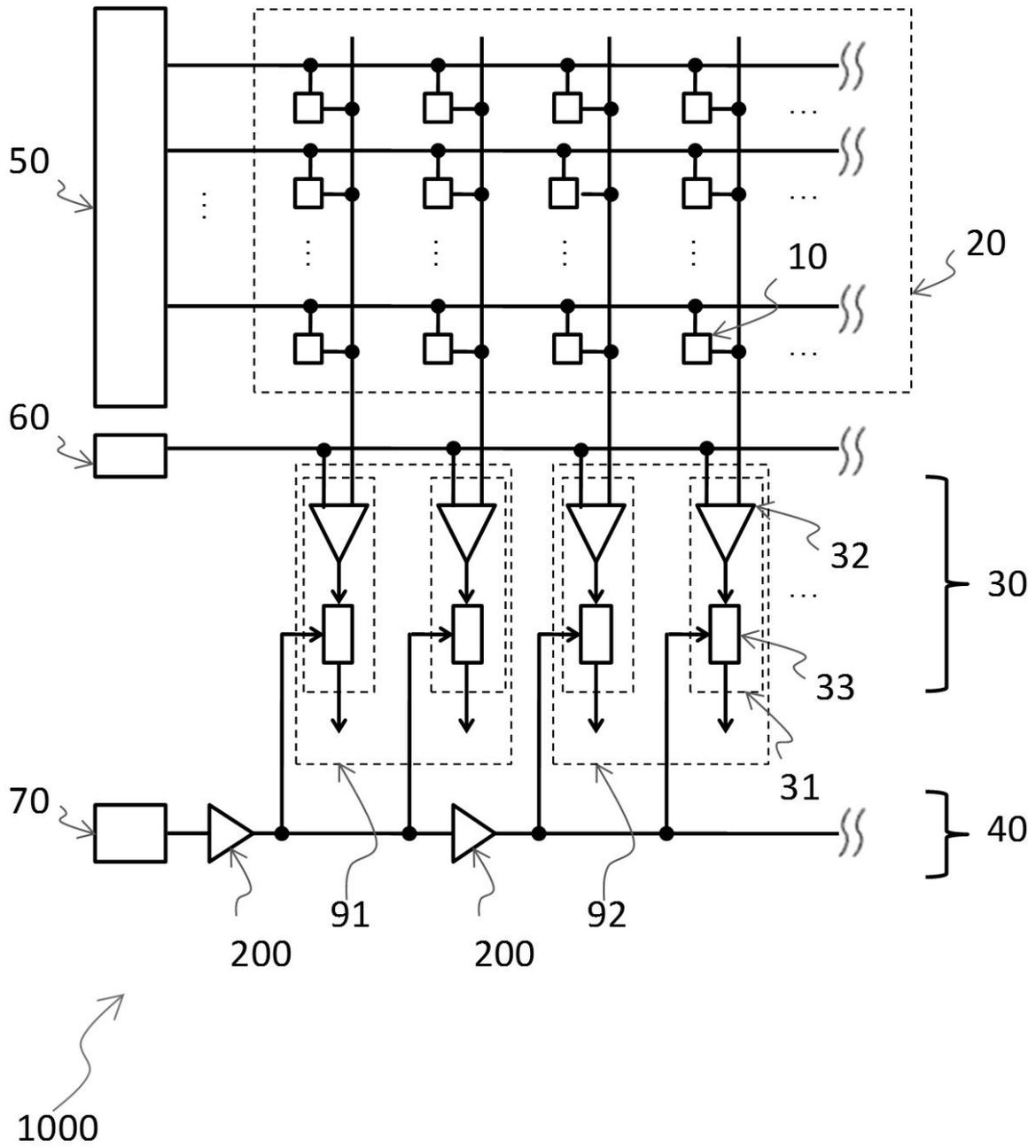
以上において、3つの実施形態を述べたが、本発明を他の仕様要求に応じて適宜変更可能であることは、言うまでもない。

【0032】

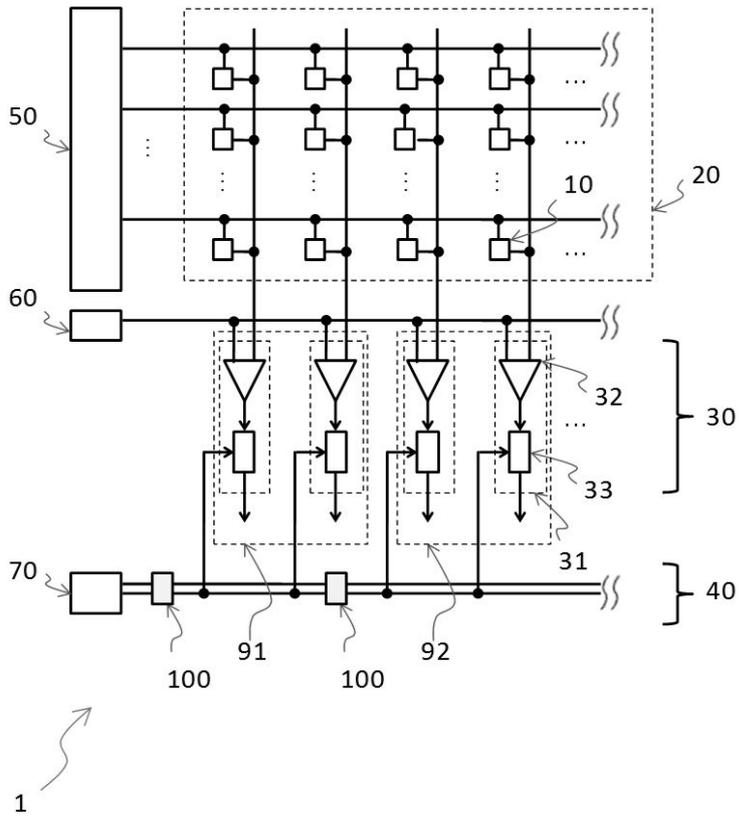
以下、上記の各実施形態に係る固体撮像装置の応用例として、該固体撮像装置が組み込まれたカメラについて例示的に説明する。カメラの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置(例えば、パーソナルコンピュータ、携帯端末)も含まれる。カメラは、上記の実施形態として例示された本発明に係る固体撮像装置と、該固体撮像装置から出力される信号を処理する処理部とを含む。該処理部は、例えば、A/D変換器、および、該A/D変換器から出力されるデジタルデータを処理するプロセッサを含みうる。

20

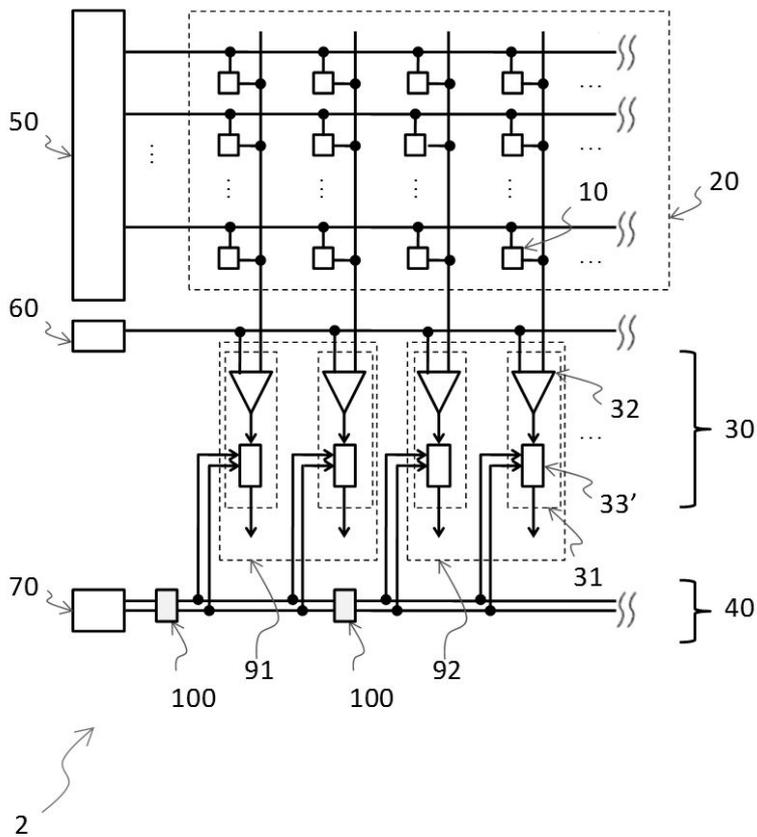
【図1】



【図2】

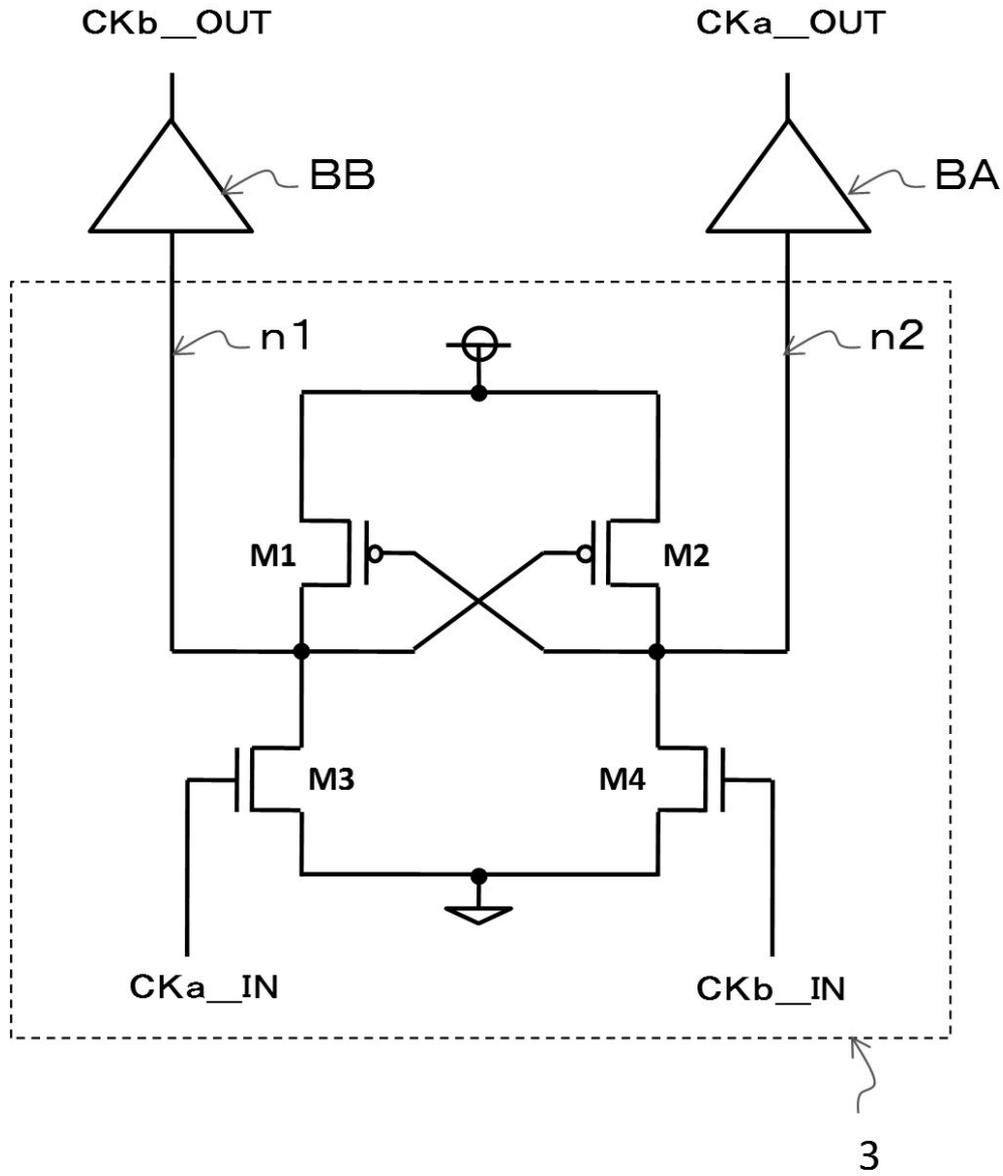


(a)

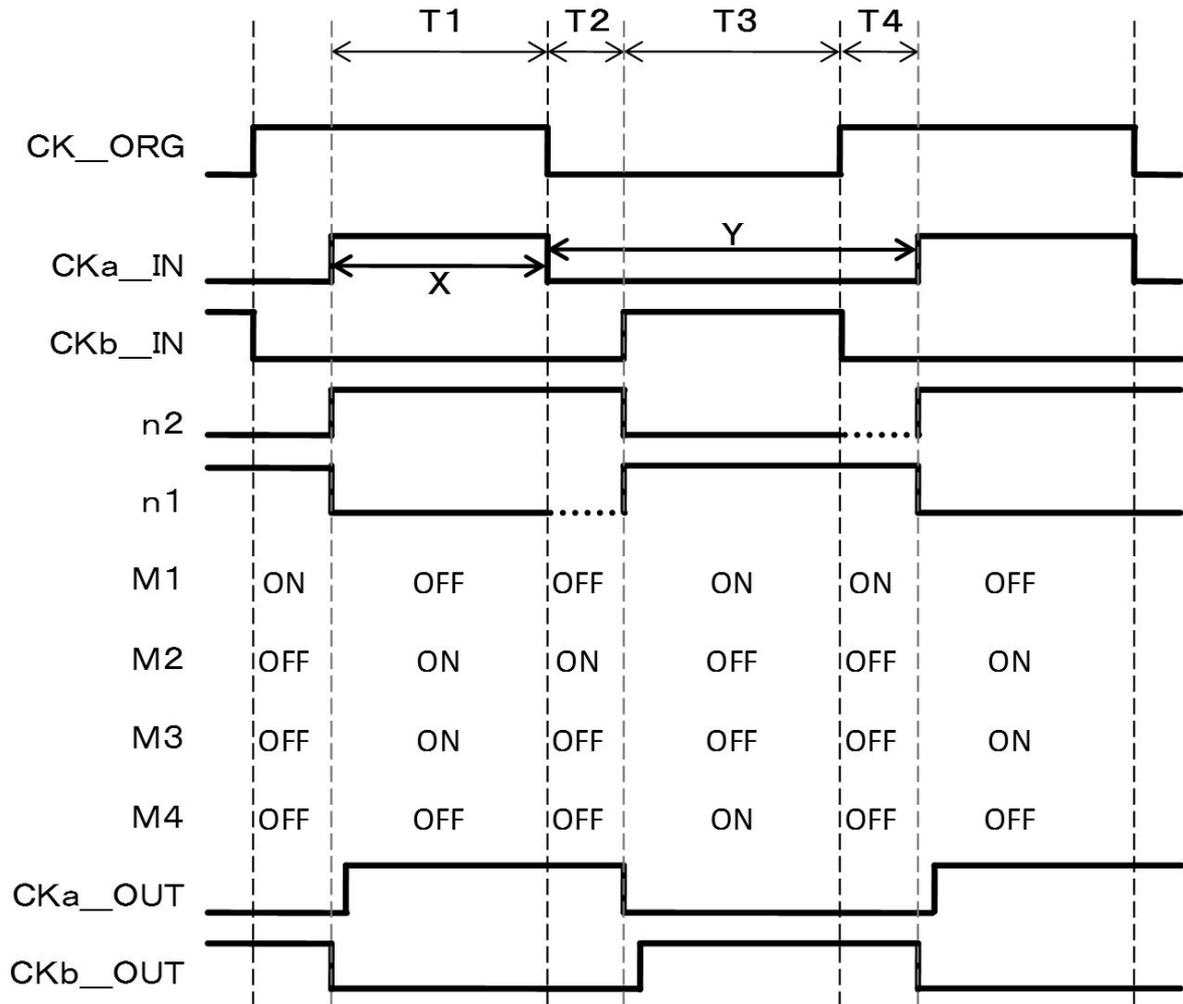


(b)

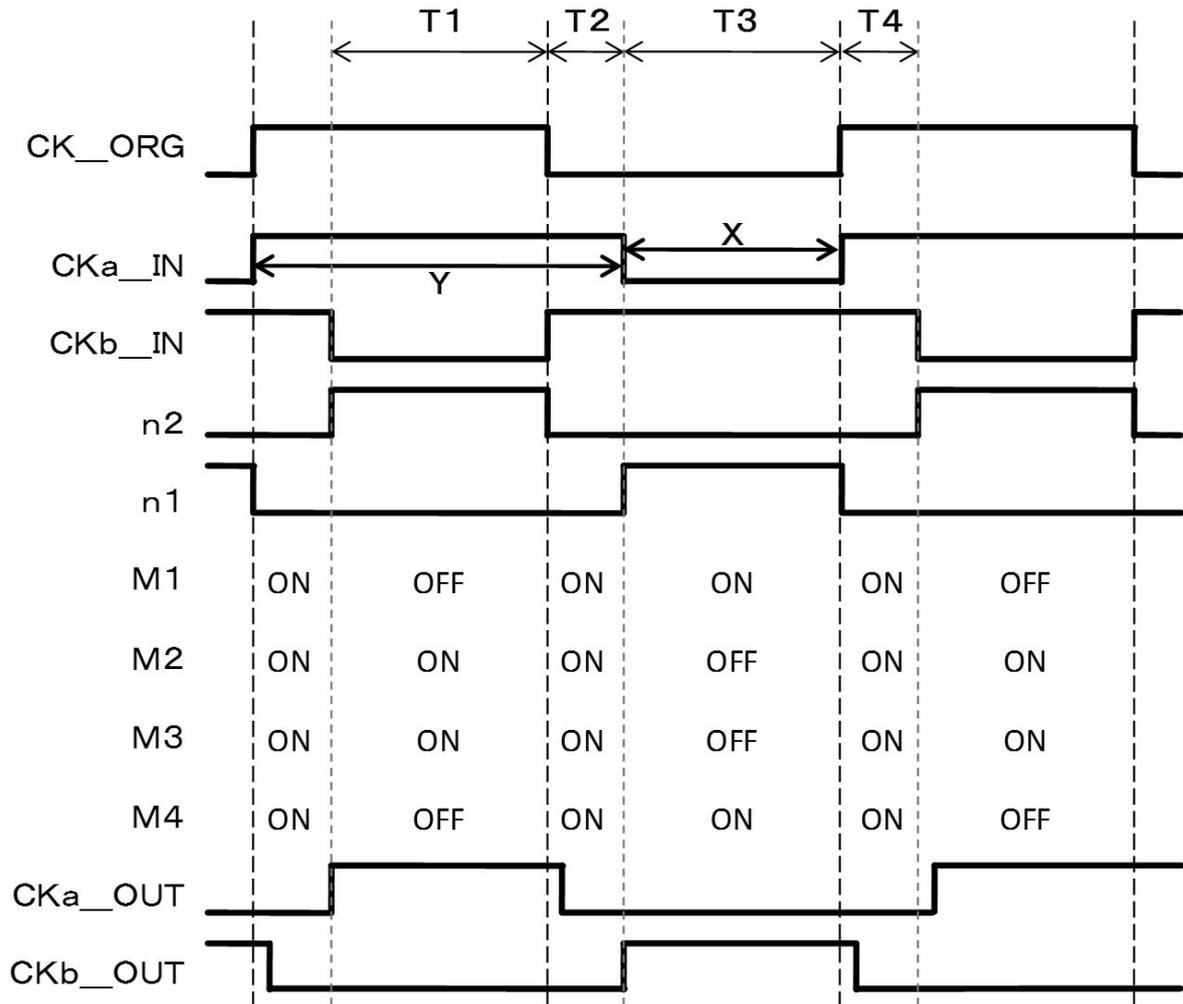
【図3】



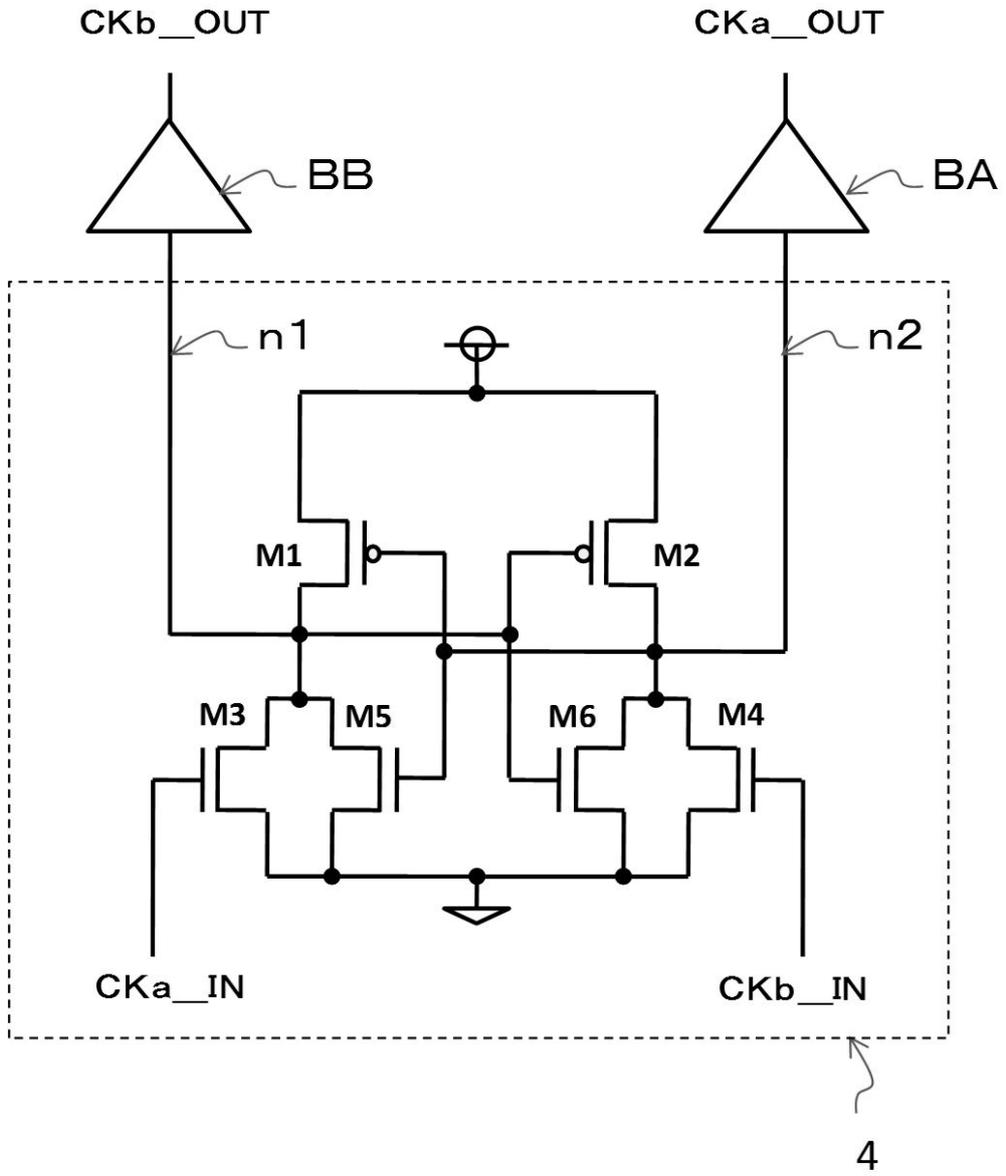
【 図 4 】



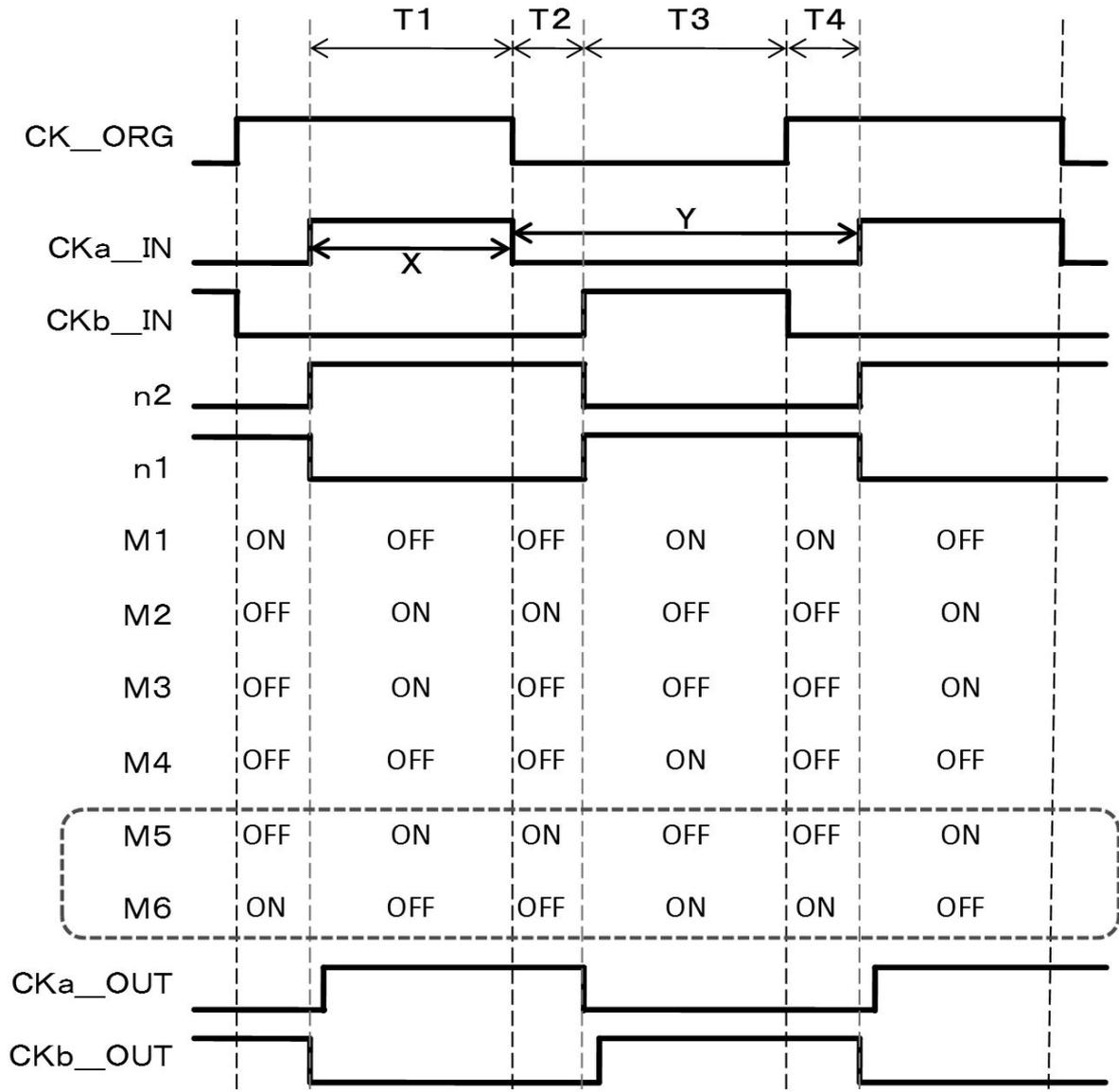
【 図 5 】



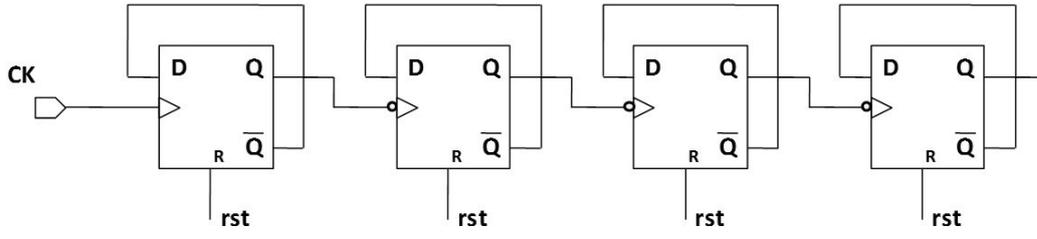
【図6】



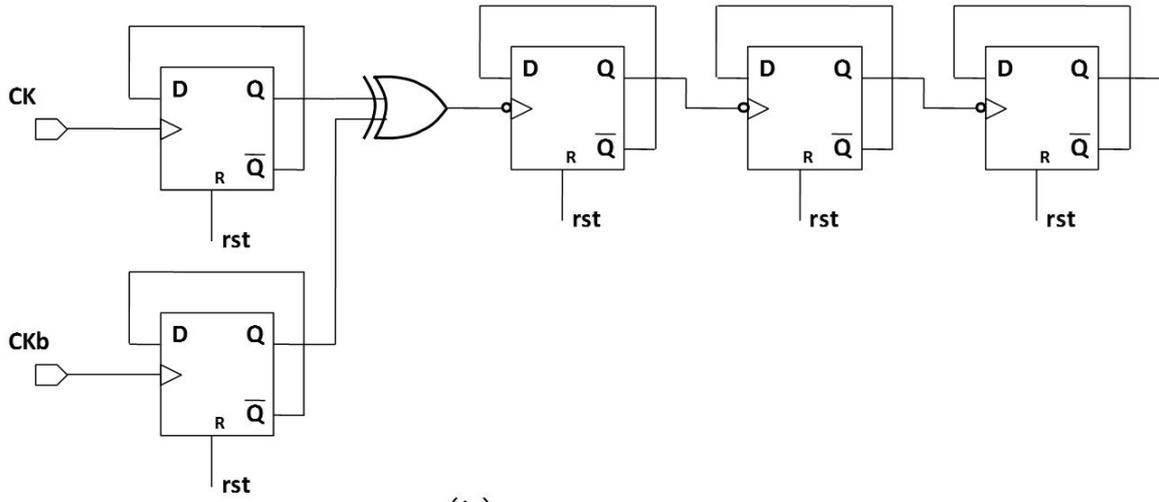
【図7】



【 8 】



(a)



(b)

フロントページの続き

(72)発明者 小野 俊明
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 肇

(56)参考文献 特開2011-160318(JP,A)
特開平10-143265(JP,A)
特開2007-060036(JP,A)
特開2006-345405(JP,A)
特開2010-028396(JP,A)
特開2007-060069(JP,A)
米国特許出願公開第2005/0174149(US,A1)
米国特許出願公開第2005/0231255(US,A1)
特開2011-182095(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762
H03M 1/00 - 1/88