



(21) 申請案號：102126650

(22) 申請日：中華民國 102 (2013) 年 07 月 25 日

(51) Int. Cl. : **G02F1/1368 (2006.01)**

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：李錫烈 LEE, SEOK-LYUL (KR)

(74) 代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：20 項 圖式數：15 共 38 頁

(54) 名稱

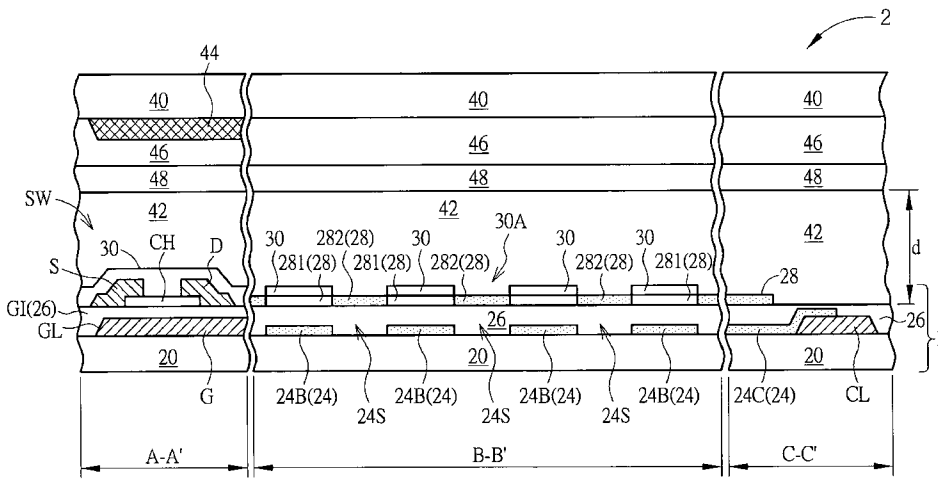
畫素結構、顯示面板及其製作方法

PIXEL STRUCTURE, DISPLAY PANEL AND FABRICATION METHOD THEREOF

(57) 摘要

一種畫素結構包括主動開關元件、圖案化共通電極層、絕緣層、圖案化氧化物電極層以及圖案化保護層。絕緣層覆蓋圖案化共通電極層。圖案化氧化物電極層設置於絕緣層上並電性連接主動開關元件。圖案化氧化物電極層包括半導體部分以及導體部分。半導體部分與圖案化共通電極層在垂直投影方向上大體上重疊，導體部分與半導體部分彼此連接並與圖案化共通電極層在垂直投影方向上大體上不重疊，且導體部分構成畫素電極。圖案化保護層覆蓋圖案化氧化物電極層半導體部分，且圖案化保護層具有開口，暴露出圖案化氧化物電極層的導體部分。

A pixel structure includes an active switching device, a patterned common electrode layer, an insulation layer, a patterned oxide electrode layer and a patterned passivation layer. The insulation layer covers the patterned common electrode layer. The patterned oxide electrode layer is disposed on the insulation layer and electrically connected to the active switching device. The patterned oxide electrode layer includes a semiconductor portion and a conductive part. The semiconductor part and the patterned common electrode layer substantially overlap to each other in a vertical projection direction. The conductive part and the semiconductor part are connected to each other, the conductive part and the patterned common electrode layer substantially do not overlap to each other in the vertical projective direction, and the conductive part is a pixel electrode. The patterned passivation layer covers the semiconductor part, and the patterned passivation layer has an opening exposing the conductive part.



第3圖

- 1 . . . 畫素結構
- 20 . . . 第一基板
- SW . . . 主動開關元件
- 24 . . . 圖案化共通電極層
- 26 . . . 絕緣層
- 28 . . . 圖案化氧化物電極層
- 30 . . . 圖案化保護層
- 281 . . . 半導體部分
- 282 . . . 導體部分
- 30A . . . 開口
- CL . . . 共通線
- GL . . . 閘極線
- 24C . . . 連接部
- 24B . . . 分支電極
- 24S . . . 狹縫
- G . . . 閘極電極
- GI . . . 閘極絕緣層
- CH . . . 通道層
- S . . . 源極電極
- D . . . 汲極電極
- 2 . . . 顯示面板
- 40 . . . 第二基板
- 42 . . . 顯示介質
- 44 . . . 遮光圖案
- 46 . . . 彩色濾光圖案
- 48 . . . 覆蓋層

201504738

發明摘要

※ 申請案號： 102126650

※ 申請日： 102. 8. 25

※IPC 分類： G02F 1/368 (2006.01)

【發明名稱】 畫素結構、顯示面板及其製作方法

PIXEL STRUCTURE, DISPLAY PANEL AND FABRICATION
METHOD THEREOF

【中文】

一種畫素結構包括主動開關元件、圖案化共通電極層、絕緣層、圖案化氧化物電極層以及圖案化保護層。絕緣層覆蓋圖案化共通電極層。圖案化氧化物電極層設置於絕緣層上並電性連接主動開關元件。圖案化氧化物電極層包括半導體部分以及導體部分。半導體部分與圖案化共通電極層在垂直投影方向上大體上重疊，導體部分與半導體部分彼此連接並與圖案化共通電極層在垂直投影方向上大體上不重疊，且導體部分構成畫素電極。圖案化保護層覆蓋圖案化氧化物電極層半導體部分，且圖案化保護層具有開口，暴露出圖案化氧化物電極層的導體部分。

【英文】

A pixel structure includes an active switching device, a patterned common electrode layer, an insulation layer, a patterned oxide electrode layer and a patterned passivation layer. The insulation layer covers the patterned common electrode layer. The patterned oxide electrode layer is disposed on the insulation layer and electrically connected to the active switching device. The patterned oxide electrode layer includes a semiconductor portion and a conductive part. The semiconductor part and the patterned common electrode layer substantially overlap to each other in a vertical projection direction. The conductive part and the semiconductor part are connected to each other, the conductive part and the

patterned common electrode layer substantially do not overlap to each other in the vertical projective direction, and the conductive part is a pixel electrode. The patterned passivation layer covers the semiconductor part, and the patterned passivation layer has an opening exposing the conductive part.

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

1	畫素結構
20	第一基板
SW	主動開關元件
24	圖案化共通電極層
26	絕緣層
28	圖案化氧化物電極層
30	圖案化保護層
281	半導體部分
282	導體部分
30A	開口
CL	共通線
GL	閘極線
24C	連接部
24B	分支電極
24S	狹縫
G	閘極電極
GI	閘極絕緣層
CH	通道層
S	源極電極
D	汲極電極

2	顯示面板
40	第二基板
42	顯示介質
44	遮光圖案
46	彩色濾光圖案
48	覆蓋層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】 畫素結構、顯示面板及其製作方法

PIXEL STRUCTURE, DISPLAY PANEL AND FABRICATION
METHOD THEREOF

【技術領域】

【0001】 本發明係關於一種畫素結構、顯示面板及其製作方法，尤指一種使用具有半導體部分與導體部分之圖案化氧化物電極層之畫素結構、顯示面板及其製作方法。

【先前技術】

【0002】 液晶顯示面板(LCD)由於具有輕薄短小、良好的顯示品質以及低耗電量等優點，已廣泛地應用在各式顯示裝置上。然而，習知液晶顯示面板例如扭轉向列型(twisted nematic, TN)液晶顯示面板由於具有視角狹窄的缺點，使得其應用範圍受到限制。

【0003】 為了解決扭轉向列型液晶顯示面板的視角狹窄問題，業界研發出了幾種廣視角液晶顯示面板，例如平面切換型(in-plane switching, IPS)液晶顯示面板與邊緣電場切換型(fringe field switch, FFS)液晶顯示面板。習知平面切換型液晶顯示面板雖然具有較廣視角，然而其畫素電極與共通電極所對應的區域無法透光，因此會使得開口率與透光量減少。習知邊緣電場切換型液晶顯示面板相較於平面切換型液晶顯示面板雖具有較高的透光量，但其使用圖案化畫素電極與圖案化共通電極兩層圖案化導電層，會增加製造成本與複雜度。此外，圖案化畫素電極會使得位於其上的配向膜產生摩擦缺陷(rubbing mura)，產生亮度不均的問題。

【發明內容】

【0004】 本發明之目的之一在於提供一種畫素結構、顯示面板及其製作方法，以簡化製程步驟及成本並提高顯示畫面的亮度均勻度。

【0005】 本發明之一實施例提供一種畫素結構，設置於一第一基板上。畫素結構包括一主動開關元件、一圖案化共通電極層、一絕緣層、一圖案化氧化物電極層以及一圖案化保護層。主動開關元件設置於第一基板上。圖案化共通電極層設置於第一基板上。絕緣層設置於第一基板上，並覆蓋圖案化共通電極層。圖案化氧化物電極層，設置於絕緣層上並電性連接主動開關元件。圖案化氧化物電極層包括一半導體部分以及一導體部分。半導體部分與圖案化共通電極層在一垂直投影方向上大體上重疊，導體部分與半導體部分彼此連接並與圖案化共通電極層在垂直投影方向上大體上不重疊，且導體部分構成一畫素電極。圖案化保護層設置於圖案化氧化物電極層上並覆蓋圖案化氧化物電極層的一半導體部分，且圖案化保護層具有一開口，暴露出圖案化氧化物電極層的導體部分。

【0006】 本發明之另一實施例提供一種顯示面板，包括一第一基板、一主動開關元件、一圖案化共通電極層、一絕緣層、一圖案化氧化物電極層、一圖案化保護層、一第二基板以及一顯示介質。主動開關元件設置於第一基板上。圖案化共通電極層設置於第一基板上。絕緣層設置於第一基板上，並覆蓋圖案化共通電極層。圖案化氧化物電極層，設置於絕緣層上並電性連接主動開關元件。圖案化氧化物電極層包括一半導體部分以及一導體部分。半導體部分與圖案化共通電極層在一垂直投影方向上大體上重疊，導體部分與半導體部分彼此連接並與圖案化共通電極層在垂直投影方向上大體上不重疊，且導體部分構成一畫素電極。圖案化保護層設置於圖案化氧化物電極層上並覆蓋圖案化氧化物電極層的一半導體部分，且圖案化保護層具有一開口，暴露出圖案化氧化物電極層的導體部分。第二基板與第一基板面對設置。顯示介

質設置於第一基板與第二基板之間。

【0007】 本發明之又一實施例提供一種畫素結構的製作方法，包括下列步驟。提供一第一基板。於第一基板上形成一圖案化共通電極層。於第一基板上形成一絕緣層覆蓋圖案化共通電極層。於絕緣層上形成一圖案化氧化物電極層與一圖案化保護層。圖案化氧化物電極層包括一半導體部分與圖案化共通電極層在一垂直投影方向上大體上重疊，以及一導體部分與半導體部分彼此連接並與圖案化共通電極層在垂直投影方向上大體上不重疊，且導體部分構成一畫素電極。圖案化保護層覆蓋半導體部分，且圖案化保護層具有一開口，暴露出導體部分。於第一基板上形成一主動開關元件，且圖案化氧化物電極層電性連接主動開關元件。

【0008】 本發明之畫素結構與顯示面板利用圖案化氧化物電極層之導體部分作為畫素電極，可以有效提升穿透率以及顯示畫面的亮度均勻性。

【圖式簡單說明】

【0009】

第 1 圖繪示了本發明之一實施例之畫素結構之上視圖。

第 2 圖為本實施例之畫素結構沿剖線 A-A'、剖線 B-B'與剖線 C-C'所繪示之剖視圖。

第 3 圖繪示了本發明之一實施例之顯示面板之示意圖。

第 4 圖繪示了本發明之畫素結構的製作方法的流程圖。

第 5 圖至第 9 圖繪示了本發明之一實施例之畫素結構的製作方法的示意圖。

第 10 圖繪示了本發明之畫素結構之圖案化共通電極層與圖案化氧化物電極層之局部示意圖。

第 11 圖繪示了氧化物電晶體元件之汲極電流-閘極電壓之關係圖。

第 12 圖繪示了本發明之一實施例之顯示面板在暗態顯示模式下之示意圖。

第 13 圖繪示了本發明之一實施例之顯示面板在亮態顯示模式下之示意圖。

第 14 圖繪示了本發明之一實施例之畫素結構之穿透率的模擬示意圖。

第 15 圖繪示了一對照實施例之畫素結構之穿透率的示意模擬圖。

【實施方式】

【0010】 為使熟悉本發明所屬技術領域之一般技藝者能更進一步了解本發明，下文特列舉本發明之較佳實施例，並配合所附圖式，詳細說明本發明的構成內容及所欲達成之功效。

【0011】 請參考第 1 圖與第 2 圖。第 1 圖繪示了本發明之一實施例之畫素結構之上視圖，第 2 圖為本實施例之畫素結構沿剖線 A-A'、剖線 B-B'與剖線 C-C'所繪示之剖視圖。如第 1 圖與第 2 圖所示，本實施例之畫素結構 1 設置於一第一基板 20 上。第一基板 20 可為一透明基板，且第一基板 20 可為硬式基板或可撓式基板。舉例而言，第一基板 20 可包括玻璃基板、塑膠基板或石英基板等，但不以此為限。本實施例之畫素結構 20 包括一主動開關元件 SW、一圖案化共通電極層 24、一絕緣層 26(第 1 圖未示)、一圖案化氧化物電極層 28 以及一圖案化保護層 30(第 1 圖未示)。主動開關元件 SW 設置於第一基板 20 上。圖案化共通電極層 24 設置於第一基板 20 上，作為畫素結構 1 的共通電極之用。圖案化共通電極層 24 之材料可包括透明導電材料，其可包括例如氧化銦錫(ITO)、氧化銦鋅(IZO)或其它適合之透明導電材料或不透明導電材料。圖案化共通電極層 24 可為單層結構或多層結構。絕緣層 26 設置於第一基板 20 上，並覆蓋圖案化共通電極層 24。絕緣層 26 設置於圖案化共通電極層 24 與圖案化氧化物電極層 28 之間，以使圖案化共通電極層 24 與圖案化氧化物電極層 28 不直接電性連接。絕緣層 26 之材料可選用無機絕緣材料及/或有機絕緣材料，例如氧化矽、氮化矽、氮氧化矽或其它適合之絕緣材料，但不以此為限。絕緣層 26 可為單層結構或多層結構。圖案化氧化物電極層 28

設置於絕緣層 26 上並電性連接主動開關元件 SW。圖案化氧化物電極層 28 之材料可選用金屬氧化物，其可包括例如銦鎵鋅氧化物(IGZO)、銦錫鋅氧化物(ITZO)、銦鋅氧化物(IZO)、鋅錫氧化物(ZTO)、鋅氧化物(ZnO)與鋁鋅氧化物(AZO)之其中至少一者，但不以此為限而可為其它適合的氧化物材料。圖案化氧化物電極層 28 包括一半導體部分 281 以及一導體部分 282。半導體部分 281 與圖案化共通電極層 24 在一垂直投影方向上大體上重疊。導體部分 282 與半導體部分 281 彼此連接並與圖案化共通電極層 24 在垂直投影方向上大體上不重疊，且導體部分 282 構成一畫素電極。圖案化保護層 30 設置於圖案化氧化物電極層 28 上，圖案化保護層 30 覆蓋圖案化氧化物電極層 28 的半導體部分 281，且圖案化保護層 30 具有一開口 30A，暴露出圖案化氧化物電極層 28 的導體部分 282。值得說明的是，半導體部分 281 與導體部分 282 分別是圖案化氧化物電極層 28 的一部分，也就是半導體部分 281 與導體部分 282 是由同一層材料層所構成。在本實施例中，半導體部分 281 可具有一第一電阻值，導體部分 282 可具有一第二電阻值，且第一電阻值大於第二電阻值。由於導體、半導體與非導體為本領域熟習該項技藝所熟知，因此於此不再贅述。

【0012】 本實施例之畫素結構 1 更可選擇地包括一共通線 CL、一閘極線 GL 以及一資料線 DL(繪示於第 1 圖)，設置於第一基板 20 上。閘極線 GL 與閘極電極 G 電性連接，用以接受閘極線 GL 提供之驅動電壓。圖案化共通電極層 24 與共通線 CL 電性連接，以接收共通線 CL 提供的共通電壓。圖案化共通電極層 24 可包括一連接部 24C 與複數條分支電極 24B，其中分支電極 24B 與連接部 24C 連接且分支電極 24B 大體上彼此平行設置，而相鄰之兩條分支電極 24B 之間具有一狹縫(slit)24S。本實施例之分支電極 24B 係以直條狀電極為例，但分支電極 24B 的形狀可為其它適合形狀，且分支電極 24B 的線寬以及狹縫 24S 的寬度可作適當調整。舉例而言，分支電極 24B 的線寬與

狹縫 24S 的寬度的比例大體上較佳可介於 1:1 至 1:3 之間，但不以此為限。另外，在本實施例中，圖案化共通電極層 24 的連接部 24C 與共通線 CL 直接接觸藉此分支電極 24B 可透過連接部 24C 與共通線 CL 電性連接，在其它變化實施例中，圖案化共通電極層 24 亦可不與共通線 CL 直接接觸，而利用其它方式例如使用橋接電極(圖未示)與共通線 CL 電性連接。在垂直投影方向上，圖案化氧化物電極層 28 之半導體部分 281 大體上與分支電極 24B 重疊，且導體部分 282 大體上與狹縫 24S 重疊。

【0013】 主動開關元件 SW 可為一薄膜電晶體元件，其包括一閘極電極 G、一閘極絕緣層(gate insulator)GI(第 1 圖未示)、一通道層 CH、一源極電極 S 以及一汲極電極 D，其中閘極絕緣層 GI 設置於閘極電極 G 與通道層 CH 之間，通道層 CH 大體上對應閘極電極 G，源極電極 S 與汲極電極 D 分別設置於通道層 CH 之兩側，且分別與通道層 CH 部分重疊。源極電極 S 與資料線 DL 電性連接，用以接收資料線 DL 傳送的畫素電壓，而汲極電極 D 與圖案化氧化物電極層 28 的導體部分 282 電性連接，用以將畫素電壓傳送至導體部分 282。在本實施例中，閘極絕緣層 GI 可為絕緣層 26 之一部分，亦即閘極絕緣層 GI 與絕緣層 26 由同一材料層所構成。換言之，絕緣層 26 可一併覆蓋閘極電極 G，以使閘極電極 G 與通道層 CH 不直接電性連接。通道層 CH 的材料可為各種類型的半導體材料，例如非晶矽、多晶矽、微晶矽與奈米矽等，或是氧化物半導體材料。在本實施例中，主動開關元件 SW 是氧化物電晶體元件，因此通道層 CH 的材料係選用氧化物半導體材料，且通道層 CH 與圖案化氧化物電極層 28 可使用同一材料層形成。另外，通道層 CH 與圖案化氧化物電極層 28 在結構上可連接或不連接。在其它變化實施例中，通道層 CH 與圖案化氧化物電極層 28 亦可為不同的材料層，並利用不同製程分別形成。在本實施例中，主動開關元件 SW 是以背通道蝕刻(Back channel etch ; BCE)薄膜電晶體結構為例。在其它變化實施例中，主動開關元件 SW 亦可為其他的

薄膜電晶體結構，例如是島狀蝕刻終止(Island stop；IS)薄膜電晶體結構，或是共平面(Coplanar)薄膜電晶體結構。此外，主動開關元件 SW 可為底閘型(bottom gate)薄膜電晶體結構或頂閘型(top gate)薄膜電晶體結構。上述薄膜電晶體結構為本領域熟習該項技藝所熟知，因此於此不再贅述。

【0014】 請參考第 3 圖。第 3 圖繪示了本發明之一實施例之顯示面板之示意圖。如第 3 圖所示，本實施例之顯示面板 2 包括複數個畫素結構 1、一第二基板 40 以及一顯示介質 42。第 3 圖僅繪示出單一個畫素結構 1 為例。畫素結構 1 之元件及其配置如第 1 圖與第 2 圖之實施例所述，在此不再贅述。第二基板 40 與第一基板 20 面對設置。第二基板 40 可為一透明基板，且第二基板 40 可為硬式基板或可撓式基板。舉例而言，第二基板 40 可包括玻璃基板、塑膠基板或石英基板等，但不以此為限。顯示介質 42 設置於第一基板 20 與第二基板 40 之間。本實施例係以邊緣電場切換型液晶顯示面板為例說明，因此顯示介質 42 可為液晶分子，但不以此為限。在本實施例中，液晶分子可選用扭轉向列型(twisted nematic, TN)液晶分子，或是其他種類的液晶分子，但不以此為限，且液晶分子可為正型液晶分子(亦即其介電異方性(dielectric anisotropy)大於 0, $\Delta \epsilon > 0$)或負型液晶分子(亦即其介電異方性小於 0, $\Delta \epsilon < 0$)。另外，液晶分子具有一液晶間隙(cell gap)d 以及與一雙折射率(birefringence, Δn)，且 $\Delta n \cdot d$ 大體上較佳介於 0.15 至 0.5，但不以此為限。此外，第二基板 40 上更可進一步設置遮光圖案 44(例如黑色矩陣圖案)、彩色濾光圖案 46 以及覆蓋(overcoat)層 48 等元件。在其它變化實施例中，顯示介質 42 亦可為其它類型的顯示介質。再者，顯示介質 42 與圖案化保護層 30 之間以及顯示介質 42 與覆蓋層 48 之間上更可進一步分別設置一配向膜(圖未示)，且配向膜的配向方向可與分支電極 24B 具有一夾角。另外，顯示面板 2 更可進一步包括兩片偏光片(圖未示)，分別設置於第一基板 20 與第二基板 40 上。

【0015】 下文將針對本發明之畫素結構的製作方法與操作方式等部分進行說明，故關於畫素結構之各元件之相對位置及材料等不再贅述。

【0016】 請參考第 4 圖。第 4 圖繪示了本發明之畫素結構的製作方法的流程圖。如第 4 圖所示，本發明之畫素結構的製作方法包括下列步驟：

【0017】 步驟 50：提供第一基板；

【0018】 步驟 52：於第一基板上形成圖案化共通電極層；

【0019】 步驟 54：於第一基板上形成一絕緣層，其中絕緣層覆蓋圖案化共通電極層；

【0020】 步驟 56：於絕緣層上形成一圖案化氧化物電極層與一圖案化保護層，圖案化氧化物電極層包括半導體部分以及導體部分，半導體部分與圖案化共通電極層在垂直投影方向上大體上重疊，導體部分與半導體部分彼此連接且導體部分與圖案化共通電極層在垂直投影方向上大體上不重疊，導體部分構成畫素電極，圖案化保護層覆蓋半導體部分，且圖案化保護層具有一開口，暴露出導體部分；以及

【0021】 步驟 58：於第一基板上形成一主動開關元件，且圖案化氧化物電極層電性連接主動開關元件。

【0022】 請再參考第 5 圖至第 9 圖。第 5 圖至第 9 圖繪示了本發明之一實施例之畫素結構的製作方法的示意圖。如第 5 圖所示，提供第一基板 20。接著，於第一基板 20 上形成一第一圖案化導電層。第一圖案化導電層可選用不透明圖案化導電層，其材料可為金屬或合金，例如金、銀、銅、鋁、鈦、鉬等金屬或其合金，或其它適合之不透明導電材料。第一圖案化導電層亦可選用透明圖案化導電層，其材料可為例如氧化銦錫(ITO)、氧化銦鋅(IZO)或其它適合之透明導電材料。另外，第一圖案化導電層可為單層結構或多層結構，

且各層結構之材料可分別選自不透明導電材料或透明導電材料。第一圖案化導電層可包括一閘極電極 G，並可選擇性地包括一共通線 CL 以及一閘極線 GL。在其它變化實施例中，閘極電極 G、共通線 CL 與閘極線 GL 可由不同層導電層所構成。如第 6 圖所示，隨後於第一基板 20 上形成一圖案化共通電極層 24，作為共通電極之用。圖案化共通電極層 24 可包括一連接部 24C 與複數條分支電極 24B，其中分支電極 24B 與連接部 24C 連接且分支電極 24B 大體上彼此平行設置，而相鄰之兩條分支電極 24B 之間具有一狹縫 24S。

【0023】 如第 7 圖所示，接著於第一基板 20 上形成一絕緣層 26 與閘極絕緣層 GI。絕緣層 26 覆蓋圖案化共通電極層 24，並可一併覆蓋共通線 CL。閘極絕緣層 GI 則覆蓋閘極電極 G。在本實施例中，閘極絕緣層 GI 可為絕緣層 26 之一部分，亦即閘極絕緣層 GI 與絕緣層 26 可為同一材料層，但不以此為限。隨後，於絕緣層 26 上形成一圖案化氧化物層 27。圖案化氧化物層 27 為一氧化物半導體層，其之材料可選用金屬氧化物，其可包括例如銦鎵鋅氧化物(IGZO)、銦錫鋅氧化物(ITZO)、銦鋅氧化物(IZO)、鋅錫氧化物(ZTO)、鋅氧化物(ZnO)與鋁鋅氧化物(AZO)之其中至少一者，但不以此為限而可為其它適合的氧化物材料。在本實施例中，通道層 CH 的材料可選用氧化物半導體材料，且通道層 CH 與圖案化氧化物層 27 可使用同一材料層形成，但不以此為限。

【0024】 如第 8 圖所示，於閘極絕緣層 GI 上形成一源極電極 S 與一汲極電極 D。源極電極 S 與汲極電極 D 分別設置於通道層 CH 之兩側並分別與通道層 CH 部分重疊。源極電極 S 與汲極電極 D 可利用一第二圖案化導電層所構成，其中第二圖案化導電層可選用不透明圖案化導電層，其材料可為金屬或合金，例如金、銀、銅、鋁、鈦、鉬等金屬或其合金，或其它適合之不透明導電材料。第二圖案化導電層亦可選用透明圖案化導電層，其材料可為例

如氧化銦錫(ITO)、氧化銦鋅(IZO)或其它適合之透明導電材料。另外，第二圖案化導電層可為單層結構或多層結構，且各層結構之材料可分別選自不透明導電材料或透明導電材料。另外，第二圖案化導電層 29 可進一步包括一資料線 DL(如第 1 圖所示)，與源極電極 S 電性連接。

【0025】 如第 9 圖所示，於絕緣層 26 上形成一圖案化保護層 30。圖案化保護層 30 部分覆蓋圖案化氧化物層 27，圖案化保護層 30 且具有開口 30A 部分暴露出圖案化氧化物層 27。接著，以圖案化保護層 30 為一罩幕，對圖案化氧化物層 27 進行一處理步驟 31，以使圖案化氧化物層 27 轉變為圖案化氧化物電極層 28。精確地說，處理步驟可使開口 30A 暴露出之圖案化氧化物層 27 轉變成圖案化氧化物電極層 28 之導體部分 282，且圖案化氧化物電極層 28 的導體部分 282 會與汲極電極 D 電性連接，而圖案化保護層 30 覆蓋的圖案化氧化物層 27 則作為圖案化氧化物電極層 28 之半導體部分 281。在本實施例中，處理製程利用圖案化保護層 30 作為罩幕可局部地改變圖案化氧化物層 27 的導電性。進一步說明，在處理製程之前，圖案化氧化物層 27 會具有第一電阻值，在處理製程之後，圖案化保護層 30 所覆蓋之圖案化氧化物電極層 28 之半導體部分 281 仍具有第一電阻值，但圖案化保護層 30 之開口 30A 所暴露出之圖案化氧化物電極層 28 之導體部分 282 會具有小於第一電阻值的第二電阻值。在本實施例中，圖案化氧化物層 27 為氧化物半導體層，因此處理製程可為一氣體處理製程，或是一摻雜製程。請參考表 1。表 1 繪示了本實施例之處理製程的數種實施樣態。如表 1 所示，以銦鎵鋅氧化物(IGZO)為例，透過不同的氣體處理製程，並搭配適當的製程參數例如流量、功率與製程時間等，可調整銦鎵鋅氧化物(IGZO)的電阻值而使其具有導體特性。

【0026】 表 1

材料	處理製程	流量 (sccm)	功率(W)	製程時間(sec)	電阻值(Kohm/square)
IGZO	氧氣(O ₂)處理	200	1000	30	超出範圍
	氦氣(He)處理	100	1000	30	~50
	氬氣(Ar)處理	250	200	10	~1.4
	氫氣(H ₂)處理	1000	200	10	~1.14
	氨氣(NH ₃)處理	1000	200	10	~2.45

【0027】 本實施例之氣體處理製程並不限定選用上述氣體而可視導電性或
其它需求選用其它氣體處理製程，且處理製程亦不限定為氣體處理製程。舉
例而言，處理製程亦可選用摻雜製程，例如在圖案化氧化物層 27 中適當摻雜
銦(In)或鎵(Ga)等摻質，亦可以增加圖案化氧化物電極層 28 之導體部分 282
的導電性。摻雜製程使用的摻質不以上述摻質為限，而可為任何適合的材料。

【0028】 請再參考第 10 圖與第 11 圖，並一併參考第 1 圖至第 3 圖。第 10
圖繪示了本發明之畫素結構之圖案化共通電極層與圖案化氧化物電極層之局
部示意圖，第 11 圖繪示了氧化物電晶體元件之汲極電流-閘極電壓之關係圖。
如第 10 圖所示，圖案化共通電極層 24 與圖案化氧化物電極層 28 之間設置了
絕緣層 26，圖案化氧化物電極層 28 之半導體部分 281 係大體上對應於圖案
化共通電極層 24，而圖案化氧化物電極層 28 之導體部分 282 係設置於半導
體部分 281 的兩側，因此此結構近似於一氧化物電晶體元件，其中圖案化共
通電極層 24 的共通電壓可以視為閘極電壓，而圖案化氧化物電極層 28 之半
導體部分 281 之導通電流可視為汲極電流。上述氧化物電晶體元件之元件特
性如第 11 圖所示。進一步說明，當閘極電壓小於一特定值時例如為閘極電壓
為負電壓時)，近似於氧化物電晶體元件呈現關閉狀態。利用上述特性，在進

行顯示時，圖案化共通電極層 24 的共通電壓可選用一負電壓，此時共通電壓會提供一負偏壓(negative bias)電場給圖案化氧化物電極層 28 之半導體部分 281，而使半導體部分 281 在負偏壓電場下轉變為一非導體部分(non-conductive portion)，使得導通電流相對較低，如第 11 圖左半部分。因此，藉由上述操作方式，儘管圖案化氧化物電極層 28 之半導體部分 281 與導體部分 282 在結構上是連接在一起的，但是在半導體部分 281 在負偏壓電場下會轉變成非導體部分，而使得畫素電壓僅會傳導到導體部分 282，在此情況下導體部分 282 的畫素電壓與圖案化共通電極層 24 的共通電壓的電壓差會產生邊緣電場效應，而達到顯示效果。另外，圖案化氧化物電極層 28 大體上係覆蓋圖案化共通電極層 24 之連接部 24C、分支電極 24B 與狹縫 24S，圖案化共通電極層 24 之連接部 24C 與分支電極 24B 的共通電壓可以使半導體部分 281 在負偏壓電場下會轉變成非導體部分，而對應於圖案化共通電極層 24 之連接部 24C 與分支電極 24B 的導體部分 282 則會形成畫素電極，因此本實施例之導體部分 282(畫素電極)與圖案化共通電極層 24 之分支電極 24B(共通電極)具有自行對準(self align)的優點，而可提升開口率。

【0029】 請參考第 12 圖與第 13 圖。第 12 圖繪示了本發明之一實施例之顯示面板在暗態顯示模式下之示意圖，第 13 圖繪示了本發明之一實施例之顯示面板在亮態顯示模式下之示意圖。如第 12 圖所示，在暗態顯示模式下，圖案化共通電極層 24 的共通電壓係為一負電壓，例如-2 伏特，而圖案化氧化物電極層 28 之導體部分 282 的畫素電壓與共通電壓大體上相同。如第 13 圖所示，在亮態顯示模式下，圖案化共通電極層 24 的共通電壓係為一負電壓，例如-2 伏特，而圖案化氧化物電極層 28 之導體部分 282 的畫素電壓可依照不同灰階調整，與共通電壓不同，藉此可產生邊緣電場效應以驅動顯示介質 42。

【0030】 請參考第 14 圖與第 15 圖。第 14 圖繪示了本發明之一實施例之畫

素結構之穿透率的模擬示意圖，第 15 圖繪示了一對照實施例之畫素結構之穿透率的模擬示意圖。如第 13 圖與第 14 圖所示，本發明之一實施例中，圖案化共通電極層 24 與導體部分 282(畫素電極)在不同的位置(圖案化共通電極層 24 與導體部分 282 在垂直投影方向上大體上不重疊)，本實施例之畫素結構之穿透率明顯較為一致，且平均穿透率約為 40.26%；如第 15 圖所示，當圖案化共通電極層 24 替換成傳統的一整片的共通電極層時，對照實施例之畫素結構之穿透率較不一致，且平均穿透率約為 38.13%。由上述可知，本實施例之畫素結構所顯示出的畫面的亮度較大，且具有較佳的均勻性。

【0031】 綜上所述，本發明之畫素結構與顯示面板利用圖案化氧化物電極層之導體部分作為畫素電極，可以有效提升穿透率以及顯示畫面的亮度均勻性。此外，圖案化氧化物電極層可與主動開關元件的通道層可由同一層材料層所構成，更可節省製程步驟與製造成本。

【符號說明】

【0032】

- 1 畫素結構
- 20 第一基板
- SW 主動開關元件
- 24 圖案化共通電極層
- 26 絕緣層
- 28 圖案化氧化物電極層
- 30 圖案化保護層
- 281 半導體部分
- 282 導體部分
- 30A 開口
- CL 共通線

GL	閘極線
DL	資料線
24C	連接部
24B	分支電極
24S	狹縫
G	閘極電極
GI	閘極絕緣層
CH	通道層
S	源極電極
D	汲極電極
2	顯示面板
40	第二基板
42	顯示介質
44	遮光圖案
46	彩色濾光圖案
48	覆蓋層
50	步驟
52	步驟
54	步驟
56	步驟
58	步驟
27	圖案化氧化物層
31	處理步驟

申請專利範圍

1. 一種畫素結構，設置於一第一基板上，該畫素結構包括：
 - 一主動開關元件，設置於該第一基板上；
 - 一圖案化共通電極層，設置於該第一基板上；
 - 一絕緣層，設置於該第一基板上，並覆蓋該圖案化共通電極層；
 - 一圖案化氧化物電極層，設置於該絕緣層上並電性連接該主動開關元件，該圖案化氧化物電極層包括：
 - 一半導體部分，與該圖案化共通電極層在一垂直投影方向上大體上重疊；以及
 - 一導體部分，與該半導體部分彼此連接並與該圖案化共通電極層在該垂直投影方向上大體上不重疊，且該導體部分構成一畫素電極；
 - 以及
 - 一圖案化保護層，設置於該圖案化氧化物電極層上並覆蓋該圖案化氧化物電極層的該半導體部分，且該圖案化保護層具有一開口，暴露出該圖案化氧化物電極層的該導體部分。
2. 如請求項 1 所述之畫素結構，另包括一共通線，設置於該第一基板上，其中該圖案化共通電極層與該共通線電性連接。
3. 如請求項 1 所述之畫素結構，其中該圖案化共通電極層包括一連接部與複數條分支電極，該等分支電極與該連接部連接且該等分支電極大體上彼此平行設置，且相鄰之兩條該等分支電極之間具有一狹縫(slit)。
4. 如請求項 3 所述之畫素結構，其中在該垂直投影方向上，該圖案化氧化物電極層之該半導體部分大體上與該等分支電極重疊，且該導體部分大體上與該等狹縫重疊。

5. 如請求項 1 所述之畫素結構，其中該圖案化共通電極層之材料包括一透明導電材料。
6. 如請求項 1 所述之畫素結構，其中該圖案化氧化物電極層之材料包括銦鎵鋅氧化物(IGZO)、銦錫鋅氧化物(ITZO)、銦鋅氧化物(IZO)、鋅錫氧化物(ZTO)、鋅氧化物(ZnO)與鋁鋅氧化物(AZO)之其中至少一者。
7. 如請求項 1 所述之畫素結構，其中該半導體部分具有一第一電阻值，該導體部分具有一第二電阻值，且該第一電阻值大於該第二電阻值。
8. 如請求項 1 所述之畫素結構，其中該圖案化共通電極層具有一共通電壓，且該共通電壓提供一負偏壓(negative bias)電場給該半導體部分，使該半導體部分在該負偏壓電場下轉變為一非導體部分(non-conductive portion)。
9. 如請求項 1 所述之畫素結構，其中該主動開關元件包括一氧化物電晶體元件，該氧化物電晶體元件具有一通道層，且該圖案化氧化物電極層與該通道層由同一材料層所構成。
10. 如請求項 9 所述之畫素結構，其中該氧化物電晶體元件具有一閘極電極、一閘極絕緣層、一源極電極與一汲極電極，該閘極絕緣層設置於該閘極電極與該通道層之間，該通道層大體上對應該閘極電極，該源極電極與該汲極電極分別設置於該通道層之兩側且分別與該通道層部分重疊。
11. 一種顯示面板，包括：
 - 一第一基板；
 - 一主動開關元件，設置於該第一基板上；

- 一圖案化共通電極層，設置於該第一基板上；
- 一絕緣層，設置於該第一基板上並覆蓋該圖案化共通電極層；
- 一圖案化氧化物電極層，設置於該絕緣層上並電性連接該主動開關元件，該圖案化氧化物電極層包括：
 - 一半導體部分，與該圖案化共通電極層在一垂直投影方向上大體上重疊；以及
 - 一導體部分，與該半導體部分彼此連接，該導體部分與該圖案化共通電極層在該垂直投影方向上大體上不重疊，且該導體部分構成一畫素電極；
- 一圖案化保護層，設置於該圖案化氧化物電極層上並覆蓋該圖案化氧化物電極層的該半導體部分，且該圖案化保護層具有一開口，暴露出該圖案化氧化物電極層的該導體部分；
- 一第二基板，與該第一基板面對設置；以及
- 一顯示介質，設置於該第一基板與該第二基板之間。

12. 一種畫素結構的製作方法，包括：

- 提供一第一基板；
- 於該第一基板上形成一圖案化共通電極層；
- 於該第一基板上形成一絕緣層覆蓋該圖案化共通電極層；
- 於該絕緣層上形成一圖案化氧化物電極層與一圖案化保護層，該圖案化氧化物電極層包括一半導體部分，與該圖案化共通電極層在一垂直投影方向上大體上重疊，以及一導體部分，與該半導體部分彼此連接，該導體部分與該圖案化共通電極層在該垂直投影方向上大體上不重疊，且該導體部分構成一畫素電極，該圖案化保護層覆蓋該半導體部分，且該圖案化保護層具有一開口，暴露出該導體部分；以及
- 於該第一基板上形成一主動開關元件，且該圖案化氧化物電極層電性連接

該主動開關元件。

13. 如請求項 12 所述之畫素結構的製作方法，其中該圖案化共通電極層包括一連接部與複數條分支電極，該等分支電極與該連接部連接且該等分支電極大體上彼此平行設置，且相鄰之兩條該等分支電極之間具有一狹縫(slit)。
14. 如請求項 13 所述之畫素結構的製作方法，其中在該垂直投影方向上，該圖案化氧化物電極層之該半導體部分大體上與該等分支電極重疊，且該導體部分大體上與該等狹縫重疊。
15. 如請求項 12 所述之畫素結構的製作方法，其中該圖案化氧化物電極層之材料包括銦鎵鋅氧化物(IGZO)、銦錫鋅氧化物(ITZO)、銦鋅氧化物(IZO)、鋅錫氧化物(ZTO)、鋅氧化物(ZnO)與鋁鋅氧化物(AZO)之其中至少一者。
16. 如請求項 12 所述之畫素結構的製作方法，其中該半導體部分具有一第一電阻值，該導體部分具有一第二電阻值，且該第一電阻值大於該第二電阻值。
17. 如請求項 12 所述之畫素結構的製作方法，其中該圖案化共通電極層具有一共通電壓，且該共通電壓提供一負偏壓(negative bias)電場給該半導體部分，使該半導體部分在該負偏壓電場下轉變為一非導體部分(non-conductive portion)。
18. 如請求項 12 所述之畫素結構的製作方法，其中於該絕緣層上形成該圖案化氧化物電極層與該圖案化保護層的步驟包括：
於該絕緣層上形成一圖案化氧化物層，該圖案化氧化物層為一氧化物半導體層；

於該圖案化氧化物層上形成該圖案化保護層，且該圖案化保護層具有一開口；以及

以該圖案化保護層為一罩幕，對該圖案化氧化物層進行一處理步驟，使該開口暴露出之該圖案化氧化物層轉變成該導體部分，且該圖案化保護層覆蓋的該圖案化氧化物層作為該半導體部分。

19. 如請求項 12 所述之畫素結構的製作方法，其中形成該主動開關元件包括：

於該第一基板上形成一閘極電極；

於該第一基板上形成一閘極絕緣層，其中該閘極絕緣層覆蓋該閘極電極；

於該閘極絕緣層上形成一通道層，該通道層大體上對應該閘極電極；以及

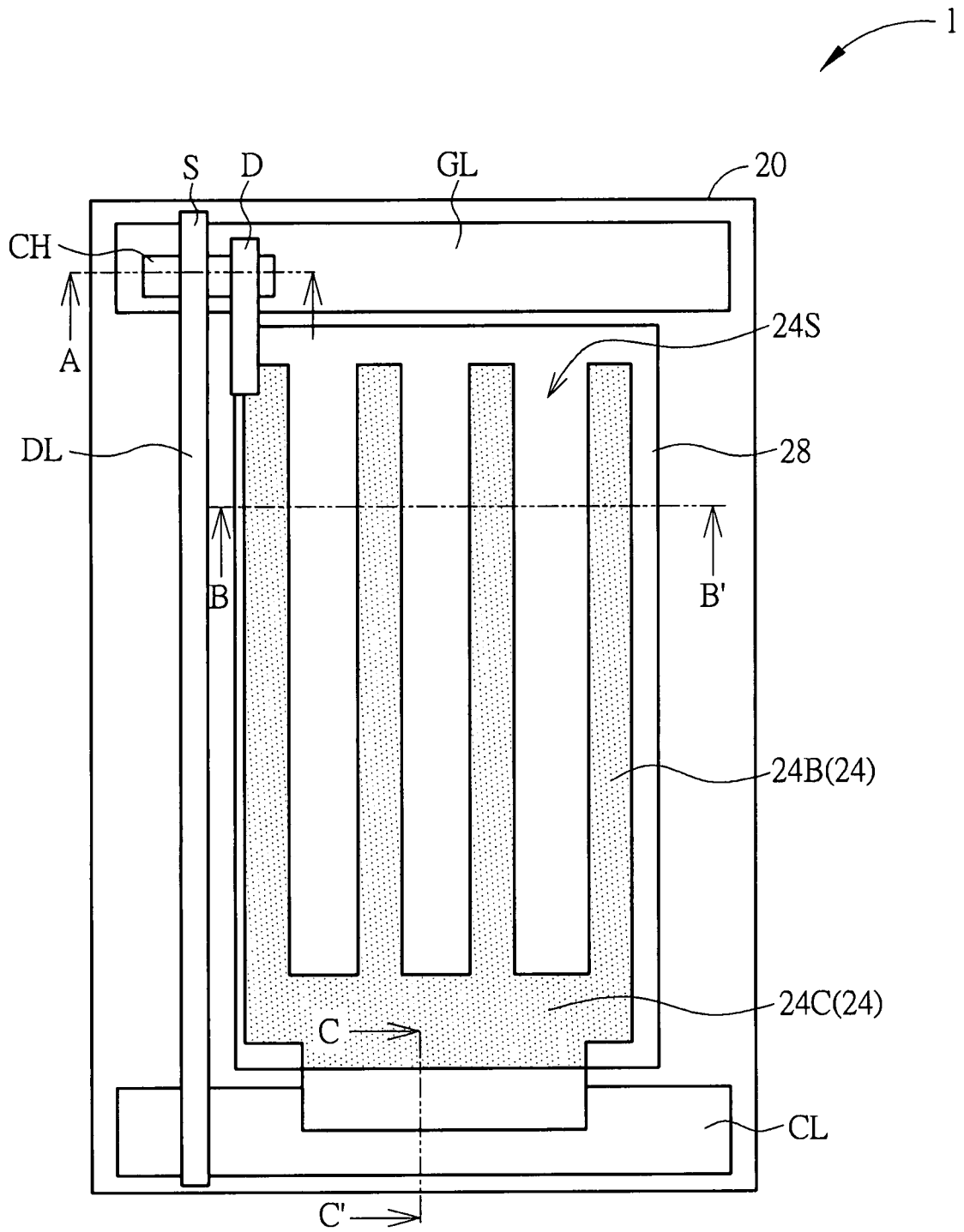
於該閘極絕緣層上形成一源極電極與一汲極電極，其中該源極電極與該汲

極電極分別設置於該通道層之兩側並分別與該通道層部分重疊，且該

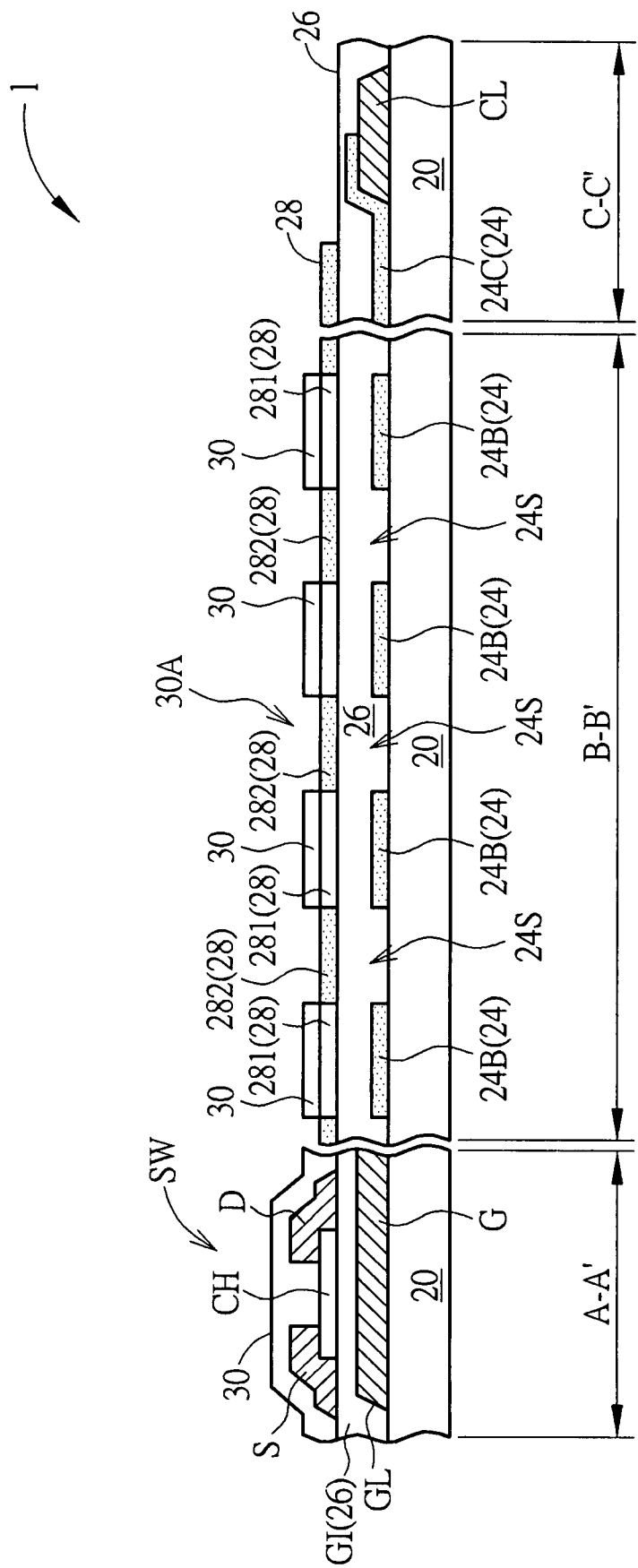
汲極電極與該圖案化氧化物電極層的該導體部分電性連接。

20. 如請求項 19 所述之畫素結構的製作方法，其中該通道層與該圖案化氧化物電極層由同一材料層所形成。

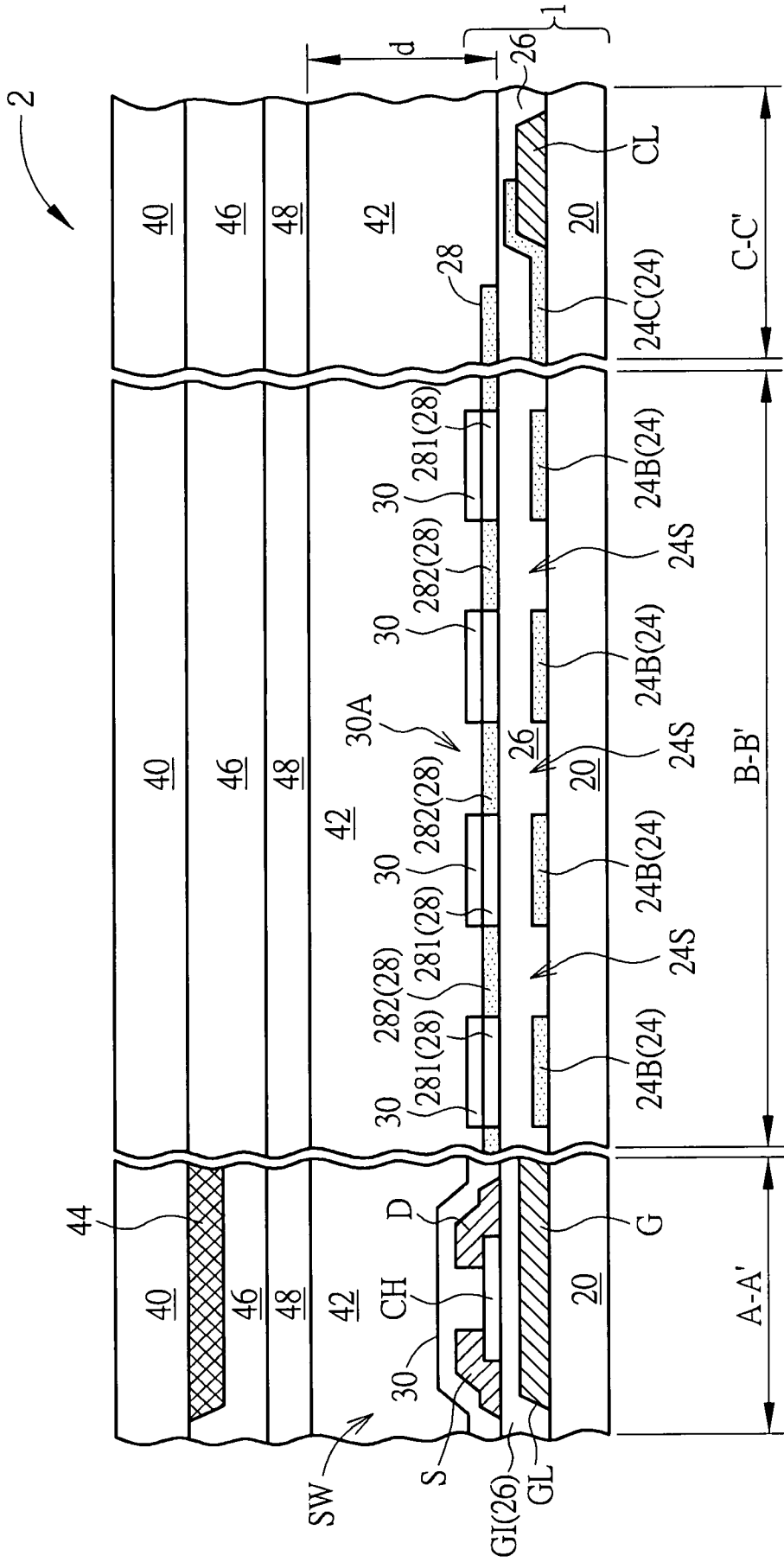
圖式



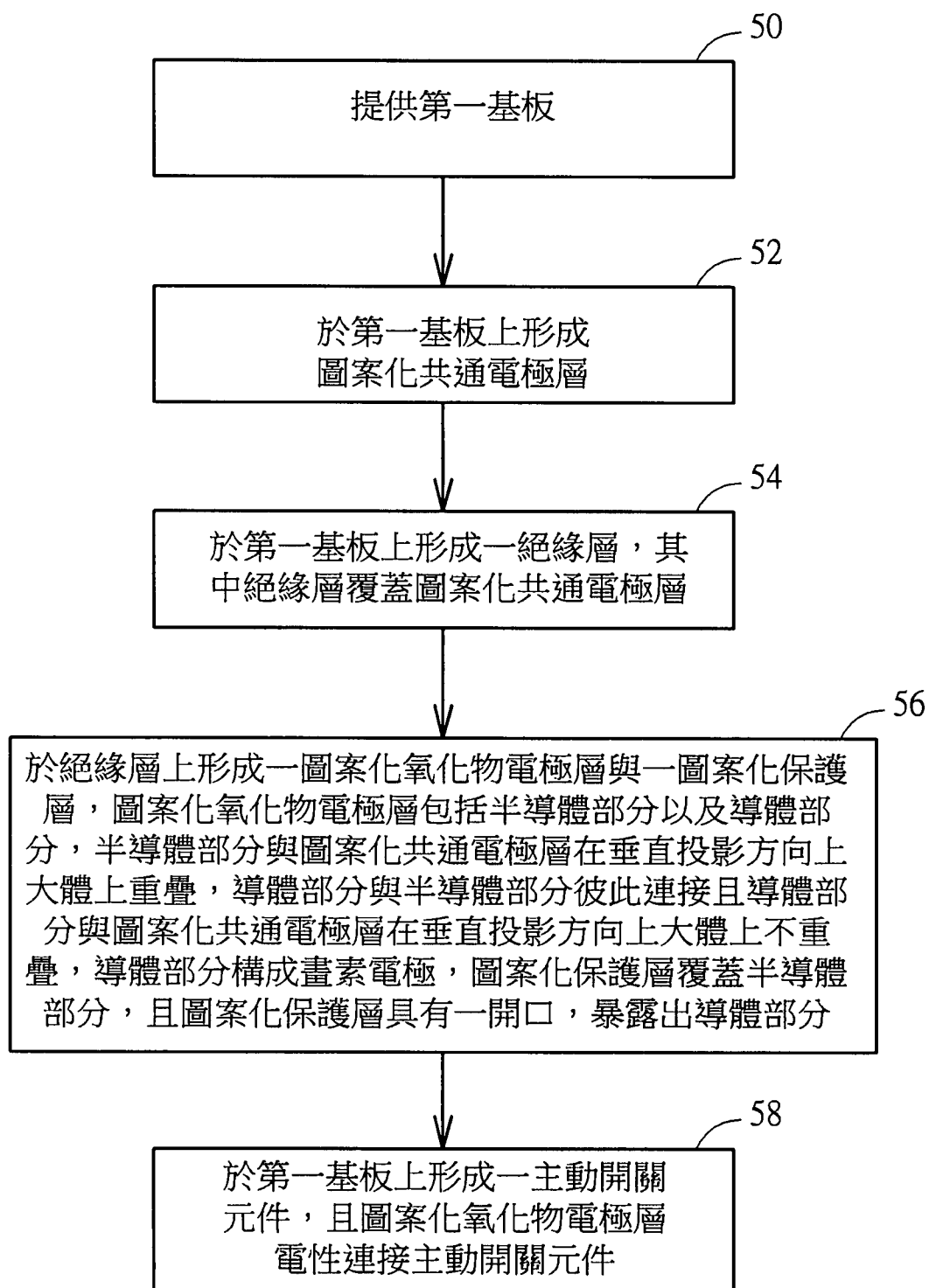
第1圖



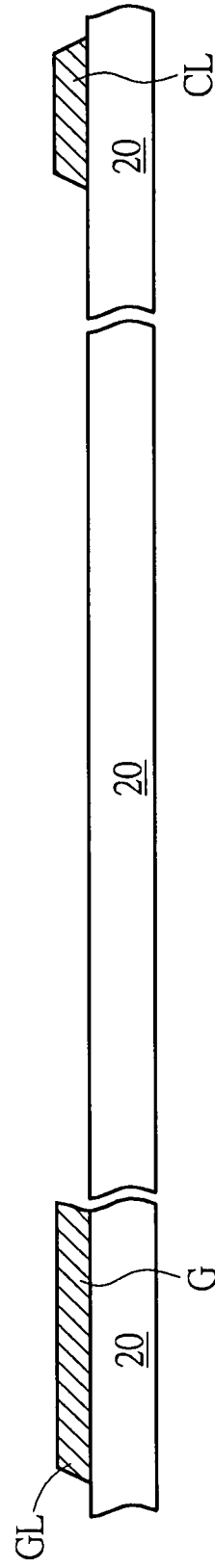
第2圖



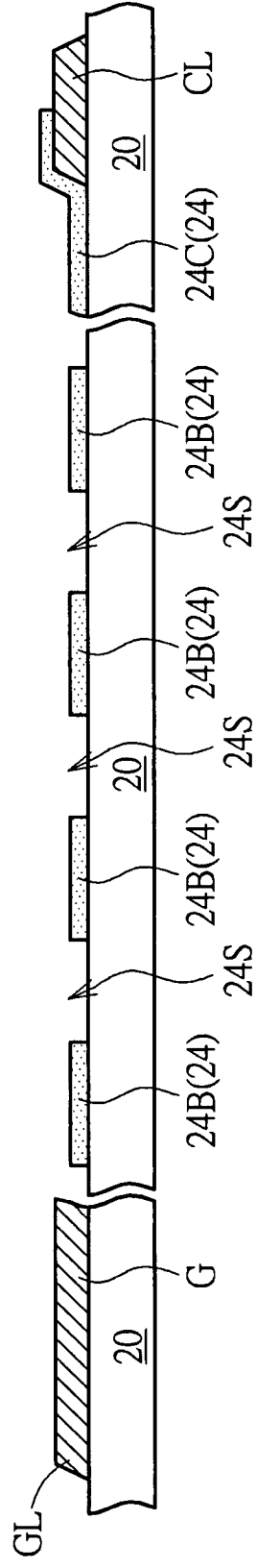
第3圖



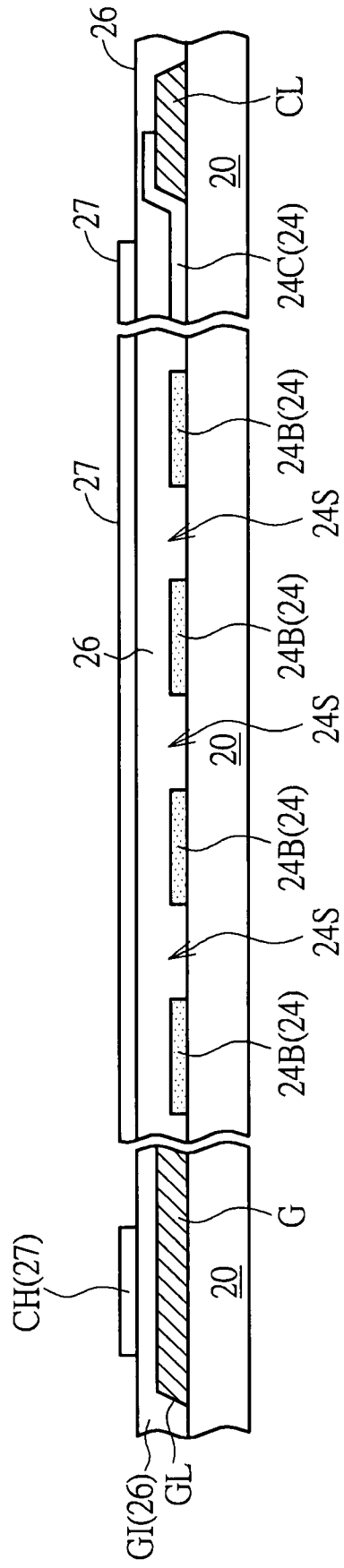
第4圖



第5圖

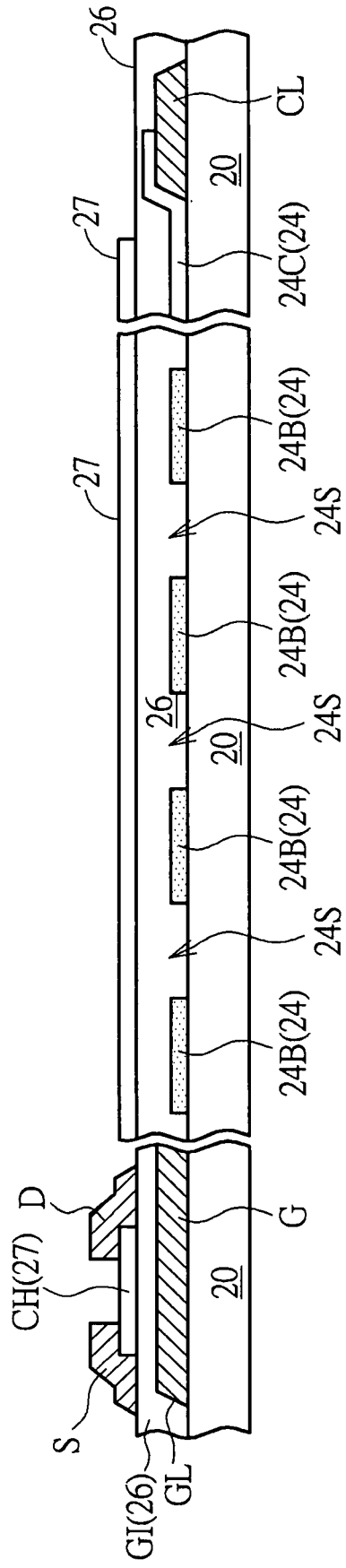


第6圖

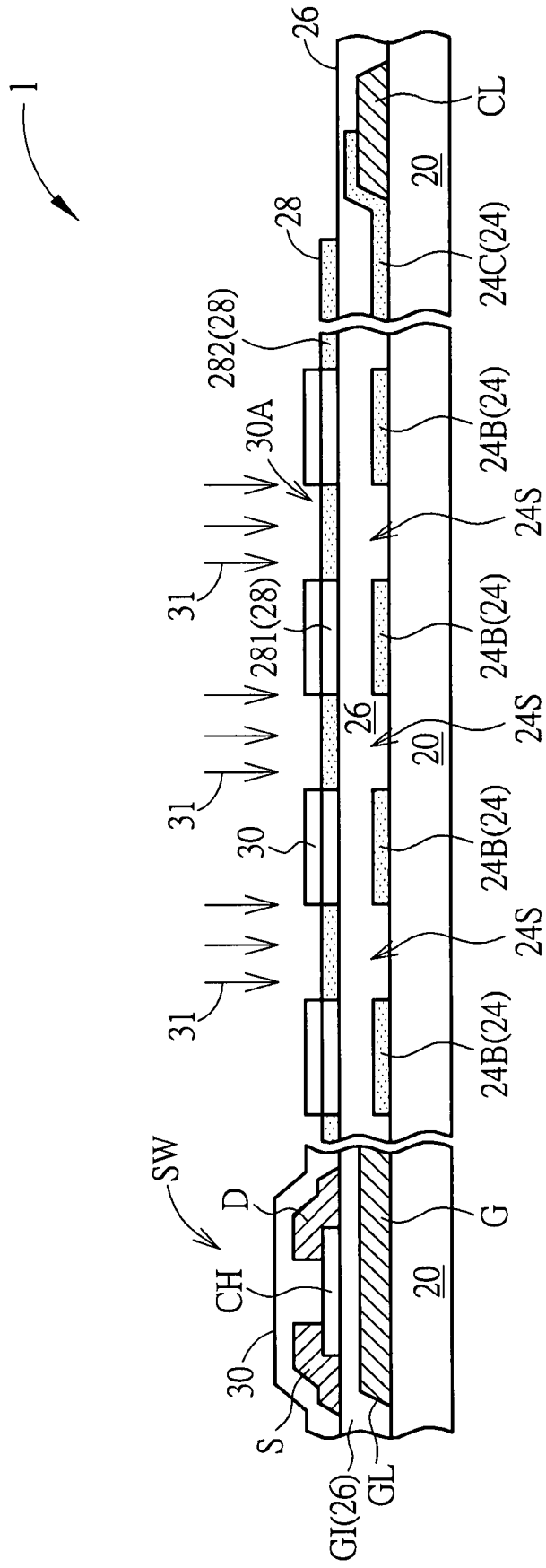


第7圖

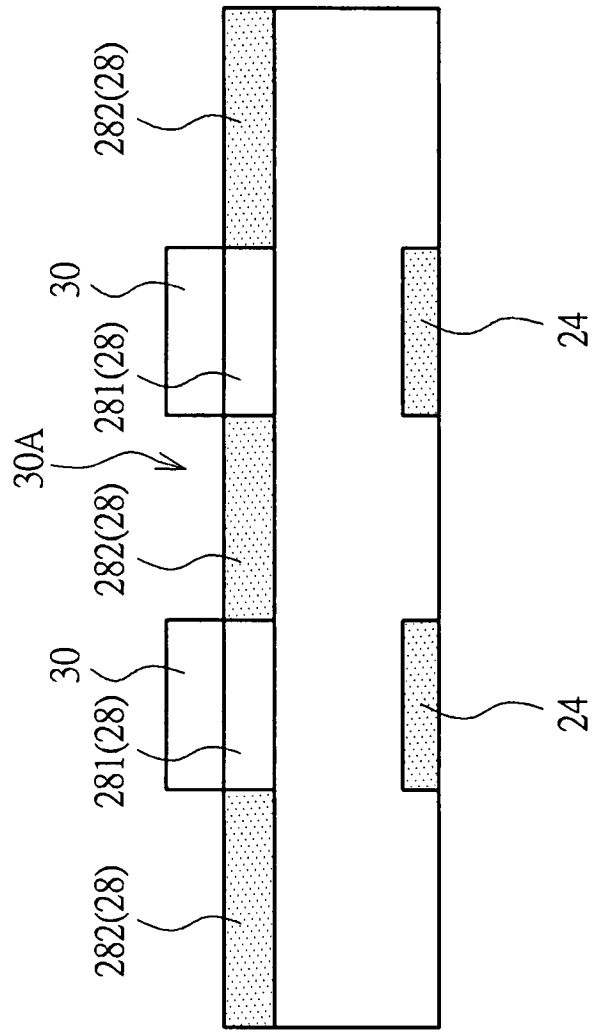




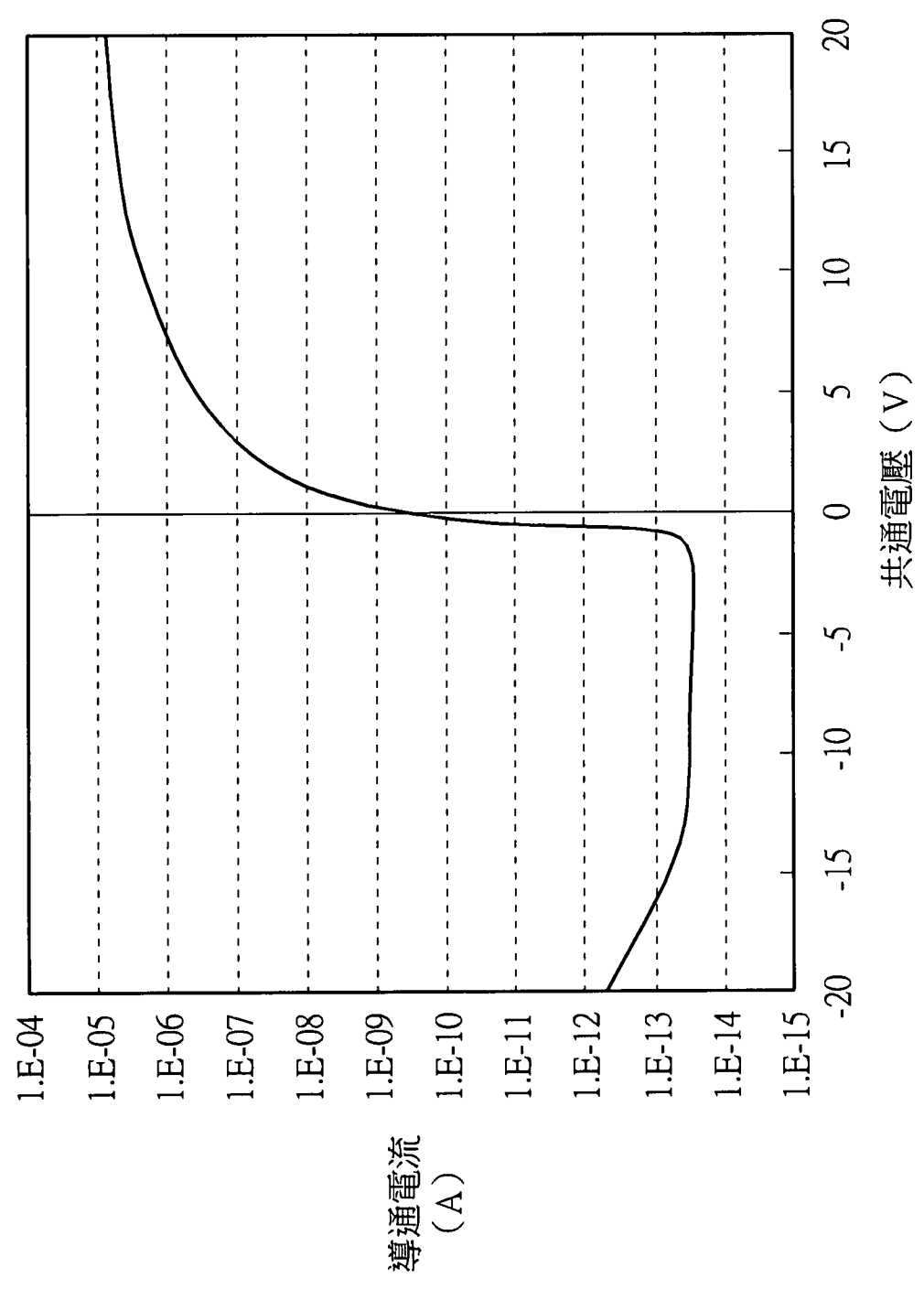
第8圖



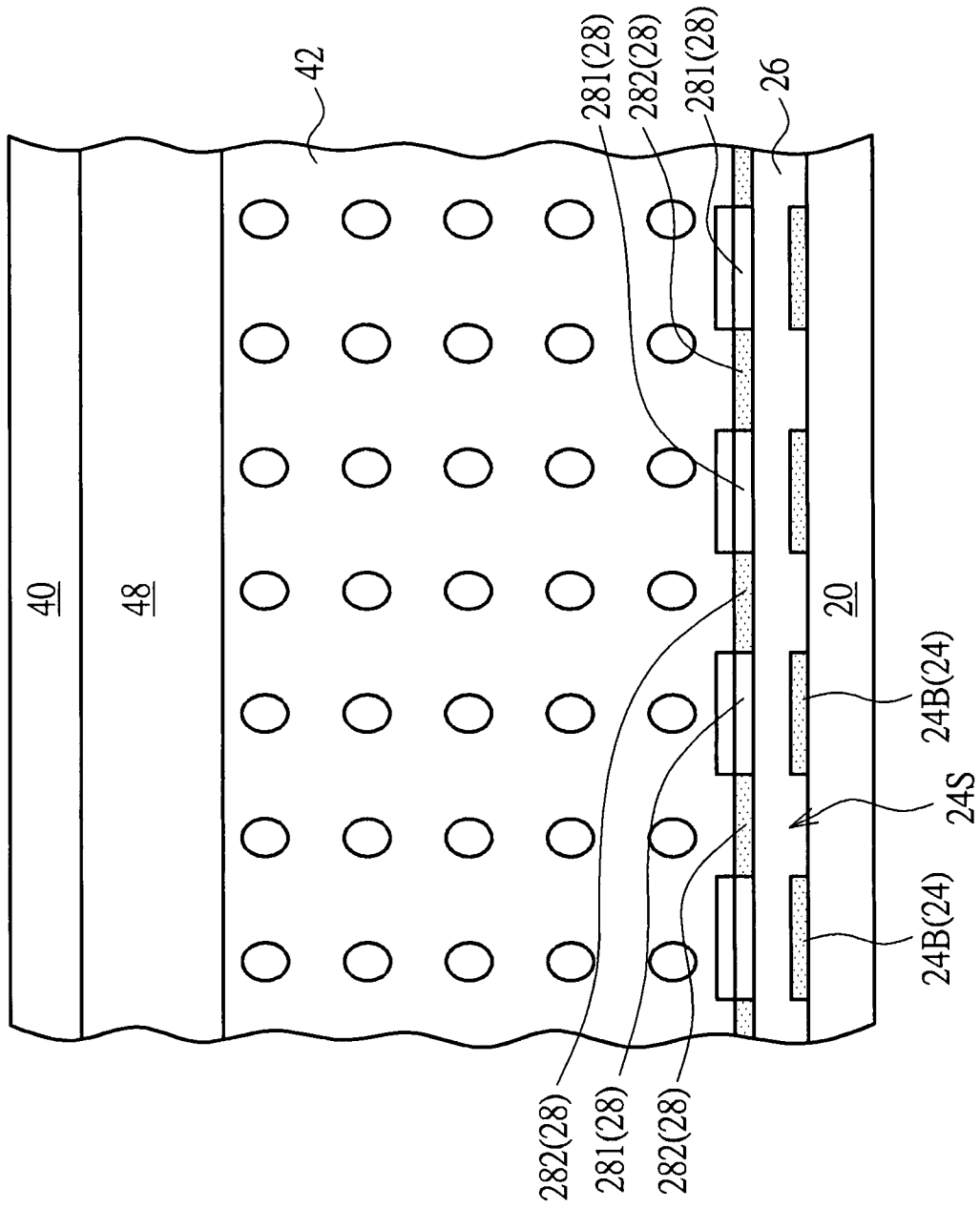
第9圖



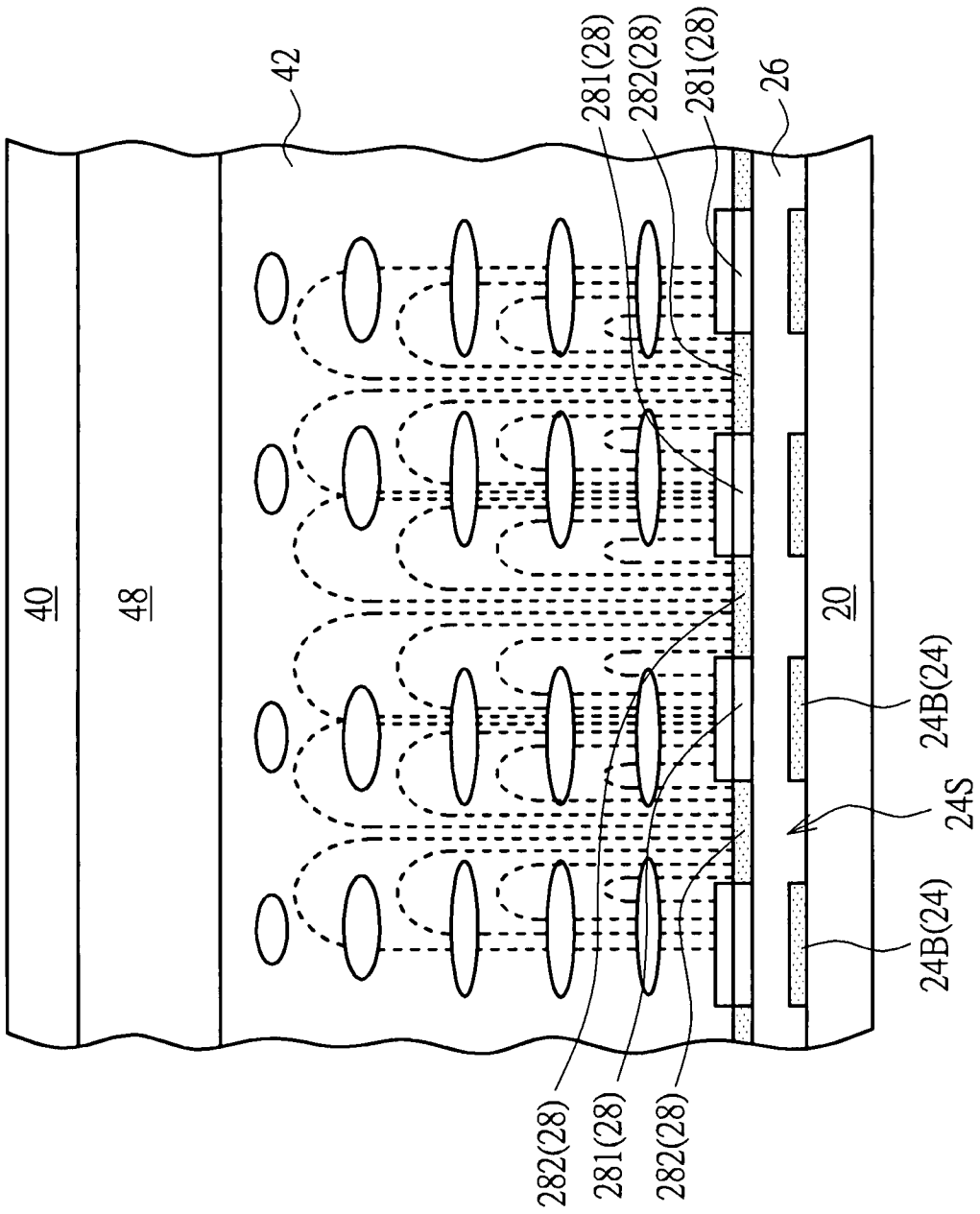
第10圖



第11圖

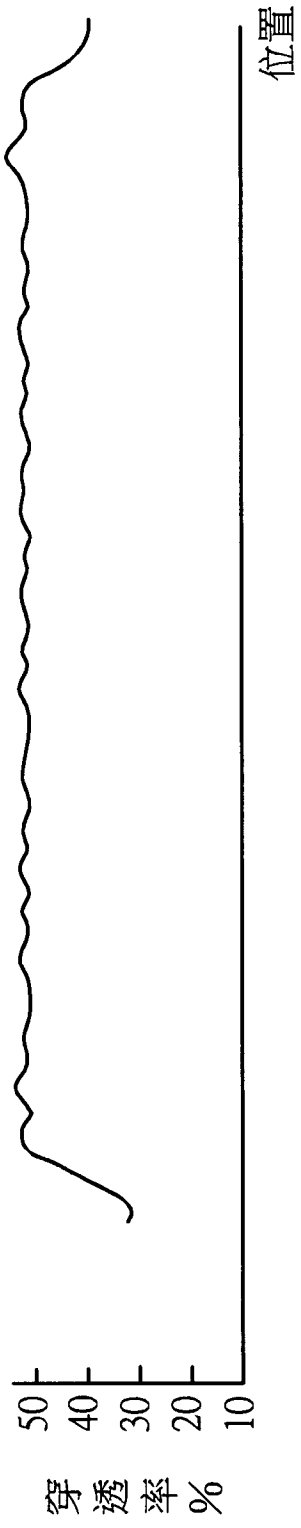


第12圖

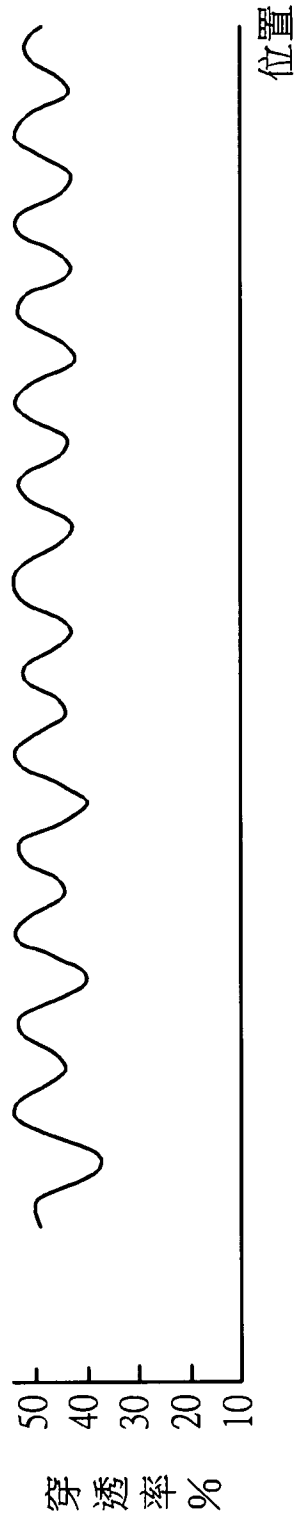


第13圖





第14圖



第15圖

