

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4303389号
(P4303389)

(45) 発行日 平成21年7月29日(2009.7.29)

(24) 登録日 平成21年5月1日(2009.5.1)

(51) Int. Cl.	F I
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 5 1
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	
HO 1 L 29/792 (2006.01)	

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2000-47782(P2000-47782)	(73) 特許権者	000116024
(22) 出願日	平成12年2月24日(2000.2.24)		ローム株式会社
(65) 公開番号	特開2001-237390(P2001-237390A)		京都府京都市右京区西院溝崎町2-1番地
(43) 公開日	平成13年8月31日(2001.8.31)	(74) 代理人	100087701
審査請求日	平成18年9月4日(2006.9.4)		弁理士 稲岡 耕作
		(74) 代理人	100101328
			弁理士 川崎 実夫
		(72) 発明者	高須 秀祝
			京都市右京区西院溝崎町2-1番地
			ローム株式会社内
		(72) 発明者	中村 孝
			京都市右京区西院溝崎町2-1番地
			ローム株式会社内
		審査官	河合 俊英

最終頁に続く

(54) 【発明の名称】 強誘電体メモリ装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に酸化シリコンからなる絶縁膜を形成する工程と、
前記絶縁膜の上に第1導体膜を形成する工程と、
前記第1導体膜の上に強誘電体膜を形成する工程と、
前記強誘電体膜の上に第2導体膜を形成する工程と、
共通のマスク膜を用いたエッチングにより上記第1導体膜、上記強誘電体膜および上記第2導体膜をパターンニングし、上記第1導体膜、上記強誘電体膜および上記第2導体膜を含むゲート構造部を形成する工程と、

上記半導体基板において上記ゲート構造部を挟んで離隔した一对の領域に、上記ゲート構造部に対して自己整合的に不純物を導入する工程と、

上記半導体基板の表面が上記絶縁膜で覆われている状態で、上記強誘電体膜および上記半導体基板に導入された不純物に対して、酸素雰囲気中で同時にアニールを行い、上記強誘電体膜を結晶化させるとともに、上記不純物を活性化させて上記一对の領域に不純物拡散層を形成するアニール工程とを含むことを特徴とする強誘電体メモリ装置の製造方法。

【請求項2】

上記アニール工程がランプアニールにより行われることを特徴とする請求項1記載の強誘電体メモリ装置の製造方法。

【請求項3】

上記強誘電体膜を構成する材料と上記一对の不純物拡散層間の距離とに基づいて、上記

10

20

ランプアニールの時間および温度が定められることを特徴とする請求項2記載の強誘電体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、強誘電体膜の分極を利用して不揮発性の情報記憶を行う強誘電体メモリ装置の製造方法に関する。

【0002】

【従来の技術】

強誘電体メモリ装置は、強誘電体膜を用いた不揮発性記憶装置である。強誘電体膜は、外部から電界を加えることによってその内部の分極が揃い、この分極の方向は、電界を取り除いた後にも保持される。これを利用して、情報の不揮発な記憶を行うことができる。

図2は、強誘電体メモリ素子の最も基本的な構成を示す図解的な断面図である。シリコン基板1(S)の表面に、強誘電体膜5(F)およびゲート電極としての金属膜6(M)を積層したゲート構造が形成されている。このゲート構造を挟んで、ソースおよびドレインとなる一対のN型拡散層2,2が形成されている。これにより、強誘電体膜5を絶縁膜として用いたMIS型のトランジスタが構成されている。

【0003】

金属膜6とシリコン基板1との間にたとえば5Vの電圧を印加すると、強誘電体膜5には、金属膜6からシリコン基板1に向かう方向、またはシリコン基板1から金属膜6に向かう方向の電界が印加されることになる。これにより、強誘電体膜5においては、印加された電界の方向に沿った分極が生じる。この分極は、金属膜6およびシリコン基板1の間に印加された電圧を取り除いた後にも保持される。

【0004】

これにより、N型拡散層2,2間のシリコン基板1の表面は、電子が誘起された状態と、ホール(正孔)が誘起された状態とをとりうる。これにより、強誘電体膜5における分極の方向に応じて、一対のN型拡散層2,2を導通させるためにゲート電極としての金属膜6に印加すべき電圧のしきい値が高低の2種類に変化するから、「0」または「1」の二値情報を不揮発に記憶することができる。この図2の構造においては、シリコン基板1の表面に良好な結晶状態の強誘電体膜5を形成することが困難である。また、強誘電体材料がシリコン基板1に拡散するという問題もある。そこで、図3に示すように、シリコン基板1と強誘電体膜5との間に、別の絶縁膜3(I)を介装する構成が提案されている。

【0005】

この図3の構造では、シリコン基板1と絶縁膜3との界面における良好な整合性を確保しつつ、かつ、絶縁膜3と強誘電体膜5との間においても良好な整合性を確保しなければならない。そのため、絶縁膜3の材料やその形成方法に厳しい制限があるという問題がある。また、絶縁膜3では、強誘電体材料の拡散を防止するバリア効果も不足である。

一方、図4には、絶縁膜3と強誘電体膜5の間に、金属膜4(M)を介在させてゲート構造を構成した強誘電体メモリ素子の構造が示されている。この構造であれば、絶縁膜3と強誘電体膜5との界面の整合性を考慮する必要がないから、シリコン基板1の表面に良好な結晶性を有する絶縁膜3を形成できるとともに、強誘電体膜5の結晶性も良好なものとする事ができる。また、金属膜4により、強誘電体材料の拡散も防止できる。

【0006】

【発明が解決しようとする課題】

しかし、上記の図2、図3および図4のいずれの構成においても、製造工程において共通の問題がある。すなわち、ソース・ドレインとなる一対のN型拡散層2,2は、N型の不純物イオンをシリコン基板1にインプランテーションし、その後、シリコン基板1の表層部に打ち込まれたN型不純物イオンを活性化アニール処理によって活性化させることによって形成される。この活性化アニール処理は、900~950で1~2時間にわたって、シリコン基板1を加熱炉内で加熱する処理である。ところが、このような加熱処理を

10

20

30

40

50

強誘電体膜 5 が受けると、この強誘電体膜 5 の分極特性が劣化するという問題がある。

【 0 0 0 7 】

この問題を回避するためには、たとえば図 4 の M F M I S 構造を作成する場合に、まず M I S トランジスタ部分を作成し、一对の N 型不純物拡散層 2 , 2 の活性化処理の後に、強誘電体膜 5 を金属膜 4 , 6 で挟持したキャパシタ部分を作成しなければならない。

図 5 は、図 4 の構成の強誘電体メモリ素子の実際の構造例を説明するための図解的な断面図である。この強誘電体メモリ素子においては、シリコン基板 1 の表面に絶縁膜 3 および金属膜 4 a を積層して M I S ゲート構造を作成し、このゲート構造の両側に一对の N 型拡散層 2 , 2 を形成してある。そして、この N 型拡散層 2 , 2 に対する活性化アニール処理が終了した後に、金属膜 4 b、強誘電体膜 5 および金属膜 6 からなるキャパシタ構造を、M I S 型トランジスタとは別の位置に形成することとしている。そして、M I S トランジスタの金属膜 4 a とキャパシタ構造側の金属膜 4 b とを配線膜やプラグからなる接続部 7 で接続してある。

10

【 0 0 0 8 】

この図 5 の構造における問題点は、トランジスタ部とキャパシタ部とを別の領域に形成しているため、シリコン基板 1 上で 1 つのメモリセルが占める面積が大きく、そのために高集積化が困難なことである。

この問題は、図 6 に示す構造を採用することによって幾分緩和される。この図 6 に示す構造では、シリコン基板 1 の表面に面積の大きな絶縁膜 3 および金属膜 4 を積層して M I S 構造を形成した後に、N 型不純物のインプランテーションおよびその活性化アニールを行うことによって、一对の N 型拡散層 2 , 2 がシリコン基板 1 の表層部に形成される。その後、金属膜 4 の表面に、強誘電体膜 5 および金属膜 6 が順に形成されて積層される。

20

【 0 0 0 9 】

この構造を採用する場合には、絶縁膜 3 および金属膜 4 を積層したゲート構造部は、強誘電体膜 5 および金属膜 6 の積層構造部よりも大きな面積に形成しなければならない。これは、絶縁膜 3 および金属膜 4 のゲート構造部のパターニング用マスクと、強誘電体膜 5 および金属膜 6 の積層構造部のパターニング用マスクとの余裕 (マージン) を確保しなければならないからである。

このように、図 6 の構成を採用した場合にも、大きな面積のゲート構造部が必要となるので、強誘電体メモリ装置の高集積化には限界がある。

30

【 0 0 1 0 】

そこで、この発明の目的は、上述の技術的課題解決し、高集積化を有利に図ることができる強誘電体メモリ装置の製造方法を提供することである。

【 0 0 1 1 】

【課題を解決するための手段および発明の効果】

上記の目的を達成するための請求項 1 記載の発明は、半導体基板上に酸化シリコンからなる絶縁膜を形成する工程と、前記絶縁膜の上に第 1 導体膜を形成する工程と、前記第 1 導体膜の上に強誘電体膜を形成する工程と、前記強誘電体膜の上に第 2 導体膜を形成する工程と、共通のマスク膜を用いたエッチングにより上記第 1 導体膜、上記強誘電体膜および上記第 2 導体膜をパターニングし、上記第 1 導体膜、上記強誘電体膜および上記第 2 導体膜を含むゲート構造部を形成する工程と、上記半導体基板において上記ゲート構造部を挟んで離隔した一对の領域に、上記ゲート構造部に対して自己整合的に不純物を導入する工程と、上記半導体基板の表面が上記絶縁膜で覆われている状態で、上記強誘電体膜および上記半導体基板に導入された不純物に対して、酸素雰囲気中で同時にアニールを行い、上記強誘電体膜を結晶化させるとともに、上記不純物を活性化させて上記一对の領域に不純物拡散層を形成するアニール工程とを含むことを特徴とする強誘電体メモリ装置の製造方法である。

40

【 0 0 1 2 】

この発明によれば、第 1 導体膜、強誘電体膜および第 2 導体膜を有するゲート構造部は、共通のマスク膜を用いたエッチング工程を含む製造工程を経て形成される。そして、こ

50

のゲート構造部に対して自己整合的に半導体基板に不純物が導入される。

したがって、第1導体膜、強誘電体膜および第2導体膜を有するゲート構造部と、これを挟んで形成された不純物拡散領域とからなるトランジスタを、小さな面積に形成することができる。

【0013】

半導体基板に注入された不純物は、当該半導体基板の表面が上記絶縁膜で覆われている状態で酸素雰囲気中で行われるアニール処理によって活性化され、これにより、ゲート構造部を挟む一対の不純物拡散層が形成されることになる。このアニール工程において、強誘電体膜が同時に結晶化される。

このように、この発明においては、強誘電体膜の結晶化のためのアニール処理と、不純物イオンを活性化させるためのアニール処理とを共通の工程で行うようにしている。これにより、強誘電体膜の特性を劣化させるおそれがない。また、半導体基板に対するアニール処理を1回で終了させることができるので、半導体基板に対する熱ダメージを抑制することができる。これにより、強誘電体メモリ装置の特性を向上することができる。また、工程も簡単になる。

【0014】

この発明のポイントは、強誘電体膜の結晶化と不純物の活性化とを共通のアニール工程において行うことにある。このような工程を採用することにより、ゲート構造部を構成する第1導体膜、強誘電体膜および第2導体膜を共通のマスク膜を用いたエッチングによりパターニングでき、このようにして形成されたゲート構造部を用いて自己整合的に不純物拡散層を形成しているにもかかわらず、強誘電体膜の特性劣化を招来することがない。

【0015】

また、この発明の方法によれば、強誘電体膜と半導体基板の表面との間に絶縁膜が介在される。

【0016】

そしてまた、この発明の方法では、上記絶縁膜と強誘電体膜との間に第1導体膜が形成されるから、いわゆるMFMI S構造(図4参照)のゲート構造部を形成することができる。この場合、一対の導体膜およびこれらに挟持されることになる強誘電体膜は、共通のマスク膜でパターニングされる。

【0017】

請求項2記載の発明は、上記アニール工程がランプアニールにより行われることを特徴とする請求項1記載の強誘電体メモリ装置の製造方法である。

この発明によれば、強誘電体膜の結晶化および不純物の活性化のためのアニール工程が、ランプアニールにより行われるので、加熱炉内において行われる一般の活性化アニール処理の場合とは異なり、強誘電体膜の特性が劣化することがない。この場合に、不純物拡散層がいわゆるシャロージャンクションと呼ばれる浅い接合を形成している場合には、ランプアニールのような短時間の熱処理によって、半導体基板に注入された不純物を十分に活性化して、良好な不純物拡散層を形成できる。

【0018】

請求項3記載の発明は、上記強誘電体膜を構成する材料と上記一対の不純物拡散層間の距離とに基づいて、上記ランプアニールの時間および温度が定められることを特徴とする請求項2記載の強誘電体メモリ装置の製造方法である。

この発明によれば、ランプアニールの時間および温度は、強誘電体膜を構成する材料と不純物拡散層との間の距離とに基づいて定められる。すなわち、チャンネル長と強誘電体膜の材料とを考慮して、ランプアニールの条件が適切に定められるので、共通のアニール工程で強誘電体膜の結晶化と半導体基板に注入された不純物の活性化とをいずれも良好に行うことができる。

【0019】

【発明の実施の形態】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、この発明の一実施形態に係る強誘電体メモリ装置の製造方法を説明するための断面図である。この製造工程では、いわゆるMFMIS型のゲート構造を有する強誘電体メモリ素子が形成される。

まず、図1(a)に示すように、シリコン基板1(半導体基板)の表面に絶縁膜としての酸化シリコン膜12、ポリシリコン膜13、下部電極膜14(第1導体膜)、強誘電体膜15および上部電極膜16(第2導体膜)が順に積層されて形成される。

【0020】

酸化シリコン膜12は、シリコン基板11の表面を熱酸化することによって、形成することができる。ポリシリコン膜13は、たとえば、シランガスおよび水素ガスを原料ガスとして用いた減圧CVD(化学的気相成長)法により形成することができる。このポリシリコン膜13は、燐などの不純物の導入により低抵抗化されている。

下部電極膜14および上部電極膜16は、金属からなる導電膜であって、スパッタリングにより形成することができる。下部電極膜14は、強誘電体材料の拡散を防止するバリア効果の高い材料で構成されることが好ましく、たとえば、イリジウム膜、酸化イリジウム膜、またはイリジウム膜と酸化イリジウム膜との積層膜を適用することができる。上部電極膜16も同様に、たとえば、イリジウム膜、酸化イリジウム膜、またはイリジウム膜と酸化イリジウム膜との積層膜で構成できる。下部電極膜14および上部電極膜16としては、他にも、白金膜や、白金膜と酸化イリジウム膜との積層膜などが適用できる。

【0021】

強誘電体膜15は、PZT($\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$)、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)またはSTN($\text{Sr}_2(\text{Ta},\text{Nb})_2\text{O}_7$)などの強誘電体材料からなっている膜厚1000~2000の膜であり、たとえば、ゾル・ゲル法、スパッタ法、MOCVD(金属・有機化学気相成長)法、レーザアブレーション法、パルスレーザ・デポジション法などによって、下部電極膜14の表面に積層することができる。この強誘電体材料が積層された直後の状態では、強誘電体膜15は、まだ結晶化されていない。

【0022】

次に、図1(b)に示すように、ゲート構造部20を作成するためのマスク膜18が、上部電極膜16上の表面にパターン形成される。このマスク膜18は、たとえば、酸化シリコン、窒化チタンまたはアルミナなどのハードマスクからなっていることが好ましい。

このマスク膜18を共通に用いて、ゲート構造部20を構成するすべての膜(酸化シリコン膜12は除く。)が、エッチングによりパターンニングされる。すなわち、ドライエッチングにより、上部電極膜16、強誘電体膜15、下部電極膜14、およびポリシリコン膜13が順にエッチングされる。このエッチングは、たとえば、各層のエッチング時に用いるガスを切り換えることにより、ウエハ面内での均一性を確保しつつ、良好に行うことができる。たとえば、上部電極膜16および下部電極膜14のエッチング時には、塩素系のガスが用いられ、強誘電体膜15のエッチング時には、フッ素系のガスを用い、ポリシリコン膜13のエッチング時には、HBr系のガスまたは塩素系およびフッ素系の混合ガスが用いられる。

【0023】

このように、各層のエッチング時に使用するガスを切り換えることによって、ウエハ面内に複数個形成される複数のゲート構造部20において均一なエッチング処理を行うことができる。なお、必要に応じて、1層または2層以上の膜のエッチング終了時に、残渣を取り除くことが好ましい。

ポリシリコン膜13は、塩素系のガスでもエッチングすることができるけれども、塩素系のガスを用いると、上部電極膜16や下部電極膜14が同時にエッチングされることになるため、フッ素系のガス、またはフッ素系のガスおよび塩素系のガスの混合ガスを用いることが好ましい。また、ポリシリコン膜13のエッチングには、HBr系のガスを用いることがさらに好ましい。このHBr系のガスを用いたエッチングは、酸化シリコン膜12に対するポリシリコン膜13のエッチング選択比が大きいので、酸化シリコン膜12を傷つけることなくポリシリコン膜13をパターンニングできる。

10

20

30

40

50

【 0 0 2 4 】

このようにして、マスク膜 1 8 を共通に用いて、上部電極膜 1 6、強誘電体膜 1 5、下部電極膜 1 4、ポリシリコン膜 1 3 を順にエッチングして、図 1 (b) に示すゲート構造部 2 0 をシリコン基板 1 1 上に形成することができる。このゲート構造部 2 0 は、共通のマスク膜 1 8 を用いて各層をパターンニングしているがゆえに、複数のマスク間の余裕を考慮する必要がないので、極めて小面積に形成することができる。

【 0 0 2 5 】

次に、図 1 (c) に示すように、マスク膜 1 8 を必要に応じて除去した後に、ゲート構造部 2 0 に対して自己整合的に、たとえば N 型不純物イオン が、シリコン基板 1 1 に注入される。なお、図 1 (c) においては、シリコン基板 1 1 の表層部分に注入された N 型不純物イオンを「x」印で示してある。

10

続いて、ランプアニール処理が行われる。これにより、図 1 (d) に示すように、シリコン基板 1 1 の表層部に打ち込まれた N 型不純物イオンが活性化されて、ゲート構造部 2 0 を挟んで離隔している一対の N 型不純物拡散層 2 1, 2 2 が形成されることになる。このときに、強誘電体膜 1 5 の結晶化のための加熱処理も同時に行われることになる。

【 0 0 2 6 】

ランプアニール工程における処理条件は、ゲート構造部 2 0 のチャネル長 L、すなわち一対の N 型不純物拡散層 2 1, 2 2 の間の距離と、強誘電体膜 1 5 を構成する強誘電体材料の種類に応じて適切に定められる。たとえば、チャネル長 L が、 $0.18 \mu\text{m}$ 程度の場合、すなわち、デザインルールが $0.18 \mu\text{m}$ 程度の場合であって、強誘電体膜 1 5 の材料として STN (結晶化温度: $900 \sim 1100$) を用いている場合には、約 1050 の温度でのランプアニールを約 1 秒 ~ 数秒間行うことによって、シリコン基板 1 1 に注入された N 型不純物を良好に活性化でき、かつ強誘電体膜 1 5 の結晶化を良好に行える。 $0.18 \mu\text{m}$ 程度の微細なゲート構造部 2 0 が形成される場合には、一対の N 型不純物拡散層 2 1, 2 2 は、シャロージャンクションと呼ばれる浅い接合を形成することになり、上述のような、いわば瞬間的な熱処理によって、完全に活性化することができる。

20

【 0 0 2 7 】

強誘電体膜 1 5 の材料としては、上述のとおり、PZT または SBT が他に例示できるが、これらの材料の結晶化温度は、それぞれ、 $550 \sim 800$ および $750 \sim 900$ 程度である。ランプアニール時の温度および時間は、このような強誘電体材料の結晶化温度を考慮して定められればよいが、ランプアニール処理時にシリコン基板 1 1 に加えられる温度が上述の結晶化温度よりも高い場合には、ランプアニール処理の時間を短くすることによって強誘電体膜 1 5 に与えられる熱量を調整すれば、強誘電体膜 1 5 を良好に結晶化できる。

30

【 0 0 2 8 】

ランプアニール工程における雰囲気について若干の説明を加える。一般に、半導体基板に注入された不純物イオンを活性化するための活性化アニール処理は、界面の酸化が生じないように窒素雰囲気中で行われるのが通常である。一方、強誘電体膜の結晶化のためのアニール処理では、強誘電体膜からの酸素の散逸を防止するために、酸素雰囲気中で加熱処理が行われるのが通常である。これは、強誘電体材料は、一般に酸化物からなっていて、酸素が散逸すればその特性が劣化するからである。

40

【 0 0 2 9 】

この実施形態では、ランプアニールは、酸素雰囲気中で行われる。これは、シリコン半導体基板 1 1 の表面は、ランプアニール処理時には、酸化シリコン膜 1 2 で覆われていて、シリコン基板 1 1 の表面における酸化を特に考慮する必要がないからである。また、ランプアニールでは、加熱炉による加熱処理とは異なり、ごく短時間の加熱処理を行っているに過ぎないから、熱酸化を考慮する必要がないからである。

【 0 0 3 0 】

なお、酸化シリコン膜 1 2 は、イオン注入時にダメージを受けるので、ランプアニール処理の後にウェットエッチングにより除去することとし、シリコン基板 1 1 の表面の酸化

50

によって、新たな酸化シリコン膜 19 を形成することが好ましい。

【0031】

以上のようにこの実施形態の強誘電体メモリ装置の製造方法によれば、ゲート構造部 20 を構成する複数の薄膜が、上部電極膜 16 および強誘電体膜 15 を含めて共通のマスク膜 18 を用いてパターンニングされる。これにより、トランジスタ部とキャパシタ部とを別の製造工程において形成していた上述の従来技術（図 5 および図 6）の場合とは異なり、ゲート構造部 20 を極めて微細化することができる。これにより、強誘電体メモリ装置の高集積化を図ることができる。

【0032】

そして、ゲート構造部 20 に対して自己整合的に N 型不純物イオンをインプラントーションし、これをランプアニールによって活性化することによって、一对の N 型不純物拡散層 21, 22 がゲート構造部 20 を挟んで形成されるから、これによっても、トランジスタの形成面積を小さくできるので、強誘電体メモリ装置のさらなる高集積化を図ることができる。

また、この実施形態の方法では、強誘電体膜 15 を結晶化してからシリコン基板 11 に注入された不純物の活性化を行うのではなく、この不純物の活性化と強誘電体膜 15 の結晶化とのための加熱処理を、共通のランプアニール工程において達成している。したがって、良好な特性の強誘電体膜 15 を得ることができるので、記憶特性に優れた強誘電体メモリ装置を実現できる。しかも、強誘電体膜 15 をマスク膜 18 を用いてエッチングした後、これを結晶化するようにしているので、強誘電体膜 15 の端面 15a における結晶性も良好である。したがって、強誘電体膜 15 のエッジ部におけるリーク生じることもない。これによっても、記憶特性の向上を図ることができる。

【0033】

また、シリコン基板 11 に注入された不純物の活性化のための加熱処理と、強誘電体膜 15 の結晶化のための加熱処理とが一工程において行われるので、工程が簡単になるうえ、シリコン基板 11 に対する熱ダメージが少ない。これによっても、強誘電体メモリ装置の動作特性を向上できる。

この実施形態の方法によって作成された強誘電体メモリ装置においては、ゲート構造部 20 を構成する各膜の端面が連続している点に特徴がある。上述の図 5 または図 6 を用いて説明した従来の製造方法では、強誘電体膜を含み、かつ段差のない端面（側面）を有するゲート構造部を持つことができない。すなわち、現在までに知られている強誘電体メモリ装置の製造方法では、上述の実施形態のように、連続した端面（側面）を有するゲート構造部 20 を形成して、かつ、強誘電体膜 15 の特性を良好に維持することができない。

【0034】

以上、この発明の一実施形態について説明したが、この発明は他の形態で実施することもできる。

【0035】

たとえば、上述の実施形態では、ゲート構造部 20 を挟んで一对の N 型不純物拡散層を形成する例について説明したけれども、ゲート構造部 20 を挟んで、一对の P 型不純物拡散層を形成して P チャンネル型のトランジスタでメモリセルを構成した強誘電体メモリ装置を形成してもよい。この場合には、P 型不純物イオンを図 1 (c) の工程においてシリコン基板 11 に注入すればよい。

【0036】

また、上述の実施形態では、ゲート構造部 20 を構成する各膜のエッチング時にガスを切り換えることとしているが、ウエハ面内でのエッチング均一性が良好であれば、たとえば、塩素系または HBr 系のガスのみを用いて、ガスの切り換えを行うことなくゲート構造部 20 を構成する全ての膜をエッチングしてもよい。

その他、特許請求の範囲に記載された技術的事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

10

20

30

40

50

【図1】この発明の一実施形態に係る強誘電体メモリ装置の製造工程を工程順に示す断面図である。

【図2】強誘電体メモリ装置の最も基本的な構造であるMFS型強誘電体メモリ素子の構造を示す図解的な断面図である。

【図3】MFI型ゲート構造を有する強誘電体メモリ素子の構成を説明するための図解的な断面図である。

【図4】MFMIS型ゲート構造を有する強誘電体メモリ素子の構成を説明するための図解的な断面図である。

【図5】トランジスタ部とキャパシタ部とを別の位置に形成して実質的にMFMIS型の強誘電体メモリ素子を構成した従来の構造例を示す図解的な断面図である。

【図6】トランジスタ部上にキャパシタ部を積層してMFMIS型強誘電体メモリ素子を作成する場合の従来の構造例を示す図解的な断面図である。

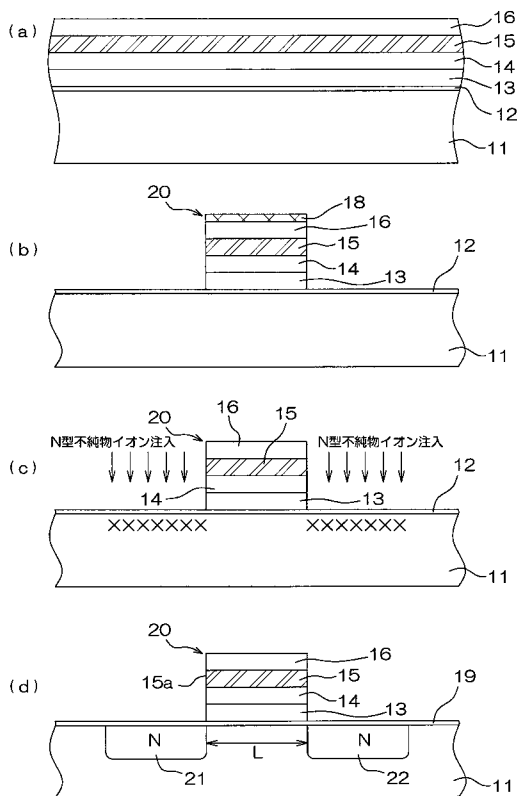
【符号の説明】

- 11 シリコン半導体基板
- 12 酸化シリコン膜
- 13 ポリシリコン膜
- 14 下部電極膜
- 15 強誘電体膜
- 16 上部電極膜
- 18 マスク膜
- 19 酸化シリコン膜
- 20 ゲート構造部
- 21 N型不純物拡散層
- 22 N型不純物拡散層

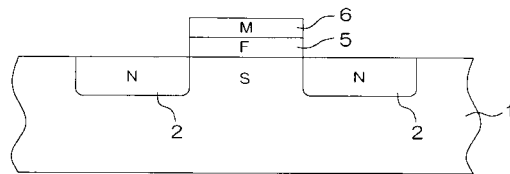
10

20

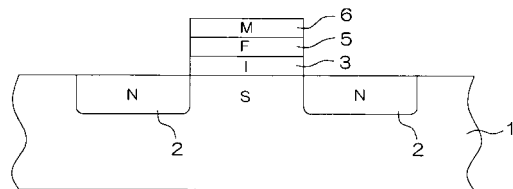
【図1】



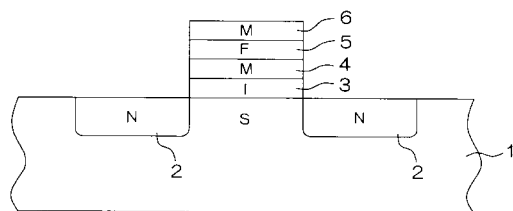
【図2】



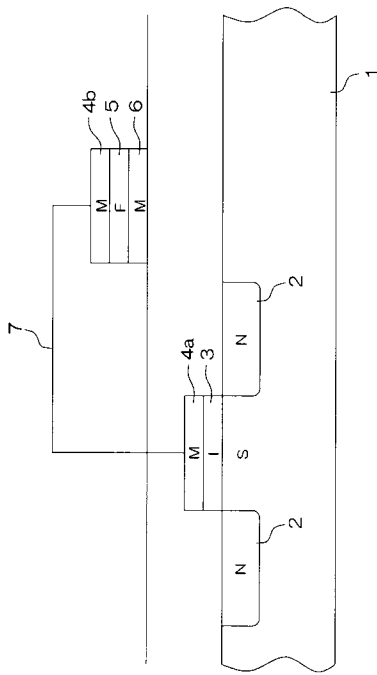
【図3】



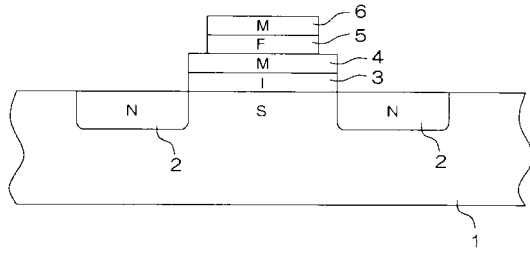
【図4】



【 図 5 】



【 図 6 】



フロントページの続き

- (56)参考文献 特開平 1 1 - 1 7 7 0 3 7 (J P , A)
特開平 1 0 - 5 6 1 4 2 (J P , A)
特開平 2 - 1 5 4 3 8 8 (J P , A)
特開平 9 - 3 0 7 0 7 2 (J P , A)
特開平 9 - 2 3 7 8 7 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

- H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792