

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-501690

(P2006-501690A)

(43) 公表日 平成18年1月12日(2006.1.12)

(51) Int. Cl.	F I	テーマコード (参考)
<b>HO 1 L 29/786 (2006.01)</b>	HO 1 L 29/78 6 2 6 Z HO 1 L 29/78 6 1 8 B	5 F 1 1 0

審査請求 未請求 予備審査請求 未請求 (全 87 頁)

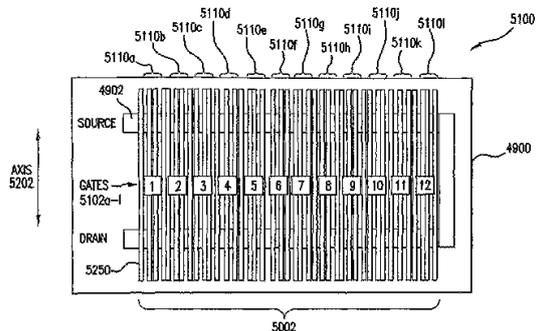
(21) 出願番号	特願2005-500328 (P2005-500328)	(71) 出願人	504327085 ナノシス・インコーポレイテッド Nanosys, Inc. アメリカ合衆国、94304 カリフォルニア州、パロ・アルト、ハノーバー・ストリート、2625
(86) (22) 出願日	平成15年9月30日 (2003. 9. 30)	(74) 代理人	100078282 弁理士 山本 秀策
(85) 翻訳文提出日	平成17年5月26日 (2005. 5. 26)	(74) 代理人	100062409 弁理士 安村 高明
(86) 国際出願番号	PCT/US2003/030637	(74) 代理人	100113413 弁理士 森下 夏樹
(87) 国際公開番号	W02004/032191		
(87) 国際公開日	平成16年4月15日 (2004. 4. 15)		
(31) 優先権主張番号	60/414, 323		
(32) 優先日	平成14年9月30日 (2002. 9. 30)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	60/468, 276		
(32) 優先日	平成15年5月7日 (2003. 5. 7)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	60/474, 065		
(32) 優先日	平成15年5月29日 (2003. 5. 29)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 ナノイーネーブルな、ナノワイヤおよびナノワイヤ混成物が組み込まれた大面積マクロエレクトロニクス基板のアプリケーション

(57) 【要約】

ナノワイヤを実装したマクロエレクトロニクス基板材料を開示する。これらの基板材料によれば、多種多様な用途に用いられる基礎的な電子素子(トランジスタなど)が得られる。また、このようなマクロエレクトロニクス基板材料の製造方法を開示する。用途の一つとして、小型・軽量センサにおけるRF(高周波)信号の送受信がある。このようなセンサは、分散型センサネットワークの形に構成してセキュリティ監視用に提供することができる。さらに、高周波識別(RFID)タグを得るための方法および装置を開示する。RFIDタグは、アンテナおよびビームステアリング・アレイを有する。ビームステアリング・アレイは、複数の同調可能素子を有する。また、ナノワイヤの使用により可能となる音響打消しデバイスおよび可調移相器を得るための方法および装置を開示する。



## 【特許請求の範囲】

## 【請求項 1】

基板上に形成された可調移相器であって、  
基板上にあって第 1 の導電セグメントおよび第 2 の導電セグメントを含む導体線と、  
該第 1 の導電セグメントおよび該第 2 の導電セグメントと電氣的に接触させて該基板上  
に形成されたナノワイヤ薄膜と、  
該ナノワイヤ薄膜と電氣的に接触させて該第 1 の導電セグメントと該第 2 の導電セグメ  
ントとの間に設けられた複数のゲートコンタクトと、  
を備え、  
該導体線を通して伝送される電気信号の位相を、該複数のゲートコンタクトの中の少な  
くとも 1 つのゲートコンタクトに印加される電圧を変えることにより調整する、可調移相  
器。

## 【請求項 2】

前記ナノワイヤが、その長軸が実質的に互いに平行となるよう整列した、請求項 1 記載  
の可調移相器。

## 【請求項 3】

前記ナノワイヤが、前記第 1 の導電セグメントと前記第 2 の導電セグメントの間の軸線  
とほぼ平行に整列した、請求項 2 記載の可調移相器。

## 【請求項 4】

前記ナノワイヤがランダムに配列された、請求項 1 記載の可調移相器。

## 【請求項 5】

前記ナノワイヤが、各々前記第 1 の導電セグメントと前記第 1 の導電セグメントとの間  
の距離とほぼ等しい長さを有する、請求項 1 記載の可調移相器。

## 【請求項 6】

前記ナノワイヤの少なくとも一部分が、誘電体材料で被覆されたことによってゲート誘  
電体を形成する、請求項 1 記載の可調移相器。

## 【請求項 7】

前記ナノワイヤ薄膜が、前記第 1 の導電セグメントと前記第 2 の導電セグメントとの間  
に P - N - P トランジスタのチャンネルを形成する請求項 1 記載の可調移相器。

## 【請求項 8】

前記ナノワイヤ薄膜が、前記第 1 の導電セグメントと前記第 2 の導電セグメントとの間  
に N - P - N トランジスタのチャンネルを形成する請求項 1 記載の可調移相器。

## 【請求項 9】

前記ナノワイヤが N ドープナノワイヤである、請求項 1 記載の可調移相器。

## 【請求項 10】

前記ナノワイヤが P ドープナノワイヤである、請求項 1 記載の可調移相器。

## 【請求項 11】

基板上に可調移相器を形成する方法であって、

( a ) 第 1 の導電セグメントおよび第 2 の導電セグメントを有する導体線を該基板上に  
形成するステップと、  
( b ) 該第 1 の導電セグメントおよび該第 2 の導電セグメントと電氣的に接触させてナ  
ノワイヤ薄膜を該基板上に形成するステップと、  
( c ) 該ナノワイヤ薄膜と電氣的に接触させかつ該第 1 の導電セグメントと該第 2 の導  
電セグメントとの間に位置させて複数のゲートコンタクトを形成するステップと、  
を包含し、

該導体線を通して伝送される電気信号の位相を、該複数のゲートコンタクトの中の少な  
くとも 1 つのゲートコンタクトに印加される電圧を変えることにより調整する、方法。

## 【請求項 12】

前記ステップ ( b ) が、前記ナノワイヤをそれらの長軸が実質的に互いに平行になるよ  
う整列させるステップを包含する、請求項 11 記載の方法。

10

20

30

40

50

## 【請求項 13】

前記整列させるステップが、前記ナノワイヤを前記第1の導電セグメントと前記第2の導電セグメントとの間の軸線にほぼ平行に整列させるステップを包含する、請求項12記載の方法。

## 【請求項 14】

前記ステップ(b)が、前記ナノワイヤをランダムに配列させるステップを包含する、請求項11記載の方法。

## 【請求項 15】

前記ナノワイヤを、各々前記第1の導電セグメントと前記第2の導電セグメントとの間の距離にほぼ等しい長さを持つように形成するステップをさらに包含する、請求項11記載の方法。 10

## 【請求項 16】

前記ナノワイヤを誘電体材料で被覆することによってゲート誘電体を形成するステップをさらに包含する、請求項11記載の方法。  
含む方法。

## 【請求項 17】

前記ナノワイヤをN型ドーパントでドーピングするステップをさらに包含する、請求項11記載の方法。

## 【請求項 18】

前記ナノワイヤをP型ドーパントでドーピングするステップをさらに包含する、請求項11記載の方法。 20

## 【請求項 19】

前記ステップ(c)が、前記複数のゲートコンタクトを前記ナノワイヤ薄膜上に形成するステップを包含する、請求項11記載の方法。

## 【請求項 20】

前記ステップ(c)が、前記複数のゲートコンタクトを前記基板に形成するステップを包含し、

前記ステップ(b)が、該複数のゲートコンタクト上に前記ナノワイヤ薄膜を形成するステップを包含する、請求項11記載の方法。

## 【請求項 21】

アンテナと、  
複数の同調可能素子を有するビームステアリング・アレイであって、  
その各同調可能素子が、複数の位相調整要素と、各該位相調整要素に対応するスイッチであって、ソースコンタクトおよびドレインコンタクトと電気的に接触するナノワイヤ薄膜によって形成されたトランジスタを有するスイッチとを含み、該スイッチが、対応する該位相調整要素を有効化して該同調可能素子の位相を変えさせる、ビームステアリング・アレイと 30

を備えた高周波識別(RFID)タグであって、

該アンテナによって送信された電磁(EM)信号が該ビームステアリング・アレイによって方向を転じられる、高周波識別(RFID)タグ。 40

## 【請求項 22】

前記ビームステアリング・アレイが前記EM信号を集中させる、請求項21記載のRFIDタグ。

## 【請求項 23】

前記各位相調整要素がインダクタを含む、請求項21記載のRFIDタグ。

## 【請求項 24】

前記インダクタがマイクロストリップ・インダクタである、請求項23記載のRFIDタグ。

## 【請求項 25】

前記各位相調整要素がコンデンサを含む、請求項21記載のRFIDタグ。 50

- 【請求項 26】  
前記ナノワイヤが、実質的にそれらの長軸に平行となるように整列した、請求項 21 記載の R F I D タグ。
- 【請求項 27】  
前記ナノワイヤがランダムに配列された、請求項 21 記載の R F I D タグ。
- 【請求項 28】  
前記ナノワイヤを誘電体材料で被覆することによってゲート誘電体を形成した、請求項 21 記載の R F I D タグ。
- 【請求項 29】  
前記ナノワイヤがドーピングしたコアを有する、請求項 21 記載の R F I D タグ。 10
- 【請求項 30】  
前記ナノワイヤがドーピングしたシェルを有する、請求項 21 記載の R F I D タグ。
- 【請求項 31】  
前記ナノワイヤがドーピングしたコアおよびシェルを有する、請求項 21 記載の R F I D タグ。
- 【請求項 32】  
前記ナノワイヤが N ドープナノワイヤである、請求項 21 記載の R F I D タグ。
- 【請求項 33】  
前記ナノワイヤが P ドープナノワイヤである、請求項 21 記載の R F I D タグ。
- 【請求項 34】  
前記ビームステアリング・アレイがビームステアリング・リフレクタであり、前記同調可能素子が、共面状同調可能セルである、請求項 21 記載の R F I D タグ。 20
- 【請求項 35】  
前記各同調可能セルが共振構造を含む、請求項 34 記載の R F I D タグ。
- 【請求項 36】  
前記スイッチが、前記位相調整要素の前記共振構造との電気的結合を有効化して前記同調可能セルの位相を変えさせる、請求項 35 記載の R F I D タグ。
- 【請求項 37】  
前記各共振構造が、  
第 1 の導電層と、  
第 2 の導電層と、  
該第 1 の導電層と該第 2 の導電層との間にある誘電体層と、  
該第 1 の導電層に結合された第 1 の端部を有し、該第 2 の導電層中の開口部を貫通して伸びる第 2 の端部を有し、該誘電体層を貫通する導電ビアと  
を含む、請求項 36 記載の R F I D タグ。 30
- 【請求項 38】  
前記ナノワイヤ薄膜で形成されたトランジスタが前記第 2 の導電層に固着され、該ナノワイヤ薄膜で形成されたトランジスタの端子が前記導電ビアの前記第 2 の端部に結合された、請求項 37 記載の R F I D タグ。
- 【請求項 39】  
複数の同調可能アンテナ素子を有するビームステアリング・アレイであって、その各同調可能アンテナ素子が、複数の位相調整要素と、各該位相調整要素に対応するスイッチであって、ソースコンタクトおよびドレインコンタクトと電気的に接触するナノワイヤ膜によって形成されたトランジスタを有するスイッチとを有し、該スイッチが、対応する該位相調整要素を有効化して該同調可能アンテナ素子の位相を変えさせる、ビームステアリング・アレイを備えた、高周波識別 ( R F I D ) タグであって、  
該ビームステアリング・アレイによって送信された E M 信号が、該複数の各同調可能アンテナ素子の位相を制御することによって指向される、高周波識別 ( R F I D ) タグ。 40
- 【請求項 40】  
前記同調可能素子が同調可能な伝送線路セグメントである、請求項 39 記載の R F I D 50

タグ。

【請求項 4 1】

前記スイッチが、前記伝送線路セグメントを短絡させて該伝送線路セグメントの長さを変えることによって、該伝送線路セグメントの位相を変化させる、請求項 4 0 記載の R F I D タグ。

【請求項 4 2】

高周波識別 ( R F I D ) タグに関連した電磁波 ( E M ) 信号の方向を操作する方法であって、

( a ) 該 E M 信号を、複数の同調可能素子を有する R F I D タグのビームステアリング・アレイで受信するステップと、

( b ) 該ビームステアリング・アレイの同調可能素子の位相を調整して該 E M 信号の方向を転じるステップであって、

( 1 ) ソースおよびドレインコンタクトと電氣的に接触させてナノワイヤ薄膜トランジスタで形成されたスイッチであって該同調可能素子に結合された位相調整要素に対応するスイッチを、起動して該同調可能素子の位相を変化させるステップを有する、ステップとを包含する、方法。

【請求項 4 3】

( c ) ステップ ( a ) の前に、 R F I D タグのアンテナから E M 信号を送信するステップをさらに包含し、

該ステップ ( a ) が、該 E M 信号をアンテナから受信するステップを包含する、請求項 4 2 記載の方法。

【請求項 4 4】

前記ステップ ( b ) が、前記 E M 信号の方向をリーダーの方へ転じるステップを包含する、請求項 4 3 記載の方法。

【請求項 4 5】

前記ステップ ( a ) が、リーダーからの前記 E M 信号を受信するステップを包含する、請求項 4 3 記載の方法。

【請求項 4 6】

( c ) 前記ビームステアリング・アレイを走査して、前記 E M 信号の受信方向を決定するステップをさらに包含する、請求項 4 5 記載の方法。

【請求項 4 7】

前記ステップ ( c ) が、

( 1 ) 前記ビームステアリング・アレイの少なくとも 1 つの同調可能素子についてステップ ( b ) を実行するステップと、

( 2 ) 受信された E M 信号の振幅を測定するステップと、

( 3 ) 該測定された振幅を前の測定振幅と比較するステップと、

( 4 ) 前記ステップ ( 1 ) 乃至 ( 3 ) を最大測定振幅が得られるまで反復するステップと

を包含する、請求項 4 6 記載の方法。

【請求項 4 8】

前記ステップ ( b ) が、前記 E M 信号の方向を前記タグのアンテナに向けて転じるステップを包含する、請求項 4 6 記載の方法。

【請求項 4 9】

前記ステップ ( b ) が、前記 E M 信号を集中させるステップを包含する、請求項 4 2 記載の方法。

【請求項 5 0】

前記ステップ ( b ) が、前記 E M 信号を拡散させるステップを包含する、請求項 4 2 記載の方法。

【請求項 5 1】

前記各位相調整要素がインダクタを含み、

10

20

30

40

50

前記スイッチを起動するステップが、前記同調可能素子に結合されたインダクタに対応するスイッチを起動して該同調可能素子の位相を変化させるステップを包含する、請求項 4 2 記載の方法。

【請求項 5 2】

前記各位相調整要素がコンデンサを含み、

前記スイッチを起動するステップが、前記同調可能素子に結合されたコンデンサに対応するスイッチを起動して該同調可能素子の位相を変化させるステップを包含する、請求項 4 2 記載の方法。

【請求項 5 3】

前記ビームステアリング・アレイがビームステアリング・リフレクタであり、前記同調可能素子が共振構造を含む共面状同調可能セルであり、

前記ステップ(1)が、該共振構造に結合された位相調整要素に対応するスイッチを起動させて該共振構造の位相を変化させるステップを包含する、請求項 4 2 記載の方法。

【請求項 5 4】

高周波識別(RFID)タグに関連した電磁波(EM)信号の方向を操作する方法であって、

(a) 該EM信号を、複数の同調可能アンテナ素子を有するRFIDタグのビームステアリング・アレイを用いて送信するステップと、

(b) 該ビームステアリング・アレイの同調可能アンテナ素子の位相を調整して該EM信号の方向を転じるステップであって、

(1) ソースおよびドレインコンタクトと電気的に接触させてナノワイヤ薄膜トランジスタで形成されたスイッチであって該同調可能アンテナ素子に結合された位相調整要素に対応するスイッチを、起動して該同調可能素子の位相を変化させるステップを有する、ステップと

を包含する、方法。

【請求項 5 5】

前記同調可能素子が伝送線路セグメントであり、

前記ステップ(1)が、位相調整要素に対応するスイッチを起動して該伝送線路セグメントを短絡させて該伝送線路セグメントの長さを変えることによって、該伝送線路セグメントの位相を変化させるステップを包含する、請求項 5 4 記載の方法。

【請求項 5 6】

基板と、

該基板の表面にアレイ状に形成された複数の音響打消しセルであって、各々が、第1の音響信号を受信する音響アンテナと、受信した第1の音響信号を処理して、対応する打消し制御信号を発生するプロセッサと、ナノワイヤ薄膜を有するトランジスタであって、該ナノワイヤ薄膜がドレインおよびソースコンタクトと電気的に接触しており、ゲートコンタクトが該打消し制御信号に結合されるトランジスタと、該トランジスタに結合されたアクチュエータであって、該トランジスタが該アクチュエータに該打消し制御信号に従って第2の音響信号を出力させるアクチュエータとを有する、複数の音響打消しセルと

を備え、

該第2の音響信号が該第1の音響信号を実質的に打消す、音響打消しを提供する装置。

【請求項 5 7】

前記基板が可撓性基板である、請求項 5 6 記載の装置。

【請求項 5 8】

前記各音響打消しセルが、前記打消し制御信号を増幅するための増幅器をさらに含む、請求項 5 6 記載の装置。

【請求項 5 9】

前記アクチュエータがオーディオスピーカーを含む、請求項 5 6 記載の装置。

【請求項 6 0】

前記アクチュエータが圧電ナノワイヤ薄膜を含む、請求項 5 6 記載の装置。

10

20

30

40

50

## 【請求項 6 1】

前記トランジスタが、前記圧電ナノワイヤ薄膜を通して電流を流させることによって、前記第 2 の音響信号を発生させる、請求項 6 0 記載の装置。

## 【請求項 6 2】

前記第 2 の音響信号が実質的に前記第 1 の音響信号と逆の位相を有する、請求項 5 6 記載の装置。

## 【請求項 6 3】

前記ナノワイヤを誘電体材料で被覆することによってゲート誘電体を形成した、請求項 5 6 記載の装置。

## 【請求項 6 4】

前記ナノワイヤが N ドープナノワイヤである、請求項 5 6 記載の装置。

## 【請求項 6 5】

前記ナノワイヤが P ドープナノワイヤである、請求項 5 6 記載の装置。

## 【請求項 6 6】

基板と、

該基板の表面にアレイ状に形成され複数の音響打消しセルであって、各々が、第 1 の音響信号を受信する音響アンテナと、受信した第 1 の音響信号を処理して、対応する打消し制御信号を発生するプロセッサと、圧電ナノワイヤ薄膜を有するトランジスタであって、該圧電ナノワイヤ薄膜がドレインおよびソースコンタクトと電氣的に接触しており、ゲートコンタクトが該打消し制御信号に結合されるトランジスタとを有する、複数の音響打消しセルと

を備え、

該圧電ナノワイヤ薄膜が該打消し制御信号に従って第 2 の音響信号を出力し、該第 2 の音響信号が該第 1 の音響信号を実質的に打消す、音響打消しを提供する装置。

## 【請求項 6 7】

分散型センサネットワークであって、

該分散型センサネットワークを管理するよう構成された基地局と、

高密度無機整列ナノワイヤで作製され、基地局に接続された少なくとも 1 つのセンサとを備える、分散型センサネットワーク。

## 【請求項 6 8】

高密度無機配向ナノワイヤ薄膜トランジスタを作製する方法であって、

( 1 ) 半導体ナノワイヤを合成するステップと、

( 2 ) 該ナノワイヤを基板に移すステップと、

( 3 ) 該ナノワイヤが実質的に同じ方向に整列した高密度単層薄膜を形成するステップと、

( 4 ) 標準の半導体作製プロセスを使用して高密度の整列ナノワイヤ薄膜トランジスタを形成するステップと

を包含する、方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体素子ないしはデバイスに関し、特に、様々な用途のためのナノワイヤ薄膜を用いた半導体素子に関する。

## 【背景技術】

## 【0002】

現在、低コストの電子機器、部品、特に低コストの大面積マクロエレクトロニクス・デバイスに対して産業的な関心が存在する。大面積マクロエレクトロニクス・デバイスとは、能動型・感知型の電子部品を大きな表面積にわたって実装したデバイスと定義される。ここで、大きな面積は、すべての電子部品を取り付けるために使用するのではなく、このようなシステムは、性能の改善を達成するためには物理的に大きくなければならず、この

10

20

30

40

50

ようなシステムの能動部品は、有用な機能性を実現するためには大きな面積にわたって分散させなければならないということで使用するものである。大きな共通基板への能動素子の実装は、単に個別の部品性能の面からだけでなく、システム性能、信頼性、およびコスト要因という面から強く推進される。このような大面積マクロエレクトロニクス・デバイスは、民生用途から軍事用途まで、様々な技術分野を激変させることが考えられる。このようなデバイスの用途例としては、アクティブマトリックス液晶表示装置（LCD）およびその他のマトリックスディスプレイ用の駆動回路、スマートライブラリ、クレジットカード、高周波識別（RFID）タグ、スマート・プライスタグ（値札）およびスマート型棚卸票、手荷物検査／安全監視システムや主要道路交通監視システム、大面積センサレイなどがある。

10

**【0003】**

この技術における現在の取り組み方は、薄膜トランジスタ（TFT）の基材としてアモルファスシリコン（非晶質シリコン）またはポリシリコン（多結晶シリコン）を使用するものである。別の基材として有機半導体も登場してきている。しかしながら、アモルファスシリコンおよび有機半導体は性能面で限界がある。例えば、これらの基材は、キャリア移動度が通常  $1 \text{ cm}^2 / \text{V} \cdot \text{s}$ （平方センチメートル／ボルト・秒）以下と低い。ポリシリコンは、性能面の改善が見られるが、レーザ誘起アニーリングのような比較的高価な工程が必要であり、また安価なガラスやプラスチックのような低温基板との適合性に欠ける。

**【0004】**

残念なことには、従来の電子材料は、電子的性能（キャリア移動度  $\mu$  によって決定される）と利用可能な基板サイズとがほぼ反比例するという特徴がある。図1は、異なる半導体材料について材料性能（キャリア移動度）対利用可能基板サイズの関係を概略的に図解したグラフである。従来の材料は、性能は高いが基板サイズが小さい（例えば、GaAs）か、サイズは大きいが性能が低い（例えば、アモルファスシリコンまたは有機材料）か、どちらかである。現時の電子材料は、最も原初的な大面積マクロエレクトロニクス技術にしか利用できない。このことは、ほんの2, 3の例を挙げるだけでも、ウェアラブル通信・電子機器、分散型センサネットワーク、および高周波（RF）ビームステアリング・システムのような最高値部類のマクロエレクトロニクス用途の開発を妨げる途方もなく大きい空白を材料特性に残している。

20

30

**【0005】**

例えば、空間給電型アンテナ系内で使用するビームステアリング・リフレクタ（反射器）を実現するには、ステアリング素子回路をリフレクタ全体にわたって分散させなければならないだろうし、その各々の回路は、通常高移動度  $\text{InAs}$  基板に付随する非常に高い性能要求を満たさなければならない。しかしながら、 $\text{InAs}$  ウェーハは、目下のところ、直径が最大で3～4インチ（8～10cm）に限られている上、極めて脆く、このような大面積の分散型電子回路用としては不適切である。したがって、このような大面積回路を作製するために利用することができる唯一の方法は、独立型のトランジスタや部品を大面積のアクティブリフレクタにワイヤボンディングやハンダ付けして組み付けることであるが、これは固有の性能および効率面での制約を伴うコスト高で故障につながりやすい代替技術でしかない。今日では、このようなビームステアリング・アレイは、軍用のものでも海軍の駆逐艦のソリッド通信アレイのような例に限定され、一人で持ち運べるものは言うに及ばず、移動型の通信システムには実装することができない。

40

**【0006】**

したがって、現在求められているのは、より高性能の導電性または半導体の材料および素子、電子基板材料、およびより低コストで高性能の電子デバイスを製造するための方法並びにシステムである。好ましくは、このような材料は、入手が容易で、コスト効率よく製造され、重量、柔軟性などに関する他の長所も具備したものをを使用することになる。

**【0007】**

音響打消し（acoustic cancellation）デバイス、RF識別（RF

50

F I D ) タグ / リーダーなどの用途を含め、多くの用途が、このようなより高性能の導電材料・半導体材料から恩恵を受けることができる。RFID タグ用の場合、「タグ」として知られるデバイスを監視対象の物品や物体に添付することができる。タグの有無、したがってそのタグが添付された物品の有無を「リーダー」として知られているデバイスによってチェックし、監視することができる。リーダーは、タグが添付された物品の存在および場所をワイヤレス問い合わせにより監視することができる。通常、各タグは一意的識別番号を有し、リーダーはこれを用いて個々のタグと物品を識別する。

#### 【0008】

RFID タグ追跡システムの分野における一つの制約要因は、タグのコストである。その他の制約要因として、リーダーとタグとの間の距離、およびタグアンテナのリーダーアンテナに対する相対方位がある。タグアンテナがリーダーアンテナに対して正しく配向されていないと、タグはリーダーの近くに無ければならない。

10

#### 【0009】

これらの制約要因は、一つの場所から他の場所へ積み替えられるコンテナ内の物品に添付された多数のタグを読み取ろうとするとき極めて重要である。例えば、積み出し用トラックはチェックポイントを60 mphで通過する。このトラックが、数万点あるいは数10万点というような多数のタグ付き物品を輸送しているとする、トラックは、リーダーがそれらのすべてのタグを十分検知できる距離以内になければならない。もしトラック上のコンテナ内の各物品がランダムな向きになっている結果、そのコンテナについての最大読取り距離が短くなると、リーダーは、すべてのタグを読み取るのに時間が僅か2、3秒しかないことにもなり得る。現在のタグ / リーダー技術では、このような多数の物品のタグを2、3秒で読み取ることはできない。

20

#### 【0010】

したがって、やはり現在必要とされているのは、タグの読取り速度を速くするため、タグを読み取ることができる距離を長くするため、およびより低コストのタグを得るための方法およびシステムである。

#### 【0011】

音響打消しデバイス向けの用途においては、ノイズの打消しまたは低減のように、音の特定の周波数を打ち消す、あるいは低減させるための試みがなされている。例えば、いくつかの場合においては、自動車、バス、さらには飛行機のような物体から発せられる音の一部または完全に打ち消すことが望ましいかもしれない。軍事用途においては、戦車あるいは潜水艦のような物体からの音の一部または完全に打ち消すことが望ましい場合がある。従来ヘッドホンの中には、ヘッドホンの周囲のノイズを監視し、音波のパターンを送出することによって、外部ノイズを大半打ち消すことを試みる技術を組み込んだものがある。このように送られる音波のパターンは、ノイズの位相とは逆相で送られる。この音波の送るパターンは、ノイズを静めて、ヘッドホンを通して演奏されているものを聴きやすくしようとするためのものである。しかしながら、このような技術は、ヘッドホンのような比較的小型のデバイスに限定され、上に述べたような大型のものには適用することができない。

30

#### 【0012】

このように、現在さらに求められているのは、大面積を含め、すべての大きさの面積にわたって音声および / またはノイズを打ち消すよう効果的に作用する音響打消しを遂行するための方法およびシステムである。

40

#### 【発明の開示】

#### 【課題を解決するための手段】

#### 【0013】

#### (発明の概要)

本発明は、材料技術におけるパラダイムシフト、すなわちナノ材料をマクロエレクトロニクス分野に応用するという技術を志向するものである。本発明の結果として、例えばプラスチックのような種々の基板上で次のような高性能の大面積マクロエレクトロニクス

50

技術が達成される：(1)単結晶シリコンウェーハより性能が優れている( $\mu > 5,000 \text{ cm}^2 / \text{V} \cdot \text{s}$ およびオン/オフ電流比 $I_{on} / I_{off} > 10^7$ 、閾値電位 $V_{th} < 1 \text{ V}$ )；(2)極めて大きい表面積( $A > 10 \text{ m}^2$ )に適用することができる；(3)ポリマーエレクトロニクス材料の柔軟性を持つ(曲率半径 $r < 1 \text{ mm}$ )；(4)アモルファスシリコンを加工するために使用されるのと同様の従来の大面積半導体加工技術、またロール・ツー・ロール型スクリーン印刷のような高度先進のリソグラフィ技術を用いて加工およびパターンニングを行うことができる。

#### 【0014】

この技術は、新しい種類のナノ材料(無機半導体ナノワイヤ)の並外れた導電特性と大面積マクロエレクトロニクスとを、素子内の各ソース電極とドレイン電極との間のギャップをまたいで選択的に配向されたナノワイヤの高密度膜を生成することによって結びつけるものである。これによって、移動度( $\mu$ )および電流容量( $J$ )が単結晶シリコンに匹敵するかまたはそれ以上の大面積マクロエレクトロニクス用電子材料が得られる。 $InAs$ または $GaAs$ のような別のナノワイヤ材料を組み込むことによって、さらに高性能の基板を実現することができる。この新材料技術(本願において、高密度無機配向ナノワイヤ(DION)薄膜技術および混合組成DION薄膜技術と称する)によれば、大面積電子材料中のポイドを埋めることができ(図1参照)、これによってマクロエレクトロニクスの商用、軍用、およびセキュリティ用における用途の全面的展開が可能になる例えば、図2には、実際の高性能マクロエレクトロニクスの潜在的用途がいくつか示されている。

#### 【0015】

また、本発明は、1つ以上の半導体素子がある上に形成された電子基板を得るための方法、システム、および装置を志向するものである。半導体ナノワイヤの薄膜を基板上に形成する。このナノワイヤ薄膜を形成するのは、ある動作電流レベルを達成するのに十分なナノワイヤ密度を得るためである。ナノワイヤ薄膜に複数の半導体領域を画成する。半導体素子領域にコンタクトを形成し、これによって複数の半導体素子との電気的接続性を達成する。

#### 【0016】

本発明のいくつかの態様においては、ナノワイヤ薄膜を実装した半導体素子は多くの用途で使用される。

#### 【0017】

本発明の一態様においては、可調移相器に関する方法および装置を開示する。基板上にある導体線は、第1の導電セグメントおよび第2の導電セグメントを有する。基板上に、第1の導電セグメントおよび第2の導電セグメントとの電気的接触関係をもってナノワイヤ薄膜が形成されている。複数のゲートコンタクト(ゲート接点)が、ナノワイヤ薄膜との電気的接触関係をもって第1の導電セグメントと第2の導電セグメントとの間に設けられている。導体線を通して伝送される電気信号の位相を複数の中の少なくとも1つのゲートコンタクトに印加される電圧を変えることにより調整するようになっている。

#### 【0018】

本発明のもう一つの態様においては、高周波識別(RFID)タグを得るための方法および装置を開示する。RFIDタグは、アンテナおよびビームステアリング・アレイを有する。ビームステアリング・アレイは、複数の同調可能素子を有する。各同調可能素子は、複数の位相調整要素およびこれらの各位相調整要素に対応するスイッチを有する。このスイッチは、ナノワイヤ膜によって形成されるトランジスタを有する。このスイッチは、対応する位相調整要素が同調可能素子の位相を変えることができるようにする。

#### 【0019】

アンテナによって送信された電磁(EM)信号は、ビームステアリング・アレイによって方向を変えられる。一態様においては、ビームステアリング・アレイはEM信号を集束させる。もう一つの態様においては、ビームステアリング・アレイはEM信号を拡散させる。さらにもう一つの態様においては、ビームステアリング・アレイはEM信号の方向を変化させる。

10

20

30

40

50

## 【0020】

本発明のいくつかの態様においては、各位相調整要素は、マイクロストリップ・インダクタのようなインダクタ（誘導子）あるいはコンデンサよりなる。

## 【0021】

本発明の一態様においては、ビームステアリング・アレイはビームステアリング・リフレクタである。同調可能素子は、互いに共面をなす同調可能セルよりなる。各同調可能セルは共振構造を有する。各スイッチは、対応する位相調整要素の上記共振構造との電気的結合によって同調可能セルの位相を変えることができるようにする。

## 【0022】

本発明のもう一つの態様においては、RFIDタグを得るための方法および装置を開示する。RFIDタグは、ビームステアリング・アレイを有する。ビームステアリング・アレイは、複数の同調可能アンテナ素子を有する。各同調可能アンテナ素子は、複数の位相調整要素およびこれらの各位相調整要素に対応するスイッチを有する。このスイッチは、ソースコンタクトおよびドレインコンタクトとの電気的接触関係をもってナノワイヤ膜により形成されたトランジスタを有する。このスイッチは、対応する位相調整要素が同調可能アンテナ素子の位相を変えることができるようにする。ビームステアリング・アレイによって送信されたEM信号は、複数の各同調可能アンテナ素子の位相を制御することによって方向が制御される。

10

## 【0023】

本発明の一態様においては、同調可能素子は、伝送線路セグメントである。スイッチが伝送線路セグメントを短絡させることにより伝送線路セグメントの長さが変化し、これによって同調可能アンテナ素子の位相が変えられる。

20

## 【0024】

本発明のさらに他の態様においては、RFIDリーダーを得るための方法および装置を開示する。RFIDリーダーは、上にRFIDタグに関連して述べたようなビームステアリング・アレイを有する。

## 【0025】

本発明のもう一つの態様においては、音響打消しを可能にするための方法および装置を開示する。音響打消しデバイスは、基板およびこの基板の表面上にアレイ状に形成された複数の音響打消しセルを有する。複数の中の各音響打消しセルは、音響アンテナ、プロセッサ、トランジスタ、およびアクチュエータを有する。音響アンテナは第1の音響信号を受信する。プロセッサは、受信した第1の音響信号を処理して、対応する打消し制御信号を発生する。トランジスタはナノワイヤ膜を有する。このナノワイヤ薄膜は、トランジスタのソースコンタクトおよびドレインコンタクトと電気的に接触している。トランジスタのゲートコンタクトは、打消し制御信号に結合される。アクチュエータはトランジスタに結合されている。トランジスタは、アクチュエータに打消し制御信号に従って第2の音響信号を出力させる。第2の音響信号は、第1の音響信号をおおむね打ち消す。

30

## 【0026】

本発明の一態様においては、第2の音響信号は第1の音響信号と比較して実質的に逆の位相を持つ。

40

## 【0027】

一態様において、アクチュエータはオーディオスピーカーを有する。

## 【0028】

もう一つの態様において、アクチュエータは圧電ナノワイヤの薄膜を有する。トランジスタは、圧電ナノワイヤ薄膜を通して電流を流させることにより、第2の音響信号を発生させる。

## 【0029】

別の態様においては、アクチュエータとトランジスタは一つに合体される。トランジスタは圧電ナノワイヤ薄膜を有する。トランジスタの圧電ナノワイヤ薄膜を通して電流が流れると、第2の音響信号が発生する。

50

## 【 0 0 3 0 】

上記およびその他の目的、長所および特徴については、以下の発明の詳細な説明から容易に明らかとなる。

## 【 0 0 3 1 】

添付図面は、本願に組み込まれ、本願明細書の一部をなすものであり、本発明の実施例が図解されており、本発明の原理を説明する上に役立つと共に、当業者が本発明を実施できるようにする上において役立つものである。

## 【 発明を実施するための最良の形態 】

## 【 0 0 3 2 】

( 発明の詳細な説明 )

以下、本発明を添付図面を参照して詳細に説明する。図中同じ参照番号は、同じあるいは機能的に類似した要素を指示する。また、図中、一般に、各参照番号の左端の数字は、その参照番号が最初に現れる図面の図番を示す。

10

## 【 0 0 3 3 】

はじめに

いろいろな意味で、今日のエレクトロニクス産業は50年前と同じ立場にある。当時、ディスクリート・トランジスタ、すなわち個別型のトランジスタの市場導入は、世界に未曾有の機能性をもたらした。多様なディスクリート・トランジスタを一箇所に集積することによって、機能性はさらに高まり、その結果、可搬型エレクトロニクス製品が広範に利用可能になった。残念なことには、当時、このような集積化は手作業で行われており、これが原因でエレクトロニクス産業は停滞期を急速に達し、それを越えて2、3千点以上もの個別型トランジスタを一箇所に集積することは、コストおよび歩留まりの面で法外なこととなった。この現象は、「数の横暴」と呼ばれた。

20

## 【 0 0 3 4 】

この現実的な限界は、多様なディスクリート部品の混成集積の必要から生じたもので、集積エレクトロニクス産業を行き詰まらせに至り、この行き詰まりは、革命的な新構想、すなわちシリコンマイクロ回路の発明を通してしか解消されなかった。このシリコンマイクロ回路は、単純な線形プロセス、すなわち集積エレクトロニクスのための統合プラットフォームを用いて、事実上無限の数の電子部品を単一デバイスにシームレス集積することを可能にした。ムーアの法則に従って回路密度(デバイスの機能性)が増加していくにつれて集積エレクトロニクス産業が成長することを可能にしたのは、まさしくこの発明であった。

30

## 【 0 0 3 5 】

いろいろな意味で、トランジスタが不可避免的に基本的サイズ限界(2、3原子の幅)に達することに起因するムーアの法則の終焉の接近は、1950年代にトランジスタが到達した限界に類似した状況を作り出すものと考えられる。この基本的回路密度の限界(および半導体ウェーハの実際のサイズ限界)が近づくにつれて、機能性の向上は、多様なディスクリート部品のより高次のデバイスへの集積を通してのみ持続することになる。したがって、今日の集積回路(IC)は、機能性を拡張するためには混成集積を必要とする重要なディスクリート機能単位であるという点において、1950年代のトランジスタと類似している。

40

## 【 0 0 3 6 】

この意味で、混成集積には、ある機能を遂行させるために多様ないくつかのプロセッサを組み合わせる、あるいはプロセッサをメモリ、センサ、高周波(RF)電子部品、アンテナ、能動光学部品、アクチュエータなどのようなディスクリート部品と組み合わせることが必然的に伴う。混成集積の限界がもたらす影響については、まだ本当に受け止められてはいない(開発はまだ、ほんの少数の部品を集積化しなければならないというような段階にある)。しかしながら、結局のところ、1950年代のトランジスタの場合同様、ディスクリート型機能単位の数が時間と共に増加するにつれて、必然的に似たような「数の横暴」に行き着くことになる。今日でも、ディスクリートICのより高機能性のデバイ

50

スへの混成集積は、最大のコスト要因の一つであり、また製造された電子装置あるいはデバイスの装置故障の主要発生源になっている。このことは、より高い機能性を今日のICにその上で組み込む統合プラットフォームの導入なしには、次の20年以内に、世界が依存するこの産業の成長にとって究極的な制約となる。目下そのようなプラットフォームは存在しない。

#### 【0037】

本発明の混合膜マクロエレクトロニクス技術は、普遍的な機能デバイス集積化のための真の統合プラットフォームの基盤になるものである。本願における、本発明の説明は、高伝導-移動度の一体構造誘電体層を得るために選択された組成を持つナノワイヤを用いて大面積にわたって高性能トランジスタを作り込むべく機能性を適応させることに重点を置いて進める。しかしながら、全く別のナノワイヤ材料を実装することによって、同じプラットフォームを高性能の光学特性、磁気特性、強誘電特性、および圧電特性も包含するように拡張することができる。この基礎プラットフォームから構築して、本発明は、多様な異なる機能性（例えば、高性能電子プラス能動光学的機能性）を同じ基板に実装することによって、同じ材料に多様な異なる機能性を付与する。この技術は、構造と機能の真の分離、すなわち材料技術におけるパラダイムシフトになるものである。

10

#### 【0038】

基本的には、本願で開示する技術は、すべての異なる機能性の、標準的な線形プロセスを用いて作製することができる単一デバイスへのグローバル（全体的）な統合を最終的には可能にすることができる基礎的統合材料プラットフォームである。シリコンICの場合と同様に、このプラットフォームが拡張するにつれて、ムーアの法則を（その特定の定義ではないにしても）無限に拡張しつつ、すべてのレベルの機能的統合を組み入れることができる。

20

#### 【0039】

本発明は、互いに平行に（あるいは互いに実質的に平行に）配列された配向無機導体ナノワイヤの高密度フィルムに基づく革新的なプラスチック基板上薄膜（または他の有用な基板材料）技術を志向するものである。本願で使用する「ナノワイヤ（nanowire）」という用語は、少なくとも1つの横断面寸法が500nm（ナノメートル）未満、好ましくは100nm未満で、縦横比が10より大きい、好ましくは50より大きい、より好ましくは100より大きい、さらに好ましくは500より大きい任意の導体および半導体材料の総称である。例えば、一実施例においては、ナノワイヤは1～100nmの範囲の直径と、1～100マイクロメートル（ $\mu\text{m}$ ）の範囲の長さを持つことができる。他の実施例においては、ナノワイヤは上記以外の範囲の直径と長さを持ち得る。

30

#### 【0040】

このようなナノワイヤの例としては、国際特許出願公開公報第WO 02/17362号、WO 02/48701号、およびWO 01/03208号に記載の半導体ナノワイヤ、カーボンナノチューブ、および他の同様の寸法の長大状導体または半導体構造がある。特に好ましいナノワイヤとしては、例えば、Si、Ge、Sn、Se、Te、B、C（ダイヤモンドを含む）、P、B-C、B-P（BP<sub>6</sub>）、B-Si、Si-C、Si-Ge、Si-SnおよびGe-Sn、SiC、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN<sub>2</sub>、CaCN<sub>2</sub>、ZnGeP<sub>2</sub>、CdSnAs<sub>2</sub>、ZnSnSb<sub>2</sub>、CuGeP<sub>3</sub>、CuSi<sub>2</sub>P<sub>3</sub>、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、Ge<sub>3</sub>N<sub>4</sub>、Al<sub>2</sub>O<sub>3</sub>、(Al、Ga、In)<sub>2</sub>(S、Se、Te)<sub>3</sub>、Al<sub>2</sub>CO、およびこれらの2種

40

50

以上の半導体の組合せから選択される半導体材料よりなる半導体ナノワイヤがある。一部の態様においては、半導体は、下記からなるグループから選択されるドーパントを含むことが可能である：周期表のⅢ族から選択されるp型ドーパント；周期表のⅤ族から選択されるn型ドーパント；B、AlおよびInからなるグループから選択されるp型ドーパント；P、AsおよびSbからなるグループから選択されるn型ドーパント；周期表のⅡ族から選択されるp型ドーパント；Mg、Zn、CdおよびHgからなるグループから選択されるp型ドーパント；周期表のⅣ族から選択されるp型ドーパント；CおよびSiからなるグループから選択されるp型ドーパント；Si、Ge、Sn、S、SeおよびTeからなるグループから選択されるn型ドーパント。

**【0041】**

10

一定の場合においては、本願で使用する「ナノワイヤ」という用語は「ナノチューブ」の意味も包括する。これらの場合は特定される。ナノチューブは、本願記載の特性および長所を得るために、組合せの形、例えば本願でナノワイヤに関連して説明するようなナノチューブの薄膜の形で、または単独で、あるいはナノワイヤとの組合せの形で形成することができる。

**【0042】**

さらに、ここで留意すべきなのは、本発明のナノワイヤ薄膜は、半導体ナノワイヤ（および/または特定した形態におけるナノチューブ）、および/または異なる組成および/または構造のナノワイヤ（および/または特定した形態におけるナノチューブ）を組み込んだ「混成」膜であってもよいということである。例えば、「混成膜」は、種々の直径および長さのナノワイヤ（および/または特定した形態におけるナノチューブ）、および種々の特性を持つ「ヘテロ構造」のナノワイヤ（および/または特定した形態におけるナノチューブ）を具有することができる。

20

**【0043】**

本発明との関連において、ナノワイヤを固着する基板は、均質基板、例えば、シリコン、ガラス、水晶（クォーツ）、高分子材料などのような固体材料のウェーハ；大きな固体材料の硬質シート、例えばガラス、水晶、ポリカーボネート、ポリスチレンなどのようなプラスチックを用いることができ、あるいは付加的要素、例えば構造要素、組成要素などを含めることができる。ポリオレフィン、ポリアミドなどのプラスチックのロールのような軟質（可撓性）基板、透明基板あるいはこれらの特徴を組み合わせた基板を使用することもできる。例えば、基板は、最終的に所望のデバイスの一部をなす他の回路あるいは構造要素を含むことが可能である。このような要素の特定の例としては、電気的コンタクトのような電気回路要素または素子、他の電線路、またはナノワイヤあるいは他のナノスケール導電要素を含む導電経路、光学および/または光電要素または素子（例えば、レーザ、発光ダイオード（LED）、および構造要素（例えば、マイクロカンチレバー、ウェル、ポストなど）がある。

30

**【0044】**

本願において、実質的にある方向に「配列された（aligned）」あるいは「配向された（oriented）」とは、ナノワイヤの集合または集群中の大多数のナノワイヤの縦方向軸がある単一方向に対して30度の範囲内にあるということの意味する。大多数とは、50%を超えるナノワイヤの数と考えることができるが、種々の実施例においては、60%、75%、80%、90%あるいはその他のナノワイヤのパーセンテージを大多数のナノワイヤが上記の範囲内に配向されていることを示すものと見なすことができる。一定の好ましい態様においては、大多数のナノワイヤが所望の方向に対して10度の範囲内に配向されている。さらに他の実施例においては、大多数のナノワイヤは、所望の方向に対して他の角度範囲内に配向されていることもあり得る。

40

**【0045】**

ここで留意しなければならないのは、本願中に記載する空間的な説明（例えば、「上」、「下」、「上に」、「下に」、「最上部」、「最下部」など）は、もっぱら例示説明のためにのみ使用され、本発明のデバイスは空間的に任意の方向あるいは任意の形態で配置

50

することができるということである。

【0046】

半導体ナノワイヤは、オフラインで合成した後、プラスチックまたは他の基板上に低温で被着する(deposited)ことができる。被着後、高密度ナノワイヤ膜を従来の薄膜トランジスタ(TFT)製造設備を用いてさらに処理することにより、プラスチック上に同様の寸法のバルク半導体素子に匹敵する、あるいはそれを越える電子的性能を持つ高性能マクロエレクトロニクス・デバイスを得ることができる。さらに、この技術によれば、2つ以上の異なる半導体組成のナノワイヤが組み入れられた膜を作製することができる。これによれば、線形作製を用いて、論理、RF、発光、光検知およびそれ以上の機能を単一基板に組み込んだ多機能マクロエレクトロニクス・システム(すなわち、異なる電子的機能性の単一モノリシック基板への均質集積)を実現することができる。この画期的な技術は、以前には高価につき過ぎて開発されなかった新しい用途の道を開くものである。これらの新用途には、例えば、プラスチックまたは他の有用な基板に作り込まれた分散型センサネットワークで、検出、計算、およびネットワークを介しての遠隔通信を行うものがある。

10

【0047】

本発明の重要な長所の一つは、低解像度および適度の複雑性(例えば、1回路当たり1,000トランジスタ)の高性能大面積分散型マクロエレクトロニクスを軽量軟質基板上に採算価格、例えば100ドル/平方フィート以下で作製できるということである。このような長所によって、従来の技術で可能な水準と比較して機能性が向上し、サイズが小さく、重量が減り、かつ電力消費が低下した次世代のセンサおよびセキュリティ用途の開発が可能になる。しかも、これらの長所は、これらの新しい用途の実際の展開が可能になるコストで達成することができる。

20

【0048】

従来のアモルファスシリコン用のTFT作製は、現在のマクロエレクトロニクス応用技術における100ドル/平方フィートのコストのデバイス複雑性を十分に達成することができる(例えば、液晶表示装置(LCD)用のTFTバックプレーンは30ドル/平方フィート以下で製造される)。しかしながら、本発明の薄膜材料これらの作製(あるいは新しいより低コストのプロセス)に適合するだけでなく、アモルファスシリコンより2オーダー以上大きい性能を達成することができる。

30

【0049】

さらに、スペース、重量、および電力の制約がある軍用、宇宙用、および防衛用など、マクロエレクトロニクスにおける高価値応用ないしは用途においては、相補型金属酸化膜半導体(CMOS)技術(例えば、低電力故に)と適合可能な技術を開発し、他の機能性(例えば、発光機能)を単一膜に実装(統合)することによって、各デバイスを作製するために実装することが必要なディスクリート部品数を減らす(コスト、重量、および複雑性を低減させる一方、歩留まりおよび機能性を向上させる)ことが大いに望まれるところである。

【0050】

本発明の画期的な薄膜技術は、高密度の無機配向ナノワイヤ薄膜(DION薄膜)に基づくものである。DION薄膜は、多様な異なる電子的、電気光学的および電気機械的機能性が、100ドル/平方フィート以下のコストで大面積( $> 10\text{ m}^2$ )に作製できる単一の軽量軟質基板に実装された高性能の大面積マクロエレクトロニクス技術を可能にすることができる。DION薄膜技術の一つの重要な側面は、キャリア伝導が一方向に配列された単結晶ナノワイヤで起こるということである。故に、これらのマクロエレクトロニクス・デバイスでは単結晶移動度を達成することができる。さらに、ナノワイヤにおいて量子効果を利用することにより、本発明で実現されるデバイスは、従来のバルク単結晶の性能を上回る性能を享受することができる。DION薄膜技術のもう一つの重要な側面は、各個のナノワイヤの周囲の真性の高品質ゲート誘電体シェルおよびコンフォーマルゲート(conformal gate)電極単結晶を含め、単結晶ナノワイヤを合成するのに

40

50

必要な高温過程を、ナノワイヤが基板と接触する前にリアクタ内でオフラインで行うことができるということである。その結果、基板材料の存在下で行われるすべての処理過程を低い温度 (< 100 ( )) でおこなうことができ、多くの異なる基板材料(例えば、軟質の低 T<sub>g</sub> (ガラス転移温度) プラスチック)のしようが可能になる。DION 薄膜技術は、単結晶シリコンを上回る性能を持つ大面積の可撓性マクロエレクトロニクス部品の作製を可能にする。その上、DION 薄膜技術は、現在のどの技術を用いても作製することができない(例えば、InAs のキャリア移動度、Si の CMOS 性能、および GaN の発光機能を単一基板上で結びつける)混合機能性モノリシック電子部品の作製を可能ならしめる。その結果、現行技術より性能が優れる一方、軽量の可撓性電子部品を大面積にわたって低コストで作り出すことができるマクロエレクトロニクス技術が達成される。

10

#### 【0051】

この技術は、機能性およびただし数の可能な組合せの単一膜への統合(例えば、電子、光学、磁気、強誘電体、圧電などの面における機能性)を可能にするが、以下の説明は、高性能電子エレクトロニクス部品、装置に重点を置いて進める。特に、ここの説明は、CMOS の機能性(低電力デバイスを得るため)に関して高性能 n チャンネルおよび p チャンネルシリコン・ナノワイヤ、また RF 処理に関して InAs および InP のような超高移動度の III ~ V 族元素よりなる材料の、すべて単一モノリシック・プラスチック基板への集積(統合)に重点を置いて行う。もちろん、当業者ならば、多数の異なる使用形態、用途、およびシステムが本願で開示する技術によって可能になることは理解されよう。

#### 【0052】

混合組成 DION 薄膜技術によれば、無線通信から、センサアレイ、X線撮像装置、フレキシブルディスプレイおよびフレキシブルエレクトロニクス部品、製品、さらに他のものに至るまで、様々な独特の用途の開発が可能になる。さらに、この技術によれば、ドライバ電子回路が単一基板に印刷された軽量のディスプレイまたはフレキシブルディスプレイ、汎用 RF パーコーディング用の「ペニー(極安)」RF ID タグ、産業監視およびセキュリティ用途のための集積型センサネットワーク、およびワイヤレス通信のフェーズドアレイ・アンテナを含む高価値の様々な商業用技術のための基礎を確立することができる。DION 技術は、軍の世界および商業界共に、大面積エレクトロニクスに大変革をもたらし得る。

20

#### 【0053】

図3は、半導体ナノワイヤの材料と品質を図解したものである。右上の画像は、異なる倍率で見たナノワイヤの顕微鏡写真であり、これらの材料の品質および均質性が示されている。右下の像は、溶液中に懸濁された異なる NW(ナノワイヤ)材料が入ったガラス瓶を示す。

30

#### 【0054】

これらの材料の真に独特の性質の一つは、それらの電子特性および導電特性が、結晶構造、ドーピング濃度、キャリア移動度、バンドギャップなどを含めて正確に定義できるということである。さらに、合成に際して、すべてのナノワイヤはバッチ(ロット)内の(またバッチ間でも)他のすべてのナノワイヤと同じであるということである。この特徴は、バッチ内のすべてのナノチューブが他のすべてのナノワイヤと異なり、電子特性も金属製から半導性さらには半金属性まで広範にわたるカーボンナノチューブのような他の一般的なナノ材料と著しい対照をなす。すべてのナノワイヤが同じ電子特性を持つ大量のナノワイヤを製造できることによって、DION 薄膜技術の利用が助長される。

40

#### 【0055】

p-n ダイオードおよび電界効果トランジスタ(FET)を用いてシングルナノワイヤ電子回路が作製された(例えば、Y. Huang, X. Duan, Y. Cui, および C. M. Lieber による「Gallium Nitride Nanowire Nanodevices (窒化ガリウムナノワイヤ・ナノデバイス)」、Nano Letters, 2, 101-104 (2002); Y. Cui, Z. Zhong, D. Wang, W. Wang, C. M. Lieber, Nano Lett. 3, 149 (2003)

50

；および X . Duan , Y . Huang , Y . Cui , J . Wang および C . M . Lieber , Nature 409 , 66 ( 2001 ) 参照)。図 4 は、シングルナノワイヤ FET を図解したものである。左部分は、走査型電子顕微鏡写真 (SEM) の画像およびシングルナノワイヤ FET の概略図を示す。中間部分および右部分は、それぞれ、n ドープおよび p ドープ型の InP および Si シングルナノワイヤ FET の電界効果性能を示す。これらの材料の高品質 (真の単結晶) が量子閉じこめ状態から生じる抑制散乱確率と組み合わせることによって、これらの無機半導体ナノ材料は、100 μm 以上の距離にわたってそれらのバルク材料を上回るキャリア移動度を持つということが実証された。例えば、Si ナノワイヤについては ( $\mu = 1,500 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、また InP ナノワイヤについては ( $\mu > 4,000 \text{ cm}^2 / \text{V} \cdot \text{s}$  の電界効果移動度が実証されている。これらの値は、同様のドーピング濃度を持つこれらのナノワイヤの単結晶同等物に匹敵するか、それを上回る。これらのキャリア移動度は、これらの材料についての下限しか示していないと考えられる。実際、理論計算では、選択ドープ GaAs ナノワイヤの場合、( $\mu = 3 \times 10^8 \text{ cm}^2 / \text{V} \cdot \text{s}$  という予測が得られた。

10

#### 【0056】

これらのシングルナノワイヤ・デバイスの性能特性は、ナノエレクトロニクス応用という点に関して非常に励みになるものである。現在、多くの学術グループが、電子回路をより高速化、小型化するべくナノエレクトロニクス回路の開発を推進している。しかしながら、シングルナノワイヤによって運ばれる総電流量は非常に小さく、そのためにシングルナノワイヤ・デバイスの能力はナノロジックおよびナノメモリのようなナノエレクトロニクス応用技術に限定されている。幸いにも、本発明は、完全なパラダイムシフト、すなわち、同じナノ材料を使って電子回路をより高速にかつより大きくし、しかもこのようなシングルナノワイヤ・デバイスに対して実施された今日までの研究によりなされた進歩・発展を利用するというパラダイムシフトをもたらすものである。

20

#### 【0057】

電子材料における性能は、材料がそれが使用されているデバイスの長さスケールと比較してその上に「オーダー」を呈示する長さスケール (1) によって特性評価される。図 5 は、オーダーの長さスケールを図解した概略図である。トランジスタにおける移動度は、電荷がソース電極とドレイン電極との間を移動する際に通過しなければならないトラップおよび結晶粒界の数と関係がある。マクロエレクトロニクス回路の長さスケール (10 ~ 40 μm) 上で、アモルファスシリコンおよび多結晶シリコンはこのような多くの欠陥部を持ち、その結果移動度が低くなる。これと対照的に、単結晶シリコンは、結晶粒界を横切ることなく電極間の全距離にわたって容易に移動することができ、デバイスは材料の真性移動度によってしか制約されない性能を与えられる。例えば、単結晶シリコンウェーハは、この長さスケールより小さいすべてのデバイスについて、 $1 > 1 \text{ cm}$  と「オーダーが付され」、 $\mu > 1,000 \text{ cm}^2 / \text{V} \cdot \text{s}$  の移動度を持つ。これと対照的に、多結晶シリコンは  $100 \sim 500 \text{ nm}$  (ほぼ結晶粒径) としか「オーダーを付されず」、またキャリア移動度は  $10 \sim 50 \text{ cm}^2 / \text{V} \cdot \text{s}$  の範囲であり、他方アモルファスシリコンは、 $1 < 10 \text{ nm}$  にしか「オーダーを付されず」、移動度は  $\mu < 1 \text{ cm}^2 / \text{V} \cdot \text{s}$  程度である。このように、アモルファスシリコンのキャリア移動度は単結晶シリコンの  $1/1,000$  分の  $1$  ほどしかない。同様に、最良の有機半導体であっても、性能は単結晶シリコンの  $1/10$  分の  $1$  乃至  $1/100$  分の  $1$  ほどしかない。

30

40

#### 【0058】

無機半導体ナノワイヤは、「オーダーの長さスケール」という点に関して独特な材料である。一方の次元 (ナノワイヤの直径方向) においては、これらの材料はほんの 2、3 ナノメートル余程度にしか「オーダーを付され」ない。しかしながら、他方の次元に沿っては、これらの材料は  $100 \mu\text{m}$  を超えるオーダーを呈する。このことは、マクロエレクトロニクスの長さスケール上で、何故シングルナノワイヤ電子デバイスがこのような高移動度を示すかということの説明する理由であり、これらの材料は、この長さスケール上で単結晶半導体と同じような作用を示す。残念なことには、シングルナノワイヤ T F T のキャリ

50

ア移動度は高いかもしれないが、シングルナノワイヤを通して移動できる総電流量はやはり極めて小さい。

#### 【0059】

本発明は、無機導体ナノワイヤの「オーダーの長さスケール」におけるこの極端な非対称性を梃子的に利用することによって、大きな性能改善が達成される新しいマクロエレクトロニクス基板材料を製造するものである。図6は、ナノワイヤの長さスケールを図解した概略図である。このように、ナノワイヤおよびマクロエレクトロニクスの長さスケールについて概略述べただけでも、これらの材料が、マクロエレクトロニクスの長さスケール上で、如何に均質で高性能の材料を形成するかが明らかになる。マクロエレクトロニクス電極の長さスケール(10~20 $\mu$ m)上で、単一電極の全長にわたる仮稠密パッキン膜(pseudo-close-packed film)に、横方向に並べて(互いに平行に)数1,000本のナノワイヤを配設することができる。これらの各ナノワイヤは、電極間の距離よりも相当長い(100 $\mu$ m対20 $\mu$ m)。したがって、これらのほとんどすべてのナノワイヤは半導性チャンネル全体にわたって広がり、数1,000本の高移動度導電チャンネルを作り出す。各ナノワイヤの起点を縦方向にランダムにずらすことによって、材料中の「継目(seams)」の(結晶粒界に相当する)の存在を大幅になくすことができる。このようにして、ギャップをまたがない各個のナノワイヤがあっても、その影響は、それらのナノワイヤより相当多数のギャップをまたぐナノワイヤ全体により統計的に平均して相殺される。

10

#### 【0060】

ここで留意しなければならないのは、半導性ナノワイヤから金属ナノワイヤを分離するためにカーボンナノチューブのサンプルを精製する、あるいはフィルタするための商業ベースで実行可能な方法はないから、カーボンナノチューブは、實際上、この種の用途向けのDION膜を作るためには使用できないということである。デバイス中にたった1本の金属ナノワイヤがあっても、トランジスタ機能は大きく減殺される。同様に、各個のデバイスの性能は、そのデバイス中のナノワイヤの平均性能によって左右されるので、材料特性の均質性は重要である。この点もカーボンナノチューブでは未だ達成されていない。無機導体ナノワイヤでは、このための技術が可能になる。

20

#### 【0061】

高移動度に加えて、このようなマクロエレクトロニクス用の高密度ナノワイヤ膜には、他にいくつかの決定的に重要な長所がある。一例として、このような材料は、低電圧低電力動作が可能のように、各個のナノワイヤを共形状に取り巻く非常に薄いピンホールのないゲート誘電体シェルを持つことができる。シングルナノワイヤFETデバイスから得られた予備段階の結果によると、合成時に非常に薄い非常に薄いピンホールのない酸化膜シェルを各シングルナノワイヤの回りに形成することが可能であることが明らかにされた。図7は、半導体/誘電体コア-シェル構造を図解したものである。ここには、結晶コアおよび一体構造誘電体シェルを持つナノワイヤのコア-シェル構造の概略図が示されている。このナノワイヤ表面上の一体構造薄膜誘電体シェルによれば、誘電体を基板上に蒸着などで成膜するために必要な高温プロセスを省けるのみならず、閾値電圧が低くなる。

30

#### 【0062】

これらのナノワイヤおよびシェルは、基板とは別に形成されるので、基板材料の選択に影響を及ぼすことなく最高品質の誘電体を確保するべく高温(>500)で処理することができる。高品質の誘電体を形成できるかどうかは、使用する半導体に大きく依存しており、最良の半導体の例はSiである。1~2nmまで薄くすることができるこの酸化膜層は、FETにおける外因性の不純物的ゲート酸化膜を置換することができ、その結果、必要な処理過程数を少なくできると共に、トランジスタをオン・オフするために必要な電圧を劇的に低くすることができる。シングルナノワイヤ・デバイスは、1Vより低いゲート電位で導通状態になる。それ故、非常に低電力の高移動度DIONマクロエレクトロニクス回路を作り出すこともできる。このことは、基板の存在下低温で形成される厚い誘電体層が必要で、結果的に基板適合性が限定され高電力動作につながる温度レーザアニール

40

50

p - S i のような他の薄膜低温半導体と著しい対照をなす。

【 0 0 6 3 】

また、これらの材料は、薄膜全体にわたるデバイス性能の均質性という点でも長所をもたらす。低コストのデバイス作製および際だった低電力動作につながる。大粒径 p - S i のような他の高性能薄膜技術に対する主要な制約要因の一つは、ソース電極とドレイン電極との間における結晶粒界の存在に起因するデバイス間の均質性にある。結晶粒界がトランジスタチャンネルのサイズに比べて非常に小さいと、トランジスタは、移動度が低劣になるが、統計的平均化効果から益するところがある。換言すると、デバイス当たりの結晶粒数は非常に大きいので、各デバイスは実質的に同じ結晶粒数と同じ種類の結晶粒を持ち、これらの結晶粒は同じように振る舞うことになる。その結果、各デバイスは他のすべてのデバイスと同じように動作することになる。これはアモルファスシリコンの場合である。残念なことには、結晶粒径が大きくなり、全体的移動度が大きくなるにつれて、デバイス当たりの結晶粒数が減少しはじめるので、薄膜全体にわたるデバイスから標本として抽出される各デバイスは結晶粒の数および種類が統計的に異なってくる。その結果、p - S i で移動度が増加するにつれて、デバイス特性の均質性が低下する。このことは、高移動度 p - S i においてデバイス間における閾値電圧の変動（ばらつき）で特に問題になる。この固有の問題を補償するために、次のいずれかの方法が必要になる：（１）回路の複雑性を高めることによって非均質性を調整する、あるいは（２）印加ゲート電圧を高くしてすべてのデバイスが必ず同じ印加電圧下でオンになるようにすることによって非均質性を調整する。上記の第１の選択肢は、リソグラフィのマスク工程数を増加させ（マスク工程数が約２倍になる）、その結果デバイスのコストが劇的に増大する。第２の選択肢は、デバイスの電力消費を相当増大させることになり得る。一定の高性能マクロエレクトロニクス・システムにおける主な２つの要求条件はコストおよび電力消費の低減であり、上記の解決方法はこれらの用途においてはいずれも受け容れられない。

10

20

【 0 0 6 4 】

この状況は D I O N 薄膜の場合は極めて異なっている。D I O N 膜内におけるナノワイヤの整列および縦横比の結果として、これらの膜から作製される T F T は膜全体にわたって非常に均質である。一方の次元においては、ナノワイヤは、T F T のチャンネル長さより 10 倍以上長くなって、ほとんどすべてのナノワイヤがチャンネル全体に及ぶ（すなわち、導通（伝導）方向に結晶粒界が全くない）ことが可能である。第２の次元（非導通方向）においては、ナノワイヤはチャンネル幅より最高 1, 0 0 0 分の 1 も小さく、その結果、各トランジスタが独立した「結晶粒」を数 1 0 0 から数 1, 0 0 0 個含むことが容易に起こり得る。その結果、各トランジスタは導通方向には全く結晶粒界がなく、導通方向では真の集合平均（true ensemble average）の結晶粒界数を持つことになる。このことは、個別の高性能デバイスが得られるばかりでなく、大数の統計的平均化効果を通じてデバイス間の差をなくすことにもなる。このように、D I O N 膜から作製される T F T は、現在 p - S i または誘起電子材料から得られるよりもはるかに高い均質性を享有する。

30

【 0 0 6 5 】

その上、これらの材料は、各々単結晶半導体の性能を持つ多くの異なる機能デバイスを実装した形で D I O N 薄膜デバイスの作製を可能ならしめる多くの異なるナノワイヤ材料への適用性に関連した長所をもたらす：すなわち、D I O N 薄膜の用途はシリコンナノワイヤに限定されない。同じアーキテクチャないしは構成を用いて、G a A s または I n A s のようなさらに高性能の材料から大面積マクロエレクトロニクス基板を作ることができ、さらには発光用の電場発光ナノワイヤまたは励起表面検知、振動検出または音声検出用の圧電ナノワイヤのような特有の光学的性質または機械的性質を持つナノワイヤを作製することもできる。さらに、例えば、アンドープ導電性インナーチャンネル、高エネルギー・ドープ・インナーシェルおよびアウトパーシェル誘電体のような複合シェルを持つナノワイヤ構造も作製することができる。このようにして、キャリアは、散乱を通して移動度を低下させることにもなるドーパントを導電チャンネルに与えずとも、インナーシェルから

40

50

導電チャンネルへ供給されるこのような構造は、バリステック輸送デバイスを得ることができ、超高性能マクロエレクトロニクス技術をもたらす。図8は、ゲルマニウムコア、シリコン・インナーシェルおよびシリカ・アウターシェルよりなるマルチシェル・ナノワイヤの横断面および構造の透過型電子顕微鏡法(TEM)およびエネルギー分散型X線分析法(EDX)の像を示す(例えば、L. J. Lauhon、M. S. Gudiksen、D. WangおよびC. M. Lieber Nature 420, 57(2002)参照)。

#### 【0066】

各個のナノワイヤの外側に共形状に成長した導電ゲート電極シェルを作り込めることは、DION膜のTF T性能を劇的に向上させ、電力消費を低減させ、TF T作製プロセスを単純化する。さらに、各個のナノワイヤの外側にゲート電極を一体状に形成することは、導電チャンネルに合ったゲート電極形状(すなわち、各個の半導体チャンネルを円筒状に取り囲む共形電極)が得られる。このことは、DION薄膜に真性のゲート誘電体およびゲート電極を作製できるということの意味する。したがって、電気的デバイスを作製するのに必要な唯一の後処理は、トランジスタチャンネルの外側の領域からリソグラフィ法によってゲート電極シェルを取り除き、金属を蒸着してゲート電極を回路の他の部分に接続することである。このようにDION薄膜内の個々のナノ材料の複雑性が僅かに増すこと(ナノワイヤの合成時における)で、DION TF Tを作製するための処理加工が劇的に単純化される。また、これによって、理想的なゲートコンタクト構造が得られることにより、各DION TF Tの性能を改善することができ、DION電子デバイスの電力消費を低減させることができる。

#### 【0067】

また、本願で説明する材料は、高移動度半導体材料の固有の可撓性を持ち、これによって、真に可撓性の高性能電子部品の作製が可能になる。非常に小さい直径と大きい縦横比( $> 1, 000$ )の故に、ナノワイヤは優れた可撓性および強度を有する。各個のナノワイヤは、 $r < 10 \mu\text{m}$ の曲率半径で容易に曲げることができる。例えば、図9は、曲げ半径 $r < 10 \mu\text{m}$ のナノワイヤの暗視野光学顕微鏡写真(OM)を示す。バーの長さは $10 \mu\text{m}$ である。ナノワイヤの幅は、可視光の回折限界のために、見かけ上実際より大きく見える。上に説明した高密度基板上の各個のナノワイヤは同じ方向に整列しているが、周囲のナノワイヤとは物理的に独立しているため、DION薄膜の柔軟性は失われない。デバイス内の個々のナノワイヤを曲げなくても、各ナノワイヤは長さが $100 \mu\text{m}$ しかないの

#### 【0068】

上に説明した材料は溶液中で処理することができ、大面積適合性を有する。バルク半導体ウェーハとことなり、ナノワイヤは溶液に懸濁させた後、事実上すべての基板上に析出付着させて(deposited)、固着することができる。このプロセスは、特定の寸法範囲に限定されず、したがって、大面積エレクトロニクス技術にとって理想的なプロセスである。軟質基板との組合せによって、この技術は、ノズル印刷またはスクリーン印刷技術を通して高性能電子部品のロール・ツー・ロール製造法との適合性が可能になる。この技術のもう一つの長所は、ナノワイヤを成膜する環境である。通常のマクロン系およびサブマクロン系半導体技術は、大なクリーンルームとクリーンルーム内の特殊な設備を必要とする。本発明のナノワイヤは、溶液に懸濁させた後、「大きな」汚染物質が半導体線を阻害する懸念なしに、大きな基板の表面に析出付着させて成膜することができる。欠陥管理は、半導体ナノワイヤを作製し、溶液を調製している段階で行うことができ、そのために印刷プロセスにおける厳密性をそれほど高くする必要がない。

#### 【0069】

その他の長所としては、半導体成膜、アニーリング、あるいはゲート誘電体成膜に必要な高温処理を回避できるということである。DION TF Tは、事実上すべての基板(例えば、軽量プラスチック)上に作製することができる。半導体ナノワイヤ、ゲート誘電体シェル、およびゲート電極シェルを形成するために用いられる高Tp(ピーク結晶化温

度)合成プロセスはオフラインで(すなわち基板材料の存在下で)行われる。したがって、非常に高品質のナノワイヤを製造した後、それらを事実上どのような基板材料にでも被着することができる(基板が高T<sub>p</sub>処理に適合しない場合でも)。さらに、ナノワイヤの表面は、任意の機能性で化学処理することができるので、広範多様な基板を使用することができる。

#### 【0070】

概して、無機ナノワイヤの並外れた電子特性および導電特性を固体基板上の高密度配向アレイに組み込むことによって、大面積の可撓性半導体基板を作製することができる。このような大面積の可撓性半導体基板は、移動度、閾値電圧、および $I_{on}/I_{off}$ の点で単結晶シリコンウェーハに匹敵する、あるいはこれを上回る電気性能を享有する。他の機能ナノワイヤ材料を組み込むことによって、単結晶の性能を持つ他の機能デバイスを作製することもできる。

10

#### 【0071】

さらに、混合組成DION薄膜(汎用電子基板材料技術)のような材料を使用することもできる。多数の異なるナノワイヤ材料を単一基板上に同時に被着することができる。このような混合組成DION薄膜は、その上に集積エレクトロニクスシステム(システム・オン・シート)がそっくり形成されるモノリシック・プラスチック基板の作製を可能にする。現在のシリコンウェーハ上に作製されたデバイスと異なり、このようなシステム・オン・シートのような実施例は、様々な機能を実現することもできる。これらの機能としては、高性能CMOS電子回路の機能、GaNのような発光機能、GaAsのような高周波RF信号を処理する機能、圧電材料のように音声を発生させるか、検出するために振動する機能、および強誘電体薄膜のようなスピン偏極による単純な高速不揮発性メモリの機能などが含まれる:ただし、これらに限定されるものではない。混合組成DION薄膜によると、これらの特性のすべてを単一のモノリシック基板に実装して、従来のリソグラフィ技術を用いてパターンニングし、処理することにより、機能システムを巻き取り可能なプラスチックシート上にそっくり作り込むことができる。この技術は、スペース、重量、および電力の制約がある軍用の電子システムの開発における未だ買ってない空前の進歩を表すものである。(参照:表1に示す他のマクロエレクトロニクス材料との比較データ)本願に記載する技術は、これまで開発された独特の機能的シングルナノワイヤ電子デバイスのすべてを梃子として利用することによって、これらの独特のシングルナノワイヤの特性の任意の組合せ(またはそのすべて)をプラスチック基板上の単一のモノリシック・マクロエレクトロニクス・システムに付与しようとするものである。

20

30

#### 【0072】

【表 1】

機能特性	有機半導体	a-Si	p-Si	単結晶Si	混合組成 DION 薄膜
電子移動度 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	0.001	1	100	1500	5000
正孔移動度 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	0.1	0.1	30	500	1500
閾値電圧 (通常)	2~10V	3V	<2V	<1V	<1V
閾値電圧均一性	非常に劣悪	良	劣悪	優	優
オン/オフ比	$10^5$	$10^9$	$10^8$	$>10^{10}$	$>10^8$
CMOS適合か?	No	No	Yes	Yes	Yes
RF適合か?	No	No	No	Yes	Yes
発光特性は?	No	No	No	No	Yes
圧電特性は?	No	No	No	No	Yes
強誘電特性は?	No	No	No	No	Yes

10

20

30

表 1 : 従来の材料との比較

この後に続く項では、ナノワイヤ薄膜、およびナノワイヤ薄膜の製造方法について説明する。その後、DION TFTの概念実証の説明およびCMOS TFTデバイス作製プロセスの例示説明を行う。最後に、ナノワイヤ薄膜の様々な応用について説明する。以下の説明における応用例としては、分散型センサネットワーク、RFIDタグ、可調位相遅延器、および音響打消しデバイスにおけるナノワイヤ薄膜の利用がある。ナノワイヤ薄膜のそれ以外の応用例についても本願で説明する。

## 【0073】

本願に記載し説明する各特定の実施例は、本発明の一例であって、本願に記載する以外に本発明の範囲を何らかの形で限定しようとするものではない。実際、説明を簡単化するために、従来のエレクトロニクス技術、製造方法、半導体デバイス、ナノチューブおよびナノワイヤ技術並びにシステム（およびシステムの個々の動作要素）の他の機能的態様については、本願では詳細な説明を省くこともあるが、本願の説明から関連技術分野の当業者には自明であろう。さらに、説明の簡単化のため、本発明は、本願においてしばしば半導体トランジスタ素子に関連するものとして説明する。本願で説明する製造技術は、任意の形態の半導体素子およびその他の電子部品に適用できるということは理解されよう。さらに、これらの技術は、電気システム、光学システム、産業用電子機器、ワイヤレスシステム、宇宙用機器、およびその他の用途にも適合する。

40

50

## 【0074】

## ナノワイヤ膜の実施形態

本発明は、ナノワイヤおよびナノチューブをシステムおよびデバイスないしは機器で使用するにより、システムおよびデバイスの性能を改善することを志向するものである。例えば、本発明は、ナノワイヤを半導体デバイスで使用しようとするものである。本発明によれば、多様なナノワイヤが高移動度薄膜のとして形成される。このナノワイヤ薄膜は、性能および製造性を改善するために、電子デバイスで使用される。

## 【0075】

図10は、本発明の一実施形態におけるナノワイヤ薄膜1000のクローズアップ写真を示す。半導体ナノワイヤ薄膜1000は、従来の電子デバイスにおけるアモルファスシリコンまたは有機材料薄膜の代わりに使用することにより、デバイス動作性能を改善することができる一方、簡単で安価な作製がもたらされる。ナノワイヤ薄膜の使用を通して、本発明は、特に、高性能で低コストのデバイスを大きな軟質（可撓性）基板上に形成するのに適している。

10

## 【0076】

ここで留意しなければならないのは、ナノワイヤ薄膜1000は、本願で説明するように、広範にわたる適切な表面積に形成することができるということである。例えば、本発明のナノワイヤ薄膜は、1平方ミリ以上、1平方センチ以上、10平方センチ以上、1平方メートル以上の機能面積を持つように作ることができ、またこれらより大きいあるいは小さい機能面積でも作ることが可能である。

20

## 【0077】

図10に示すように、ナノワイヤ薄膜1000は、互いに密接状に位置する複数のナノワイヤを有する。ナノワイヤ薄膜1000は、シングルナノワイヤと同じかこれより大きい様々な厚さを持つことができる。図10の例では、ナノワイヤ薄膜1000のナノワイヤは長軸が互いに他のナノワイヤとほぼ平行になるように整列している。ここで留意しなければならないのは、別の実施例においては、ナノワイヤ薄膜1000のナノワイヤは整列しておらず、互いに他のナノワイヤに対してランダムに異なる、あるいは他の形で異なる方向に配向されているということである。もう一つ別の実施例においては、ナノワイヤ薄膜1000のナノワイヤ等方性を持って配向されており、すべての方向に高移動度を得られる。ここで留意しなければならないのは、ナノワイヤ薄膜1000のナノワイヤは、特定の用途により要求されるところにしたがって性能を改善するために、電子流の方向に対して相対的に任意の形で整列させることができるということである。

30

## 【0078】

図11は、本発明の一実施例におけるナノワイヤ薄膜1000を有する半導体素子1100を示す。図11において、半導体素子1100はトランジスタとして示されており、このトランジスタは、基板1108上に形成されたソース電極1102、ゲート電極1104、ドレイン電極1106を有する。ナノワイヤ薄膜1000は、ソース電極1102とドレイン電極1106との間にゲート電極1104の一部を横切って結合されている。ナノワイヤ薄膜1000は、実質的に半導体素子1100のトランジスタのチャンネル領域として作用し、本願でさらに説明するように、半導体素子1100がより強化された特性で動作できるようにする。基板1108に適用可能な基板の種類については、本願中随所に多数記載されている。

40

## 【0079】

ここで留意しなければならないのは、半導体素子1100はもっぱら例示説明のためのみトランジスタ図11にトランジスタとして示されているということである。関連技術分野の当業者ならば、本願の開示事実から、ナノワイヤ薄膜1000は、ダイオードを含め、トランジスタに加えて半導体素子の種類として含めることができるということは理解されよう。

## 【0080】

いくつかの実施形態においては、ナノワイヤ薄膜1000のナノワイヤは、ソース電極

50

1102とドレイン電極1106との間全体にわたる単結晶半導体ナノワイヤである。それ故、電気キャリアは、単結晶ナノワイヤを通して移動することができ、その結果高移動度が得られるが、これは現在のアモルファスシリコンやポリシリコン技術では達成されなかった特徴である。

#### 【0081】

さらに、何らかの特定の動作理論に縛られることなく言うと、ナノワイヤチャンネル内を横断してする電子波が持つ一次元性のため、また散乱確率が低くなるために、ナノワイヤバルク単結晶よりもなお高い移動度を達成するよう作製することができる。ナノワイヤは、電気キャリアの「パルスティック」輸送路となるように設計することができる。本願で「パルスティック」という用語は、散乱のないナノワイヤを通しておこなわれ、そのナノワイヤが量子化抵抗を持つ輸送を意味する。

10

#### 【0082】

ここで留意しなければならないのは、ナノワイヤを実装した半導体素子の場合には、様々な種類のコンタクトエリアを形成できるということである。コンタクトエリアは、オーム性でも非オーム性でもよい。例えば、非オーム性のショットキー・ダイオードバリア・コンタクトを電極として使用することができる。ショットキー・ダイオードバリア・コンタクトは、一般に、III-V族の半導体材料において、高品質のゲート誘電体を作ることが困難な場合に用いられる。ソース電極1102、ゲート電極1104、およびドレイン電極1106は、当業者には自明であるように、金属、合金、シリサイド(ケイ化物)、ポリシリコンなど、およびこれらの組合せたもののような導体材料で形成される。

20

#### 【0083】

上に説明したように、ナノワイヤ薄膜1000のナノワイヤは整列させる、または配向することができる。例えば、図11に示すナノワイヤ薄膜1000ナノワイヤは、ソース電極1102とドレイン電極1106との間にチャンネル長さ方向と平行に整列させるか、あるいは別の形で整列させることができる。

#### 【0084】

ナノワイヤ薄膜1000は、半導体素子1100に所望の特性を与えるために十分な数のナノワイヤで形成することができる。例えば、ナノワイヤ薄膜1000は、特定用途における所望の動作電流密度または電流レベルを達成するために十分な数または密度のナノワイヤで形成することができる。例えば、電流レベルは、2ナノアンペアを含むナノアンペア域のレベルのこともあれば、これより大きいあるいは小さいレベルのこともある。例えば、図11のトランジスタの例においては、ナノワイヤ薄膜1000はチャンネルに約10ナノアンペアより大きい電流レベルを持つように形成することができる。より多数のナノワイヤおよび/またはより高移動度のナノワイヤを用いることによって、マイクロアンペア域、ミリアンペア域、およびさらに大きい電流量域の電流レベルを含め、より高い電流レベルを得ることが可能である。

30

#### 【0085】

例えば、必要な動作電流密度を達成するために、ナノワイヤ薄膜には、基板上の所与の面積に対して最小数のナノワイヤを入れることができる。これ故に、形成される各半導体素子は、動作電流レベルの電流を運ぶのに十分な数のナノワイヤを持つことになる。例えば、単位面積当たりのナノワイヤの必要数は、1本、2本、および5本、10本、100本、1,000本以上などを含めたその他の任意の数とすることができる。

40

#### 【0086】

一実施形態においては、ナノワイヤ薄膜1000は非対称な移動度を持つように形成することができる。これは、例えば、ナノワイヤ薄膜1000のナノワイヤを非対称状に配列する、かつまたはある特定の仕方でナノワイヤにドーピングすることによって行うことができる。このような非対称移動度は、第1の方向が第2のよりもはるかに移動度が大きくなるようにすることができる。例えば、非対称移動度は、第1の方向が第2の方向より10倍、100倍、1,000倍、および10,000倍大きいオーダーになるように、あるいは、これらの値の間、これらの値より大きい、あるいはこれらの値より小さい他の

50

任意の非対称移動度となるようにすることができる。例えば、これは、ナノワイヤの方向に平行な方向に高移動度が生じ、ナノワイヤの方向に直角な方向により低い移動度が生じるように実質的にナノワイヤを整列させることにより行うことができる。

【0087】

ナノワイヤ薄膜1000のナノワイヤは、性能を改善するためにいろいろな方法でドーピングすることができる。ナノワイヤは、1100半導体素子に実装する前にドーピングすることができる。また、ナノワイヤは、薄膜に形成する前に、あるいは薄膜に形成した後にドーピングすることができる。ナノワイヤ薄膜は、基板状に形成した後ドーピングすることができる。さらに、ナノワイヤはその長軸のいくつかの部分に沿っていくつか異なるようにドーピングすることができ、またナノワイヤ薄膜の他のナノワイヤと異なるようにドーピングすることができる。個別のナノワイヤ、およびナノワイヤ薄膜のドーピング方式のいくつかの例をこの後説明する。しかしながら、関連技術分野の当業者にとっては、ナノワイヤおよびナノワイヤの薄膜は、他の方法、さらには本願で説明する方法の任意の組合せによってドーピングできるということは、本願の開示事実から自明であろう。

10

【0088】

図12Aには、均一にドーピングされた単結晶ナノワイヤであるナノワイヤ1200が示されている。このような単結晶ナノワイヤは、厳正に制御された方法でドーピングしてp型またはn型半導体にすることができる。ナノワイヤ1200のようなドーピングしたナノワイヤは改善された電子特性を呈する。例えば、このようなナノワイヤ1200は、ドーピングすることによって、他の単結晶材料に匹敵するレベルのキャリア移動度を持つことができる。さらに、何らかの特定の動作理論に縛られることなく言うと、ナノワイヤチャンネル内を横断してする電子波が持つ次元性のため、また散乱確率が低くなるために、ナノワイヤバルク単結晶よりもなお高い移動度を達成するよう作製することができる。単一のp型Siナノワイヤの場合で、最高 $1,500\text{ cm}^2/\text{V}\cdot\text{s}$ のキャリア移動度レベルが確認され、またn型InPナノワイヤで、 $4000\text{ cm}^2/\text{V}\cdot\text{s}$ のキャリア移動度レベルが確認されている。

20

【0089】

図12Bは、コア-シェル構造に従ってドーピングされたナノワイヤ1210を示す。図12Bに示すように、ナノワイヤ1210は、ドーブ表面層1202を有し、その厚さのレベルは種々変えることができる。この厚さレベルはナノワイヤ1210の表面上でほんの単層(monolayer)の厚さとすることができる。このような表面ドーピングは、ナノワイヤの導電チャンネルから不純物を分離して不純物関連散乱事象を抑制することができ、その結果、キャリア移動度を大きく改善することができる。例えば、ナノワイヤにコア-シェル構造に従ってドーピングすると、ナノワイヤ内部でキャリアの「バリステック」輸送が達成される。ナノワイヤのドーピングについては、この後さらに詳しく説明する。

30

【0090】

図12Cは、他の種類のコア-シェル構造に従って均一にドーピングされ、誘電体層1204で被覆されたナノワイヤ1220を示す。誘電体層1204は、 $\text{SiO}_2$ または $\text{Si}_3\text{N}_4$ のような種々の誘電体材料から選択することができる。この誘電体層1204を使用することによって、本願中随所で説明するように、半導体素子1100の作製を簡単化することができる。誘電体層は、ナノワイヤを酸化させる、ナノワイヤにコーティングする、あるいは他の方法で誘電体層を形成することによって得ることができる。例えば、窒化ケイ素、 $\text{Ta}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ などの他の非酸化型高誘電率材料を使用することができる。ナノワイヤの窒化は、ナノワイヤの酸化で用いられていると同様のプロセスで行うことができる。これらの材料は、化学気相成長法(CVD)、液相成膜法によって、あるいは単に適切な前駆体を基板にスピンコーティングすることによりナノワイヤに被着することができる。他の周知の技術を用いることも可能である。

40

【0091】

50

図12Dは、図12Bのコア-シェル構造によるドーパント表面層1202でドーピングされ、また図12Cに示すように誘電体層1204で被覆されたナノワイヤ1230を示す。

【0092】

図13Aおよび13Bは、本発明の種々の実施例によりドーピングした半導体素子1100の例を示す。図13Aに示すように、基板1108の上面はドーパント層1302でコーティング(被覆)されている。ドーパント層1302には、電子ドナー(供与体)または電子アクセプタ(受容体)のドーピング物質が含まれている。半導体素子1100の特性は、ドーパント層1302を導入することにより制御することができる。電子ドナー物質または電子アクセプタ物質は、負または正の電荷キャリアをナノワイヤに持ち込み、nチャンネルまたはpチャンネル・トランジスタを生じさせる。この半導体素子1100の構成によれば、ドーパントが実際の導電チャンネルから分離されるため、非常に高い移動度レベルを達成することができる。

10

【0093】

図13Bに示すように、ドーパント層1302は、実質的にナノワイヤ薄膜1000の回りに局在する基板1108の領域を覆っている。いくつかの実施例においては、半導体素子1100に被着されるドーパント層1302は、異なるn型およびp型特性によりドーピングされた2つ以上のエリアを持つようにパターンニングすることができる。例えば、図13Bの実施例では、ドーパント層1302は第1の部分1304がn型特性でドーピングされ、第2の部分1306はp型特性でドーピングされている。このような実施例においては、p-nジャンクションは、LEDを含む種々の電子デバイスおよびオプトエレクトロニクス・デバイスで達成することができる。

20

【0094】

上に説明したように、ドーパント層1302は、半導体素子1100が実際に作り込まれる前または後に、基板1108に導入することができる。

【0095】

これらの材料で製造されたナノワイヤの集成体は、高性能エレクトロニクス技術の基礎的構成要素である。実質的に同じ方向に配向されたナノワイヤの集成体は、高い移動度値を持つ。さらに、ナノワイヤは、溶液中で柔軟処理することができ、安価な製造が可能になる。ナノワイヤの集成体は、溶液から任意の種類基板に容易に組み付けることによって、ナノワイヤ薄膜を得ることができる。例えば、半導体素子として用いられるナノワイヤ薄膜は、高性能電子部品で使用するべく、2本、5本、10本、100本など、さらにはこれらの間またはこれらより大きい任意の他の本数のナノワイヤを含むように形成することができる。

30

【0096】

ここで留意しなければならないのは、ナノワイヤは、高分子材料(ポリマー)/有機半導体のような材料と組み合わせ、任意の種類基板に柔軟性をもってスピんキャスト(spin-cast)できる高性能複合材料を製造するためにも使用できるということである。ナノワイヤ/ポリマー複合材料は、純然たるポリマー材料よりも優れた性質を有する。ナノワイヤ/ポリマー複合材料について、この後さらに詳しく説明する。

40

【0097】

上に説明したように、ナノワイヤの集成体またはナノワイヤ薄膜は、ナノワイヤを実質的に互いに平行に整列させることもできれば、非整列あるいはランダム状のままにすることもできる。ナノワイヤを非整列状としたナノワイヤ集成体またはナノワイヤ薄膜は、電子特性がポリシリコン材料に匹敵するかこれより優れており、通常 $1 - 10 \text{ cm}^2 / \text{V} \cdot \text{s}$ の範囲の移動度値を有する。さらに、ナノワイヤを非整列状としたナノワイヤ集成体またはナノワイヤ薄膜は、十分高密度のナノワイヤが使用されていれば、単結晶材料に匹敵するあるいはこれより優れた特性を示す。

【0098】

ナノワイヤを整列状としたナノワイヤ集成体またはナノワイヤ薄膜は、単結晶材料に匹

50

敵するかこれより優れた性能を持つ材料を提供する。さらに、整列状のバリスティック・ナノワイヤ（例えば、図12Bに示すコア・シェル・ナノワイヤ）を有するナノワイヤ集成体またはナノワイヤ薄膜は、単結晶材料を劇的に上回る性能を得ることができる。

【0099】

本発明によれば、ナノワイヤ薄膜は、整列状でも非整列状でも、また複合型でも非複合型でも、種々の方法で製造することができる。次に、これらのいくつかの種類のナノワイヤ薄膜の実装および製造についての実施例を説明する。

【0100】

ランダム配向のナノワイヤ薄膜は種々の方法で得ることができる。例えば、ナノワイヤは適当な溶液に分散させることができる。その後、ナノワイヤは、スピんキャスト法、ドロップ・アンド・ドライ法、フラッド・アンド・ドライ法、あるいはディップ・アンド・ドライ法を用いて所望の基板上に被着することができる。これらのプロセスは、高度の被覆性（coverage）を確保するために何回でも行うことができる。ランダム配向型のナノワイヤ/ポリマー複合材料薄膜は、ナノワイヤを分散させる上記溶液をポリマー溶液として、上記と同様に生成（製造）することができる。

10

【0101】

ナノワイヤ整列型のナノワイヤ薄膜は種々の方法で得ることができる。例えば、整列型のナノワイヤ薄膜は、次のような技術を用いることによって生成することができる：（a）ラングミュア・プロジェクト膜整列法；（b）米国特許出願第10/239,000号（2002年9月10日出願（代理人事件整理番号01-000540）、参照により全面的に本願に援用される）に記載されている流体流動法；および（c）機械的専断力を作用させる方法。例えば、機械的専断力は、ナノワイヤを第1の表面と第2の表面との間に置き、次いで第1の表面と第2の表面を互いに反対方向に動かすことによって作用させ、ナノワイヤを整列させることができる。整列型のナノワイヤ/ポリマー複合材料薄膜は、これらの方法でナノワイヤ薄膜を生成した後、生成された薄膜に所望のポリマーをスピんキャストすることにより得ることができる。例えば、ナノワイヤをポリマー溶液中で析出させ、整列（アラインメント）をこれらまたは他の整列プロセスの中の一つによって行い、次いで、整列されたナノワイヤを硬化させる（例えば、紫外線硬化法、架橋法などにより）ことができる。また、整列型のナノワイヤ/ポリマー複合材料薄膜は、ランダム配向型のナノワイヤ/ポリマー複合材料薄膜を機械的に引き延ばすことによって得るこ

20

30

【0102】

ナノワイヤ薄膜は、シリコン、ガラス、水晶（クォーツ）、ポリマー、および本願に記載する、あるいはそれ以外に周知の他の任意の種類の基板を含め、事実上すべての種類の基板に形成することができる。基板は、大面積のものでも小面積のものでもよく、また硬質のものでも、軟質プラスチックまたは薄膜基板型のような軟質（可撓性）の基板でもよい。さらに、基板は、不透明でも透明でもよく、また導電性材料からでも、半導性材料からでも、あるいは不導体材料からでも作ることができる。

【0103】

例えば、ソース、ドレイン、およびゲートを含むナノワイヤ膜コンタクトは、例えば、標準的なフォトリソグラフィ法、インクジェット印刷、またはマイクロコンタクト印刷プロセス、あるいは他のプロセスによって基板にパターンニングすることができる。

40

【0104】

誘電体層は、例えば、ゲートコンタクトを電氣的に絶縁するために基板上のナノワイヤ薄膜に被着することができる。誘電体層の成膜（被着）は、ポリマーまたは酸化物誘電体の蒸着、溶液流延法（ソリューション・キャスト法）、およびその他のプロセスによって行うことができる。このような誘電体層の基板への被着は、ナノワイヤ自体の誘電体層がナノワイヤを絶縁する場合には、不要なこともある。

【0105】

ここで留意しなければならないのは、ナノワイヤ膜は、リソグラフィ法を含む種々のプ

50

プロセスを用いて基板上にパターニングすることができるということである。ナノワイヤ薄膜の成膜とパターニングは、インクジェット印刷またはマイクロコンタクト印刷法のような種々のプロセスを用いて同時に行うことができる。

#### 【0106】

ここで留意しなければならないのは、コンタクトをパターニングする順序は変えることができるということである。例えば、図11に示すゲート1104、ソース1102、およびドレイン1106は互いに同時にパターニングすることもできれば、互いに異なる時にパターニングすることもできる。これらは、ナノワイヤ薄膜1000の成膜前にパターニングすることもできるし、後で行うこともできる。ソース1102およびドレイン1106をナノワイヤ薄膜1000の成膜前にパターニングして、ゲート1104は成膜の後にパターニングすることができる。別の態様として、ゲート1104をナノワイヤ薄膜1000の成膜前にパターニングして、ソース1102およびドレイン1106は成膜の後にパターニングすることができる。ソース1102およびドレイン1106のどちらか一方をナノワイヤ薄膜1000の成膜前にパターニングして、他方を成膜の後にパターニングすることもできる。

10

#### 【0107】

ここで留意しなければならないのは、いくつかの実施例においては、ナノワイヤ薄膜の1層を基板の所与のエリアに被着できるということである。多層膜では、より高い導電率を得ることができ、それぞれの半導体素子の電気的特性を変更・修正することができる。多層膜の各膜は、互いに類似のものでも、異なったものでもよい。例えば、ナノワイヤが層毎に異なる方向に整列し、ドーピングが異なり、かつまたは絶縁が異なる2層以上のナノワイヤ薄膜は、ある特定の半導体素子で使用するすることができる。ある特定の半導体素子のコンタクトエリアは、多層ナノワイヤ薄膜の1つ以上の層に結合することができる。ここで留意しなければならないのは、必要に応じて、ナノワイヤ単層、ナノワイヤ亜単層、またナノワイヤ単層より多層の形で形成することができる。

20

#### 【0108】

##### DION TFTの概念実証の説明

ここでは、DION TFT技術を実証するために、マルチナノワイヤTFTデバイスの小規模な概念実証について説明する。まず、SiO<sub>2</sub>基板に金属ゲート電極(Ti/Au)をパターニングした後、Al<sub>2</sub>O<sub>3</sub>の厚層(60nm)を被着してゲート誘電体を形成する。次に、重pドーブ・シリコンナノワイヤの中密度膜を基板上に剪断成膜し(shear deposited)、ゲート電極にわたる大まかに配向されたナノワイヤのアレイを得た。次いで、表面をEビームレジストを用いてパターニングし、現像してソースおよびドレイン電極領域に露光した。次に、標準的なスパッタリング装置を用いてアルミニウムを蒸着した。ナノワイヤは重ドーピングされているので、コンタクトドーピングは不要である。次に、残っているレジストを除去し、ソースおよびドレイン電極に束縛されていないすべてのワイヤを取り除いた。このトランジスタを1Vのソースドレイン電位を印加し、ゲート電圧を掃引して試験した。その結果得られたデバイスは、いくぶん不均質で、ナノワイヤは整列不足であり、多くの場合破損していたが、得られたトランジスタは、著しく良好な性能を示し、オン/オフ比は約10<sup>4</sup>、正孔移動度は100cm<sup>2</sup>/V・sに近かった。デバイス当たりのナノワイヤ数を増やすことによって全オン電流を1mAにまで高く増やすことができ、高性能マクロエレクトロニクス・デバイスに向けてのマルチナノワイヤTFT(DION技術の基礎)の性能、機能が実証されている。図14は、多機能混合ナノワイヤ薄膜の全体像を示したものである。この図は、現在のナノエレクトロニクス研究で得られるすべての異なる機能を柔軟性をもって単一のマクロエレクトロニクス基板に統合できるということを示している。

30

40

#### 【0109】

これらの結果は、ナノワイヤの品質および均質性の向上、真性のゲート誘電体およびゲート電極の実装、成膜の均一性と密度の向上、および電氣的インタフェース技術の最適化と相まって、DION TFTが軽量の軟質(可撓性)プラスチック基板上で真の単結晶

50

半導体の性能を実現できるということを実証している。

【0110】

現状を大きく打破する技術として、DION TFT技術は、材料、DION薄膜作製プロセス、および電氣的インタフェースプロセス並びにデバイス作製プロセスのさらなる開発から得るところが大きい。これらの努力の結果、様々な用途においてDION TFTの性能が強化されるものと思われる。

【0111】

多様な高性能ナノワイヤ材料（*n*ドープシリコン、*p*ドープシリコンおよび*n*ドープInAs、InPおよび/または他のIII-V族半導体を含む）の合成、および半導性コア、ゲート誘電体インナーシェルおよびゲート電極アウターシェルが作り込まれた独特の多層膜コア-シェル構造の作製は、さらなる開発が現在のDION TFT技術に利益をもたらす特有の分野である。基本的なナノワイヤ材料がDION技術の基礎になる。無機半導体ナノワイヤを含め、独特のナノ材料の作製および機能化に関する相当大きな知識ベースが既に存在する。

10

【0112】

膜作製には、混合組成DION薄膜の作製にとって適切な成膜技術が伴う。これらの技術には、フローベース技術およびドライトランスファー技術の両方が含まれる。これからの開発は、膜密度、ナノワイヤ配向、膜の均質性、ナノワイヤの膜基板への付着の制御、および全コストに重点が置かれることになる。いろいろな成膜技術の中で、分散型センサネットワーク用途（以下にさらに説明する）のためのデバイスに関する完全形のデバイス作製のための確定した工程、コスト、サイズ、および複雑性の要求条件に見合う特定の成膜技術を見つけ出すことはできる。この開発は、化学センサおよび生物センサのような用途、およびナノワイヤの機能的構成への実装のために、低密度ナノワイヤデバイスの作製に関する既存の知識を梃子として利用することになる。

20

【0113】

電氣的インタフェース技術には、DION TFT、DIONショットキー・ダイオードおよび他のデバイスを形成するためのDION薄膜へのパターンニングおよび電氣的インタフェース構築のためのプロセスが伴う。これらのプロセスのさらなる開発は、フォトリソグラフィ、エッチング、ドーピング、オーム性コンタクトなどを含む従来の半導体材料に基づいてTFT用に開発されたインフラ（産業基盤）およびノウハウを梃子として利用することができる。いろいろなプロセスの中で、DION薄膜内の機能性をこの最終目的、またアンテナおよびセンサの成膜（以下に説明する）に適合する線形プロセスを用いて利用できるようある特定のプロセスを見つけ出すことはできる。この開発は、シングルナノワイヤ・デバイスとの高品質で再現可能な電氣的コンタクトの作製を含むナノワイヤ型の化学センサおよび生物センサの知識を梃子として利用する。

30

【0114】

上に述べたように、本発明は、多機能の高性能マクロエレクトロニクス集積回路を大面積にわたり低コストで軟質プラスチック基板に作製するための画期的な広範囲にわたる技術プラットフォームにある。これは、2種類以上の異なる高性能無機半導体ナノワイヤの高密度配向薄膜を単一基板上に作製することによって達成される。すると、これらの異なる各材料は、ナノワイヤを形成する材料の単結晶材料と同等かまたは頃を上回る性能を持つ電子デバイスおよび電気光学デバイスを作製するべく電氣的インタフェースを得ることができる。数100本あるいは数1,000本のナノワイヤを各対のソース電極とドレイン電極との間に渡すことにより、高キャリア移動度および高電流容量を確保すべく数1,000本の個別導電チャンネルを持つ単結晶導電路を各デバイスにわたって得ることができる。図15A、15B、および15Cは、*p*ドープ・シリコンナノワイヤ薄膜トランジスタ（ $\mu \sim 100$ および $\text{on/off} \sim 10^4$ ）についての予備段階の結果を示す。図15Aは、ナノワイヤTFTの暗視野光像を示す。図15Bは、ソース-ドレイン電流対ソース-ドレイン電圧の転移特性を示す。図15Cは、ソース-ドレイン電流対チャンネル内ナノワイヤ数の転移特性を示す。

40

50

## 【0115】

DION TFTを作製するための一般的な方法は、次のステップからなる：(1)真性のゲート誘電体およびゲート電極が各ナノワイヤの回りの複合シェルに作り込まれた1バッチ分の高品質単結晶無機導体ナノワイヤを合成する；(2)ナノワイヤを取り出して、所望の基板に移す(transfer)ことができるように溶液中に懸濁させる；(3)ナノワイヤを、すべてのナノワイヤが実質的に同じ方向に整列された高密度単層薄膜(すなわち、1本のナノワイヤ分の厚さの層)が形成されるように、所望の基板上に被着する；(4)ソース、ドレイン、およびゲート電極をパターンニング、現像、エッチング、および金属被着(metalize)するための標準的な半導体作製プロセスを用いて、トランジスタチャンネルが整列ナノワイヤの方向と平行に走る機能DION TFTデバイスを形成する。通常のマクロエレクトロニクス・デバイスの寸法よりはるかに長いナノワイヤ(100 $\mu$ mのNW(ナノワイヤ)対10 $\mu$ mのチャンネル長さ)を用いて、ナノワイヤの大部分がソース電極とドレイン電極との間のギャップ全体にわたるデバイスを作り出すことができる。部分的にだけ互いに交差するよう置かれた数少ないナノワイヤは、ナノワイヤ間の結合の相対抵抗はシングルナノワイヤを通る高移動度経路に比べて何桁も大きいので、デバイスの導電特性に寄与しない。図16は、DION TFTの概略図を示す。

10

## 【0116】

マクロエレクトロニクスのこの新しい概念のもう一つの特徴は、能動半導体物質の成長が、最終デバイスの支持基板から切り離されることである。このことは、低温でのTFTの生成をプラスチック基板と適合可能にするばかりでなく、2種類以上の異なる半導体を単一基板に作り込むことを可能にする。このようにして、異なる独特の機能素子をまとめて緊密に集積することによって、従来の薄膜技術では不可能な方法で混成集積を達成することができる。

20

## 【0117】

一部の局面においては、本発明は、新規なナノワイヤ材料および独特の多層コア・シェル・ナノワイヤ構造を用いることによって、すべて単一の線形デバイス作製を用いてインタフェースできる多様な高性能の機能性の単一基板への生成を容易にする。特に、内側コアが所望の電子的機能性(例えば、CMOS適合性、RF信号処理機能、発光機能など)が得られるよう選択される半導体で形成された3層および4層のコア・シェル構造を作製することができる。第1のシェルは、最終デバイスでゲート誘電体としての機能を果たす絶縁誘電体層である。外層は、最終デバイスで各個のナノワイヤの回りの共形ゲート電極都市的脳する導電層である。高品質酸化膜層または窒化膜層を形成しないIII-V族の超高移動度を得るためのコア材料ナノワイヤの場合は、半導体と誘電体との間で高品質インタフェースとして機能することが知られている中間層(CdSのような)を付加することができる。図17は、半導体コア、パッシベーションシェル、絶縁ゲート誘電体シェル、および導電ゲートシェルよりなるマルチ・コア・シェル・ナノワイヤの概略図である。

30

## 【0118】

本発明は、次の3つの異なるナノワイヤ材料を合成することにより、少なくとも3つの別個の機能性をDION薄膜に持たせる：PMOS回路用の高性能pドープシリコン(またはSiGe)、(2)NMOS回路用の高性能nドープシリコン(またはSiGe)、および(3)RF信号処理用の超高移動度nドープ型III-V族材料(例えば、InAsまたはInP)。また、PMOS回路およびNMOS回路用のナノワイヤ材料を組み合わせることによって、低電力CMOSデバイスも実現することができる。電場発光ナノワイヤ、圧電ナノワイヤ、または光起電ナノワイヤのような他の材料をこれらの膜に集積することもできる。

40

## 【0119】

CMOS回路およびRF信号処理用の高速高周波DION電子部品の作製は、これらのどちらの機能性も従来の技術を用いては軟質プラスチック上でどうしても利用することはできないので、特に重要である。CMOS回路は、NMOSあるいはPMOS単独の場合

50

と比べてデジタル論理回路における優れた性能および電力消費性をもたらす。さらに、CMOS技術は最新の電子システムで広く普及している。超高移動度のIII-V族半導体ナノワイヤを混合組成DION膜に組み込むと、集電および能動送受信のための同じモノリシック基板での低コストRF信号処理が容易になる。これらの機能性はどちらも、種々の用途、特に分散型RFセンサネットワークにとって決定的に重要である。

#### 【0120】

分散型RFセンサネットワークでDION TFTを使用するためには、材料を作るための鍵となるいくつかの技術的能力がある。特に、DION薄膜技術は、非常に高品質のナノワイヤ材料を作ることの実現可能性を実証したこれまでのナノワイヤエレクトロニクス技術の研究を根拠として利用する。しかしながら、これらの実現可能性調査は、マルチプルナノワイヤデバイスではなくシングルナノワイヤを中心として行われたものである。シングルワイヤデバイスの場合は、各デバイスで1本のシングルナノワイヤしかサンプリングしないので、ワイヤ間均質性は問題ではない。DION薄膜技術にとってはワイヤ間均質性は重要である。その上、分散型RFセンサネットワークは、表面に被着して、4平方フィートの面積にわたる電子回路作製を実現するために相当量のナノワイヤ材料を必要とする。このように、ナノワイヤ材料は比較的大規模に作製する必要がある。

#### 【0121】

電子デバイスは、それを作る材料と同じ程度にしか役に立たない。DION薄膜から作製されるデバイスは、基礎をなす薄膜半導体を構成するナノワイヤ間およびその内部における高い均質性ないし等質性を必要とする。この場合、この均質性は、各デバイスのバッチ内のナノワイヤについての均一な集合平均をサンプリングする（すなわち、各デバイスが同じ数と組成のナノワイヤ数をふくむ）ときに得られる。この各デバイスにおける真の集合サンプリングは、デバイス当たりのナノワイヤ数を増やすか（デバイスのナノワイヤ密度またはサイズに関連して）、あるいはワイヤ間の均質性の変動を小さくする（総合特性に関連して）ことによって達成することができる。「マクロエレクトロニクス」デバイスであってもその最大サイズに現実的な限界があるので（例えば、容量充電速度による）、ナノワイヤおよび成膜（被着）プロセスの均質性は最適化すべきである。

#### 【0122】

ナノワイヤの合成プロセスは、次の4つの条件を満たすべきである：（1）いくつかの異なる半導体の組成およびドーパントの組成と濃度からナノワイヤの合成が可能になるよう十分な柔軟性（可撓性）を持つ、（2）ユーザ間およびバッチ間における標本間変動（ばらつき）をなくすようにコンピュータ制御され、標準化されている、（3）均一な電子特性を持つナノワイヤをナノワイヤ型大面積デバイスに必要な量だけ製造することができる（すなわち、バッチ当たり少なくとも数ミリグラムの材料を製造できる）、（4）本来的に拡大縮小可能である。

#### 【0123】

このプロセスは、ナノワイヤのすべての物理的パラメータ（長さ、直径、組成およびドーパント組成/濃度）についてナノワイヤ間およびバッチ間共に精密制御が可能でなければならない。これは、手動の合成プロセスを標準的なコンピュータ制御の商用CVD炉に艦装することによって実現することができる。このプロセスは、異なる半導体材料およびドーパント（例えば、nドーパシリコンまたはnドーパInAs）の組み入れを容易にすることができる。このシステムを用いると、材料合成を最適化して、変動係数がすべての電子的パラメータについて10%未満のマクロエレクトロニクス・デバイスもたらす均一な電子特性を有するナノワイヤを製造することができる。材料の均質性に加えて、商用CVD炉は、ナノワイヤの製造を24枚の4インチウェーハでの成長が可能のように拡大することを容易にする。これは、手動の合成プロセスに比べて2,500倍の生産量の増加に相当し、この技術が事業化されるに従ってさらなる拡大が可能になる。

#### 【0124】

制御下におけるナノワイヤ合成およびデバイス作製/試験方法により、特定のマクロエレクトロニクス技術のための最適材料を種々材料の位相空間の試験によって突き止めるこ

10

20

30

40

50

とができる。これは、混合組成DION薄膜中の各組成について行うことができる。ナノワイヤ型マクロエレクトロニクス・デバイスは、シングルワイヤ型デバイスと全く異なる動作パラメータを持つことができる。最適性能にとって必要な材料特性の範囲は、理論モデリングによって予測することができるが、十分な数の均質なナノワイヤを合成して、可能なナノワイヤ組成のパラメータ空間を細かく調べ、ナノワイヤ成長にとっての最良の条件を見つけ出すことによって確認するべきである。

#### 【0125】

また、この合成プロセスを使用して、真性の高品質ゲート誘電体シェルを各ナノワイヤの外側に形成し、ナノワイヤの回りにゲート電極として高ドープ・アモルファスシリコンシェルを形成する方法を開発することもできる。誘電体シェルによって、外部誘電体の必要性がなくなり、デバイス作製プロセスが大幅に単純化される。さらに、誘電体シェルは基板とは別にCVDリアクタ内で形成されるので、このステップは高温でおこなうことができ、基板を高温にさらすことなく、はるかに高品質の誘電体を形成すること可能である。共形ゲートは、これらの円筒状チャンネル全体にわたってフラットゲートよりも良好な性能をもたらす。特に、各ナノワイヤ全方向から均一に電界をかけられることの結果として、閾値電圧ははるかに低くなり、また閾値下スイングが急峻になる（デバイス中の各ナノワイヤからのゲート距離に変動がないので）。

#### 【0126】

コンピュータ制御CVDシステムにより達成される適切なプロセスの制御および精度によって、ナノワイヤ上の高品質ゲート誘電体および真性ゲート電極は、必要なレベルのワイヤ間およびバッチ間均質性をもって形成することができる。このプロセスは、各々シェル構成に合わせた修正が必要であるが、3つのすべての種類のナノワイヤ材料（上に説明した）について実施し、最適化することができる。特に、III-V族コアとアウターシェル誘電体層との間にCdSの中間層を入れることができる。

#### 【0127】

CMOS回路用の混合組成DION膜における性能を最適化するための多層コア・シェル・シリコンナノワイヤに加えて、一部の用途では、シェルのないIII-V族のナノワイヤ材料を使用することも可能である。より高移動度のSiGeナノワイヤコアを含むCMOS用のIV族の半導体、および多層シェル系および強化された移動度を有するIII-V族の材料も使用することができる。本発明には、さらに、DION薄膜および混合組成DION薄膜を任意の基板に被着し、膜の各領域との電気的インタフェースを設けるプロセスも含まれる。これらのすべてのステップは、ロール・ツー・ロール処理との適合性に特に重点を置いて行うべきである。混合組成DION薄膜の形作製に関するプロセスステップを図18に示す。

#### 【0128】

所望の密度、整列性、速度、最大成膜温度、および最大コストによって、種々の異なる可能な成膜プロセス採用することができる。通常、このようなプロセスは、混合組成DION膜をパターンングし処理するための単一の線形作製に統合することによって、ロール・ツー・ロール処理および作製に適合する単一の線形プロセスを用いて混合DION膜デバイスの完全な形の製造を可能にすることができる。このプロセスは、既に各ナノワイヤの回りにゲート誘電体およびゲート電極が形成されていてこれらの膜層の後成膜が省かれる本願に記載するマルチシェル・ナノワイヤ構造を用いることによって劇的に単純化することができる（またコストを削減することができる）。このプロセスは、フォトレジストでDION膜をパターンングして、各TFTについてナノワイヤのソース領域およびドレイン領域を露光し、エッチングによって電極材料および絶縁層を共に除去する工程を使用することもできる。このばあいは、半導体コアだけが、元々トランジスタチャンネルに統合されている自己整列ゲートに沿って露出された状態になる。図19は、ナノワイヤTFTにおいてソース・ドレインコンタクト用のコア材料を露出させるためのマルチ・コア・シェル・ナノワイヤにおけるシェル材料のエッチング工程を示す概略図である。ゲートは本来的に統合されたシェル材料よりなる。

10

20

30

40

50

## 【0129】

混合組成薄膜内には、単一の線形モノリシックプロセスを用いて異なる材料を利用するために用いることができる実現可能な多様なアーキテクチャ（基盤技術）がある。これらの技術には、とりわけ次のようなものがある：（１）単一基盤状に異なる材料の互い違い状ストライプを作製する、（２）単一基板状に異なる材料のチェッカーボードパターンを作製する、（３）互いに絶縁された異なる材料の互いに平行で互いにオーバーラップする薄膜を作製し、各デバイスに関係のある層にアクセスするための処理時に膜を通してエッチングする、（４）特定の電子回路設計を入れるよう局所的に材料を被着した特別に設計された基板を作製する。図20は、混合組成DION膜のいくつかのこのような構成を示す。これらの混合組成DION膜を形成するには、マルチプルチャンネルフロー法、フォトリソグラフィ・パターンニング、選択的化学/生物パターンニング、接触印刷、カラーインクジェット印刷、またはスクリーン印刷を含むいくつかの成膜方法を用いることができる。

10

## 【0130】

成膜されたDION膜の全体的パターンニングおよび処理には、次に例として示すような3種類のロール・ツー・ロール適合処理法を使用することができる：（１）スクリーン印刷のような直接書き込みリソグラフィ法、（２）従来のTFT大面積マクロエレクトロニクス・フォトリソグラフィ法、および（３）レーザ直接書き込みリソグラフィ法。これらのすべてのプロセスはいずれも、十分な回路複雑性を低コストで達成するのに十分である。各プロセスはそれぞれ独自の長所と短所を有する。

## 【0131】

フォトリソグラフィ法は、従来のマクロエレクトロニクスにおいて一般的に選択されるプロセスである。これは、フラットパネルディスプレイ用のa-Si製TFTバックプレーンのような機材の作製に長年にわたって用いられてきた。フォトリソグラフィ法は、上記の3つの中では最も高価な選択肢であるが、TFTアレイを30ドル/平方フィート以下で作製するのにまだごく普通に用いられている。フォトリソグラフィ法の主な長所は、特徴的に比較的高い解像度（ $< 1 \mu\text{m}$ ）を達成することが可能であり、これによって十分な回路性能および回路複雑性が確保されるということである。2番目の長所は、従来のマクロエレクトロニクス・ステッパを使用するフォトリソグラフィ法は、実によく開発されたプロセスで、TFT産業内の専門知識・技術をプロセス開発のために梃子として利用できるということである。フォトリソグラフィ法の主な短所は、フォトリソグラフィ法はステップ・アンド・リピートプロセスであり、これから開発される如何なるロール・ツー・ロールプロセスも真の連続プロセスとは決してなり得ないということである。さらに、大規模なフォトリソグラフィ法のための資本設備コストおよび運転コストは他の2つのプロセスよりはるかに高く、実質的に全立ち上げ費用が大幅に増大する。

20

30

## 【0132】

リソグラフィ用のスクリーン印刷は、高速かつ安価であるという著しい利点がある。その上、レジストを連続動作で被着するための真に連続式のロール・ツー・ロールスクリーン印刷プロセスを開発することが可能である。実際、今日では、一部のメーカーは、高速スクリーン印刷を用いて、自社のメタルアンテナを受動型RFIDタグに30インチ幅ウェブの場合1,200フィート/時の速度で印刷している。スクリーン印刷の主な短所は解像度にある。スクリーン印刷を用いて10ミクロンまでの小さいフィーチャサイズを生成できるということが実証されたが、従来の高解像度スクリーン印刷の解像度は25~50ミクロンの範囲である。スクリーン印刷の資本設備および運転のコストは低い。スクリーン印刷のような低解像度システムの1つの長所は、可撓性薄膜基板材料の表面粗さまたは平坦性によって影響されないということである。より低解像度のリソグラフィプロセスは、生産コストを引き下げ、生産速度を引き上げるばかりでなく、高解像度リソグラフィのために可撓性基板をハンドリングし位置決めするための部品の開発を簡単化する。これによって、高歩留まりの作製プロセスが促進される。

40

## 【0133】

スクリーン印刷と同様に、走査方向に直角に移動するウェブを横切って前後にラスタを

50

描く走査型レーザは、従来のフォトリソグラフィ用レジストを低コストかつ比較的高速で連続的に露光することができる。さらに、このようなシステムは、従来のスクリーン印刷に比べてより高い解像度を可能にする。レーザ走査法は、スクリーン印刷ほど高速ではなく、あるいはステップ・アンド・リピートフォトリソグラフィ法ほど高解像度でもないが、これらの2つのプロセスの中間にある妥当なプロセスである。このようなシステムは、現在では、多くの用途向けに市販されている。また、これらのシステムを用いて、接触アニーリングまたはソース・ドレインコンタクト用ドーパントのレーザ励起を行うこともできる。

#### 【0134】

採用する各特定のプロセスは、材料およびそれらの材料の用途の詳細によって左右されることがしばしばある。通常、プロセスを選択する際には、解像度、コスト、速度およびロール・ツー・ロール適合性のような要素が考慮される。

#### 【0135】

DION TFTを作製するには、気相蒸着金属電極を使用することができる。幸いにも、商用のロール・ツー・ロール金属気相蒸着システムは容易に入手可能である。具体的な金属処理および後処理は、理論モデリング、およびシングルナノワイヤ・デバイスへの電氣的コンタクトの作製に関する既存の広大な知識ベースに基づいて経験的に決定することができる。最も困難な電氣的コンタクトは、閾値電圧の非常な均質性および非常に低い絶対閾値電圧が得られるように、各ナノワイヤの回りに共形状に被覆されるゲート電極である。幸いにも、DION膜の基礎的構成要素である土台の多層ナノワイヤ材料の合成が、ゲート電極の作製になっている。処理時には、パターニングされた金属の薄層のみをゲート電極コンタクトの領域に被着するだけで、外側の導電ゲート電極シェルとのオーム性コンタクトが形成される。ソースおよびドレインコンタクトはこれとは問題が異なる・重ドーピングのnおよびpドーパナノワイヤを含む混合組成DION薄膜の場合は、金属と半導体間の高品質オーム性コンタクトを直接形成することができる。これは、DION薄膜特有の可能性、性能で、これらは他の材料では達成することができない。

#### 【0136】

低ドーパナノワイヤおよびゲート電圧を用いて多数キャリアを定義する反転モードデバイスを作製することも可能である。この場合、各デバイスのソースおよびドレインコンタクト領域は、メタライゼーション（金属蒸着）前に後ドーパすべきである。これは、従来のイオン注入プロセス（TFT業界では標準）によるか、またはDION膜の露出した領域にnドーパントまたはpドーパントの溶液を被着した後それらの各領域をレーザ励起することによって行うことができる。後者のプロセスは、高温が不要であるという点で魅力的であり、シングルワイヤデバイスの作製においては成功裏に使用されてきた。イオン注入プロセスも、特に低温プロセスパラメータで使用することができる。

#### 【0137】

汎用電子基板の考え方は、異なる高品質p型またはn型半導体材料をデバイスレベルで単一基板に混成集積することによって高性能CMOS回路を製造するために使用される。図21は、混合組成DION薄膜を用いてCMOS回路を形成する方法の一例を図解した略図である。この混成集積では、高移動度p型およびn型材料を任意に選択することが可能である。これらの材料は、一つに統合することによって相当な性能改善を実現することができる。異なる半導体材料の混成集積は、バルク半導体材料において集中的に研究されてきたが、格子間不整合およびプロセス適合性の点で重大な問題があり、成功はごく限定されたものであった。他方、ナノワイヤ薄膜技術によれば、異なる高品質単結晶半導体ナノワイヤ材料を別に合成して単一基板に大面積にわたり柔軟性をもって組み付けることができるので、混成集積が容易に促進される。

#### 【0138】

DION技術を用いて実用デバイスを商業規模の量で製造するためには、次の技術的能力を確立すべきである：（1）工学的に設計・製造されたマルチシェル・ナノワイヤの十分な規模および均質性による合成、（2）低コストで高性能の高歩留まり電子部品を作製

10

20

30

40

50

するのに必要な均質性および再現可能性をもつ混合組成で高密度の堅牢な高配向薄膜を形成するためのナノワイヤの被着 (deposition)、および(3)混合組成DION膜内の各デバイスに対するオーム性コンタクトおよび絶縁された電氣的コンタクトの両方のための電氣的インタフェース(すなわち、ナノ界からマクロ界へのインタフェース)の最適化。さらに、分散型センサネットワーク用途に特に関連する他の技術的能力がある。

#### 【0139】

本発明には、指定された材料パラメータを持つpチャンネルおよびnチャンネルナノワイヤ材料の合成が含まれる。特に重要なのは、高正孔移動度材料であることから、pチャンネル材料用のSi、Ge、およびSiとGeの合金のような材料である。特に、Geの正孔移動度( $\sim 1,900 \text{ cm}^2 / \text{V} \cdot \text{s}$ )は、すべてバルク形の半導体において最も高い。nチャンネル材料にとっても、SiおよびGe材料は重要である。さらに、III-V族の材料(例えば、InP: $\mu_e \sim 5,000 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、InAs: $\mu_e \sim 30,000 \text{ cm}^2 / \text{V} \cdot \text{s}$ )を含む他の高電子移動度材料は、高電子移動度TFT用に使用することができる。マルチ・コア・シェル・ナノワイヤ構造は、超高キャリア移動度用の能動型導電チャンネルからドーパントを分離するための変調ドーピングに使用することができる。また、ナノワイヤ表面は、種々のコア・シェル構造を用いて不動態化することができ、外側ゲート誘電体シェルおよび外周導電ゲートシェルを設けることができる。

#### 【0140】

シリコンナノワイヤ合成は、金ナノ粒子触媒CVDプロセスを用いて行うことができる。簡単に言うと、所定の前駆体ガス混合物、He中SiH<sub>4</sub>およびB<sub>2</sub>H<sub>6</sub>またはPH<sub>3</sub>を酸化被膜シリコン基板に被着した触媒金粒子上に20~50 Torrの全圧で通せばよい。その際、金ナノ粒子は最高 $\sim 450^\circ \text{C}$ の温度に加熱する。金ナノ粒子と接触すると同時に、SiH<sub>4</sub>/B<sub>2</sub>H<sub>6</sub>/PH<sub>3</sub>は分解し、ケイ素およびホウ素(またはリン)原子が金ナノ粒子中に拡散して、液体合金小滴を生じさせる。小滴がこれらの前駆体で飽和し始めると、Si/B(またはSi/P)原子が析出し始め、ナノワイヤ成長が開始される。連続的にSiH<sub>4</sub>およびB<sub>2</sub>H<sub>6</sub>(またはPH<sub>3</sub>)を供給することによって、ナノワイヤ成長はプロセスが終了するまで無限に続く。ナノワイヤの品質は、金ナノ粒子の品質、金ナノ粒子の粒径分布、および温度、SiH<sub>4</sub>とB<sub>2</sub>H<sub>6</sub>またはPH<sub>3</sub>との比、SiH<sub>4</sub>の分圧、および前駆体のリアクタ滞留時間を含む成長条件によって決まる。ナノワイヤの成長は、4インチ酸化ケイ素被膜シリコンウェーハを基板として用いてコンピュータ制御型8インチ半導体炉内で行うことができる。

#### 【0141】

ほとんどの半導体材料は、ダングリングボンドおよび表面における捕捉電荷のためになり大きい表面状態密度を有する。表面对容積比が非常に大きいため、ナノワイヤは、これらの表面効果によってはるかに大きく影響され、これがデバイス性能を著しく制限することになり得る。表面状態の効果を処理する方法は、従来の半導体に関しては半導体業界で十分に開発されている。表面状態の影響を最小限にするためには、不活性気体または水素/フォーミングガス雰囲気下における直接サーマルアニーリング、および水素プラズマ中でのアニーリングに続いて熱アニールまたは高速サーマルアニーリングを行う方法を含めて、多くの戦略的方法が用いられる。これらの各プロセスは、ナノワイヤをプラスチック基板材料と接触させる前に、オフラインで行うことができる。

#### 【0142】

別の一般的方法として、コア・シェル構造を何らかの表面捕捉状態を不動態化するための一般的方法として使用することができる。この場合、シェルは、キャリアがシェルを通り抜けることができず、したがってどのような表面環境からも電氣的絶縁されるように、コアよりも大きいバンドギャップ材料となるように選択することができる。さらに、TFTデバイスの一体構造ゲート誘電体層として高品質の絶縁パッシベーションシェルを使用することもできる。誘電体被膜の品質は、ナノワイヤTFTの性能を決定する鍵としての要因になり得る。特に、閾値電圧および漏れ電流は、主として、シェルと半導体・シェル

10

20

30

40

50

界面の品質および厚さによって決定され得る。無欠陥シェルをできる限り薄く形成することによって、これらの2つのパラメータのバランスをとることが重要である。

#### 【0143】

シリコンの場合は、表面不動態化およびゲート誘電体の問題は、高品質SiO<sub>2</sub>被膜を使用することによって同時に対処することができる。高品質誘電体被膜形成のための方法および基盤となる科学的原理は、プレーナ単結晶シリコンについては十分確立されており、最近ではアモルファスシリコンおよびポリシリコンについても確立されている。ナノワイヤの表面の回りに均一な厚さを持つピンホールのないゲート誘電体(いくつかの明確に異なる結晶学的方向をサンプリングする)を形成することもできる。一般に、方法は、シリコン酸化物誘電体の場合直接酸化法またはCVD成膜に分類することができる。直接参加は、シリコンナノワイヤの特有の構造的性質に特に適合する。

10

#### 【0144】

直径60ナノメートルのシリコンナノワイヤの直接酸化はナノワイヤ成長炉内で行うことができる。ナノワイヤの成長が終了したならば、反応ガス混合物が反応チューブからポンプで供給され、反応チューブには酸素(5%)とヘリウムの混合ガスが150°C以下の温度で100mTorr乃至760mTorrの間の圧力まで補充される。その後、成長炉の温度を300°C乃至800°Cまでゆっくり上げることができる。酸化温度は、酸素対ヘリウムの比、酸素分圧、および酸化の持続時間と共に、生成されたシリコン酸化膜の厚さおよび品質を決定する。これらの条件は、所望の厚さ(2~20nm)および被膜品質が得られるまで最適化することができる。(ここで、図7に半導体/誘電体コア-シェル構造が図解されていることを想起されたし。)欠陥および捕捉電荷の原因になり得るダングリングボンドを最小限に抑えるために、酸化はゆっくり行うことが望ましい。

20

#### 【0145】

ピンホール欠陥すなわちゲートからのドーパントが酸化膜に移動するのを止められない欠陥があると、単純な酸化膜層では良好なゲート誘電体として機能するには不十分になり、その場合は、二酸化ケイ素被膜ナノワイヤの直接窒化を用いてより安定な酸窒化膜を生成することができる。誘電率および可動イオンの透過性が高いほど、酸窒化膜はより良好なゲート材料になる。あるいは、別の態様として、純粋な窒化膜層はさらに高い品質および誘電率を持たせて形成することができる。窒化膜または酸窒化膜の場合は、NOまたはNH<sub>3</sub>を用いてプラズマ支援による直接窒化法を使用することができる。

30

#### 【0146】

さらにデバイス性能を高め、デバイス作製プロセスを簡単化するためには、ゲート誘電体を取り囲み、外周ゲートとして機能することができる導電シェルを用いることができる。例えば、Si/SiO<sub>2</sub>コア-シェル構造の場合は、ドーピングしたアモルファスまたはポリシリコンシェルをSi/SiO<sub>2</sub>コア-シェル・ナノワイヤに被着して、外周ゲートを実現することができる。これは、酸化膜形成または酸窒化膜形成に続く付加的ステップとしてCVDリアクタ内で行うことができる。ナノワイヤ成長を持続させるのではなく、シリコン電極を確実にナノワイヤの表面に被着させるためには、ゲート電極被着(成膜)に先立って触媒コロイドを除去しなければならない。それには、シリコン被着に先立ってウェーハの金属エッチングを行えばよい。

40

#### 【0147】

単結晶シリコンナノワイヤは、単結晶材料に近い性能を持つTFETを製造する機会を与えてくれる。しかしながら、これらの材料の最終的性能はシリコン材料の固有の性質によって制限される。本発明のナノワイヤの大きな長所は、任意の材料をいろいろな用途における最終デバイスに組み込むことができるということである。新しいナノワイヤ材料を探しだし、必要に応じて合成することによって、特に高速の高周波用途向けの材料のキャリア移動度をさらに強化することができる。具体的に言うと、半導体材料においては、電子移動度が正孔移動度より高いのでn型材料を合成すべきである。高電子移動度を得るための良好な候補の選択は、固有電子移動度、仕事関数、および表面特性を含むいくつかのバルク材料特性に基づいて行うことができる。ナノワイヤ材料は表面積対容積比が大きいので

50

で、表面特性が特に重要である。III-V族の材料は、一般に、高電子移動度を持つ（例えば、InPでは $\mu_e \sim 5,000 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、InAsで $\mu_e \sim 30,000 \text{ cm}^2 / \text{V} \cdot \text{s}$ ）特に良好な候補である。その上、これらの材料は有用な光学特性を持ち、DION薄膜プラットフォームを用いてマクロエレクトロニクスLEDおよび赤外線（IR）検出器として使用することができる。InPナノワイヤ材料については、以下にさらに論じる。InPは、その高電子移動度およびその適度の表面特性の故に、特に有用な材料である。一般に、本発明の合成プロセスは、多くの異なる材料に適用可能である。

#### 【0148】

金属（例えば、金）クラスタを介在させた方法を用いて、図22に図解したようなシステムでInPナノワイヤを合成することができる。図22は、半導体ナノワイヤ作製の一般的リアクタの概略図を示す。サーマル加熱またはパルスレーザー加熱を用いてInP粉末またはInPターゲットからInP前駆体の蒸気を発生させることができる。このガス状前駆体は、キャリアガスによって基板まで運び、金コロイドナノ粒子と反応させて、シリコンナノワイヤの場合と同様にしてナノワイヤを生成することができる。金コロイドの直径を用いて、得られるナノワイヤの直径を制御し、成長時間を制御して所望の長さを持つナノワイヤを得ることができる。ドーピングは、原材料中のドーパント供給源の量によって制御することができる。InPナノワイヤの合成法については、シリコンナノワイヤの合成に関する既存の知識ベースを梃子として利用することによりさらに開発することができる。圧力、流量、および温度を細かく制御することによって材料特性を測定し、制御することができる。InPナノワイヤの形態や電子特性は、シリコンナノワイヤの場合と同様にして特性評価することができる。インジウムおよびリンの前駆体並びにドーパントの共成膜を利用して化学量論的成膜を達成することができる。

10

20

#### 【0149】

物理的・化学的記述は、形態学的特徴、直径、長さ、化学組成、および全体的均質性を含む合成ナノワイヤの材料特性を測定する上において重要であり、またナノワイヤ合成要領のさらなる最適化を進めるための指針として重要である。ナノワイヤの長さおよび粒径分布の特性評価はSEMおよび原子間力顕微鏡（AFM）を使用して行うことができる。高解像度TEMを用いて、誘電体被膜の厚さと均質性および個々のナノワイヤの結晶格子の品質を測定することができる。X線回折法を用いて、膜の総合的結晶品質および配向を測定することができる。TEMに付属のEDXを用いてシングルナノワイヤの化学組成を得ることができる。ナノワイヤの物理的特性評価を迅速に行うための特別なソフトウェアセットも開発されている。

30

#### 【0150】

シングルナノワイヤFETは既の実証済みである。しかしながら、デバイス間の製造上のばらつきが大きいことがこれらのデバイスの実用化における使用を遅らせてきた。これらのばらつき（変動）は、合成制御、信頼性のある電氣的コンタクトの欠如、および/または多数の表面電子捕捉状態の存在に起因するものと考えられることができる。信頼性があり制御可能な電氣的特性を達成することが、すべての商用および軍用向けのDION薄膜技術の用途にとっては重要である。デバイス特性の高水準の制御を達成するためには、個別のナノワイヤの電子特性は高度の再現可能性および制御可能性がなければならない。シングルナノワイヤFET構造は、材料の統計データ（例えば、集合平均）の包括的分析が可能であるため、これを用いてナノワイヤの電子的品質管理を特性評価し、最適化することができる。電子特性をよく制御することによって、シングルナノワイヤTFETデバイスを軟質プラスチックを含む異なる基板に作製し、特性評価することができる。このプロセスは、ゲート誘電体シエルのソースおよびドレイン電極を被着しようとするエリアを制御可能に透過する、またこれらの領域に潜在的にドーピングして電氣的コンタクトを改善するための方法を用いることができる。また、ゲート誘電体シエルを透過しないゲート電極材料を被着するための方法も使用することができる。しかしながら、このプロセスは、ナノワイヤ当たりのコンタクトエリアが小さく、また高いエッチング解像度が必要なことから、リスクを伴う。

40

50

## 【0151】

シングルナノワイヤFETは、DION TFTの作製で用いるメタライゼーションプロセスを試験するために使用することができる。シングルナノワイヤFETデバイスは、電子ビームリソグラフィまたはフォトリソグラフィ法を用いてSiO<sub>2</sub>/Siの表面に作製することができる。シングルナノワイヤ・デバイスの電氣的評価のために標準的リソグラフィ・プラットフォームが開発されている。図23Aおよび23Bは、標準型のナノワイヤFETテストプラットフォームを示す。図23Aは、異なるゲート幅および長さの12の個別デバイスが入った4インチウェーハ上にシングルダイを載置した状態を示す。これらの電極対の上にあるナノワイヤ密度を制御することによって、異なる構成のシングルナノワイヤ・デバイスを試験することができる。図23は、被験体がいっぱいになり込まれたウェーハ全体の低倍率写真を示す。この試験パターン用のマスクセットおよびプロセスは、最初はシングルナノワイヤ・デバイスの評価用として開発されたがものである、材料性能の迅速なフィードバックのためにDION膜の評価用として使用することもできる。

10

## 【0152】

シリコン基板はグローバル・バックゲートとして使用することができ、2つの金属電極をソースおよびドレイン電極として使用することもできる。適切なコンタクトメタル、エッチング液、およびデバイス作製要領を選択するための基準としてプレーナ半導体技術を用いることができる。ナノワイヤ表面から誘電体シェルを取り除き、ナノワイヤとコンタクトメタルとの間の良好な接触を確保するために、メタライゼーションの前に適切な表面洗浄作業を行うこともできる。ソース・ドレイン電極のメタライゼーションに先立って表面誘電体を除去するには、イオンガン洗浄およびフッ化水素酸エッチングを含め、種々の方法を用いることができる。電子ビーム蒸着法あるいはスパッタプロセスを用いているようなメタライゼーション材料組成（例えば、Ti/Au、Ni/Au、Al、In）を試し、最適化することができる。デバイスの動作性能は、半導体分析装置を用いて特性評価することができる。ゲート従属2端子測定および4端子測定、また静電気力顕微鏡法（electric force microscopy）を含む種々の測定構成を用いてデバイスの動作性能を特性評価することができる。電気試験の結果は、以後、フィードバックとして、信頼できる手順が得られるまでナノワイヤ合成プロセスおよびメタライゼーションプロセスを最適化するために使用することができる。これは、ナノワイヤTFTを作製するための標準のメタライゼーションプロセスとすることができる。シングルナノワイヤFETは、ナノワイヤ認定試験に用いることもできる。ナノワイヤの合成条件および電子的パラメータに関してデータベースを構築することができる。このデータベースは、以後、より制御可能性の高い合成およびデバイス作製プロセスの開発を導くために利用することができる。

20

30

## 【0153】

高温アニーリングプロセスは、プラスチック基板には合わないもので、従来のFETまたはTFT作製プロセスで通常使用されるp/nダイオードコンタクトより直接の金属コンタクトが望ましい。半導体業界の既存の知識に基づき、いろいろな半導体材料に対していろいろな金属を試験することができる。ナノワイヤ材料の、また種々の金属材料候補の仕事関数の十分な分析を行って、最良のコンタクトメタルを突き止めることができる。単一のメタライゼーションプロセスを混合ナノワイヤ薄膜で使用することができれば、デバイス作製を大幅に簡単化することができるので、異なるナノワイヤ材料（例えば、SiおよびInPナノワイヤ）用に共通のコンタクトメタルを見つけ出すことには特に留意することができる。

40

## 【0154】

ナノワイヤ表面密度を異ならせて形作製されるDION TFTを、シングルナノワイヤFETと同様のデバイス構造を用いて実証し、特性評価することができる。DION薄膜は、以下に説明するような要領を用いて被着することができる。シングルナノワイヤ・デバイスの製作製に関して確認された信頼性のある要領があれば、その要領をDION

50

T F Tに適用することができる。異なる表面密度を持つD I O N薄膜を用いて、各個のT F Tデバイスのソースとドレイン電極にまたがるナノワイヤ数が異なるようにしたT F Tデバイスを作製することができる。半導体分析装置を用いて、電流レベル、オン/オフ比、閾値電圧、ゲート漏れ電流のようなデバイスの動作性能をナノワイヤ表面密度の関数として特性評価することができる。デバイスの動作性能は、理論的にモデル化して、キャリア移動度値を含む決定的に重要なデバイスパラメータを計算することができる。すると、このモデル化を用いて、所望のデバイス機能を達成するためのデバイス構造の設計の指針とすることができる。これらの研究は、デバイス作製およびモデル化を実現するための簡単な方法である故、バックゲートとしてシリコン基板S i O<sub>2</sub> / S iまたはS i<sub>3</sub> N<sub>4</sub> / S i基板上で行うことができる。可変のナノワイヤ表面密度および制御可能なデバイス動作性能を持つD I O N T F T作製のための信頼性できる要領を作り上げることができる。多数のデバイスについての統計分析を用いて、接続数の統計変動の効果がデバイスの再現可能性に影響するのを避けるために所与のデバイスのフィーチャサイズに対して基板に要求されるナノワイヤの最小密度を求めることができる。

#### 【 0 1 5 5 】

所与の用途に対して一度最適化成膜および材料特性が選択されたならば、ソースとドレイン電極との間のナノワイヤの表面の下面または上面に被着された個々のゲート電極を用いて同じ分析を行うことができる。図24は、グローバル・バックゲートを用いたD I O N薄膜トランジスタの概略図である。試験のためには、膜が形成されるシリコン基板をグローバルゲート(大域ゲート)として用いることができる。この構成は、全動作性のD I O N T F Tになっており、材料がプラスチックに移行する際次のステップで使用される判型(この場合グローバル・バックゲートは使用できない)にそっくり真似ることができる。

#### 【 0 1 5 6 】

ローカルゲート型T F T構造は、半導体/誘電体コア・シェル・ナノワイヤを用いて作製することができる。その場合、誘電体シェルはゲート誘電体として使用され、他の金属電極を付加してゲート電極に使用することができる。図25は、ローカルゲート型ナノワイヤ薄膜トランジスタの概略図である。この構成は、スイッチング電圧、オン/オフ比、漏れ電流、および再現性を測定するために試みることができるこれらの試験はすべて、まずポリエーテル・エーテル・ケトン(P E E K)またはポリエチレンテトラフタレート(P E T)のようなプラスチック基板上で行うことができる。信頼できるデバイス性能を達成するためには、プラスチック基板の表面粗さを、例えば、硬化S U 8の層で被覆することによってできる限り小さくするべきである。さらに、S i O<sub>2</sub>またはA l<sub>2</sub> O<sub>3</sub>のような薄い酸化膜による表面改質を用いてプラスチック表面へのデバイス付着性を改善することができる。

#### 【 0 1 5 7 】

理論的には、デバイスの構造は、キャリア濃度および移動度、閾値電圧、オン/オフ比などを含む主要なトランジスタパラメータを取り出せるよう十分にモデル化することができる。特に、同じ材料から作製されたシングルナノワイヤ・デバイスおよびD I O N T F Tの両方について観察される結果を比較することによって、ワイヤ間変動および特性が集合デバイス性能に及ぼす影響を完全に理解することができる。これらの電気試験および理論モデリングの結果は、以後、フィードバックとして用いて、ナノワイヤ合成、成膜、およびメタライゼーションなどのプロセスを最適化することができる。

#### 【 0 1 5 8 】

本願に記載する材料および基板は、上に説明した高品質材料を用いることによって混合ナノワイヤ薄膜上に高性能C M O S回路を作製する(作り込む)よう、費用効果の高いプロセスを用いて処理することができる。

#### 【 0 1 5 9 】

配向ナノワイヤアレイは、ナノワイヤT F Tのソースとドレイン間に高移動度導電チャネルを確保する上において重要である。大きな面積にわたって高度配向ナノワイヤ薄膜

を得るためには、剪断整列法、流体流動整列法、電界整列法、ラングミュア - プロジェクト膜法、およびインクジェット印刷を含むいくつかの基本的方法を用いることができる。大面積基板への流体流動および剪断ナノワイヤ成膜法は、一般に、ロール・ツー・ロールプロセスに適合するような処理に向けての方法に採用される。ナノワイヤ薄膜被着に先立って、互助作用および安定な薄膜形成を確保するために、基板およびナノワイヤ表面を改質することを目指す一般的表面改質法を行うことが通常望ましい。

#### 【0160】

本願に記載するナノワイヤ材料の大部分は（自生の）二酸化ケイ素シェルで終端するので、一般にアルキルトリメトキシシランを使ってアルキル鎖をナノワイヤに付加する。アルキル鎖の末端基は、疎水性表面または親水性表面、あるいは基板上の他の官能基に対して相補性を示す特別な官能基を持つ表面を生じるように制御することができる。他の表面で終端するナノワイヤの場合は、必要に応じて別の化学薬品を使用することができる。例えば、InPまたはCdSの場合、トリメトキシシラン主基をチオール基で置換して、堅牢な表面機能化をもたらすことができる。

10

#### 【0161】

表面改質によれば、次に続くプラスチックのような基板への薄膜被着が行いやすくなる。しかしながら、これらの表面の基はナノワイヤの電子特性に有害な作用を及ぼすことがあり得るという危険性がある。異なるシェル構造およびコア - シェル構造の影響を調べて、ナノワイヤの電子特性に対する表面リガンドの影響を最小限にすることができる。さらに、ナノワイヤ薄膜形成後にナノワイヤ表面から有機分子を除去する方法を、パターンングおよび電極被着する前に採用することもできる。酸素プラズマまたはオゾン洗浄プロセスのような技術を調査する価値もあるように思われる。

20

#### 【0162】

基板材料の界面化学も重要で、ナノワイヤ基板表面への適正な付着にとって役立つように制御されるパラメータである。すべてのナノワイヤ表面は酸化膜シェルで終端することができるので、基板に必要な界面化学は種々のナノワイヤ材料の付着にとって必要な界面化学に類似している。疎水性のプラスチック基板は、酸素プラズマ酸化プロセスの後に、3 - アミノプロピルトリメトキシシランを用いて3 - アミノプロピル基の単分子層を表面に付加することによって改質することができる。また、表面は、まずプラスチック表面にSiO<sub>2</sub>の薄膜層を被覆した後、標準的なSiO<sub>2</sub>表面改質化学処理を行うことによって改質することができる。付着に問題があることが分かった場合は、ジシロキサン化合物を用いてナノワイヤを表面に固着することができる。必要ならば、これらの有機分子は、メタライゼーションの後に取り除くことができ、その時は、電極がナノワイヤを基板表面に固定する。このような固着方法では、SiO<sub>2</sub>のナノワイヤをSiO<sub>2</sub>の表面に結合する化合物はその化合物同士も結合するので、被着に先立ってナノワイヤの凝集の綿密な制御が必要である。基板表面をアンカー剤で処理した後、被着前に余剰のアンカー剤を除去するか、あるいはSiO<sub>2</sub>と異なる化学反応性を持つゲート誘電体シェルを用いることによって解決することができる。

30

#### 【0163】

流体流動法は、幅数100マイクロメートルおよび長さ数センチメートルにわたるナノエレクトロニクス用途向けの低密度でナノワイヤを整列させるために利用されてきた。体流動整列は非常な大面積にまで拡張することができる。大面積にわたる整列を達成するためには、基板寸法と同程度の横寸法を持つ流体チャンネルを使用するべきである。チャンネルの高さは、ナノワイヤ溶液の大部分が基板表面に隣接した状態になるように、500 μm以下なるよう制御することができる。基板の表面近くの剪断流れは、流れの向きに沿ったナノワイヤの整列を可能にすることができる。異なるナノワイヤ溶液濃度および時間を使用することによって、基板表面のナノワイヤ表面密度を制御することができる。必要ならば、基板を機能化することによって、基板とナノワイヤの間の互助作用を増強してより高い表面被覆率を達成することができる。表面上に再現可能なナノワイヤ被着（析出）を可能にするための組織的研究を行なうことができる。光学顕微鏡とSEMで表面被覆率について研

40

50

究すると共に、定量的に表面被覆率を特性評価する合理的な統計学的手法を開発することができる。暗視野顕微鏡によりナノワイヤからの散乱を撮像して流動系へフィードバックすることによって、被着プロセスの間に密度を光学的にリアルタイムで監視することもできる。これらの研究はまずガラス基板上で行ない、その後プラスチック基板上で行うことができる。

#### 【0164】

ここで、つぎのようないくつかの重大な問題に留意し、注意深く制御するべきである：  
(1) 小規模整列のために使用される判で押したようなポリジメチルシロキサン(PDMS)流体チャンネルは、PDMSの柔軟性の故に、1インチ乃至数10インチの寸法用には適用できない場合がある。この問題を克服するためには、ガラスまたはステンレス鋼を用いる固体チャンネルを使用することができる。リングあるいはPDMSの薄膜層のいずれかを用いて、チャンネルの周囲をシーリングすることができる。(2) このような大きな寸法規模では、チャンネル全体を横切る方向およびチャンネル全体に沿った流れが必ず一様なるようにする注意が要求される。流体チャンネルの入口および出口の設計には特に注意を払うべきである。また、溶液吐出機構の設計にも大きく留意するべきである。プログラム可能なポンプを使用することによって、一定の溶液吐出速度を確保することができる。さらなる注意を怠ると、チャンネル入口の注意深い設計のないマイクロチャンネル流体整列でしばしば見られるように、チャンネル入口付近のエリアが出口付近よりはるかに高い密度でナノワイヤが析出する。この密度変動は、整列プロセスの間に流れ方向を逆にするか、化学的機能化によってナノワイヤと基板の表面との間の相互作用を増強することによって、大きく補償することができる。

10

20

#### 【0165】

2種類以上のナノワイヤ(例えばp形とn形シリコンナノワイヤ、あるいはSiとInPナノワイヤ)からなる混合ナノワイヤ薄膜の達成。析出(被着、成膜)は重要なステップである。単一組成配向ナノワイヤに使用される手法を梃子として利用し、修正することができる。一実施例においては、フォトリソグラフィ法を使用し、続いて複合ステップの流体流動実装法を行うことによって混合ナノワイヤ薄膜を達成することができる。もう一つの実施例では、単一ステップ混合薄膜形成のためのより複雑な手法を使用することができる。混合ナノワイヤ薄膜を成形するプロセスの例としては、次のようなプロセスがある：  
(1) フォトリソグラフィ法を使用して、第1の種類のナノワイヤ薄膜を受けるための一部の領域は露出させ、別の領域はフォトレジストで被覆されるようにして基板表面をパターンニングする、(2) 流体流動法を使用して、基板に第1の種類のナノワイヤ(例えば、p-Si)を被着する、(3) 表面の一部の領域がp-Siナノワイヤ薄膜で被覆された基板を得るためにリフトオフを行なう、(4) ゲート金属を被着することによってナノワイヤを固着する。ステップ(1)乃至(4)を繰り返すことによって、基板表面の異なる領域上に異なる種類のナノワイヤ(例えばn-Si)を組み付けて、混合ナノワイヤ薄膜を形成することができる。

30

#### 【0166】

大面積にわたるデバイス作製は、マクロエレクトロニクス技術にとって重要である。大面積デバイス作製には、特に、プラスチック基盤上に作り込む場合、いくつかの障害が考えられる。まず、第一に、デバイス作製プロセスはプラスチックのガラス遷移温度(Tg)以下で行なうべきである。このためには、ほとんどのプラスチックの基板と適合する最大のプロセス温度が100°C以下の低温デバイス作製プロセスを開発することができる。次に、プラスチック基板の柔軟性による大面積リソグラフィ法中の整列の問題が予測される。この問題は、作製プロセスで1mm以上の厚さを持つ比較的硬質のプラスチック基板を使用することによって対処することができる。デバイス作製プロセスが終了したならば、ガラス基板からプラスチック基板を引き放してフレキシブルエレクトロニクス部品を得ることができる。最後に、デバイス作製プロセス全体を単純化するために、既存の製造技術の知識ベースを梃子として利用することができる。好ましくは、両方の種類のナノワイヤ薄膜とのコンタクト形成用には単一の金属を使用することができる。インクジェット

40

50

印刷、スクリーン印刷あるいは走査レーザーリソグラフィ法を含め、ロール・ツー・ロール大量生産システムと適合するより低コストの手法を評価して決定することができる。

【0167】

慣例的にマイクロエレクトロニクスおよびマクロエレクトロニクス作製技術では、フォトリソグラフィ法がごく普通に用いられてきた。混合ナノワイヤ薄膜へのデバイス作り込みのためのフォトリソグラフィ型プロセスの例としては、次のプロセスがある：(1)混合ナノワイヤ薄膜の被着(形成)、(2)フォトリソグラフィプロセスを使用するパターンの形成およびゲート電極のメタライゼーション、(3)コア・シェル・ナノワイヤ中のシェル層のエッチング、およびソースとドレイン電極のメタライゼーション。

【0168】

約104個のトランジスタを持つ12段ジシフトレジスタを成形することができる。このシフトレジスタの目標クロック速度は25MHzである。大面積軟質基板上でこのレベルの性能を得るためには、シリコンナノワイヤをコア・シェル構造で使用することができる。好ましくは、それぞれ、 $400\text{ cm}^2/\text{V}\cdot\text{s}$ および $200\text{ cm}^2/\text{V}\cdot\text{s}$ 、下限でそれぞれ $100\text{ cm}^2/\text{V}\cdot\text{s}$ および $100\text{ cm}^2/\text{V}\cdot\text{s}$ の電子移動度および正孔移動度を達成することができる。シングルナノワイヤの移動度に関する入手可能なデータによると、これらのシリコンナノワイヤで達成可能な電子および正孔移動度は、それぞれ、 $1500\text{ cm}^2/\text{V}\cdot\text{s}$ および $400\text{ cm}^2/\text{V}\cdot\text{s}$ と高いレベルにもなることが明らかにされている。CMOSシリコンDION TFTで実際に達成された移動度に基づいて、25MHzのクロック速度を達成するのに必要なリソグラフィ法の解像度を決定することができ、特定のリソグラフィプロセス(つまりフォトリソグラフィ法、走査レーザーリソグラフィ法およびジェット/スクリーン印刷法)を選択することができる。その典型的なプロセスについて次に説明する。

【0169】

まず、第1のステップで、ナノワイヤリアクタでナノワイヤを成長させる。上に説明した超大規模プロセスを使用することによって $10^{18}/\text{cm}^3$ のドーピング濃度の80nm径シリコンナノワイヤを得ることができる。次の熱酸化で、直径をおよそ60nmに減じ、大きな一体状のゲート絶縁体を得ることができる。次に、2段窒化物形成プロセスを使用することによって可動イオン透過による閾値電圧シフトを阻止する窒化ケイ素濃度の高い拡散障壁を生産することができる。これによってゲート酸化物をおよそ20nmの最終厚さにすることができる最終合成ステップでは、ナノワイヤの表面のまわりのドーブプラズマ化学気相成長法(PECVD)アモルファスシリコン層を成長させることができる。これによって、シリコンチャネルとの障壁電位差が低い、したがって閾値電圧がより低い、ゲート酸化物との共形ゲートコンタクトがもたらされる。閾値電圧が同様に比較的高くなるように、チャネルドーピングは比較的高くすることができる。この時点で、ナノワイヤは、単結晶シリコンが中心にあり、それを酸窒化膜ゲート誘電体を取り巻き、これにドーブしたアモルファスシリコン共形ゲート電極を被覆した3層コア・シェル構造よりなる。

【0170】

次に、リアクタからナノワイヤを取り外し、取り出して、混合組成のDION薄膜作製に関して上に説明した被着プロセスを使用して、軟質(可撓性)PEEKプラスチック基板に被着することができる。次に、上に説明したリソグラフィプロセス(例えば、標準のフォトリソグラフィ法あるいはスクリーン印刷リソグラフィ法)を用いて、ゲート金属コンタクトをパターンニングし、露光されたアモルファスシリコンを除去するためのマスクとして使用することができる。アモルファスシリコンは、ゲートコンタクトの下にだけ残る(すなわち、これは、リソグラフィ法の複雑さ、コストおよび電力消費を低減することができ、デバイス性能を向上させることができる自己整列プロセスである)。次に、ソースとドレインのコンタクトエリアをパターンニングすることができ、標準の酸窒化膜エッチングを用いて、ソースとドレインのコンタクトエリアのゲート酸化物をエッチングで除去することができる。ソースおよびドレインには、Eビーム蒸着法を用い、レジストパターン

10

20

30

40

50

を通してオーム性コンタクトを被着することができる。シングルナノワイヤの電気的インタフェース技術についての今までの経験に基づいて言うと、必要なのは低温 ( $< 150^{\circ}\text{C}$ ) あるいは無接触アニーリングのみであろう。最後に、デバイス全体を窒化ケイ素被膜層で不動態化することができる。必要ならば、この時点で、基板でソースとドレイン電極によって固定されていない領域からナノワイヤを放離するよう作用する化学洗浄で余剰のナノワイヤを取り除くことができる。あるいは、別の態様として、従来のシリコンエッチング法を用いて、余剰のナノワイヤをエッチング除去することができる。

#### 【0171】

電子および正孔の移動度がそれぞれ  $400\text{ cm}^2 / \text{V} \cdot \text{s}$  および  $200\text{ cm}^2 / \text{V} \cdot \text{s}$  では、パターンング解像度は、設計ゲート長さ (電気的) が  $\sim 10\text{ }\mu\text{m}$ 、ゲート金属とソースおよびドレイン金属との間の間隙が  $10\text{ }\mu\text{m}$  以下で、 $\sim 5\text{ }\mu\text{m}$  とするべきである。ソースおよびドレインのドーピングは自己整列方式であってもよい。デバイスは、平行に整列された約  $1,000$  本のナノワイヤで構成して、相互接続線および次の段のゲート容量を充電するのに十分な出力電流を得ることができる。これらの相互接続線は、 $25\text{ }\mu\text{m}$  幅および長さ  $1\text{ cm}$  にもすることができ、それでも所望の立上がり時間および立下がり時間を達成することができる。デバイス全寸法は、幅約  $250\text{ }\mu\text{m}$ 、長さ  $10\text{ }\sim\text{ }50\text{ }\mu\text{m}$  とすることができる。デバイスは、デジタル設計者に低レベルの機能性 (インバータ、NANDゲートなど) を提供するセルにまとめることができる。これらのセルのサイズは、 $500\text{ }\mu\text{m}^2$  のオーダーであるこれによれば、ゆったりとした配線アレイが可能となり、しかも  $100$  個のトランジスタを  $1\text{ cm}^2$  より十分小さい面積に作り込むことができる。

#### 【0172】

当業者ならば、達成された実際の移動度によって正確な設計ルールを決定することができた、電子および正孔の移動度がそれぞれ  $1,500\text{ cm}^2 / \text{V} \cdot \text{s}$  および  $400\text{ cm}^2 / \text{V} \cdot \text{s}$  の DION フィルムで  $20\text{ }\mu\text{m}$  以上の範囲にすることができるということは理解されよう。同様に、正確なフィルム性能を使用することによって、リソグラフィ法の設計要件を規定することになる。

#### 【0173】

##### CMOS TFT デバイス作製プロセスの例

次に、例えば、複雑な回路設計より、 $1,000\text{ cm}^2 / \text{V} \cdot \text{s}$  以上の移動度を達成するために、高移動度の III-V 族の材料からの DION TFT 作製プロセスについて説明する。混合組成 DION 薄膜内のこの材料は RF 信号処理に使用することができるので、説明は n チャンネルデバイス設計を中心に行う。

#### 【0174】

図 26A および 26B は、それぞれ、スタティック CMOS 2 入力 NAND ゲートの概略回路図および配置図である。

#### 【0175】

シリコンナノワイヤの合成は、さらに、最適化性能を達成するよう発展させることができる。これには、high-k (比誘電率) 誘電体シェル材料およびこれに対応する外周ゲートシェル成膜の開発がふくまれる。また、III-V 族の高電子移動度材料も、特に表面不動態化、ゲート誘電体、外周ゲート、および変調ドーピングのための高度なコア-シェル構造に関連してさらに開発することができる。

#### 【0176】

シリコンナノワイヤの成長は、さらに性能を改善するよう最適化することができる。よりキャリア移動度が必要な場合は、より高移動度の SiGe 合金材料を開発することができる。具体的には、 $\text{Si}_{1-x}\text{Ge}_x$  および Ge ナノワイヤを製造することができる。 $\text{SiH}_4$  と  $\text{GeH}_4$  の混合物または  $\text{GeH}_4$  を反応物質源とし、 $\text{B}_2\text{H}_6$  または  $\text{PH}_3$  をドーパント源とする混合物金コロイド触媒化学気相成長法を用いて、 $\text{Si}_{1-x}\text{Ge}_x$  または Ge ナノワイヤを成長させることができる。 $\text{Si}_{1-x}\text{Ge}_x$  薄膜に関する CVD プロセスの既存の知識およびシリコンナノワイヤ成長についての経験を梃子として利用することによって、高品質  $\text{Si}_x\text{Ge}_{1-x}$  または Ge ナノワイヤを、その成長条件を最適化し

て、達成することができるその結果えられる材料は、種々の顕微鏡法（例えば、SEM、TEMなど）によって十分に特性評価し細かく分析することができ、また電気輸送特性も十分に試験して、最適化することができる。

#### 【0177】

シリコンナノワイヤ表面不動態化およびゲート誘電体のためのSi/SiO<sub>2</sub>コア-シェル構造は既に開発されている。直接熱酸化またはSiO<sub>2</sub>のシリコンナノワイヤへのCVD蒸着によってこのシェル構造作り出すことができる。Si<sub>1-x</sub>Ge<sub>x</sub>またはGeナノワイヤの場合、Si/SiO<sub>2</sub>コア-シェル構造の経験を活用することができる。SiGeナノワイヤの場合、コア-シェル構造は、Si<sub>1-x</sub>Ge<sub>x</sub>ナノワイヤの直接熱酸化よりも、純SiO<sub>2</sub>シェルのCVD蒸着の方がよりよく生成することができる。Si<sub>1-x</sub>Ge<sub>x</sub>ナノワイヤの直接酸化は、混合SiO<sub>2</sub>/GeO<sub>2</sub>を生成し、これは多くの捕捉状態を持つ傾向がある。SiO<sub>2</sub>のシェルをSiGeナノワイヤ上に生成するためには、SiH<sub>4</sub>およびGeH<sub>4</sub>をナノワイヤ成長終了後反応室で枯渇させる。炉温度は、酸化膜成長にとって所望の温度に変え、またSiH<sub>4</sub>とO<sub>2</sub>の混合物を反応室に導入して酸化膜成長を達成する。温度、SiH<sub>4</sub>およびO<sub>2</sub>の分圧、そして時間を細かく制御して、所望の厚さの酸化膜シェルを成長させることができる結果として得られる材料は、TEMによって徹底的に分析される。SiGe/SiO<sub>2</sub>ナノワイヤの電子特性は、FET構造で試験することができる。SiGe/SiO<sub>2</sub>界面が界面捕捉状態を抑制するよう最適化されている場合は、SiGe/Si/SiO<sub>2</sub>構造を成長させることができる。この状況で、SiGeナノワイヤ成長が終了すると、制御された厚さを持つ真性シリコンのシェルをSiGeナノワイヤの表面にエピタキシャル成長させることができる。最後に、SiO<sub>2</sub>アウターシェルをSi/SiO<sub>2</sub>コア-シェル系で開発したのと同じ手法で生成することができる。

10

20

#### 【0178】

シリコンナノワイヤの特性評価の結果は、制御された成長条件下で破面成長結晶シリコンナノワイヤを成長させることができるということを示唆している。この知識を梃子として利用することによって、さらに移動度を改善すべく、歪みSi<sub>1-x</sub>Ge<sub>x</sub>層のエピタキシャル成長について研究することができる。シリコンナノワイヤ成長の終了後は、リアクタの条件をSi<sub>1-x</sub>Ge<sub>x</sub>薄膜層のエピタキシャル成長を支えるように変えることができる。この後、シリコンの薄膜層、および最後にSiO<sub>2</sub>の層を形成して、シリコンナノワイヤコア、歪みSi<sub>1-x</sub>Ge<sub>x</sub>の能動層、キャッピング層（捕捉状態を減じるための）、およびSiO<sub>2</sub>の誘電体層を持つコア-シェル構造が得られる。

30

#### 【0179】

InPのようなIII-V族のナノワイヤを作るには熱またはレーザー蒸着法を使用することができる。このように合成されたInPナノワイヤは、試験または小規模の作製には十分である。しかしながら、このプロセスは、熱およびレーザー蒸着プロセス固有の制約があるため大面積にわたるデバイス実装には拡張することができない。ナノワイヤをウェーハ規模またはそれ以上の規模で製造するには、InPナノワイヤのパイロット生産規模CVDプロセス（成長シリコンナノワイヤで使用するものと同様）を使用することができる。この手法では、InCl<sub>3</sub>（トリメチルインジウム）およびPH<sub>3</sub>を反応物質源として使用することができる。SiH<sub>4</sub>、H<sub>2</sub>S、またはH<sub>2</sub>Seをドーパント源として使用することができる。成長温度、各ガス成分の分圧、および全基礎圧力を調節することによって、結果的に得られるナノワイヤの総合的品質を制御することができる。また、このCVD手法は、InAsのような他のIII-V族材料のナノワイヤの製造用としても考察することができる。得られるナノワイヤは、上に説明したのと同様の手法で特性評価することができる。

40

#### 【0180】

高性能III-V族材料は、通常、表面捕捉状態による制約がある。このような捕捉状態をなくすために、種々のコア-シェル構造を開発することができる。CdSはInP薄膜の表面不動態化のための優れたキャッピング層になるということが報告されている。I

50

n P / C d S コア - シェル構造は、2つの手法を用いて実装することができる。まず、I n P ナノワイヤ合成プロセスの終わりに、A u / I n P 共晶小滴を凍結させるために基板温度を下げる。次に、C d S を均一に I n P ナノワイヤ表面を被覆するように蒸着して I n P / C d S コア - シェル構造を達成することができる。別の態様として、I n P / C d S ナノワイヤは、C d S をあらかじめ合成した I n P ナノワイヤにエピタキシャル被着することによって液相で生成することもできる。この手法は、I n P / C d S 量子ドットシステムで成功裏に実施されている。I n P / C d S 構造における C d S シェルは、ゲート誘電体として使用することもできる。しかしながら、C d S シェルゲート誘電体層がゲート絶縁体として適切な品質でない場合は、上に説明したのと同様の手法で追加の S i O<sub>2</sub> の誘電体層をさらに被着することができる。

10

#### 【0181】

ナノワイヤ T F T デバイスの性能をさらに改善するため、ナノワイヤコア - シェル構造で h i g h - k 誘電体材料を使用することができる。h i g h - k 誘電体（例えば、Z r O<sub>2</sub>、H f O<sub>2</sub> など）は、シリコンデバイス用のゲート絶縁体として S i O<sub>2</sub> に代わるものとして積極的に追究された。h i g h - k ゲート絶縁体は、極小の膜厚に依拠することなく高いキャパシタンスをもたらす。これによって、トランジスタチャンネルにおける効率的な電荷形成が可能となる一方、直接トンネルリーク電流を低減することができる。h i g h - k 材料をナノワイヤコア - シェル構造に実装するためには、原子層毎成膜（A L D）システムを使用して Z r O<sub>2</sub> シェルを選択されたナノワイヤの表面に成長させることが行われる。高純度 N<sub>2</sub> キャリアガスによって運ばれる Z r C L<sub>4</sub> 前駆体および H<sub>2</sub> O 酸化剤を反応物質源として使用することができる。この成膜プロセスは、制御された温度および圧力下で行って、確実に高品質 Z r O<sub>2</sub> 薄膜を得ることができる。Z r O<sub>2</sub> 層の厚さは T E M によって特性評価することができる。

20

#### 【0182】

変調ドーブコア - シェル構造を持つ小径ナノワイヤ量子電子効果利用することによって、より高い電子移動度 T F T を製造することができる。従来の二次元（2 D）半導体超格子および 2 D 電子ガスを発生させるプロセスと同様の方法で、マルチ・コア - シェル・ナノワイヤ構造を作り出して能動型導電チャンネルからドーパントを分離することにより、さらにキャリア移動度を高めることができる。例えば、真性半導体コア（例えば、G a A s）、薄いスペーシング層のインナーシェル（大きいバンドギャップを持つ真性材料、例えば、A l G a A s）、およびドーピング層のアウターシェル（ドーブ半導体、例えば、n 型 A l G a A s）よりなる真性の構造で超高電子移動度を実現することができる。このようにして、ドーパントは、能動コアから分離されたアウターシェル材料にだけ存在する一方、電子はスペーシング層を容易に通り抜けて能動コア材料に進入することができ、これによってコア中の不純物関連散乱が著しく少なくなる。さらに、ナノワイヤコアの直径が臨界値（例えば、G a A s で ~ 2 0 n m）より小さい場合、量子力学的現象がさらに散乱を抑制し、その結果非常に高い移動度値が得られる（例えば、理論的計算では、変調ドーブ G a A s ナノワイヤの場合で最高  $1 0^8 \text{ cm}^2 / \text{V} \cdot \text{s}$  の移動度が予測されている）。この手法を実施するためには、まず上に説明したのと同様の手法を用いて一種類のナノワイヤを成長させる。金（A u）小滴の触媒作用を、成長条件を突然変えることによって終了させることができる。次に、ナノワイヤ表面に均一なエピタキシャル成長を起こさせることによってコア - シェル構造を作り出すように制御された条件の下に第 2 の気相を導入することができる。このようなプロセスを、必要ならば、何回でも行ってシェル構造を生成することができる。コア - シェル構造のドーピングの種類を柔軟性をもって変え、制御することによって所望の特性を得ることができる。最後に、ナノワイヤの表面は、上に説明したように、種々のゲート誘電体で終端させることができる。

30

40

#### 【0183】

場合によっては、能動型導電チャンネルからドーパントを分離するナノワイヤ構造を得ることが望ましい場合がある。このような構造は、真性半導体コア（例えば、G a A s）、薄いスペーシング層のインナーシェル（大きいバンドギャップを持つ真性材料、例えば

50

、AlGaAs)、およびドーピング層のアウトershell(ドーブ半導体、例えば、n型AlGaAs)よりなる。能動型導電チャンネル(コア)からドーパントを分離し、量子閉じこめ効果を利用することによって非常に高いキャリア移動度を実現することができる。これらの新しいナノワイヤデバイスの性能をさらに高めるために、ゲート誘電体を外周ゲート取り囲むように表面を導電シェルで被覆することができる。例えば、ドーブアモルファスまたはポリシリコンシェルを、上に説明したようなSi/SiO<sub>2</sub>/p<sup>+</sup>Siコア・シェル・ナノワイヤのために開発したのと同様にしてナノワイヤ表面に被着することができる。同様に、ナノワイヤの表面を、例えば、無電解金属析出法により金属薄膜層で被覆することができる。

#### 【0184】

各合成ステップの生成物は、光学顕微鏡法、SEM、またはTEMによって入念に調べ、ナノワイヤの形態学的特徴、直径、あるいは長さについて分析することができる。ナノワイヤの化学組成を評価するには、EDXを用いることができる。この情報は、以後、合成ステップへのフィードバックの形で利用することによって、全体的手順を最適化し、材料パラメータの精密制御を達成することができる。

#### 【0185】

これまで、合成時におけるナノワイヤの直接ドーピングについて、ドーパント前駆体を混合反応物質に含有させること、およびアンドーブナノワイヤをドーパントを含有するシェルで被覆することにより変調ドーピングすることとの関連で説明した。これらのドーブナノワイヤの場合は、ソースおよびドレイン電極に直接金属コンタクトを使用することができる。しかしながら、場合によっては、金属コンタクトは低ドーブ材料あるいは真性の材料にとってそれほどよくないこともある(特に、反転モードで動作するデバイス)。このために、もう一つの選択肢としてコンタクトドーピングがある。ナノワイヤは非常に小径であり(~20nm)、また表面積対容積比が非常に高いので、前駆体との短時間の接触および極めて短時間の拡散で十分なドーパントをナノワイヤに打ち込むことができる。一般に、この手法は、表面洗浄、ドーパント前駆体のナノワイヤ表面への化学的吸収、およびドーパントをナノワイヤに打ち込むためのエネルギーの迅速な供給というステップを含む。表面洗浄には、ウェットエッチング、プラズマエッチング、および超高真空下における加熱(自生酸化物をシリコンナノワイヤ表面から除去するための)のような標準的洗浄技術を用いることができる。前駆体は、例えば、ガス状物質(例えば、nドーブ・シリコンナノワイヤの場合のPH<sub>3</sub>)、およびその場所で生成された化学種(例えば、重ドーブp-Si層によって生成されるpドーパント)である。エネルギー源は、高速熱処理(RTP)ランプ、または集光レーザーのような抵抗型加熱源を使用することができる。レーザー加熱は、プラスチック基板上のコンタクトドーピングにも使用することができる。

#### 【0186】

流体流動法は、別のより拡張性のある態様で実施することもできる。図27は、ロール・ツー・ロール適合フロー型DION膜蒸着のためのシステムの概略図である。この装置は、基板を取り付けるための斜面、基板と平行なスプレーバー、およびスプレーバーを通る溶液流動を生じさせるポンプシステムよりなる態様とすることができる。ロール・ツー・ロールプロセスで基板がモータによって連続的に上方に移動し続ける間に、基板の表面に溶液が吹き付けられる。下方に流れる溶液は、ナノワイヤを流れ方向に配向することができる。LCD作製で液晶を配向するのと同様にして、ナノワイヤをマイクロ級ブラシでこすことによっていっそうの整列を惹起することができる。基板の運動および基板の傾きは、最適なナノワイヤ均質性および密度が得られるように調整する。非常に高密度の成膜が要求される場合は、このプロセスを反復すればよい。被着されなかったナノワイヤは溶液中に損傷されないまま残り、リサイクルすることができる。基板からの排出液中のナノワイヤ濃度を監視し、必要に応じて溶剤を足すか、あるいは減らす(蒸発によって)ことができる。必要ならば、成膜終了後、迅速な溶剤蒸発を確実にしめるために、基板載置面を加熱することができる。この装置に第2のスプレーバーを付加することも可能である。この第2のスプレーバーは、被着されなかったすべてのナノワイヤを洗い去るべく、純

10

20

30

40

50

溶剤を吹き付けることができる。これによれば、溶液が蒸発する際に、ランダム配向されたナノワイヤの被着を最小限に抑えることができる。ナノワイヤおよび基板の最適な界面化学ならびに成膜パラメータ（溶剤の粘度および揮発性、ナノワイヤ濃度、基板の傾斜角度、吹付け速度、スプレーバーの運動プロファイル）は、反復プロセスを通じて求めることができる。

#### 【0187】

別の一部の局面においては、より大規模なナノワイヤ成膜（被着）にラングミュア-プロジェクト膜法を採用することができる。これによれば、非常に大きな面積にわたって均一な整列がもたらされる。しかしながら、流体流動整列法から得られた結果もデバイス作製および特性評価の初期試験に使用することができる。大面積にわたって均一な整列を達成するためには、ラングミュア-プロジェクト（LB）膜に基づいて大規模実装法を開発することができる。ラングミュア-プロジェクト整列法は、ナノ粒子の薄膜を形成し、またナノロッドを整列させるために使用されてきた。この手法を適切な界面化学（上に説明した）を取り入れることによってナノワイヤの整列に拡張することによって、配向ナノワイヤ薄膜を生成することができる。この手法では、ナノワイヤをまず機能化し、無極性溶剤中に懸濁させる。このような無極性ナノワイヤ懸濁液は、次に、LBトラフ中の水の表面に移すことができる。十分な低密度では、ナノワイヤはランダム配向による等方性分布をなす。しかしながら、表面が一次元内で圧縮されるにつれて、ナノワイヤがランダムな方向に配向された状態にとどまることは困難になる。ナノワイヤは一軸対称性を持つより秩序だった異方性相、特にネマチックまたはスメクチック相に転移することができる。

10

20

#### 【0188】

この転移は、モンテカルロ・シミュレーションでも、また薄膜ナノロッド（縦横比 $< 10$ ）整列の場合における実際の実験でも観察されている。ナノワイヤの縦横比が大きいことはLB法による整列性が大きいということを示唆するものと思われるが、ナノワイヤの長さは、長ければ膜内で最低エネルギー状態（局所最小に相当）に達するよう自由に回転できなくなるので、問題が生じ得る。この場合、軽く攪拌することによって、膜がこれらの高い最小エネルギーで形成されるのを防いで、最終的に最低エネルギー整列状態に達するのを助成することができる。さらに、ナノワイヤ間の方向性毛管作用力およびファン・デル・ワールス引力を利用することによって、ナノワイヤの平行整列および配向およびナノワイヤ薄膜の形成をさらに強化することができる。この問題は、表面圧縮に先立って予整列を起こさせることにより対処することができる。この目標も、いくつかの方策を用いて達成することができる。例えば、フロープロセスを組み合わせることにより、一部の予整列を達成することができる。また、電界をかけることによってナノワイヤの整列を強化することができる。

30

#### 【0189】

整列された後は、膜をさらに圧縮して配向度を高めることができる。次に、膜は所望の基板に移すことができる。基板がLBトラフから取り出される速度に加えて、ナノワイヤ密度を界面活性剤とナノワイヤとの比および表面圧縮量によって制御することができる。この移動プロセス時に整列が乱されるのを避けるために、いろいろな移動要領を開発することができる。表面被覆率は、上に説明したのと同様の手法を用いて特性評価することができる。

40

#### 【0190】

他の局面においては、大量ロール・ツー・ロールプロセスおよび総合的デバイス作製プロセスに適合する印刷技術を採用することができる。例えば、接触印刷法に次のようなステップを入れることができる。まず、印刷リボンをしてナノワイヤ溶液中を制御速度で連続的に移動させると、リボン表面近傍の剪断流がナノワイヤを一方向に整列させることができる。ナノワイヤおよび基板の界面化学、そしてリボンの溶液中滞在時間を制御することによって、リボン上で所望のナノワイヤ密度を達成することができる。ナノワイヤ溶液を通過した後、リボンは所望のデバイス基板を横切って移動させ続けることができる。コンピュータ制御された運動によって、リボンと基板を接触させることができる。この剪断

50

法によれば、整列されたナノワイヤを静電相互作用および化学的互助作用を制御することによって基板に移すことができる。この方法は、整列ナノワイヤ薄膜を基板に所望のパターンで直接印刷するようにプログラムすることができる。基板は、ロール・ツー・ロール方式のシステムを通して連続的に送ることができる。

#### 【0191】

混合ナノワイヤ薄膜の成膜には、種々の手法を用いることができる。これらの手法には、例えば、「多層膜」方式および「ストリップまたはチェックボード・パターン (stripped または check-board pattern)」判型 (format) が含まれる。多層膜の混合ナノワイヤ薄膜を達成するためには、前述の任意の手法を用いてナノワイヤ薄膜の第1の層を形成することができる。その後、この第1の層にデバイス作製を行う。次に、平坦化絶縁層を被着することができる。この層は、SU8レジストのようなポリマー材料を用いることができる。次に、異なるナノワイヤの第2の相を絶縁層の表面上に整列させる。その後再度、この第2の層にデバイス作製を行う。この「多層」方式では、各層が互いに多の層と独立しているので、各層毎のすべてのナノワイヤ成膜およびデバイス作製プロセスは、上に説明した技術を用いて行うことができる。層間の電気的接続は、中間絶縁層をフォトリソグラフィ法でパターンニングしてそこにオープンウィンドウを形成することにより行うことができる。この後、メタライゼーションによって層間接続を行うことができる。

10

#### 【0192】

混合ナノワイヤ薄膜のストリップ・パターン (stripped pattern) は、次のようないくつかの異なる方法で形成することができる：

20

混合ナノワイヤ薄膜は、交互のチャンネルに異なるナノワイヤ溶液が流れるようにしたマルチプル平行チャンネルフローを用いることによって得ることができる。この手法では、シングルフロープロセスで、約  $\sim 10 \mu\text{m}$  の解像度を持つ混合ナノワイヤ薄膜を得ることができる。

#### 【0193】

また、混合ナノワイヤ薄膜は、連続静電実装プロセスによっても得ることができる。このプロセスでは、まず、基板が電極のパターンアレイによってパターンニングされる。これらの電極を用いて静電実装のための電界をかけることができる。混合膜を実現するためには、基板を異なる電極を励起して何回も処理する。

30

#### 【0194】

また、混合ナノワイヤ薄膜は、まず基板表面の選択された領域を異なる化学的または生物的機能性によってパターンニングすることによって得ることができる。各々基板表面の選択されたエリア上の特定の表面機能に対して相補性を持つ異なる化学基/生物基で2種類のナノワイヤを機能化することができる。次に、2つの異なるナノワイヤを基板上で露出させて、2種類の異なるナノワイヤが基板表面の異なるエリアを持つ混合ナノワイヤ薄膜を達成することができる。

#### 【0195】

また、混合ナノワイヤ薄膜は、多ステップ接触印刷法を用いて得ることもできる。この手法では、まず、共形性弾性材料 (例えば、PDMS) からパターンスタンプを作る。次に、第1の種類のナノワイヤをスタンプ面に実装する。すると、これらのナノワイヤをデバイス基板に型押しすることによって、基板の選択エリアに第1の種類のナノワイヤ薄膜に形成することができる。次に、このプロセスを繰り返し行って、異なる種類のナノワイヤ薄膜を基板表面の異なる領域に被着することができる。

40

#### 【0196】

また、混合ナノワイヤ薄膜は、単一組成ナノワイヤ薄膜被着プロセス用に開発された印刷手法を「カラー」印刷技術も含めるように修正することによって形成することもできる。異なるナノワイヤは、従来カラープリンタにおける異なる色と同等であると考えられる。例えば、上に説明した接触印刷技術の場合、基板を異なるナノワイヤを持つ多数のリボンの下面で連続走行させることによって、コンピュータ制御パターンを持つ混合ナノワ

50

イヤ薄膜が達成される。このプロセスはロール・ツー・ロールプロセスとの適合性がある。

#### 【0197】

本発明は、複雑性(1,000デバイス以上)および性能(クロック速度が少なくとも100MHz)共に著しい改善をもたらすことができる。これらの改善に、例えば反転モードデバイスにおける電子および正孔の移動度がそれぞれ $1,000\text{ cm}^2/\text{V}\cdot\text{s}$ および $400\text{ cm}^2/\text{V}\cdot\text{s}$ とCMOS移動度の大幅な改善が伴い得る。例えば、キャリアを供給する真性ゲルマニウム導電チャンネルとドーピングシリコンシェルを持つGe/Si/SiO<sub>2</sub>コア-シェル-シェル構造における電子および正孔の場合、性能は、移動度がそれぞれ $3,000\text{ cm}^2/\text{V}\cdot\text{s}$ および $1,500\text{ cm}^2/\text{V}\cdot\text{s}$ と非常に高い。そして、  
10  
当業者ならば次のことは理解されるはずである：(1)閾値電圧を低くするように、反転モードデバイスを生成することができる、(2)ソースおよびドレインドーピングは自己整列とすることによって出力インピーダンスを小さくすることができる、(3)デバイスは、閾値電圧がより低く、電源電圧がより低く、そして電力消費がより小さくなるように生成することができる。

#### 【0198】

本発明のナノワイヤ膜の応用例

非常に多くの電子デバイスおよびシステムが、本発明の実施例のナノワイヤ薄膜を使用した半導体素子することができる。例示説明のため、本発明のいくつかの応用例を以下に記載する。ただし、本発明はこれらの用途に限定されるものではない。本願記載のこれら  
20  
の応用例は、整列型または非整列型のナノワイヤ薄膜、複合型または非複合型のナノワイヤ薄膜を使用することができ、また上に説明した任意の他のナノワイヤ膜またはナノワイヤ膜の変種態様を使用することができる。

#### 【0199】

周辺セキュリティ用軽量分散型センサネットワーク

まず、最初の応用例として、周辺セキュリティ用軽量分散型センサネットワークについて説明する。このシステムは、軽量な軟質(可撓性)プラスチック基板に印刷されたセンサ、論理素子、およびRF通信素子を含むマイクロエレクトロニクス回路を多ユニット具備して構成することができる。セキュリティ保護の周辺域の回りに分散配置されたこれらの各ユニットは、1つ以上の刺激に関して現地環境を監視する。ある特定の信号を検知する  
30  
と同時に、その情報は個々のセンサ素子を介して基地局に伝達される。

#### 【0200】

ここでの基本概念は、その環境の1つ以上の特徴を検知し、その情報を電子的に処理して基地局に送り返すことができる多機能モノリシックデバイスを軽量軟質基板上に作製するというものである。1つ以上の具体的なセンサを開発することができる。本発明は、多数の異なる形態のセンサを使用することができる。特に、DIONベースのセンサを運動センサ、光センサ、音声センサなどとして作製することができる。

本発明の技術によれば、セキュリティ保護の周辺域回りに分散配置して種々の信号を監視することができる軽量で低コストの分散型センサユニットが得られる。図28は、本発明の分散型センサネットワークの構想を図解した概略図である。この図は、このようなシ  
40  
ステムの構成要素およびシステムが実地にどのように動作するかを示している。

#### 【0201】

各センサユニットの形状因子およびコスト要因がこの応用を可能にする。デバイスを軟質(可撓性)プラスチック基板上に作製することによって、センサはカモフラージュされる(すなわち、センサは、通常、草木の葉や樹木のようなその環境の中で見られる何らかの物であるかのように見えるようにできる)。デバイスを低コストで作製することによって、多数のセンサをコスト的に妥当な形で展開して、ある場所のセキュリティを確保することができる。このことによって、個々のセンサの低コストネットワークが効果的に実現される。好ましい態様においては、低コストの電子基板を軽量の可撓性基板上に印刷すること  
50

## 【0202】

この応用は、「大面積にわたって分散した高性能電子素子」という基本概念を次のような態様も包含するように拡張するものである：(1) 単一基板を超えても分散され、また(2) 「メガエレクトロニクス」統合システム(すなわち、「マクロエレクトロニクス」より大きい)内の機能素子間の電氣的相互接続および非電氣的相互接続が組み込まれる。高性能マクロエレクトロニクス用の技術は、この応用の実現にとって特に重要である。第一に、センサノードをセキュリティ保護の周辺域の回りの大面積にわたって分散配置できるよう、生産コストを低くすべきである。第二には、可撓性基板はデバイスのカモフラージュを可能にする(例えば、置かれた場所で気づかれないような草木の葉、ゴムラッパー(gum wrapper)などに見えるように切断したり、色を塗ったりできる)。この種の用途に対するこの手法は、従来手法とは非常に異なっている。以前は、タグは、見えにくくするよう非常に小さくするための努力がなされた。残念なことには、サイズが小さいと、アンテナのサイズも小さくなり、読み取り距離範囲が小さくなるばかりでなく、システムの設計が劇的に複雑になる。DIONエレクトロニクス技術によって可能になる独特の形状因子の故に、センサは、単に小さいからばかりでなく、より固有の特徴として、環境に紛れ込めるために見つけにくくすることができる。さらに、この技術は、他の独特の形状因子、例えば、「スマート」壁紙、スマートペーパー、あるいはセンサタグには見えないスマート何々のような形状因子を作製するためにも利用することができる。

10

## 【0203】

本発明の分散型センサネットワークは、次のものが作られることによって実現することができる：(1) 独特の印刷可能なセンサ材料、(2) ネットワーク要件に適合する印刷可能アンテナの設計、(3) 入ってくる情報を処理するためのソフトウェアおよびハードウェア、および(4) センサ、RF、および電子信号処理の機能が可能な独特の多機能ナノワイヤ薄膜回路。

20

## 【0204】

一実施形態においては、分散型センサネットワークは、複数の受動RFセンサ素子(例えば、「センサタグ」)よりなり、これを補う形でセキュリティ保護の周辺域の回りに配置された少数の能動型ビーコンが設けられる。能動型ビーコンは、高周波電力を受動型ユニットに送って問い合わせをし、また基地局へのデータの流れを調整する。任意態様として、基地局は、全世界に広がるおびただしい数のこのようなセンサネットワークを監視する中央司令本部にインターネットまたは衛星を介して接続することもできる。図29は、RFID/センサ・タグシステムの概略図である。この図には、本願記載のナノワイヤ型基板に基づくRFID/センサ・タグシステム基本回路設計が図解されている。

30

## 【0205】

この回路は、センサ出力を受信してデジタルデータに変換し、RFIDタグに入力することができる。センサからの出力は通常アナログ信号であり、所望の解像度でデジタルビットストリームに変換される。一部用途の場合、単にセンサが何かを検知したという事実だけで十分である。このような用途においては、ゼロまたは1のシングルビット値だけで十分である。別の用途においては、アナログ-デジタル変換回路をタグICの「フロントエンド」に入れて、センサに接続された1つのタグICの入力パッドとのインタフェースをとることができるように、32ビットのデジタル出力が必要になることもある。これら構成は、いろいろな多数のセンサについて繰り返し使用することができる。

40

## 【0206】

この回路は、センサ回路の出力を受信してデジタルデータをタグIDメモリレジスタに追加することができる。この後者の回路は、「フロントエンド」回路のデジタル出力を受け取ってそのデータをID出力レジスタにロードするように、タグIDの「バックエンド」に置くことができる。タグIDは、前部がタグを一意的に識別特定する一意のタグID番号よりなり、後部にはセンサデータが入れられるよう、いくつかの部分に分けて構成することができる。センサが何も検知していない場合、後部には32の0のビットストリングが書き込まれた状態になっている。センサが何かを検知すると、その出力がタグID番号

50

と共に送り出される。このようにして、リーダーはセンサ事象およびセンサ位置の両方をタグID番号を用いて決定することができる。

【0207】

他の実施形態においては、分散型センサネットワークは、多組成DION薄膜に作り込まれた薄膜バッテリーまたは光起電から電源を供給されるナノワイヤ材料能動RFセンサ素子の集成体からなる。

【0208】

この応用例は、DION薄膜技術によって可能になり得る多くの潜在的応用の本の一例に過ぎない。特に、多機能電子素子を作製する際の性能、コスト、およびその作製ができることは、セキュリティ用途向けの軽量X線撮像装置、ワイヤレス通信用、セキュリティ用途向けのレーダースキャナ用、フレキシブルディスプレイ用、軽量でスペース上の制約があるエレクトロニクス技術用のフェーズドアレイ・アンテナ、およびその他多くの用途のようなシステムの開発において特に貴重である。

10

20

30

40

50

【0209】

RFIDタグにおけるアンテナのビームステアリング

本発明の一つの用途においては、ナノワイヤ薄膜またはナノチューブ薄膜を高周波識別(RFID)タグおよび/またはRFIDタグ・リーダーとして使用することによって、性能特性の強化がもたらされる。上に説明した本発明のナノワイヤ膜によれば、タグおよび/またはリーダーにおけるビームステアリング・アレイの使用が可能になる。このように強化されたRFIDタグは、入ってくるRF信号の電力を使用してアレイの位相を調整することにより、入ってくる信号の電力を最大化する(すなわち、タグのアンテナを効果的にリーダーの方に指向させる)。さらに、強化されたRFIDタグは安価であり、かつどの方位でも信号を効率的に受信することができる。タグのアンテナをリーダーに合わせることによって、タグにより送信された信号は集中され、タグを検知できる距離範囲が劇的に大きくなる。その結果、タグはその送信信号をリーダーに指向させるので、等方性信号送信によりエネルギー損失が減少する。

【0210】

さらに、これらの性能強化の結果として、タグは情報を従来のタグより迅速に受信し処理することができ、劇的に一群のタグの読取り速度が増加する。RFIDタグにおいてマイクロエレクトロニクス基板をステアラブルアンテナと組み合わせることによって、RFIDタグは、リーダーに対してどの方位でも、また従来の可能であったよりも大きいリーダーからの距離(>100m)で通信することが可能になる。さらに、本発明は受動型RFIDタグでも能動型のもでも適用可能である。

【0211】

リーダーは、ナノワイヤイネーブル型(ナノワイヤ起動型)ビームステアリング・アレイを実装することによって、同様の性能強化がもたらされる。リーダーに実装されたビームステアリング・アレイは、リーダーのアンテナを送信中のタグに向けて合わせることによって、リーダーに対してどのような方位でもタグを検知することができ、タグを検知できる距離範囲を大きくすることができる。その結果、リーダーはより多数のタグを迅速に処理することが可能になる。さらに、近くのタグからの干渉も大きく低減させることができる。それは、タグはどちらかといえばいろいろ異なる場所に置かれることになり、アンテナは、一時に1つのというように、より少ないタグに向けて合わせられることになるからである。

【0212】

以下の節では、本発明のナノワイヤイネーブル型ビームステアリング・アレイを組み込んだRFIDタグ・リーダー環境の例について説明する。次の節では、ナノワイヤイネーブル型ビームステアリング・アレイについてさらに詳細に説明し、その後の節で、ビームステアリング・アレイおよびその他のデバイスに実装することができるナノワイヤイネーブル型可調位相遅延器の実施例について説明する。

【0213】

ナノワイヤインーブル型ビームステアリング・アレイを実装したRFIDタグおよびリーダーの実施形態

図30は、本発明の一実施例におけるRFID通信環境3000を図解したものである。環境3000において、リーダー3002は、図30にタグ3004a~3004cで示す1つ以上のタグ3004と通信する。図30には、例示説明のための3つのタグ3004a~3004cしか示されていないが、環境3000は、数100、数1,000、さらにはこれより大きい任意の数のタグ3004を含むことができる。

【0214】

タグ3004は、通常、監視しようとする物品に添付される。タグ3004の存在、したがってタグ3004が添付された物の存在をリーダー3002によって監視することができる。リーダー3002は、タグ3004が添付された物品の存在および位置をワイヤレス問合わせによって監視する。通常、各タグ3004は一意の識別番号を有し、リーダーは3002これを用いて個々のタグ3004とそれぞれの物品を識別特定する。

10

【0215】

例えば、図30に示すように、リーダー3002は、通常高周波の問合わせ信号3006を一群のタグ3004に送信する。問合わせ信号3006は、3004a~3004cのような一群の中の1つ以上のタグによって受信される。3004a~3004cの各タグは、受信した問合わせ信号を処理し、それぞれの場合に応じて応答することが可能である。図30に示すように、タグ3004a~3004cは、それぞれの応答信号3008a~3008cを送信することができる。リーダー3002およびタグ3004は、関連

20

【0216】

図31Aおよび31Bは、本発明の実施例における、それぞれタグ3004およびリーダー3002の詳細な構成例を示すブロック図である。図31Aおよび31Bに示すタグ3004およびリーダー3002の構成は例示説明用のものである。本発明は、関連技術分野の当業者ならば理解できると思われるように、他のタグおよびリーダーの構成にも、また他の通信環境にも適用可能である。例えば、ある環境において、タグ3004はビームステアリング機能性を有するが、リーダー3002はこれを持たない。もう一つの環境においては、タグ3004はビームステアリング機能性を持たないが、リーダー3002はこれを有する。さらにもう一つの環境においては、タグ3004およびリーダー3002共にビームステアリング機能性を有する。

30

【0217】

図31Aに示すように、タグ3004は、アンテナ3102、トランシーバ3104、記憶装置3106、ビームステアリング・アレイ3108、およびタグコントローラ3110を有する。タグ3004は、さらに、基板3118を有し、その上にこれらの各コンポーネント、部品が取り付けられ、固着され、印刷され、あるいは他の何らかの形で形成されている。タグ3004のコンポーネントは、必要に応じて、任意の電子ハードウェア、ソフトウェア、および/またはファームウェアを含むことができる。ここで留意しなければならないのは、この後さらに説明するように、他の実施例では、ビームステアリング・アレイ3108はアンテナ3102の機能を果たすことができるということである。し

40

【0218】

アンテナ3102は、問合わせ信号3006および応答信号3008aのようなEM信号(電磁波信号)を受信し送信するために用いられる。アンテナ3102は、RFIDタグで使用するのに適切なものであればどのようなアンテナであってもよい。

【0219】

トランシーバ3104はアンテナ3102に結合されている。トランシーバ3104は、RFIDタグで使用するのに適切な物であれば、どのような形態のトランシーバでもよく、あるいは受信器と送信器の組合せでもよい。トランシーバ3104は、必要に応じて、アンテナ3102によって受信されたEM信号の周波数減変換および/または復調を行

50

い、情報信号3114をタグコントローラ3110へ出力する。さらに、トランシーバ3104は、タグコントローラ3110から情報信号3114を受け取り、RFIDタグ3004による要求に応じて情報信号3114の変調および/または周波数増変換を行う。周波数増変換された信号はアンテナ3102によって送信される。

【0220】

タグコントローラ3110は、タグ3004の動作を制御する。タグコントローラ3110は、その機能を果たす上において必要な任意のハードウェア、ソフトウェア、ファームウェア、あるいはこれらの組合せを具有することができる。例えば、タグコントローラ3110および記憶装置3106は特定用途向け集積回路(ASIC)に搭載することができる。タグコントローラ3110は、トランシーバ3104が受信した情報信号3114を処理する。例えば、タグコントローラ3110は、情報信号3114を処理して、受信された問い合わせ信号3006がそれぞれのタグに向けられたものであるかどうかを判断し、適切な応答を生成する。タグコントローラ3110は、この生成された応答をトランシーバ3104へ出力する。

10

【0221】

記憶装置3106は、識別番号を含め、タグ3004に関連する情報を記憶する。タグコントローラ3110は、記憶装置3106にアクセスして、記憶された情報を調べる。タグコントローラ3110は、記憶された識別番号を使用して、問い合わせ3006がそれぞれのタグ3004に向けられたものかどうかを判断する。記憶装置3106は、読取専用記憶装置(例えば、リードオンリーメモリ(ROM)デバイス)でも、追加の情報を記憶することができる書込み可能な記憶装置であってもよい。

20

【0222】

図31Aに示すように、タグ3004は、ビームステアリング・アレイ3108を具有する。一実施例においては、アンテナ3102から送信されたEM信号はビームステアリング・アレイ3108に、ぶつかる、遭遇する、衝突する、あるいは他の何らかの形でビームステアリング・アレイ3108によって受信される。例えば、アンテナ3102は、EM信号を直接ビームステアリング・アレイ3108に向けて送信するか、あるいはEM信号をビームステアリング・アレイ3108に届くよう等方的に送信することができる。ビームステアリング・アレイ3108は、タグコントローラ3110の指示に応じてEM信号の方向を転じる。

30

【0223】

ここで留意しなければならないのは、他の実施例では、この後さらに説明するように、ビームステアリング・アレイ3108はさらにアンテナ3102の機能を果たすということである。このような実施例においては、アンテナ3102は不要である。その場合、図31Aに示すように、トランシーバ3104は、任意態様として、リンク3120を介して直接ビームステアリング・アレイ3108に結合して、ビームステアリング・アレイ3108がEM信号送信するようにすることができる。

【0224】

タグコントローラ3110は、ビームステアリング・アレイ3108を制御するアレイコントローラ3112の部分を含んでいる。アレイコントローラ3112は、ビームステアリング・アレイ3108に供給されるアレイ制御信号3116を発生する。アレイ制御信号3116は、シリアル信号でも、パラレルバスで伝送されるパラレル信号でもよい。アレイ制御信号3116は、ビームステアリング・アレイ3108の複数の位相調整要素を制御することによって、アンテナ3102によって送信されるEM信号の方向転換を制御し、あるいはビームステアリング・アレイ3108のアンテナ素子アレイによって送信されるEM信号の方向を制御する。アレイコントローラ3112は、EM信号をいずれかの方向に指向させるか、EM信号をある方向に何かに合わせるか、EM信号を拡散させるか、またこれらを何らかの形で組み合わせて行うことによって、ビームステアリング・アレイ3108のEM信号の指向または方向転換を行わせる。

40

【0225】

50

同様にして、タグ3004が受信モードのときは、ビームステアリング・アレイ3108はそのアンテナ素子アレイを入れてくるEM信号に指向させることができる。一実施例においては、アレイコントローラ3112は、ビームステアリング・アレイ3108の複数の位相調整要素を制御することによって、リーダー3002によって送信されたEM信号を受信するか、またはその方向転換を制御する。例えば、ビームステアリング・アレイ3002は、リーダー3002から受信したEM信号をアンテナ3102に向けて任意の方向に転じるか、あるいはEM信号をリーダー3002から直接受信することができる。

#### 【0226】

一実施形態においては、アレイコントローラ3112を有する。走査アルゴリズムを使用すると、リーダー3002によるEM信号一斉送信が最強になる最適方向を走査して探し、事実上ビームステアリング・アレイ3108をリーダー3002に指向させることができる。このようにして、タグ3004による信号受信が改善される。このような走査アルゴリズムは、関連技術分野の当業者にとっては本願の開示事実から自明であろう。この最適方向が決まったならば、タグ3004は、その結果応答3008をリーダー3002に指向させることができる。このようにして、タグ3004による応答はリーダー3002によってより受信されやすくなり、タグ3004は、送信応答3008がある方向に集中されるので、より遠距離から送信することができる。

#### 【0227】

図31Bは、本発明の一実施例におけるリーダー3002を図解したものである。図31Bに示すように、リーダー3002は、アンテナ3122、トランシーバ3124、ビームステアリング・アレイ3108、およびリーダーコントローラ3130を有する。これらのリーダー3002の構成要素は、タグ3004の対応する要素とほぼ同様の機能を有する。トランシーバ3124は、リーダーコントローラ3130に情報信号3134によって結合される。ビームステアリング・アレイ3108は、リーダーコントローラ3130にアレイ制御信号3136によって結合される。ここで留意しなければならないのは、リーダー3002は、ハンドヘルド装置でもノンハンドヘルド装置でもよいということである。さらに、一実施形態においては、リーダー3002は、ワイヤレスリンクまたはワイヤードリンク3150によってネットワークまたはコンピュータシステムに結合される。

#### 【0228】

リーダーコントローラ3130は、タグ3004のアレイコントローラ3112と同様のアレイコントローラ3132を有する。リーダー3002の送信モードにおいては、アレイコントローラ3132は、ビームステアリング・アレイ3108の複数の位相調整要素を制御することによって、アンテナ3122により送信されるEM信号の方向転換を制御する。例えば、EM信号を特定のタグ3004またはタグ3004のグループに向けることができる。さらに、リーダー3002が受信モードのときは、アレイコントローラ3132は、リーダー3002中のビームステアリング・アレイ3108複数の位相調整要素を制御して、タグ3004から受信中のEM信号をリーダー3002のアンテナ3122に向けて転じる。

#### 【0229】

別の態様として、タグ3004に関して上に説明したように、リーダー3002のビームステアリング・アレイ3108は、付加的にアンテナ3122の機能も果たし、その場合は、アンテナ3122は不必要になる。アレイコントローラ3132は、ビームステアリング・アレイ3108の複数の位相調整要素を制御することによって、複数のアンテナ素子について送信方向および受信方向を制御する。したがって、図31Bに示すように、トランシーバ3124は、任意態様として、リンク3140を介してビームステアリング・アレイ3108に直接結合することができる。

#### 【0230】

ここで留意しなければならないのは、一実施例においては、アレイコントローラ3132は、アレイコントローラ3112(図31Aに示す)のものと同様の走査アルゴリズム

10

20

30

40

50

を具有できることである。例えば、走査アルゴリズムを使用することによって、タグ 3 0 0 2 による E M 信号一斉送信が最強になる最適方向を探し、実際、リーダー 3 0 0 2 のビームステアリング・アレイ 3 1 0 8 をその一斉送信中のタグ 3 0 0 4 へ指向させることができる。

#### 【 0 2 3 1 】

ビームステアリング・アレイ 3 1 0 8 については種々の実施態様が可能であり、それらの実施態様は本発明の範囲および精神の範囲内に包括される。さらに、いくつかの実施例においては、ビームステアリング・アレイ 3 1 0 8 にナノワイヤ薄膜が実装される。このようなナノワイヤ薄膜は、ビームステアリング・アレイ 3 1 0 8 の位相調整の機能性をもたらす。次節では、ビームステアリング・アレイ 3 1 0 8 の詳細な実施例について説明する。

10

#### 【 0 2 3 2 】

##### ビームステアリング・アレイの実施形態

ここでは、ビームステアリング・アレイ 3 1 0 8 の実施例を説明する。上に説明したように、ビームステアリング・アレイ 3 1 0 8 は、E M 信号を任意の方向に向ける、E M 信号を集中させる、E M 信号を拡散させることを可能にし、またこれらの機能の任意の組合せを可能にする。本発明のナノワイヤ薄膜は、ビームステアリング・アレイ 3 1 0 8 に実装されて、以下にさらに説明するように、位相調整の機能性を可能にする。ここで留意しなければならないのは、本発明は、リフレクタ型および多アンテナ素子アレイ型を含め、すべての形態のビームステアリング・アレイに適用可能であるということである。例示説明の便宜上、次節では、リフレクタ型および多アンテナ素子アレイ型に基づいて説明する。しかしながら、本発明は他の形態のビームステアリング・アレイにも適用可能であるということを理解すべきである。

20

#### 【 0 2 3 3 】

##### リフレクタ型ビームステアリング・アレイの実施形態

この節では、ビームリフレクタとして動作するビームステアリング・アレイの実施例について説明する。次の説明では、例示説明の便宜上、特定の構成のリフレクタに基づき説明するが、本願開示のナノワイヤ技術はあらゆる形態のビームリフレクタに適用可能であり、そのようなビームリフレクタはすべて本発明の範囲および精神の範囲内に包括されるものと解すべきである。

30

#### 【 0 2 3 4 】

図 5 7 は、一例のビームステアリング・リフレクタ 5 7 0 0 が送信モードで動作している様子を図解したものである。アンテナ 5 7 0 2 (例示説明の便宜上ホーンアンテナとして示す) は、E M 信号 5 7 0 4 を送信し、この信号はビームステアリング・リフレクタ 5 7 0 0 に達する。ビームステアリング・リフレクタ 5 7 0 0 は、E M 信号 5 7 0 4 の方向を転じ、5 7 0 6 で示すような方向転換された E M 信号とする。ここで留意しなければならないのは、受信モードでは、ビームステアリング・リフレクタ 5 7 0 0 は同様に動作するということである。

#### 【 0 2 3 5 】

図 5 7 に示すビームステアリング・リフレクタ 5 7 0 0 は、ビームステアリング・アレイ 3 1 0 8 のリフレクタ型変形態様であり、周波数選択面 ( F S S ) の概念に基づくものである。同調可能な F S S がビームステアリング・リフレクタ 5 7 0 0 の基礎である。F S S は R F 信号を所定の位相 ( ) で反射する機能を有する。さらに、F S S は薄いプリント回路様システムの形で作製することができる。F S S を同調可能な構成とすることによって、F S S の位相 を制御することができる。例えば、ビームステアリング・リフレクタ 5 7 0 0 は、実質的に平坦面をなす複数のセルを有する。面 5 7 1 0 の各セルを独立に制御されるよう構成することによって、 のプロファイル ( 変化相 ) 、あるいは輪郭をビームステアリング・リフレクタ 5 7 0 0 の表面 5 7 1 0 に付与することができる。そのために、ビームステアリング・リフレクタ 5 7 0 0 の実質的な平坦面 5 7 1 0 は、パラボラリフレクタと同様の特性を持つことができ、三次元 ( 3 D ) 面にはスペースが必要とい

40

50

う短所がない。面5710は、さらに、同調させるアルは調整して、ビームステアリング・リフレクタ5700をステアラブルにすることができる。さらに、ビームステアリング・リフレクタ5700は、ステアラブルにするのに可動部品が不要である。

#### 【0236】

完全磁気導体(PMC)の性質を示す材料のシートをビームステアリング・リフレクタ5700を有効化(動作可能に)するためのFSSとして使用することができる。このようなPMC面は、共振時の動作性能が理論的PMCに近い二重周期(doubly periodic)共振性の電氣的LC(インダクタンス・キャパシタンス)回路を具有することができる。したがって、このようなPMC面は、周波数従属性の特性を持ち、そのためにFSSとして適している。

#### 【0237】

同調可能位相型PMCは、電子的に調整可能な埋め込みインダクタンスLまたはキャパシタンスCを持つ。従来の実装技術に基づいて、これらの表面は表面の共振周波数(fr)、故に表面の電氣的操作を可能にする。現在の製造技術のコストおよび限界のために、これらの表面はサイズの3"×6"(7.6×15.2cm)程度と非常に小さく、オン・ザ・ベンチ実験での概念実証用にしか適していなかった。ナノワイヤ薄膜を大面積基板に実装する本発明のマクロエレクトロニクスによれば、ビームステアリング・リフレクタ5700用の実用サイズを持つ同調可能FSSリフレクタの作製が可能になる。

#### 【0238】

図33は、ビームステアリング・リフレクタ5700の一例の表面5710を示したものである。図33に示すように、ビームステアリング・リフレクタ5700は、セル3302a~3302cを含め複数のセル3302を有する。ビームステアリング・リフレクタ5700のセル3302は各々共振性を有する。さらに、本発明によれば、ビームステアリング・リフレクタ5700の複数のセル3302中の各共振セルは、独立に同調可能な構成とすることができる。それ故、ビームステアリング・リフレクタ5700の面5710の異なるエリアが異なる反射位相を持つようにすることができる。ビームステアリング・リフレクタ5700を不均一な反射位相特性を持つよう構成することによって、反射ビームを集中させ、拡散させ、あるいは望むように操作することができる。

#### 【0239】

図34は、固定周波数PMC構造3400の一例の断面図である。図34の例では、3つのセル3302a~3302cが示してある。図35は、セル3302a、3302b、3302d、および3302eの2×2アレイを持つPMC構造3400の一部を示す斜視図である。図34に示すように、PMC構造3400は、第1の導電層3402、第2の導電層3404、および誘電体層3406を有する。誘電体層3406は、第1の導電層3402と第2の導電層3404との間に位置する。

#### 【0240】

第1および第2の導電層3402および3404は、銅またはアルミニウムのような金属、あるいは金属/合金の組合せを含め、任意の電子的に導電材料(導体)で形成することができる。誘電体層3406は、任意の電気絶縁体で形成することができ、セル3302のインダクタンスおよび/またはキャパシタンス特性を強化するよう選択することができる。第2の導電層3404は、通常、設置または他の基準電位に結合される。PMC構造3400は、例えば、標準的な2層プリント回路基板(PCB)製造技術を用いて作製することができる。

#### 【0241】

図34に示すように、各セル3302は、第1の導電層3402において他の部分3410と分離された「パッチ」または部分3410を有する。図35に示すように、これらの部分3410は、実質的に矩形状とすることができるが、他の態様においては、他の形状とすることもできる。さらに、各セル3302には、それぞれの部分3410を第2の導電層3404に電氣的に結合する導電ビア3412が貫通形成されている。各部分3410および対応するビア3412は、第2の導電層3402上に画鋲様構造を形成す

10

20

30

40

50

る。

#### 【0242】

図36は、PMC構造3400の一部のセル3302aおよび3302bの共振に関するインダクタンスおよびキャパシタンスを図解したものである。PMC構造3400内の共振によって、ビームステアリング・リフレクタ5700のビームステアリング機能をもたらされる。共振は、キャパシタンスCとインダクタンスLの存在によって起こる。キャパシタンスCは、各部分3410と導電層3404の接地面（または他の基準電位）との間に存在する。インダクタンスLは、各部分3410、対応するバイア3412、および第2の導電層3404の接地面（または他の基準電位）の故に存在する。このように、キャパシタンスCとインダクタンスLはセル3302の共振周波数 $f_r$ に寄与する。固定周波数PMC構造3400に衝突する入射EM信号波は、周波数がFSSの共振周波数 $f_r$ ならば、同相で反射する。周波数 $f$ でPMC構造3400に衝突する入射EM信号波は、周波数が共振周波数 $f_r$ からずれていると( $f < f_r$ )異なる大きさの で、またそのずれが大きい場合( $f << f_r$ または $f >> f_r$ )  $180^\circ$ に近い で反射する。例示説明のため、図37に、固定周波数PMC構造3400における任意の一对のセル3302の伝送線路等価回路モデル3700の概略図を示す。

10

#### 【0243】

マイクロ波分析技術を用いて、図36に示すPMC構造3400が如何にPMCの特性、すなわち  $\theta = 0^\circ$  を持つという特性を示すかを明らかにすることができる。図40は、( $f$ )、すなわち反射係数位相対周波数の関係を表す線4010のグラフ400を示す。曲線4010は、 $\pm 180^\circ$ の範囲で変化する の値を示している。また、 $\pm 90^\circ$  (の に対するPMCの動作範囲4002の例も示してある(ただし、本発明は、 が他の範囲を持つことも可能である)。図40に示すように、範囲4002は比較的狭い。セル3302の共振周波数 $f_r$ を調整することによって、曲線4010を左右に「スライド」することができる。これによって、動作点(すなわち、特定の動作周波数 $f$ における の値)を上、すなわち $+90^\circ$ に向けて、あるいは下、すなわち $-90^\circ$ に向けて同相で動かすことができ、位相制御をもたらされる。

20

#### 【0244】

このようにして位相制御を行うため、また位相調整可能な位相共形面を作り出すためには、コンデンサの値Cまたはインダクタの値L、あるいはCおよびLの両方を調整しなければならない。例えば、これらの値は電子的に調整することができる。これを行うために、ビームステアリング・リフレクタは、電気的コンポーネントを実装するための大きな面積が必要となる。さらに、必要なRF(高周波数)処理のために高い電子的性能が要求される。ナノワイヤ膜を実装した本発明の大面积マイクロエレクトロニクス基板は、これらの能力、性能をもたらしてくれる。PMC構造3400は、本発明によれば、ビームステアリング・リフレクタ5700を形成するよう同調可能に構成することができる。

30

#### 【0245】

PMC構造3400をビームステアリング・リフレクタ5700として構成するには、PMC構造3400のFSSセル3302の共振周波数 $f_r$ (また特定の $f$ における )を能動制御可能に構成しなければならない。一実施例においては、可変Cバラクタダイオードまたはトランジスタを通しての同調可能素子のL変換のような能動負荷を実装することによって、セル3302のアナログまたは連続位相調整を行うことができる。もう一つの実施例においては、セル3302の不連続式位相調整を、セル3302の共振回路の外に種々の値を持つリアクタンス要素を切り換えることによって行うことができる。

40

#### 【0246】

図38は、本発明の一実施例における、能動位相調整素子をPMC構造に結合して不連続同調を可能にしたビームステアリング・リフレクタ5700の断面図である。図38の実施例においては、各セルに種々のL値(および/またはC値)で不連続(離散的)に同調できる回路を結合することによってビームステアリング・アレイ構造が作り出される。図38に示すように、セル3302は図34に示すセルと類似している。しかしながら、図

50

38の場合、各セル3302は、第1の端部が部分3410に結合され、第2の端部3804が第2の導電層3404中の開口部3806を貫通して伸びる導電バイア3802を有する。さらに、各セル3302毎に、一对のインダクタ3810aおよび3810bがバイア3802の第2の端部3804と第2の導電層3404との間にそれぞれ対応するスイッチ3830aおよび3830bを通して結合されている。インダクタ3810は、セル3302用の位相調整要素として動作する。スイッチ3830の選択制御によって、インダクタ3810はセル3302に離散的に結合されて、セル3302の共振周波数の調整が行われ、これによってビームステアリング・リフレクタ5700に対する同調可能性がもたらされる。図39は、ビームステアリング・リフレクタ5700における任意の一对のセル3302の伝送線路等価回路モデル3900の概略図を示す。ここで留意しなければならないのは、図39は、異なる値のインダクタを切り換えることにより、インダクタの長さを変えることにより、あるいは本願中随所に記載する技術またはその他周知の技術によって調整できる調整可能インダクタを示しているということである。

10

## 【0247】

ここで留意しなければならないのは、図38の例では各セル3302について2つのインダクタ3810aおよび3810bが示されているが、本発明は、これより大きい数のインダクタおよびスイッチを含め、任意の数のインダクタ3810および対応するスイッチ3830でセルを同調させるよう適応可能であるということである。さらに、コンデンサを含め、インダクタ以外の他の形態の回路要素をセル3302用の位相調整要素として用いることができる。

20

## 【0248】

本発明のいくつかの実施形態によれば、スイッチ3830の機能はナノワイヤ型デバイスによって得られる。このようなナノワイヤ型デバイスには、ダイオードまたは電界効果トランジスタ(FET)の形態のものが含まれる。本願に記載する実施例では、同調可能性および位相制御の自由度を最大化するべく各セル3302に調整制御手段一式が組み込まれている。ここで留意しなければならないのは、他の実施例においては、必ずしもすべてのセル3302に位相制御が必要ではないということである。このように、いくつかの実施例においては、セル3302の1つ置きに、あるいは他の複数のセル3302を置いて位相調整制御手段が儲けられる。

30

## 【0249】

いくつかの実施形態においては、セル3302は約5~10mmの長さ/幅を持つが、他のサイズとすることもできる。このように、セル3302に標準パッケージの市販デバイスを実装するのは実際的ではない。例えば、図41は、従来のインダクタ4102a~4102cおよび対応するスイッチ4104a~4104cがセル3302に実装された状態の等比縮尺図を示している。ここで使用されているコンポーネントは民生部品(COTS)技術のものである。インダクタ4102a~4102cは、市販の0603型インダクタとして示されており、スイッチ4104a~4104cは市販のSOT-23FETとして示されている。ここで留意しなければならないのは、図41のCOTSの例で使用されているコンポーネントのサイズの故に、セル3302には空きエリアはほとんどないということである。さらに、RF(高周波数)バイパス、フィルタ、およびバイアス制御に必要な他の回路要素はセル3302上には存在しない。したがって、市販のコンポーネントを用いることによる実際の3スイッチ型インダクタの実装は困難である。

40

## 【0250】

図42は、本発明の一実施例における、ナノワイヤ型位相調整回路を実装したセル3302の等比縮尺図である。図42において、位相調整回路4200は、位相調整要素4202a~4202cおよびナノワイヤ型トランジスタ4204a~4204cを有する。図42の例において、位相調整要素4202a~4202cはマイクロストリップ・インダクタとして示されている。図42においては、セル3302上に相当な大きさの空きスペースが得られる。図42のセル3302上にある空きスペースは、実用設計に要求されるさらに他のコンポーネントの追加を可能にする。図41と図42との比較から明らかな

50

ように、ナノワイヤ型トランジスタ4204を使用することによって、実用的な同調可能セル3302の実装が可能になる。

【0251】

図43は、本発明の一実施例における、の一例のナノワイヤ型トランジスタ4204aのさらなる詳細を示す拡大図である。ナノワイヤ型トランジスタ4204aは、図11に示す半導体素子1100に関して上に説明したのと同様にして、あるいは本願中随所に記載したナノワイヤ型トランジスタと同様にしてナノワイヤ膜により形成される。例えば、図43に示すように、ナノワイヤ型トランジスタ4204aは、ドレインコンタクト4302a、ゲートコンタクト4206a、ソースコンタクト4304a、およびナノワイヤ薄膜4320を具有する。ナノワイヤ薄膜4320は、図10に示すナノワイヤ薄膜1000に関して上に説明したようにして、また本願中随所に記載したようにして形成またはパターニングすることができる。ナノワイヤ薄膜4320のナノワイヤは、整列型でも非整列型でもよく、必要ならばポリマー（高分子材料）を含んでもよく、また本願中に記載する任意の他の変形態様を含むことができる。ナノワイヤ薄膜4320はナノワイヤ型トランジスタ4204a用の「チャンネル」として動作し、ナノワイヤ型トランジスタ4204aについて望まれる特性によって、Pドープ型でもNドープ型でもあるいはPドープとNドープを組み合わせたものでもよい。

【0252】

図43に示すように、ナノワイヤ薄膜4320は長さが4310で示す長さより長い。長さ4310は、ドレインコンタクト4302aとソースコンタクト4304aとの間の距離にほぼ等しい。このように、ナノワイヤ薄膜4320の長さは、ナノワイヤ薄膜4320がドレインコンタクト4302aおよびソースコンタクト4304aと電氣的に接触して、ナノワイヤ型トランジスタ4204aが動作するのに十分な長さである。ナノワイヤ薄膜4320のナノワイヤは4310で示す長さ以上の長さを持つように形成されるか、または選択され、あるいは他の長さを持つことも可能である。

【0253】

図42に示すように、ナノワイヤ型トランジスタ4204は比較的サイズが小さいために、セル3302上には、図示のマイクロストリップ・インダクタのような位相調整要素4202、あるいは他の必要コンポーネントを入れるための大きな面積が残る。その結果、ナノワイヤ型トランジスタ4204を実装した場合、より多数の位相調整要素をセル3302に実装して、より高度の位相調整、したがってビームステアリング・リフレクタ3200のより高度のビームステアリング制御を行うことが可能になる。

【0254】

ここで留意しなければならないのは、COTSまたはナノワイヤデバイスを使用する代わりに、制御電子回路が入った集積回路ダイをセル3302に固着してワイヤボンディングすることもできるということである。しかしながら、従来のワイヤボンディング・マシンは、通常3"~6"（7.6~15.2cm）径のウェーハを扱うよう設計されている。したがって、任意のサイズおよび複雑性の能動FSSを作製するには、これらの機械を高い費用をかけて改修することが必要になるものと思われる。それ故に、セル3302にナノワイヤ型の高性能マクロエレクトロニクス基板を使用することは、ビームステアリング・アレイの実施にとって決定的なまでに重要である。

【0255】

ナノワイヤ型位相調整回路4200の位相調整要素4202およびナノワイヤ型トランジスタ4204をセル3302に実装するには、種々のプロセスを使用することができる。例示説明のため、以下に、ナノワイヤ型位相調整回路をセル3302と共に集積するプロセスの例について説明する。ただし、本発明はこれらの例に限定されるものではない。

【0256】

図44は、ビームステアリング・リフレクタ700を形成する実施例を示し、この実施例においては、PMC構造4402はナノワイヤ型位相調整回路4410a~4410dとは別途に形成され、その後組み付けられる。ここで留意しなければならないのは、PM

10

20

30

40

50

C構造4402は従来の製造技術を用いて作製できるということである。ナノワイヤ型位相調整回路4410a~4410dは、基板4404上に形成される。基板4404は、KAPTONを含め、任意の基板材料で形成することができる。基板4404には、ナノワイヤ型位相調整回路4410a~4410d用のパイアの端部3804aおよび3804bの導入口として開口部(図44では省略)が形成される。その後、エポキシまたはラミネート剤を用いて、基板4404がPMC構造4402に固着される。

#### 【0257】

ここで留意しなければならないのは、別の実施例においては、ナノワイヤ型位相調整回路は直接PMC構造に形成できるということである。例えば、図45は、ナノワイヤ型位相調整回路がPMC構造4402に形成された例を示す。図45に示すように、電気絶縁/誘電体層4502をPMC構造4402の第2の導電層3404に被着する。すると、ナノワイヤ型トランジスタを誘電体層4502上に直接形成することができる。図45の例は、2つのナノワイヤ型トランジスタが形成されているところを示す。図45に示すように、誘電体層4502をPMC構造4402に被着した後、メタライゼーションによって誘電体層4502第1および第2のコンタクトのセット4520aおよび4520b、そしてパイアを形成する。位相調整要素を被着することもできる。例えば、図45の誘電体層4502には、インダクタ4530aおよび4530bが形成されたところが示されている。インダクタ4530aおよび4530bは、マイクロストリップまたはストリップ線路技術を用いて、また巻き線型インダクタデバイスを被着することによって、誘電体層4502上に形成することができる。

10

20

#### 【0258】

その後、ナノワイヤ型トランジスタ4204の場合について図46に示すように、ナノワイヤ薄膜4602を誘電体層4502に被着し、コンタクト4520に接着する。図46の例に示すように、ナノワイヤ薄膜4602のナノワイヤ4604を誘電体材料4610で被覆して、ゲート誘電体を作り込む。このようにして、複数のナノワイヤ型トランジスタ4204を作り込むことができる。図46には、誘電体層4502を貫通するパイア4620が示されており、このパイアはナノワイヤ型トランジスタ4204のソース電極を、通常接地面または他の基準電位面として使用されるPMC構造4204の第2の導電層3404に電氣的に結合する。

#### 【0259】

ビームステアリング・リフレクタ3200を形成するためのもう一つの実施形態においては、ナノワイヤ薄膜を基板4404のような表面に被着することができる。ゲート、ソースおよびドレインコンタクトをナノワイヤ薄膜上にパターンニングする。次に、誘電体層4502のような誘電体材料を上形成し、ナノワイヤ薄膜およびコンタクトを被覆する。例えば、誘電体材料は低Tp誘電体であってもよい。パイアを穴あけし、導電材料を充填する。次に、PMC構造を誘電体材料上に形成することができる。このように、この実施例では、得られるナノワイヤ薄膜がPMC構造と同じ基板表面上にある。

30

#### 【0260】

関連技術分野の当業者にとっては、本願の開示事実から、ビームステアリング・リフレクタ3200を形成するための他の多くのプロセスが自明となろう。次節でナノワイヤ型位相調整回路に関する別の実施例について説明する。

40

#### 【0261】

多アンテナ素子ビームステアリング・アレイの実施形態

この節では、複数の独立アンテナ素子を実装したビームステアリング・アレイの例を説明する。次の説明では、例示説明の便宜上、特定のアンテナの構成に基づき説明するが、本願開示のナノワイヤ技術は複数の独立アンテナ素子を実装したあらゆる形態のアンテナに適用可能であり、そのようなアンテナはすべて本発明の範囲および精神の範囲内に包括されるものと解すべきである。

#### 【0262】

図47は、本発明の一実施例における一例のビームステアリング・アレイ4700を示

50

す。図47に示すビームステアリング・アレイ4700は、図6Aおよび6Bに示すビームステアリング・アレイ608の多アンテナ素子版である。図47に示すように、ビームステアリング・アレイ4700は複数のアンテナ素子4702a~4702nを具有する。ビームステアリング・アレイ4700は、各特定の用途の必要に応じて、任意の数のアンテナ素子4702を具有することができる。図47に示す実施例においては、アンテナ素子4702a~4702nを共通基板4704上に形成する。基板4704は、本願中随所に記載したような、あるいは多の周知の基板のような、アンテナ素子を実装するための任意の形態の基板を使用することができる。別の実施例においては、各素子を別々の基板に形成する場合も含め、アンテナ素子4702a~4702nを2枚以上の基板に形成することができる。さらに他の実施例ではアンテナ素子4702a~4702nは、全く基板上に形成する必要がない。

10

#### 【0263】

アンテナ素子4702a~4702nは各々、それぞれ、アンテナ4706a~4706nの1つ、可調移相器4708a~4708nの1つ、およびアンテナ入出力線4710a~4710nの1つを具有する。各アンテナ素子4702において、アンテナ4706を受信しかつ送信する。アンテナ入出力線4710は、送信しようとする信号をアンテナ4706へ伝え、かつアンテナ4706からの受信信号を伝える。可調移相器4708は、アンテナ入出力線4710を通してアンテナ4706へ、またアンテナ4706から伝達される信号の位相ずれを調整する。

#### 【0264】

4702a~4702nの各アンテナ素子は同調可能である。したがって、アンテナ素子4702a~4702nは、ビームステアリング・アレイ3108に関して上に説明したように、全体をまとめてビームステアリング・アレイとして使用することができる。例えば、アンテナ入出力線4710a~4710nを通過する信号の位相を可調移相器4708a~4708nで調整することによって、アンテナ素子4702a~4702nによって送信される累積信号(cumulative signal)を、送信信号について特定の方向を選択する、集中させる、拡散させることを含めて方向転換することができる。さらに、可調移相器4708a~4708nを使用して、特定の方向からの信号を受信することができる。

20

#### 【0265】

ここで留意しなければならないのは、一実施例においては、アンテナ入出力線4710a~4710nは各々、それぞれのアンテナ素子4702a~4702nに同じ信号を供給する。もう一つ別の実施例においては、1本以上のアンテナ入出力線4710a~4710nが、それぞれのアンテナ素子4702a~4702nに異なる信号を供給する。例えば、このような実施例においては、1本以上のアンテナ入出力線4710a~4710nが、送信の場合に異なる量だけ移相された信号を供給できるようにし、一部または全部のアンテナ素子が可調移相器4708a~4708nを必要とせず、また、これに代えて、無移相とするか、あるいは「ハードワイヤード」移相(位相ずれ)を使用できる構成とすることが可能である。「ハードワイヤード」位相ずれは、ナノワイヤインーブル型トランジスタ、またはナノワイヤインーブル型素子を用いて実装することが可能である。上に説明したようなリフレクタ型ビームステアリング・アレイも同様に構成することが可能である。

30

40

#### 【0266】

次節では、可調移相器4708の実施形態について説明する。これらの実施形態は、例示説明のためのものであって、本願発明に対して限定的な意味を有するものではない。

#### 【0267】

##### 可調移相器の実施形態

この節では、図47に示す可調移相器4708a~4708nとして使用することができる可調移相器または可変移相器の実施形態について説明する。可調移相器は、電気信号について可調位相遅延が必要な種々の用途を含め、上に説明した以外の他の用途でも使用

50

することができる。可調移相器は、任意の数の位相遅延、一部の実施例ではほぼ連続可調位相遅延に近い位相遅延を得ることができる。ビームステアリング・アレイに応用した場合、可調移相器を用いて、アンテナビームについて非常に繊細な方向制御度を得ることができる。

#### 【0268】

電子制御可能な可変移相網は、多くの用途にとって有用である。高周波（例えば、約300kHz以上）では、移相網は上に説明したようなアンテナビームステアリング・アレイで用いて、各アンテナ素子が制御可能な位相ずれをもって電磁波を放射するかまたは反射するようにすることができる。アンテナ素子アレイまたはリフレクタの各素子の位相を適切に調整することによって、アンテナ放射パターンを修正することができる。上に説明したように、これを用いて、アンテナの送信電力最大点を、機械的に行うことができるより迅速に走査して見つけることができる。また、これは、干渉信号をなくすために、アンテナを電力最小（または電力ゼロ）方向に向けるためにも使用することができる。

#### 【0269】

好ましくは、このような移相網は小型、安価、低損失で、また小インクレメントでの調整可能とする。一部のアンテナ設計の場合、移相器を低温のフレキシブルファブリック（flexible fabric）に被着できると好都合である。従来、FET、PINダイオード、および/またはバラクタダイオードのようなソリッドステート・デバイスが可調移相器で使用されている。しかしながら、これらのデバイスは硬質の半導体基板に作製される。これらのデバイスは、ハンダまたはワイヤボンディングを用いて互いに、またアンテナに接続される。さらに、このようなデバイスは、バイアス用の付加的回路要素を必要とすることがしばしばある。これらの不利な属性は、コストを押し上げ、処理加工時に高温を必要とし、またデバイスを固着できる基板の種類が限定される。アモルファストランジスタでは、おそらくこれらの難題をある程度解消できようが、高周波およびマイクロ波周波数域における性能が十分ではない。

#### 【0270】

本発明は、これらの制約を克服する可調移相器を開示するものである。図48は、本発明の実施例において基板上に可調移相器4800を形成する工程例を示すフローチャートである。図48のステップは、関連技術分野の当業者にとっては、本願の開示事実に基づき自明となるように、必ずしも図示の順序で行われる必要はない。また、他の構造的実施例も、関連技術分野の当業者にとって、本願の開示事実に基づき自明となろう。次に、フローチャート4800の各ステップについて詳細に説明する。

#### 【0271】

フローチャート4800は、ステップ4802から開始される。ステップ4802では、第1の導電セグメントおよび第2の導電セグメントを有する導体線が基板上に形成される。例えば、図49は、基板4900上に形成された導体線4902を示す。導体線4902は、メタルトレースまたは伝送線路を含め、任意の形態の導電体を使用することができる。例えば、導体線4902は伝送線路構造における接地面の上方に形成することができる。あるいは、導体線4902は、マイクロストリップ、ストリップ線路、共面ウェーブガイド、またはその他の形態の導体とすることができる。さらに、基板4900は、本願中随所で記載したすべての形態の基板、または他の周知の基板を含め、電気信号用の導体をその上に形成することができるすべての形態の基板を用いることができる。導体線4902は、従来の任意のプロセスを用いて基板4900上に形成することができる。

#### 【0272】

図49に示すように、導体線4902は第1の導電セグメント4904および第2の導電セグメント4906を有する。また、導体線4902には、第1の導電セグメント4904と第2の導電セグメント4906との間に直列に第3の導電セグメントを設けることができる。一実施例においては、第1および第2の導電セグメント4904および4906は、今日面状伝送線路様のストリップで、長さ1/4波長の伝送線路をなす。第3の導電セグメント4908は、事実上、伝送線路の一端に電氣的短絡回路を形成する。このよ

10

20

30

40

50

うな1/4波長伝送線路は、一端を短絡すると、見かけ上、電氣的にインダクタとして他端に現れる。以下に説明するように、形成される伝送線路の長さを変えることによって、この見かけ上のインダクタは値が変化する。したがって、このようにして形成される導体線4902を使用して、図47に示すアンテナ4706a~4708nの中の1つに結合された信号のような信号の位相遅延を変えることができる。

#### 【0273】

ステップ4804においては、基板上に、第1の導電セグメントおよび第2の導電セグメントと電氣的に接触させてナノワイヤ薄膜を形成する。例えば、図50は、本発明の一実施例において基板4900上に形成されたナノワイヤ薄膜5002を示す。ナノワイヤ薄膜5002は、例えば、図10に示すナノワイヤ薄膜1000と同様の薄膜である。ナノワイヤ薄膜5002は、パターンニングすることができ、あるいは形成することができ、ナノワイヤに関して本願に記載したすべての変形態様を含めることができる。図50に示すように、ナノワイヤ薄膜5002は、導体線4902の第1および第2の導電セグメント4904および4906と電氣的接触関係をもつように形成される。

10

#### 【0274】

ステップ4806では、複数のゲートコンタクトをナノワイヤ薄膜と電氣的に接触させて形成する。例えば、図51は、本発明の一実施例において、可調移相器5100を形成するべくナノワイヤ薄膜5002にこれと電氣的に接触させて形成された複数のゲートコンタクト5102a~5102nを示す。このようにして、ナノワイヤ薄膜5002に、各々ゲートコンタクト5102a~5102nの中の1つによって制御される複数のナノワイヤ型トランジスタ5110a~5110nが形成される。第1および第2の導電セグメント4904および4906は、ナノワイヤ型トランジスタ5110a~5110nの共通のソースおよびドレインコンタクトとして機能する。

20

#### 【0275】

ゲートコンタクト5102a~5102nは、ステップ4804でナノワイヤ薄膜5002を基板4900に被着する前に基板4900上に形成することもできれば、ステップ4804の後ナノワイヤ薄膜5002に形成することもできる。ゲートコンタクト5102a~5102nは、導電性ポリマー、金属、ポリシリコン、または本願に記載する他のコンタクト、あるいは他の周知のコンタクトを含め、任意の形態のコンタクトとすることができる。ゲートコンタクト5102の数は、各特定の用途によって望ましい位相調整制御度に応じて任意の数を形成することができる。作り込まれるゲートコンタクト5102の数が多岐にわたるほど、位相制御度は高くなる。さらに、ゲートコンタクト5102a~5102n同士の間隔は均一でも不均一でもよい。例えば、ゲートコンタクト5102a~5102n同士の間隔は二進加重(binary weighted)方式で配分することができる。

30

#### 【0276】

制御信号は各ゲートコンタクト5102に結合される。種々のゲートコンタクト5102a~5102nを制御信号で励起することによって、異なる移相度がもたらされる。各ゲートコンタクト5102a~5102nの励起は、それぞれのナノワイヤ型トランジスタ5110をして導体線4902の異なる部分を電氣的に短絡させるか、またはバイパスさせる。これによって、導体線4902を通る長さが異なる電気経路が得られ、その結果異なる位相遅延がもたらされる。

40

#### 【0277】

このようにして、可調移相器5100によれば、導体線4902を通して伝送される電気信号の位相を、複数のゲートコンタクト5102a~5102nの中の少なくとも1つのゲートコンタクトに印加される電圧を変えることによって調整することが可能になる。上に説明したようなアンテナ用途では、可調移相器5100は可変インダクタンスをもたらし、したがって、アレイの所与のアンテナ素子の反射位相の調整が可能になる。

#### 【0278】

ここで留意しなければならないのは、導体線4902、ゲートコンタクト5102、お

50

よびナノワイヤ薄膜5002は、基板4900上に任意の順序で形成できるということである。

【0279】

ナノワイヤ薄膜5002のナノワイヤは、整列型でも非整列型でもよい。例えば、図52Aは、本発明の一実施形態における、整列型ナノワイヤよりなるナノワイヤ薄膜5002を有する一例の可調移相器5100を示す。図52Bは、図52Aの可調移相器5100の断面図を示す。ナノワイヤは、第1導電セグメント4904と第2の導電セグメント4906との間で軸線5202と平行に整列している。さらに、図52Aに示す実施形態では、ナノワイヤ薄膜5002のナノワイヤは、第1のセグメント4904と第2の導電セグメント4906との間の距離にほぼ等しい長さを有するが、他の実施形態においては、ナノワイヤは他の長さを持つことができる。

10

【0280】

また、図52Aおよび52Bで留意しなければならないのは、ナノワイヤ薄膜5002のすべてのナノワイヤがナノワイヤ型トランジスタ5110に組み入れられる訳ではないということである。言い換えると、すべてのナノワイヤをゲートコンタクト5102と電氣的に接触させなければならないことはない。例えば、図52Aおよび52Bに示すナノワイヤ5250がそのようなナノワイヤである。ナノワイヤ薄膜5002のナノワイヤは、少なくとも一方向に非導電性となる（すなわち、反転モードになる）よう形成することができ、それによって、いくつかのナノワイヤがナノワイヤ型トランジスタ5110に入っていないければ、それらのナノワイヤは可調移相器5100の動作に影響を及ぼさないようにすることができる。

20

【0281】

一実施形態においては、基板4900は図52Bに示すような構成とすることができる。図52Bに示すように、基板4900は、接地面または他の電位面として機能することができる導電層5270に固着された誘電体層5260を具有する。

【0282】

ここで留意しなければならないのは、いくつかの実施例では、ナノワイヤ膜のいくつかの部分を基板4902上に形成することによって、ナノワイヤ型トランジスタ5110を形成できるということである。例えば、図53は、本発明の一実施例において基板4902上に形成された複数のナノワイヤ薄膜5002a~5002nを示す。複数のナノワイヤ薄膜5002a~5002nの各薄膜は、それぞれゲートコンタクト5102a~5102nの中の1つによって励起される。

30

【0283】

いくつかの実施形態においては、特定のナノワイヤ型トランジスタ5110によって与えられる位相遅延量は、ナノワイヤ型トランジスタ5110によって与えられる導体線4902を通る電気経路の長さを変えることによって決定される。さらにいくつかの実施形態では、負荷を導体線4902にかけることによって、追加の位相遅延量または制御された位相遅延量を得ることができる。例えば、インダクタ、コンデンサ、および抵抗器のような回路要素を用いて、変化する遅延を得ることができる。

【0284】

図29は、本発明の一実施例における、負荷を実装して位相遅延を与えた導体線4902（基板4900は図示省略）を示す。図54に示すように、導体線4902には、位相遅延を生じさせるための第1のインダクタ5402aおよび第2のインダクタ5402b（一般的なインダクタ素子として示してある）が形成されている。さらに、導体線4902には、位相遅延を変えるための第1、第2、および第3のコンデンサ5404a~5404c（一般的なコンデンサ素子として示してある）が結合されている。図55は、複数のナノワイヤ型トランジスタ5110a~5110cを形成するべくナノワイヤ薄膜5002a~5002cが形成された図54の導体線4902を示す。トランジスタ5110a~5110cのいずれか1つを起動するかまたはどれも起動しないかによって得られる位相遅延は、インダクタ5402aおよび5402bとコンデンサ5404a~5404

40

50

cの組合せによって変化する。いくつかの実施例においては、任意の数のインダクタ、コンデンサ、および/または他の負荷要素を必要に応じて導体線4902に実装して、位相遅延を得ることができる。

【0285】

上に説明したように、ナノワイヤ薄膜5002のナノワイヤは、ゲート誘電体として機能する絶縁体で被覆することができる。一実施例においては、この絶縁体は、ナノワイヤの第1の導電セグメント4904および第2の導電セグメント4906のソースおよびドレイン領域から取り除くことによって、電氣的接触を改善することができる。

【0286】

ここで留意しなければならないのは、ナノワイヤ型トランジスタは、ゲートコンタクト5102に印加される電圧によって高インピーダンスまたは低インピーダンススイッチとしてしようできるということである。また、ここで留意しなければならないのは、寄生容量(接地に対するキャパシタンス、ゲートに対するキャパシタンスなど)は導体線4902に吸収され、したがって可調移相器回路にマイナスの影響を及ぼすことはないということである。ナノワイヤは、Nドーピングすることも、あるいはPドーピングすることもでき、またエンハンスメント型トランジスタとして構成することも、あるいはデプリーション型トランジスタとして構成することもできる。

【0287】

さらに、留意しなければならないのは、関連技術分野の当業者には理解されるところであろうが、ナノワイヤ型PINダイオードおよびナノワイヤ型バラクタを、上に説明したナノワイヤ型スイッチの代替として使用できるということである。

【0288】

能動型音響打消しの実施形態

この節では、可調のイズのような音響信号を大幅に低減する、または打ち消すために使用するアクチュエータアレイの例について説明する。本発明のいくつかの実施例においては、ナノワイヤ薄膜またはナノチューブ薄膜を用いてこのような音響打消しを大きな面積にわたって可能にする。次の説明では、例示説明の便宜上、特定の構成の音響打消しデバイスに基づき説明するが、本願開示のナノワイヤ技術はあらゆる形態の音響打消しデバイスに適用可能であり、そのような音響打消しデバイスはすべて本発明の範囲および精神の範囲内に包括されるものと解すべきである。

【0289】

従来のヘッドホンの中には、ヘッドホンの周囲のノイズを監視し、音波のパターンを送ることによって、外部ノイズを大半消去することを試みる技術を組み込んだものがある。このように送出される音波のパターンは、ノイズの位相とは逆相で送出される。この音波の送出パターンは、ノイズを静めて、ヘッドホンを通して演奏されているものを聴きやすくしようとするためのものである。このようなヘッドホンを製造している一つの会社が米国マサチューセッツ州フラミングトンのポーズ・コーポレーションである。

【0290】

この技術の動作原理は、ノイズのような入ってくる音響信号(入来音響信号)を受信し、その入来信号を処理し、入来信号と位相がずれた相補周波数を計算で求めるというものである。その計算された周波数をアクチュエータに送ると、アクチュエータは打消し音響信号を送信して、少なくとも一部音響打消しを生じさせる。しかしながら、この技術は、ヘッドホンのような小面積の用途に限定されている。

【0291】

本発明によれば、アクチュエータアレイを形成し、その各々が受信器およびアクチュエータの位置からの打消し応答を計算するためのプロセッサを持つ構成によって、音響打消しを非常な大面積にわたってもたすことが可能である。このような大面積用能動型音響打消しシステムには多くの有用な用途がある。例えば、大面積能動型音響打消し技術を使用することによって、自動車、バス、さらには飛行機のような物体から発せられる音を一部または完全に打ち消すことができる。軍用の用途例においては、戦車あるいは潜水艦の

10

20

30

40

50

ような物体からの音を一部または完全に打ち消すことができる。

【0292】

従来の技術を使用しては、アクチュエータアレイが実現されるよう必要な電子部品を大面積にわたって作り出すことは実際上不可能である。必要な各プロセッサは、通常、シリコンウェーハから形成される高性能電子デバイスである。これらの必要電子回路は、さらに、音声周波数で機能し、またアクチュエータを駆動するための相当大きな利得をもたらすのに十分な電力を供給しなければならない。

【0293】

本願で説明する本発明のナノワイヤで可能になるマクロエレクトロニクス材料は、大面積にわたってアクチュエータアレイを駆動できる大面積回路の形成を可能にする。さらに、このアクチュエータアレイは、軽量で共形性があり、どのような構造にでも被着することができる。その上さらに、圧電ナノワイヤをマクロエレクトロニクス膜に実装することによって、アクチュエータを電子回路と共に単一基板に実装して真のマクロエレクトロニクス集積・能動型音響打消しシステムを形成することができる。これらのアクチュエータおよび電子回路は軟質（可撓性）基板に被着し、その軟質基板を何らかの物体に固着することが可能である。あるいは、別の態様として、アクチュエータと電子回路は直接物体の表面に被着することもできる。

10

【0294】

図56は、5602a~5602nで示すセルからなるアレイ5600を示す。本発明の一実施例では、各セル5602a~5602nは、アクチュエータと能動型音響打消しのための関連電子回路を具有する。アレイ5600の実施形態では、各特定の用途の必要に応じて、任意の数のセル5602を具有することができる。例えば、より大きい物体の全体にわたってノイズまたは他の音を打ち消すのに、より多数のセル5602を使用することができる。

20

【0295】

図32は、本発明の一実施例における、ノイズを監視し消去するための図56のアレイ5600の実装例を示す。図32に示すように、入力音波3200はアレイ5600に遭遇する。入力音波3200は、ノイズを含め、音の波動よりなる。入力音波3200は、複数の入力音波成分3202a~3202dを含み、これらの成分は、アレイ5600のセル5602a~5602nの中の対応するセルに受信される入力音波3200の部分である。各セル5602a~5602dは、音波成分3202a~3202dの中の対応する成分を受信し、処理する。各セル5602a~5602dは、それに応じて、打消し音声信号3204a~3204cを送信する各打消し音声信号3204a~3204dは、受信音波成分3202a~3202dの中の対応する成分と実質的に同じ周波数および逆位相を持つべく発生させ、これによって、受信音波成分3202a~3202dの中の対応する成分を打ち消させる。このようにして、入力音波3200は、減殺されるかまたは消去される。

30

【0296】

図58は、本発明の一実施例における、図56に示すセル5602の一例の詳細ブロック図である。セル5602は、アンテナ5802、受信器5804、プロセッサ5806、アクチュエータ・インタフェース回路5808、およびアクチュエータ5810を具有する。図58に示す以外の追加または代替コンポーネントを有する上記とは別の構成によるセル5602を本発明に適用することも可能である。

40

【0297】

アンテナ5802は、第1の音響信号を受信するが、これは、例えば、音波成分3202であってもよい。アンテナ5802は、音声またはオーディオ信号を受信して、その受信した第1の音響信号を表す電気信号を発生できる任意の要素である。

【0298】

受信器5804はアンテナ5802に結合されている。受信器5804は、アンテナにより出力された電気信号を受け取って、プロセッサ5806による処理に適切な信号を發

50

生する。例えば、一実施例においては、受信器 5804 はアナログ - デジタル変換器を有して、アンテナ 5802 が出力するアナログ電気信号を変換することも可能である。受信器 5804 は、受信器出力信号 5812 を出力する。

#### 【0299】

受信器 5804 にはプロセッサ 5806 が結合されている。プロセッサ 5806 は、受信器出力信号 5812 を受信して処理する。プロセッサ 5806 は、信号 5812 に関する情報を割り出す。例えば、一実施例では、プロセッサ 5806 は、信号 5812 に含まれる周波数および信号 5812 の振幅を決定することができる。また、プロセッサ 5806 は信号 5812 の位相も決定する。次に、プロセッサ 5806 は、このように確認、決定した情報を用いて、所望の打消し信号の振幅、周波数、および位相を決定する。プロセッサ 5806 は、所望の打消し信号の振幅、周波数、および位相に対応する制御信号 5814 を出力する。プロセッサ 5806 は、集積回路プロセッサおよび/またはデジタル論理回路を含め、その機能を遂行するのに必要な任意のハードウェア、ソフトウェア、ファームウェア、またはこれらの任意の組合せを有することができる。

10

#### 【0300】

プロセッサ 5806 にはアクチュエータ・インタフェース回路 5808 が結合されている。アクチュエータ・インタフェース回路 5808 は、制御信号 5814 をアクチュエータ 5810 による入力に先立って条件調整する。例えば、アクチュエータ・インタフェース回路 5808 は、信号 5814 がデジタルのときこれをアナログに変換するためのデジタル - アナログ変換器を有することができる。さらに、アクチュエータ・インタフェース回路 5808 は、アクチュエータ 5810 に必要な利得およびを得るための電流 1 つ以上の増幅器を有することができる。また、アクチュエータ・インタフェース回路 5808 は、アクチュエータ 5810 への電流をゲーティングするスイッチ/リレーを有することができる。上に述べたように、一実施例では、アクチュエータ・インタフェース回路 5808 は、アクチュエータ 5810 への電流を制御する 1 つ以上のナノワイヤインーブル型トランジスタを有することもできる。アクチュエータ・インタフェース回路 5808 は、アクチュエータ入力信号 5816 を出力する。アクチュエータ・インタフェース回路 5808 は、その機能を果たすのに必要な任意のハードウェア、ソフトウェア、ファームウェア、またはこれらの任意の組合せを有することができる。

20

#### 【0301】

アクチュエータ 5810 は、アクチュエータ入力信号 5816 を受信し、第 2 の音響信号を出力するが、この第 2 の音響信号は、例えば、打消し音声信号である。アクチュエータ 5810 は、1 つ以上のオーディオスピーカまたは圧電デバイスを含む、電気信号を音声信号またはオーディオ信号に変換する任意の素子あるいは要素である。上に説明したように、一実施例においては、アクチュエータ 5810 は、音響、音声、またはオーディオ出力信号を発生するために使用される圧電ナノワイヤを有することができる。

30

#### 【0302】

図 59 は、本発明の一実施例における、その各セル 3102 a ~ 3102 d が図 58 に示すような構成を持つ、基板 5900 上に形成された一例の 2 x 2 アレイ 3100 を示す。図 59 の構成では、各セル 3102 a ~ 3102 d の電子回路およびアクチュエータを単一基板 5900 上に実装することは困難である。図 59 および 60 は、ナノワイヤ膜を用いたアレイ 3100 の実施例を示す。ナノワイヤ膜を実装することによって、アレイ 3100 の単一基板 5900 上の形成が可能になる。次に、これらの実施例についてさらに説明する。

40

#### 【0303】

図 60 は、本発明の一実施例における、各セル 3102 にナノワイヤ型インタフェース回路 6008 が実装された図 59 のアレイ 3100 を示す。ナノワイヤをナノワイヤ型アクチュエータ・インタフェース回路 6008 に実装することによって、より高いレベルの性能、必要スペースの縮小、柔軟性、およびその他本願中随所に記載する利点がもたらされる。次に、ナノワイヤ型アクチュエータ・インタフェース回路 6008 の実施例につい

50

て説明する。

【0304】

図61は、本発明の一実施例における、各セル3102にナノワイヤ型アクチュエータ6110が実装された図60のレイ3100を示す。例えば、圧電ナノワイヤをナノワイヤ型アクチュエータ6110に実装することによって、打消し音声信号3204を発生させる。一実施例においては、1つ以上の圧電ナノワイヤ薄膜をナノワイヤ型アクチュエータ6110に実装する。各圧電ナノワイヤ薄膜は、それぞれの周波数を発生して、複数の出力周波数が打消し音声信号3204中に含まれるように構成する。別の態様として、アクチュエータ6110の圧電ナノワイヤ薄膜に印加する電流および/または電圧を変えることにより、いろいろ異なる周波数を発生させる。さらに、ナノワイヤをナノワイヤ型  
10

【0305】

図62および63は、本発明のナノワイヤ型インタフェース回路6008およびナノワイヤ型アクチュエータ6110の実施例を示す。

【0306】

図62の実施例では、ナノワイヤ型アクチュエータ・インタフェース回路6008はナノワイヤ型トランジスタ6202を具有する(ナノワイヤ型アクチュエータ・インタフェース回路6008の他のコンポーネントは図示省略)。ナノワイヤ型トランジスタ620  
20

2は、ソースコンタクト6204、ドレインコンタクト6206、ゲートコンタクト6208、および6210を具有する。ナノワイヤ薄膜6210のナノワイヤは、誘電体材料で被覆してゲート誘電体を形成することができる。ゲートコンタクト6208は、ナノワイヤ薄膜6210(ナノワイヤ型トランジスタ6206のチャンネルとして作用する)をしてナノワイヤ型トランジスタ6206を動作させる制御信号を受け取る。

【0307】

図62において、ナノワイヤ型アクチュエータ6110は、圧電ナノワイヤ薄膜6214を具有する。ナノワイヤ型トランジスタ6202が「オン」のとき、圧電ナノワイヤ薄膜6214は導通して、ドレインコンタクト6206とコンタクト6212との間に電流を流す。圧電ナノワイヤ薄膜6214は、導通しているとき、打消し音声信号3204で  
30

【0308】

図63は、ナノワイヤ型アクチュエータ・インタフェース回路6008とナノワイヤ型アクチュエータ6110とをオーバーラップさせた一実施例を示す。ナノワイヤ型アクチュエータ・インタフェース回路6008およびナノワイヤ型アクチュエータ6110は、ナノワイヤ型トランジスタ6302を具有する。ナノワイヤ型トランジスタ6302は、ソースコンタクト6304、ドレインコンタクト6306、ゲートコンタクト6312、および圧電ナノワイヤ薄膜6308を具有する。圧電ナノワイヤ薄膜6308のナノワイヤは、誘電体材料で被覆してゲート誘電体を形成することができる。ゲートコンタクト6312は、圧電ナノワイヤ薄膜6308(ナノワイヤ型トランジスタ6302のチャンネルとして作用する)をしてナノワイヤ型トランジスタ6302を動作させる制御信号を受け取る。ナノワイヤ型トランジスタ6302が「オン」のとき、圧電ナノワイヤ薄膜6308はソースコンタクト6304とドレインコンタクト6306との間に電流を流す。圧電ナノワイヤ薄膜6308は、導通しているとき、打消し音声信号3204で送信される周波数を発生する。  
40

【0309】

ナノワイヤ型アクチュエータ・インタフェース回路6008およびナノワイヤ型アクチュエータ6110に関して上に説明した実施例は、例示説明のためのものである。本発明は、関連技術分野の当業者にとって本願記載の開示事実から理解されるように、さらにナノワイヤ型アクチュエータ・インタフェース回路6008およびナノワイヤ型アクチュエ  
50

ータ6110の他の実施例についても適用可能である。

【0310】

結語

以上、本発明の種々実施例を説明したが、これらの実施例は例示説明のためのものであり、本発明に対して限定的な意味を有するものではないと解すべきである。関連技術分野の当業者にとっては、本発明の精神および範囲を逸脱することなく、形状および細部において種々の変更をなし得ることは自明であろう。故に、本発明の広さおよび範囲は上に説明したいずれの実施例によっても限定されず、特許請求の範囲の記載およびその等価技術によってのみ限定されるものである。

【図面の簡単な説明】

10

【0311】

【図1】図1は、異なる半導体材料（青色の部分で示す）について材料性能（キャリア移動度）対利用可能基板サイズの関係性を概略的に図解したグラフである。

【図2】図2は、実際の高性能マクロエレクトロニクスいくつかの潜在的用途を示す。

【図3】図3は、半導体ナノワイヤの材料と品質を示す。

【図4A】図4は、シングルナノワイヤFETを図解したものである。

【図4B】図4は、シングルナノワイヤFETを図解したものである。

【図4C】図4は、シングルナノワイヤFETを図解したものである。

【図5】図5は、オーダーの長さのオーダースケール（scale of order）図解した概略図である。

20

【図6】図6は、ナノワイヤの長さスケールを図解した概略図である。

【図7】図7は、半導体/誘電体コア-シェル構造を示す。

【図8】図8は、ゲルマニウムコア、シリコン・インナーシェルおよびシリカ・アウターシェルよりなるマルチシェル・ナノワイヤの横断面および構造の透過型電子顕微鏡法（TEM）およびエネルギー分散型X線分析法（EDX）の像を示す。

【図9】図9は、曲げ半径 $r < 10 \mu\text{m}$ のナノワイヤの暗視野光学顕微鏡写真（OM）を示す。

【図10】図10は、本発明の一実施例におけるナノワイヤ薄膜の一部分のクローズアップ写真を示す。

【図11】図11は、本発明の一実施例におけるナノワイヤ薄膜を有する半導体素子を示す。

30

【図12】図12A~12Dは、本発明の種々の実施例によりドーピングしたナノワイヤを示す。

【図13】図13Aおよび13Bは、本発明の種々の実施例によりドーピングした半導体素子の例を示す。

【図14】図14は、多機能混合ナノワイヤ薄膜の全体像を示す。

【図15】図15A、15Bは、pドープ・シリコンナノワイヤ薄膜トランジスタ（ $\mu \sim 100$ および $I_{on}/I_{off} \sim 10^4$ ）についての予備段階の結果を示す。

【図15C】図15Cは、pドープ・シリコンナノワイヤ薄膜トランジスタ（ $\mu \sim 100$ および $I_{on}/I_{off} \sim 10^4$ ）についての予備段階の結果を示す。

40

【図16】図16は、DION TFTの概略図である。

【図17】図17は、半導体コア、パッシベーションシェル、絶縁ゲート誘電体シェル、および導電ゲートシェルよりなるマルチ・コア-シェル・ナノワイヤの概略図である。

【図18】図18は、マクロエレクトロニクス回路作製の汎用電子基板の工程を示す。

【図19】図19は、ナノワイヤTFTのソースおよびドレインコンタクトとの接触のためコア材料を露出させるためにマルチ・コア-シェル・ナノワイヤのシェル材料をエッチングする工程を示す概略図である。

【図20】図20は、混合組成DION膜で可能ないくつかの形態を示す。

【図21】図21は、混合組成DION薄膜を使用してCMOS回路を形成する一例の形態を示す概略図である。

50

【図 2 2】図 2 2 は、半導体ナノワイヤ作製用の一般的リアクタを示す概略図である。

【図 2 3】図 2 3 A および 2 3 B は、標準型のナノワイヤ F E T テストプラットフォームを示す。

【図 2 4】図 2 4 は、グローバル・バックゲートを用いた D I O N 薄膜トランジスタを示す概略図である。

【図 2 5】図 2 5 は、ローカルゲート型ナノワイヤ薄膜トランジスタを示す概略図である。

【図 2 6】図 2 6 A および 2 6 B は、それぞれ、スタティック C M O S 2 入力 N A N D ゲートの概略回路図および配置図である。

【図 2 7】図 2 7 は、ロール・ツー・ロール適合フローベース D I O N 膜形成（成膜）のためのシステムを示す概略図である。 10

【図 2 8】図 2 8 は、本発明の分散型センサネットワークの構想を図解した概略図である。

【図 2 9】図 2 9 は、R F I D / センサ・タグシステムの概略図である。

【図 3 0】図 3 0 は、本発明の一実施例における R F I D タグ・リーダー通信環境を図解したものである。

【図 3 1 A】図 3 1 A は、本発明の一実施例の R F I D タグを図解したものである。

【図 3 1 B】図 3 1 B は、本発明の一実施例の R F リーダーを図解したものである。

【図 3 2】図 3 2 は、一例のビームステアリング・アレイが送信モードで動作している様子を図解したものである。 20

【図 3 3】図 3 3 は、本発明の一実施例における一例のビームステアリング・アレイの表面を示す。

【図 3 4】図 3 4 は、本発明の一実施例における固定周波数完全磁気導体（P M C）構造の断面図である。

【図 3 5】図 3 5 は、2 × 2 セルアレイを有する図 3 4 の P M C 構造の一部を示す斜視図である。

【図 3 6】図 3 6 は、一例の固定周波数 P M C 構造の 2 つのセルの共振に關与するインダクタンスおよびキャパシタンスを図解したものである。

【図 3 7】図 3 7 は、図 3 6 の P M C 構造における一对のセルの概略伝送線路等価回路図である。 30

【図 3 8】図 3 8 は、本発明の一実施例における、能動位相調整素子を P M C 構造に結合して不連続同調を可能にしたビームステアリング・アレイの断面図である。

【図 3 9】図 3 9 は、図 3 8 の P M C 構造における一对のセルの概略伝送線路等価回路図である。

【図 4 0】図 4 0 は、ある P M C 構造の周波数に対する反射係数の変化の様相（反射係数位相）をプロットしたグラフである。

【図 4 1】図 4 1 は、従来のインダクタおよびその対応スイッチをビームステアリング・アレイのセルに実装したところを示す等比縮尺図である。

【図 4 2】図 4 2 は、本発明の一実施例における、ナノワイヤ型位相調整回路を実装したビームステアリング・アレイのセルの等比縮尺図である。 40

【図 4 3】図 4 3 は、本発明の一実施例における、図 4 2 のセルに実装されたナノワイヤ型トランジスタの詳細図である。

【図 4 4】図 4 4 は、本発明の一実施例におけるビームステアリング・アレイの形成構造を図解したものである。

【図 4 5】図 4 5 は、本発明の一実施例において、ナノワイヤ型位相調整回路が P M C 構造上に形成される様子を図解したものである。

【図 4 6】図 4 6 は、本発明の一実施例において、ナノワイヤ型位相調整回路が P M C 構造上に形成される様子を図解したものである。

【図 4 7】図 4 7 は、本発明の一実施例における一例の多アンテナ素子ビームステアリング・アレイを示す。 50

【図 4 8】図 4 8 は、本発明の実施例において基板上に可調移相器を形成する工程例を示すフローチャートである。

【図 4 9】図 4 9 は、基板に形成された導体線を示す。

【図 5 0】図 5 0 は、本発明の一実施例において図 4 9 の基板上に形成されたナノワイヤ薄膜を示す。

【図 5 1】図 5 1 は、本発明の一実施例において、可調移相器を形成するべく、ナノワイヤ薄膜にこれと電気的接触関係をもって形成された複数のゲートコンタクトを示す。

【図 5 2 A】図 5 2 A は、本発明の一実施例における一方向に配列されたナノワイヤを有する一例の可調移相器を示す。

【図 5 2 B】図 5 2 B は、本発明の一実施例における一方向に配列されたナノワイヤを有する一例の可調移相器を示す。 10

【図 5 3】図 5 3 は、本発明の一実施例において、可調移相器を形成するべく基板上に形成された複数のナノワイヤ薄膜を示す。

【図 5 4】図 5 4 は、本発明の一実施例における、負荷を実装して付加の位相遅延を与えた導体線を示す。

【図 5 5】図 5 5 は、複数のナノワイヤ型トランジスタを形成するべくナノワイヤ薄膜が形成された図 5 4 の導体線を示す。

【図 5 6】図 5 6 は、本発明の一実施例において、能動音響打消し用のたくさんのアクチュエータおよび関連電子要素がアレイ状に実装された基板を示す。

【図 5 7】図 5 7 は、本発明の一実施例における、ノイズを監視し打ち消すための図 5 6 20  
のアレイの応用例を示す。

【図 5 8】図 5 8 は、本発明の一実施例における、図 5 6 に示すセルのアレイの一例を図解した詳細ブロック図である。

【図 5 9】図 5 9 は、本発明の一実施例における、各セルが図 5 8 に示すように構成された 2 × 2 音響打消しアレイを示す。

【図 6 0】図 6 0 は、本発明の一実施例における、各セルにナノワイヤ型インタフェース回路が実装された図 5 6 のアレイに類似のアレイを示す。

【図 6 1】図 6 1 は、本発明の一実施例における、各セルにさらにナノワイヤ型アクチュエータが実装された図 6 0 のアレイに類似のアレイを示す。

【図 6 2】図 6 2 は、本発明のいくつかの実施例におけるナノワイヤ型インタフェース回 30  
路およびアクチュエータを示す。

【図 6 3】図 6 3 は、本発明のいくつかの実施例におけるナノワイヤ型インタフェース回路およびアクチュエータを示す。

【 図 1 】

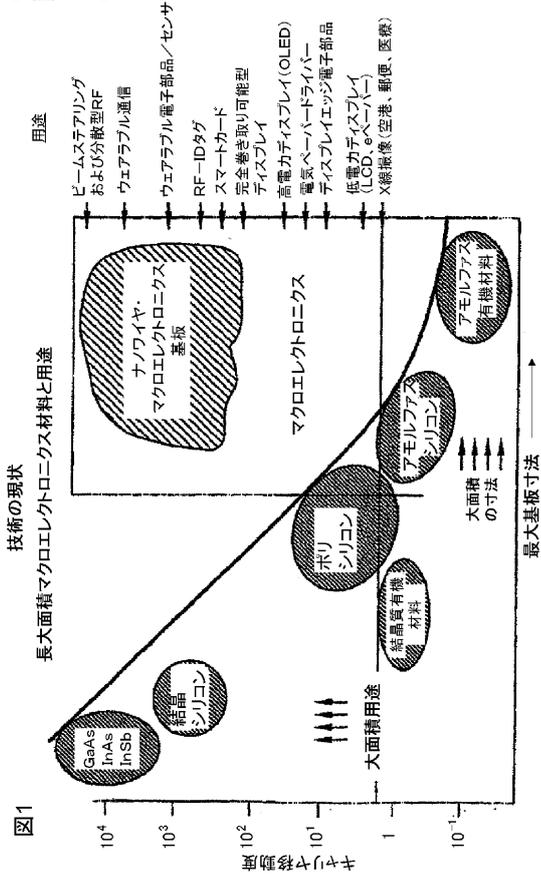
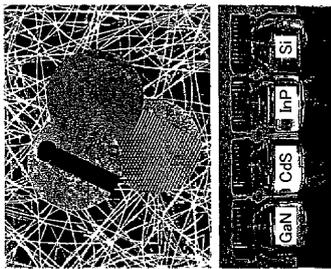


図1

【 図 3 】



1-I族	Si Ge Si <sub>1-x</sub> Ge <sub>x</sub>	III-V族 2成分	GaN Ga GaAs InP InAs InSb	III-V族 3成分	Ga(A <sub>1-x</sub> P <sub>x</sub> ) In(A <sub>1-x</sub> P <sub>x</sub> ) G(-xIn <sub>x</sub> ) G(-xIn <sub>x</sub> )A Ga(-xIn <sub>x</sub> ) A(-xP <sub>x</sub> )	II-VI族	ZnS ZnSe CdS CdSe Cd (S <sub>1-x</sub> Se <sub>x</sub> )	IV-V族	PbSe PbTe
------	---	---------------	--	---------------	---	--------	---	-------	--------------

図3

【 図 2 】

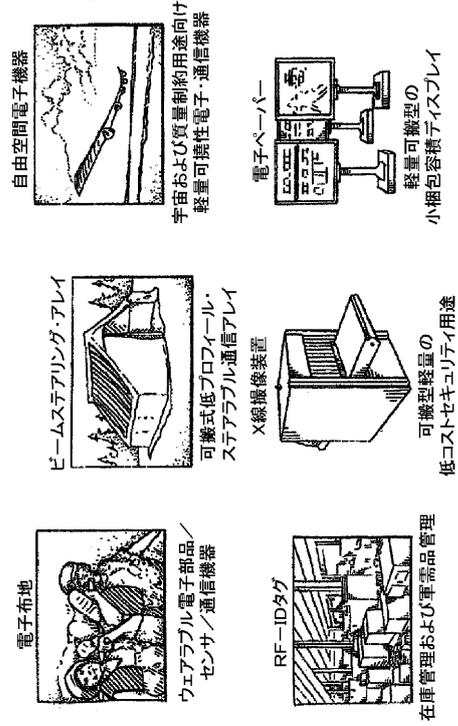
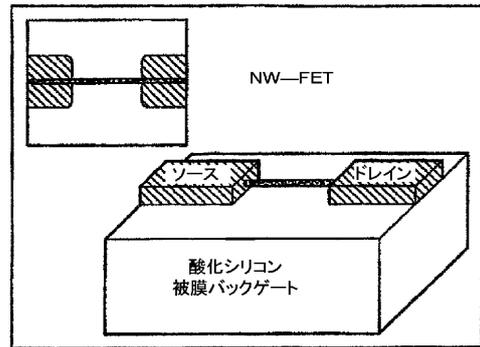


図2

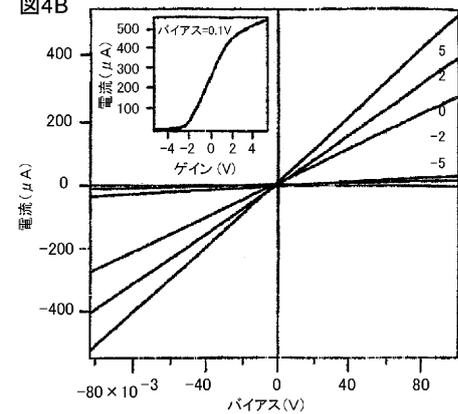
【 図 4 A 】

図4A

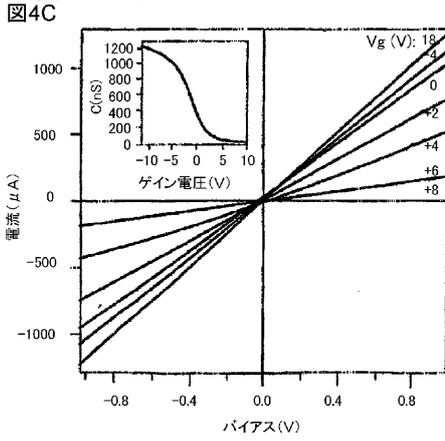


【 図 4 B 】

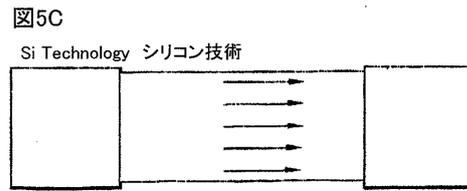
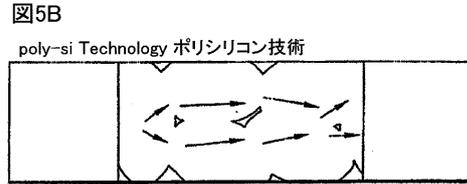
図4B



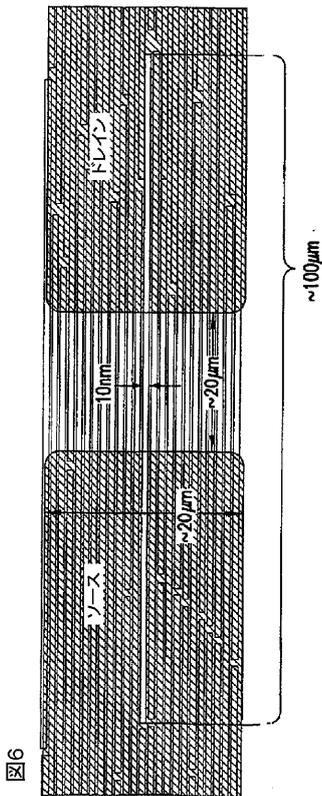
【 図 4 C 】



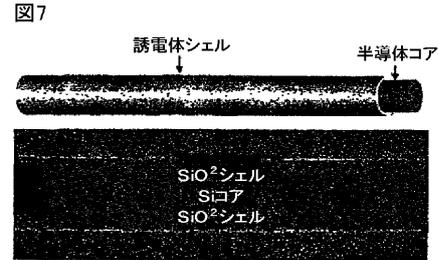
【 図 5 】



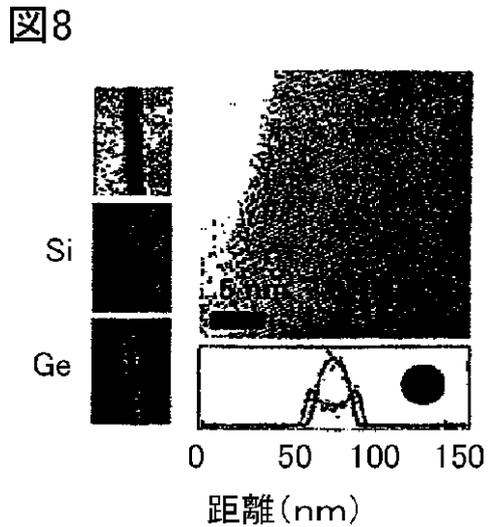
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

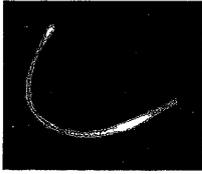


FIG.9

【 図 1 0 】

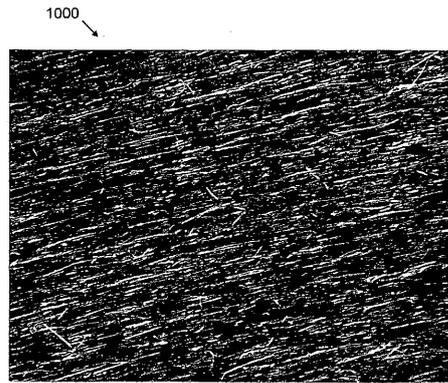


FIG.10

【 図 1 1 】

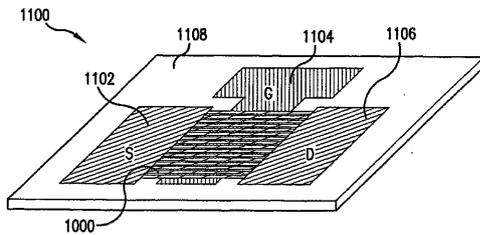


FIG.11



FIG.12A

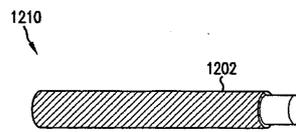


FIG.12B

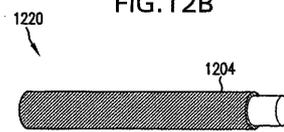


FIG.12C

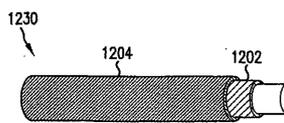
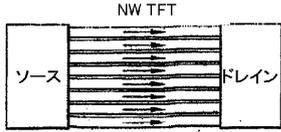


FIG.12D



【 図 16 】

図16



【 図 17 】

図17

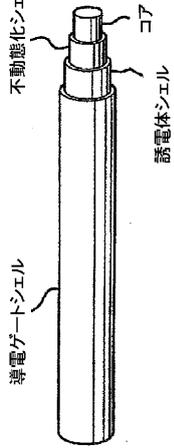


図17

【 図 19 】

図19

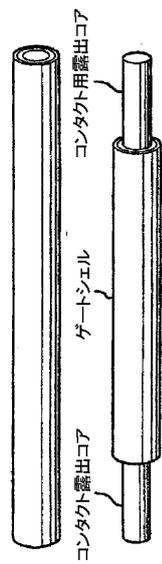


図19

【 図 18 】

図18

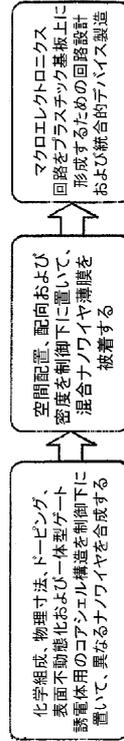


図18

【 図 20 】

図20

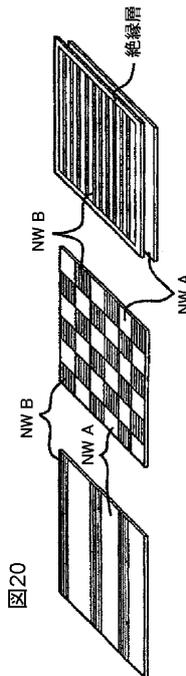
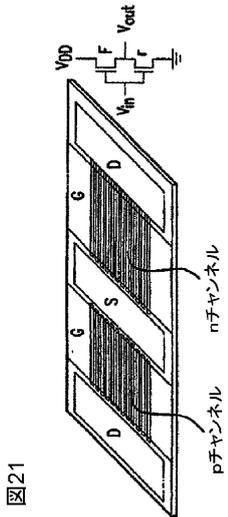
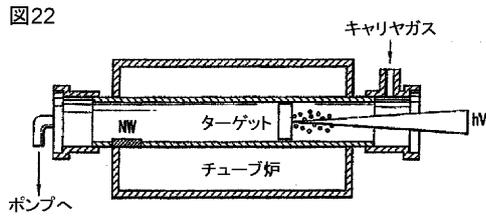


図20

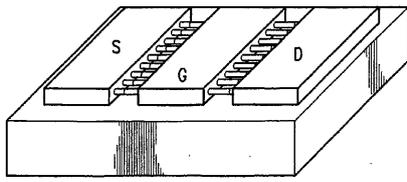
【 図 2 1 】



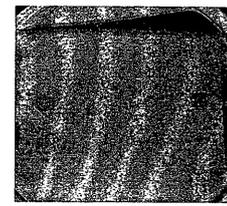
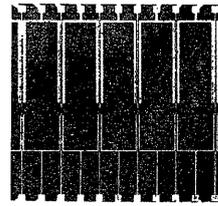
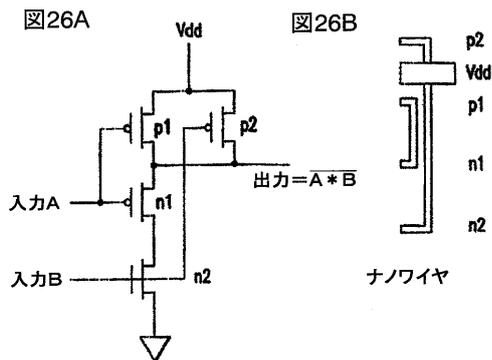
【 図 2 2 】



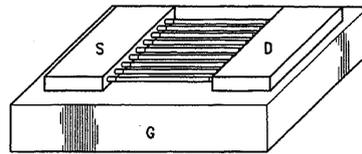
【 図 2 5 】



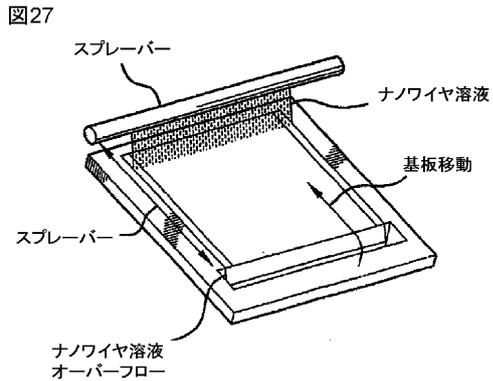
【 図 2 6 】



【 図 2 4 】



【 図 2 7 】



【 図 2 8 】

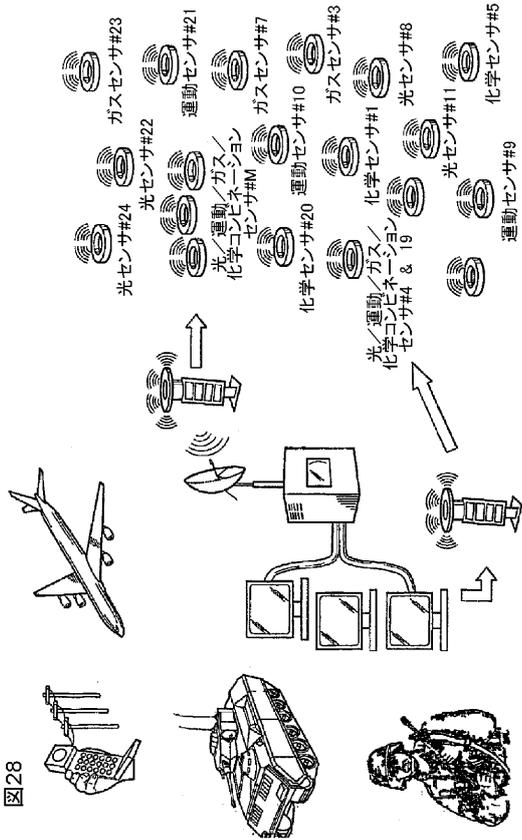
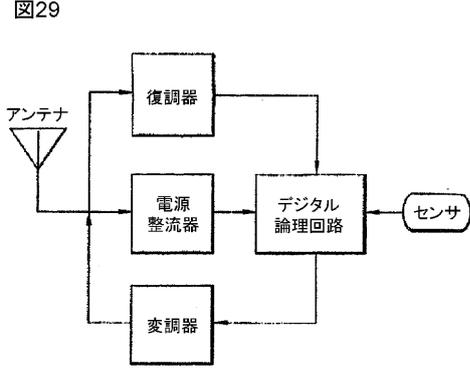


図28

【 図 2 9 】



【 図 3 0 】

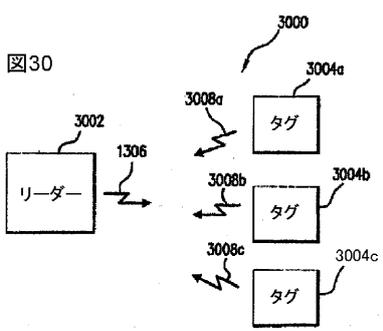


図30

【 図 3 1 A 】

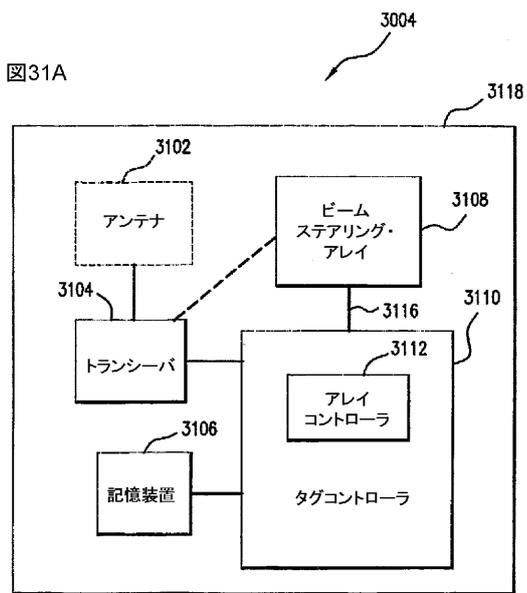


図31A

【 図 3 1 B 】

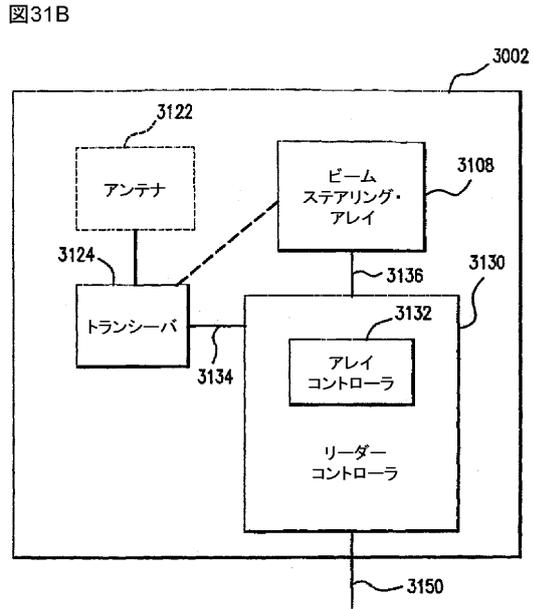
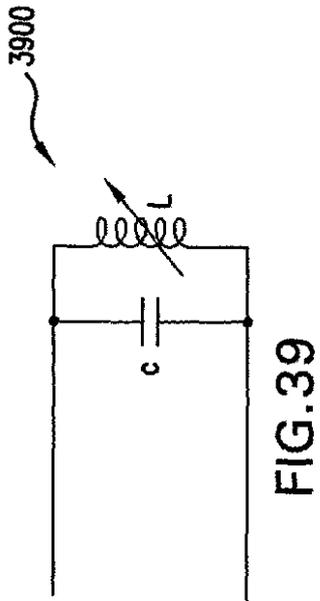


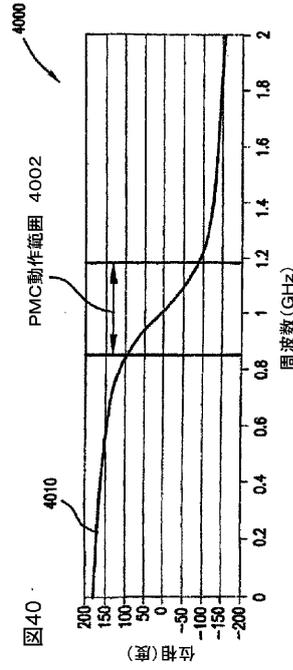
図31B



【 図 3 9 】

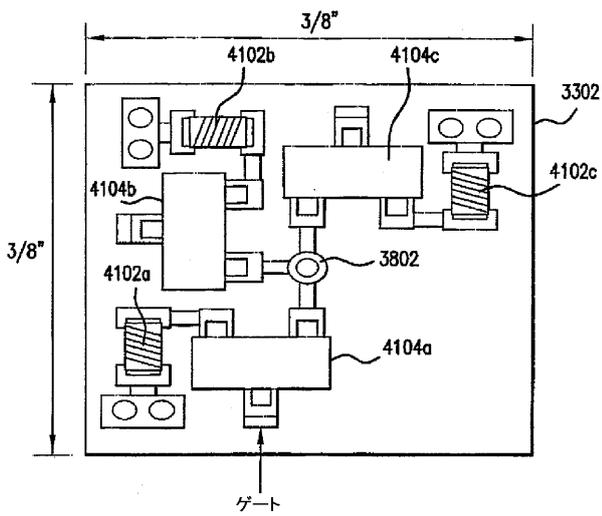


【 図 4 0 】



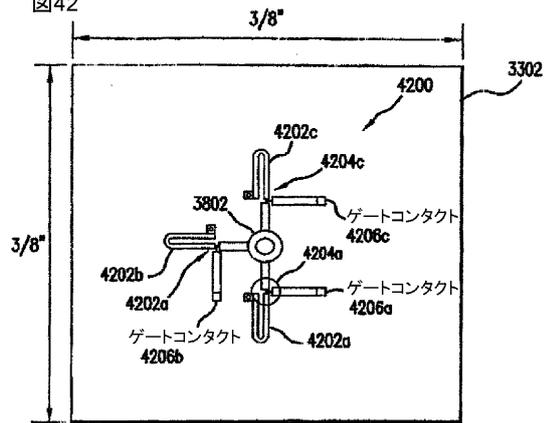
【 図 4 1 】

図41



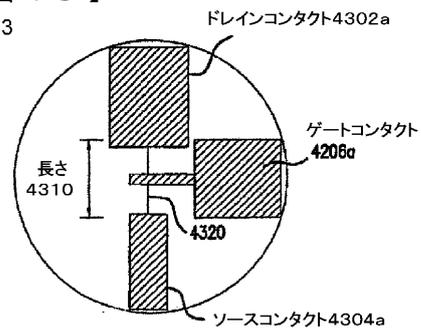
【 図 4 2 】

図42



【 図 4 3 】

図43



【 図 4 4 】

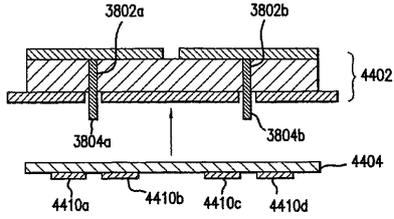


FIG.44

【 図 4 6 】

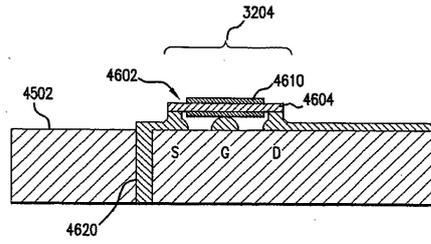


FIG.46

【 図 4 5 】

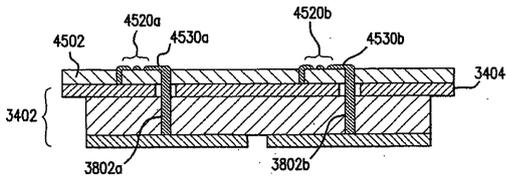
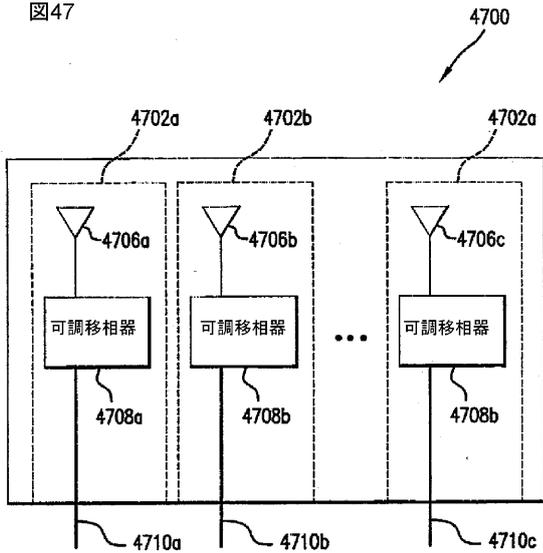


FIG.45

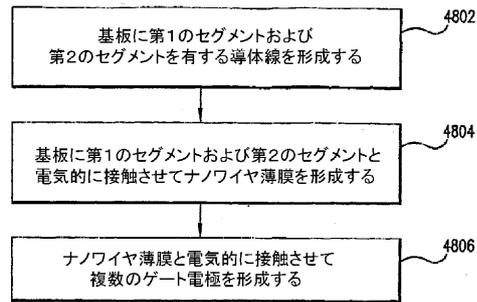
【 図 4 7 】

図47



【 図 4 8 】

図48



【 図 4 9 】

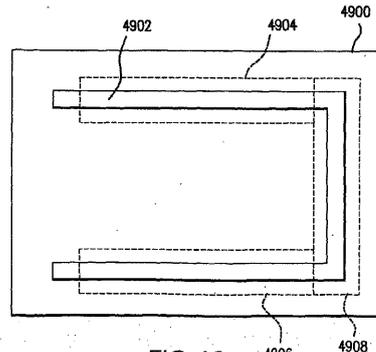
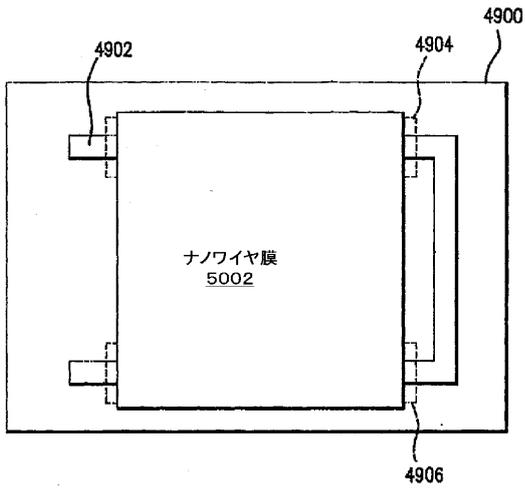


FIG.49

【図50】

図50



【図51】

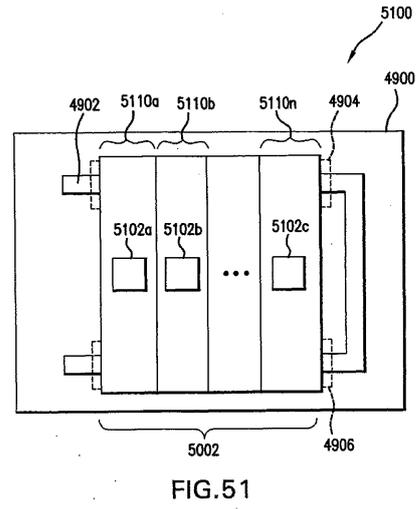


FIG.51

【図52A】

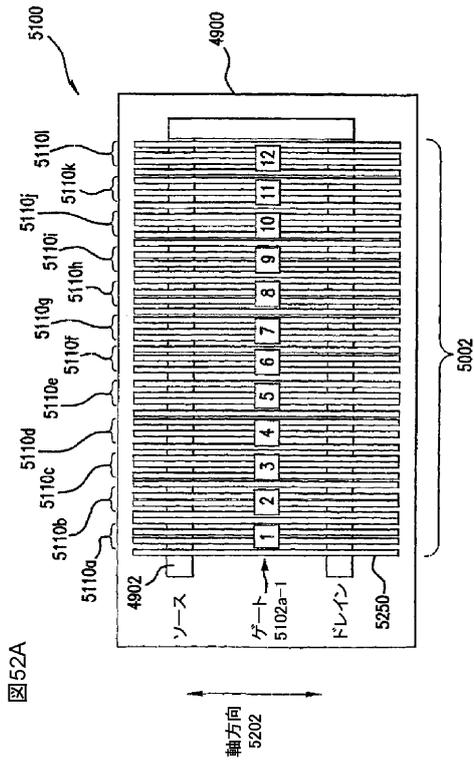


図52A

【図52B】

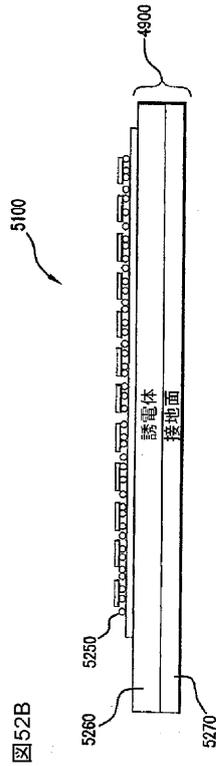


図52B

【 図 5 3 】

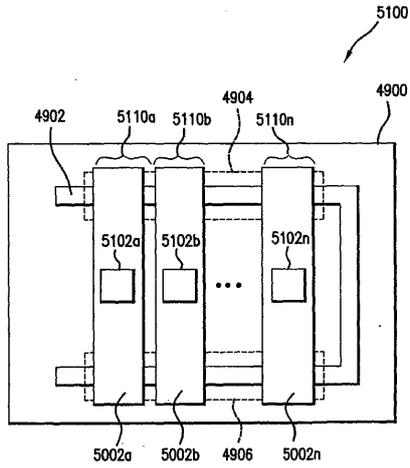


FIG. 53

【 図 5 4 】

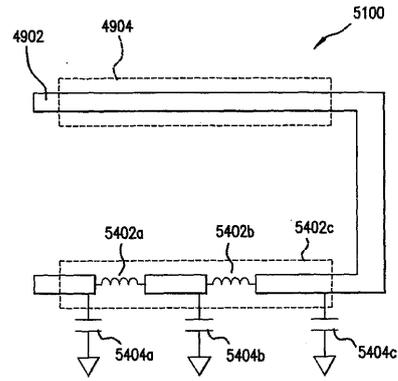


FIG. 54

【 図 5 5 】

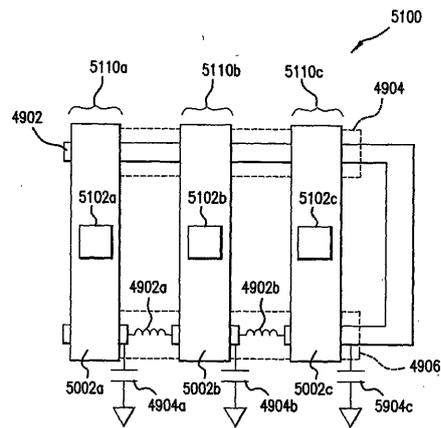


FIG. 55

【 図 5 6 】

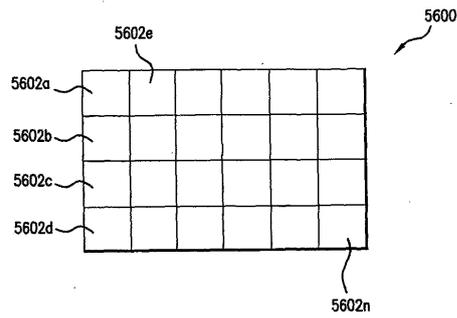


FIG. 56

【 図 5 7 】

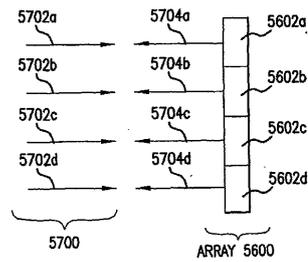
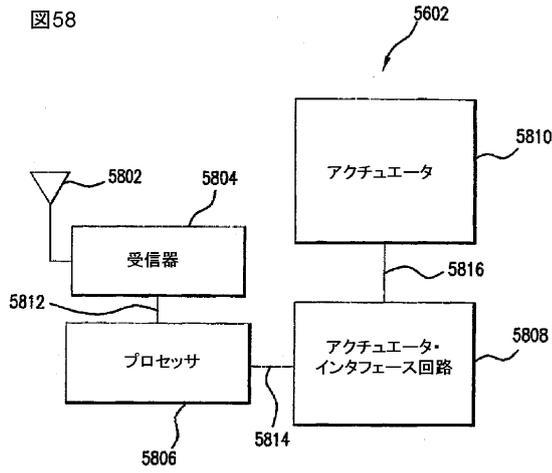


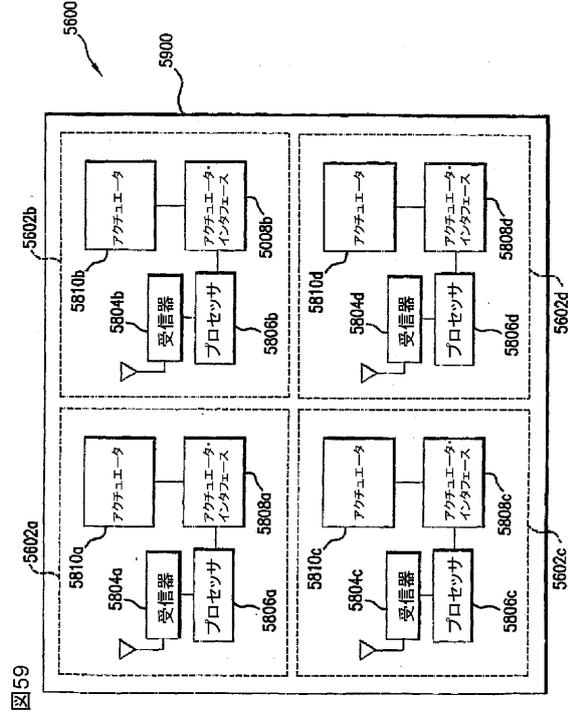
FIG. 57

【図58】

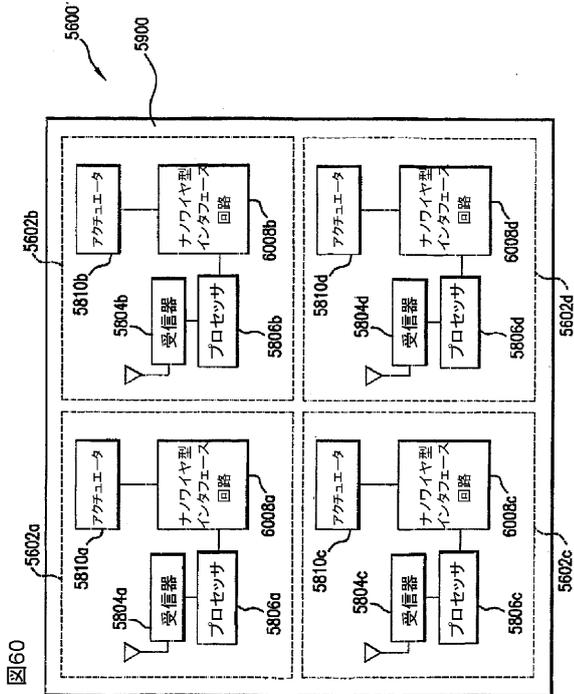
図58



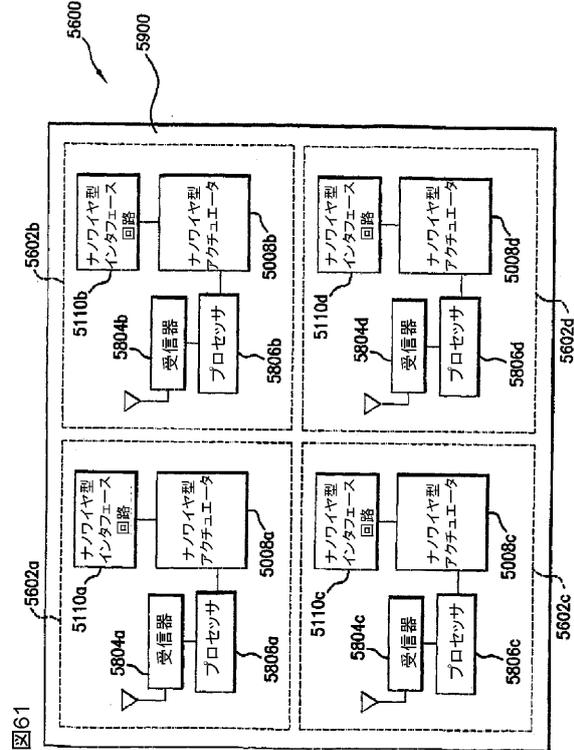
【図59】



【図60】

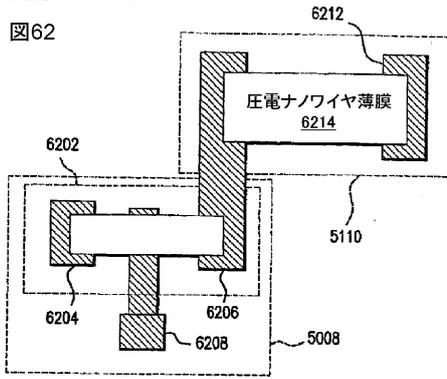


【図61】



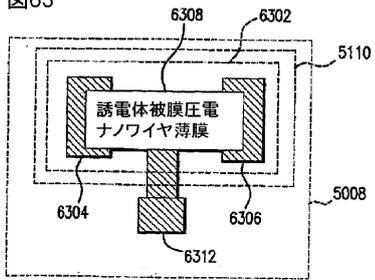
【図62】

図62



【図63】

図63



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US03/30637
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(7) : C01B 31/02; H03H 11/20; H01L 29/06; H01L 21/00 US CL : 423/445 R; 526/341, 319; 333/164, 161; 257/275, 281, 14, 103; 310/302; 438/22 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 423/445 R; 526/341, 319; 333/164, 161, 156; 257/275, 281; 235/491; 340/572.7  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) East search: "See Attachment"		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
T	US 2003/0185741 A1 (Matyjaszewski et al.) 2 Oct. 2003, paragraphs 134 - 145	1, 11
A	US 6,107,910 A (Nysen), 22 Aug. 2000, Entire document	1-55
A	US 6,509,812 B2 (Sayyah), 21 Jan. 2003, Entire Document	1-55
A	US 2003/0189202 A1 (Li et al.) 9 Oct. 2003	67-68
X,P	US 2002/0180306 A1 (Hunt et al.) 5 Dec. 2002, paragraphs 42 - 64	67 - 68
X	US 2002/0117659 A1 (Lieber et al.) 29 Aug. 2002, paragraphs 77 - 162	67-68
A	US 2001/0024508 A1 (Croft, III) 27 Sept. 2001, Entire Document	56 - 66
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 18 July 2004 (18.07.2004)		Date of mailing of the international search report 07 APR 2005
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230		Authorized officer Matthew S. Smith Telephone No. (703) 308-0956 <i>Matthew S. Smith</i>

## フロントページの続き

(31)優先権主張番号 60/493,005

(32)優先日 平成15年8月7日(2003.8.7)

(33)優先権主張国 米国(US)

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,M N,MW,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA ,ZM,ZW

(72)発明者 スタンボ, デービッド  
 アメリカ合衆国 カリフォルニア 94002, ベルモント, 6ティーエイチ アベニュー  
 1561

(72)発明者 エンペドクレス, ステファン  
 アメリカ合衆国 カリフォルニア 94043, マウンテン ビュー, マーデル ウェイ 2  
 507

(72)発明者 ニウ チュンミン  
 アメリカ合衆国 マサチューセッツ 02420, レキシントン, フォットラー アベニュー  
 81

(72)発明者 ドゥアン シャンフェン  
 アメリカ合衆国 マサチューセッツ 02143, ソマービル, ビーコン ストリート 88  
 , アpartmentナンバー33

Fターム(参考) 5F110 AA01 AA30 BB01 BB04 CC02 DD01 DD02 DD03 DD05 EE02  
 EE04 EE05 EE06 EE08 EE09 EE14 FF01 FF02 FF03 FF27  
 FF29 GG01 GG30 GG42 GG60 HK02 HK03 HK05 HK06 HK09  
 HK14 HK33