

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6326312号
(P6326312)

(45) 発行日 平成30年5月16日(2018.5.16)

(24) 登録日 平成30年4月20日(2018.4.20)

(51) Int.Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 6 T		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 21/28 (2006.01)	HO 1 L	29/78	6 1 6 U		
HO 1 L 29/417 (2006.01)	HO 1 L	29/78	6 1 6 V		
GO 2 F 1/1368 (2006.01)	HO 1 L	29/78	6 1 9 A		
請求項の数 8 (全 14 頁) 最終頁に続く					

(21) 出願番号	特願2014-144183 (P2014-144183)	(73) 特許権者	502356528
(22) 出願日	平成26年7月14日(2014.7.14)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2016-21470 (P2016-21470A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成28年2月4日(2016.2.4)	(74) 代理人	110001737
審査請求日	平成29年6月14日(2017.6.14)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100087653
			弁理士 鈴江 正二
		(72) 発明者	鈴村 功
			東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内
最終頁に続く			

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、
前記ゲート電極上に設けられた絶縁層と、
前記絶縁層上に、前記ゲート電極に少なくとも一部を重畳して設けられた半導体層と、
前記半導体層の少なくとも一部に接して設けられたソース電極およびドレイン電極と、
を有する薄膜トランジスタを備え、

前記ソース電極およびドレイン電極は、それぞれ、前記半導体層側に位置する下層、A1を主成分とする中間層、および上層を含む積層構造を有し、

前記ソース電極およびドレイン電極の側壁は、前記上層側の第1テーパ部と、前記下層側の第2テーパ部と、前記第2テーパ部に接する側壁保護膜と、を有し、前記第1テーパ部のテーパ角は、前記第2テーパ部のテーパ角よりも小さい表示装置。

【請求項2】

前記第1テーパ部と前記第2テーパ部との切り替わり部は、前記中間層内に位置している請求項1に記載の表示装置。

【請求項3】

前記第1テーパ部のテーパ角は、40°以下である請求項1又は2に記載の表示装置。

【請求項4】

前記第2テーパ部のテーパ角は40°以上70°以下である請求項1ないし3のい

10

20

ずれか 1 項に記載の表示装置。

【請求項 5】

前記側壁保護膜は、前記第 2 テーパー部の内、前記中間層および前記下層の中間層側端部に接して設けられている請求項 1 ないし 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記ソース電極、ドレイン電極および半導体層を覆う保護層を備え、前記ソース電極およびドレイン電極は、前記保護層の膜厚の 1 / 3 以上の膜厚を有する請求項 1 ないし 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記上層および下層は、Ti 系金属あるいは Mo 系金属で形成されている請求項 1 ないし 6 のいずれか 1 項に記載の表示装置。

10

【請求項 8】

前記半導体層は、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) の少なくとも 1 つを含む酸化物によって形成された酸化物半導体層である請求項 1 ないし 7 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、薄膜トランジスタを有する表示装置に関する。

【背景技術】

20

【0002】

近年、半導体装置として薄膜トランジスタを備えた表示装置が実用化されている。表示装置の一例として、液晶表示装置や有機エレクトロルミネッセンス表示装置等が挙げられる。

【0003】

このような表示装置は、複数の薄膜トランジスタ、信号線、ゲート線、ソース・ドレイン電極等の配線部、パッシベーション膜等が作りこまれたアレイ基板を備えている。薄膜トランジスタおよび種々の配線部は、フォトリソグラフィ、ドライエッチング等により、所定の形状にパターンニングされる。

【先行技術文献】

30

【特許文献】

【0004】

【特許文献 1】特開平 7 - 1 1 1 2 6 5 号公報

【特許文献 2】特開 2 0 0 0 - 2 3 2 0 9 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

表示装置の製造工程において、大判基板上に表示装置用のアレイ基板を形成する場合、加工の面内均一性が低下する。例えば、エッチングを行うチャンパ内において、排気の影響等により、大判基板の中央部と周辺部とで、ラジカル種やイオン種の密度分布が生じやすい (比率の相違が生じ易い)。このため、大判基板の中央部と周辺部とで、配線、電極等の加工形状が異なり易い。

40

【0006】

また、エッチング工程において、大判基板では、仕様上、ラジカル、イオンを基板側に引っ張り難く、また、被エッチング部の側壁への再堆積が少なく、サイドエッチングが進行しやすい。すなわち、エッチング面のテーパ角が小さくなり易い。あるいは、再堆積がムラになり易く、更に、側壁が荒れ易い。このような理由から、エッチングにおいて、設計通りの加工形状を得ることが難しい。

【0007】

この発明の実施形態の課題は、加工形状の均一化、カバレッジ性の向上、量産性の向上

50

を図ることが可能な表示装置を提供することにある。

【課題を解決するための手段】

【0008】

実施形態に係る表示装置は、ゲート電極と、前記ゲート電極上に設けられた絶縁層と、前記絶縁層上に、前記ゲート電極に少なくとも一部を重畳して設けられた半導体層と、前記半導体層の少なくとも一部に接して設けられたソース電極およびドレイン電極と、を有する薄膜トランジスタを備えている。ソース電極およびドレイン電極は、それぞれ、前記半導体層側に位置する下層、A1を主成分とする中間層、および上層を含む積層構造を有している。ソース電極およびドレイン電極の側壁は、前記上層側の第1テーパ部と、前記下層側の第2テーパ部と、前記第2テーパ部に接する側壁保護膜と、を有し、前記第1テーパ部のテーパ角は、前記第2テーパ部のテーパ角よりも小さい。

10

【図面の簡単な説明】

【0009】

【図1】図1は、第1の実施形態に係る表示装置の一構成例を概略的に示す図。

【図2】図2は、図1に示した表示装置に適用するアレイ基板の一構成例を概略的に示す平面図。

【図3】図3は、図2の線A-Aに沿ったアレイ基板の断面図。

【図4】図4は、前記アレイ基板の製造工程を示す断面図。

【図5】図5は、前記アレイ基板の製造工程を示す断面図。

【図6】図6は、前記アレイ基板の製造工程を示す断面図。

20

【図7】図7は、テーパ部のテーパ角と側壁保護膜の膜厚との関係を概略的に示す図。

【図8】図8は、第2の実施形態に係る表示装置におけるアレイ基板の断面図。

【図9】図9は、第3の実施形態に係る表示装置におけるアレイ基板の断面図。

【発明を実施するための形態】

【0010】

以下、図面を参照しながら、この発明の実施形態について詳細に説明する。

なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更であって容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

30

【0011】

(第1の実施形態)

図1は、第1の実施形態の表示装置の一構成例を概略的に示す図である。ここでは、アレイ基板を有する表示装置として、液晶表示装置を例に説明する。液晶表示装置1は、例えばスマートフォン、タブレット端末、携帯電話機、ノートブックタイプPC、携帯型ゲーム機、電子辞書、或いはテレビ装置などの各種の電子機器に組み込んで使用することができる。

40

【0012】

図1に示すように、液晶表示装置1は、ガラス板等の光透過性を有する絶縁基板15と、絶縁基板15上に設けられ、画像を表示する表示部(アクティブエリア)ACTと、表示部ACTを駆動する駆動回路GD、SDと、を備えている。表示部ACTは、マトリクス状に配置された複数の表示画素PXを備えている。

【0013】

表示部ACTには、ゲート配線G(G1~Gn)、容量線C(C1~Cn)、ソース配線S(S1~Sm)、電源配線VCSなどが形成されている。各ゲート配線Gは、表示部ACTの外側に引き出され、ゲート駆動回路GDに接続されている。各ソース配線Sは、表示部ACTの外側に引き出され、ソース駆動回路SDに接続されている。容量線Cは、

50

補助容量電圧が印加される電源配線VCSと電氣的に接続されている。

駆動回路GD、SDは、表示部ACTの外側で絶縁基板15上に一体的に形成され、これらの駆動回路GD、SDにコントローラ11が接続されている。

【0014】

各表示画素PXは、液晶容量CLC、薄膜トランジスタ(TFT)TR、液晶容量CLCと並列の蓄積容量CSなどを備えている。液晶容量CLCは、薄膜トランジスタTRに接続された画素電極PEと、コモン電位の給電部VCOMと電氣的に接続された共通電極CEと、画素電極PEと共通電極CEとの間に介在する液晶層とを備えている。

薄膜トランジスタTRは、ゲート配線G及びソース配線Sに電氣的に接続されている。ゲート配線Gには、ゲート駆動回路GDから、薄膜トランジスタTRをオンオフ制御するための制御信号が供給される。ソース配線Sには、ソース駆動回路SDから、映像信号が供給される。薄膜トランジスタTRは、ゲート配線Gに供給された制御信号に基づいてオンした際、ソース配線Sに供給された映像信号に応じた画素電位を画素電極PEに書き込む。コモン電位の共通電極CEと画素電位の画素電極PEとの間の電位差により、液晶層に印加される電圧が制御される。

10

【0015】

蓄積容量CSは、液晶層に印加される電圧を一定期間保持するものであって、絶縁層を介して対向する一対の電極で構成されている。例えば、蓄積容量CSは、画素電極と同電位の第1電極と、容量線Cの一部あるいは容量線Cと電氣的に接続された第2電極と、第1電極と第2電極との間に介在する絶縁層と、で構成されている。

20

ゲート駆動回路GDおよびソース駆動回路SDは、それぞれスイッチング素子として機能する複数の薄膜トランジスタ(TFT)TRを備えている。

【0016】

図2は、図1に示した液晶表示装置1に適用可能なアレイ基板の一構成例を概略的に示す平面図、図3は、図2の線A-Aに沿ったアレイ基板の断面図である。

アレイ基板SUB1は、ガラス基板や樹脂基板などの光透過性を有する絶縁基板15を用いて形成されている。アレイ基板SUB1は、絶縁基板15の上に、各表示画素PXを構成する薄膜トランジスタTR、蓄積容量CS、ゲート配線G、ソース配線S、画素電極、並びに、ゲート駆動回路GDおよびソース駆動回路SDを構成する複数の薄膜トランジスタTRを備えている。ここでは、半導体装置として機能する薄膜トランジスタTRに着目して詳細に説明する。

30

【0017】

図2および図3に示す構成例では、薄膜トランジスタTRは、例えば、ボトムゲートチャンネルエッチ型のトランジスタとして構成されている。すなわち、絶縁基板15の内面10A上にゲート電極GEが形成されている。薄膜トランジスタTRを構成するゲート電極GEは、例えば、銅(Cu)、アルミニウム(Al)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、タンタル(Ta)、クロム(Cr)などの金属材料あるいはこれらの金属材料を含む合金などによって形成されている。ゲート電極GEは、例えばゲート電極GEと同一層に設けられたゲート配線Gあるいは駆動回路の制御配線と電氣的に接続されている。ゲート電極GEは、例えば、矩形状にパターンニングされている。

40

【0018】

ゲート電極GEおよび絶縁基板15の内面10Aを覆ってゲート絶縁層12が形成されている。ゲート絶縁層12は、例えば酸化シリコン(SiO_x)を主成分とする酸化シリコン層を含んでいる。本実施形態において、ゲート絶縁層12は、その全体が、酸化シリコン層により形成されている。なお、ゲート絶縁層12は、酸化シリコン(SiO_x)を主成分とする酸化シリコン層と、他の絶縁層、例えば窒化シリコン(SiN_x)との積層膜で構成してもよい。積層膜で形成する場合、ゲート絶縁層12は、酸化シリコン層が半導体層と接するように形成することが望ましい。なお、本実施形態において、層とは、膜あるいはフィルムを含む概念として用いている。

【0019】

50

ゲート絶縁層12上には、薄膜トランジスタTRを構成する半導体層として、例えば、酸化物半導体層SCが形成されている。酸化物半導体層SCは、その少なくとも一部がゲート電極GEと重なるように設けられ、本実施形態では、半導体層SC全体がゲート電極GEに重畳している。

このような酸化物半導体層SCは、例えば、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、スズ(Sn)の少なくとも1つを含む酸化物によって形成されている。酸化物半導体層SCを形成する代表的な例としては、例えば、酸化インジウムガリウム亜鉛(InGaZnO)、酸化インジウムガリウム(InGaO)、酸化インジウム亜鉛(InZnO)、酸化亜鉛スズ(ZnSnO)、酸化亜鉛(ZnO)などが挙げられる。

【0020】

酸化物半導体層SCは、例えば、ほぼ矩形の島状にパターンニングされ、比較的高抵抗なチャネル領域を構成している。チャネル領域は、チャネル長Lを有している。また、酸化物半導体層SCと同様に、ゲート絶縁層12の上に図示しない画素電極が形成される。

【0021】

薄膜トランジスタTRは、酸化物半導体層SCの少なくとも一部に接して設けられたソース電極SEおよびドレイン電極DEを有している。ソース電極SE及びドレイン電極DEの一方は、ゲート絶縁層12上に形成されたソース配線Sに電氣的に接続され、ここでは、ソース配線Sと同一層で形成されている。ソース電極SEは、ゲート絶縁層12上に形成され、一部が酸化物半導体層SCのソース領域SCS上に重畳している。

【0022】

ソース電極SE及びドレイン電極DEの他方は、ゲート絶縁層12上に形成され、一部が酸化物半導体層SCのドレイン領域SDC上に重畳している。ドレイン電極DEは、チャネル長Lに相当する距離だけ離間してソース電極SEに対向している。また、ドレイン電極DEは、画素電極に電氣的に接続される。

【0023】

ソース電極SE、ドレイン電極DE、およびソース配線Sは、金属多層膜で構成されている。本実施形態において、ソース電極SE、ドレイン電極DE、およびソース配線Sは、それぞれ、Ti、TiN等のTiを主成分とする金属材料からなる下層(第1層)20aと、Al、AlSi、AlNd、AlCu等のAlを主成分とする金属材料からなる中間層(第2層)20bと、Tiを主成分とする金属材料からなる上層(第3層)20cとの積層構造(Ti系/Al系/Ti系)を有している。中間層20bは、下層20aおよび上層20cに比較して、十分に厚く形成されている。ソース電極SEおよびドレイン電極DEは、下層20a側が酸化物半導体層SCに接して形成され、ソース配線Sは、下層20a側がゲート絶縁層12に接して設けられている。

【0024】

図2および図3に示すように、ソース電極SE、ドレイン電極DE、およびソース配線Sは、それぞれ側壁、すなわち、ゲート絶縁層12および酸化物半導体層SCに対して起立している側壁を有している。各側壁は、上層20cから中間層20bまで延びる第1テーパ部22aと、中間層20bから下層20aまで延びる第2テーパ部22bと、を有している。第1テーパ部22aと第2テーパ部22bとの境界(切り替わり位置)Bは、中間層20b中に位置している。更に、第2テーパ部22b上に側壁保護膜24が形成され、第2テーパ部22bを覆っている。

【0025】

第1テーパ部22aのテーパ角 θ_1 (絶縁基板15の内面10Aと平行な平面に対する傾斜角度)は、40°未満、例えば、30°に形成されている。第2テーパ部22bのテーパ角 θ_2 は、テーパ角 θ_1 よりも大きく形成され、40°以上、70°以下、例えば、60°に設定されている。側壁保護膜24は、第2テーパ部22b上に堆積形成され、エッチング時に生成されるCH系物質等により形成されている。側壁保護膜24は、第2テーパ部22bの過度のサイドエッチングを抑制し、第2テーパ部の低テーパ化を防止する。

10

20

30

40

50

【0026】

アレイ基板SUB1上にパッシベーション膜(保護層)PAが形成され、ソース配線S、ソース電極SE、ドレイン電極DE、酸化物半導体層SCの全体を覆っている。このパッシベーション膜PAは、無機膜、オレフィン樹脂、アクリル樹脂、シロキサン樹脂などを用い、CVD(化学蒸着)法により形成することができる。

なお、パッシベーション膜PAの膜厚は、ソース電極SE、ドレイン電極DE、ソース配線Sを構成している金属多層膜(Ti系/Al系/Ti系)の膜厚の3倍以上に形成されている。

【0027】

次に、本実施形態の表示装置に適用するアレイ基板SUB1の製造方法についてその一例を説明する。

図4に示すように、絶縁基板15の内面10A上に、例えば、スパッタリングによりゲート層を成膜し、このゲート層をパターニングすることにより、ゲート配線Gおよびゲート電極GEを形成する。ここでは、絶縁基板15として、透明なガラス基板を用いた。ゲート層は、例えば、Mo系材料を用いた。

【0028】

続いて、ゲート電極GEに重ねて絶縁基板15の内面10A上にゲート絶縁層12を成膜する。このゲート絶縁層12は、例えば、プラズマCVD法などを用いて、酸化シリコン(SiO_x)により形成した。

次いで、例えば、スパッタリングによりゲート絶縁層12の上に酸化インジウムガリウム亜鉛($InGaZnO$)からなる半導体層を成膜した後、島状にパターニングして複数の酸化物半導体層SCを形成する。なお、図示しないが、酸化物半導体層SCを形成する際、ゲート絶縁層12上に画素電極を同時に形成してもよい。

【0029】

その後、スパッタリング等により、ゲート絶縁層12および酸化物半導体層SCに重ねて、金属膜を成膜する。この金属膜は、例えば、Ti系の下層20a、Al系の間層20b、Ti系の上層20cを有する金属多層膜を用いる。

【0030】

続いて、成膜された金属多層膜をパターニングしてソース電極SE、ドレイン電極DE、ソース配線Sを形成する。この場合、図4に示すように、所望パターンを有するフォトレジストPRを金属多層膜上に形成する。フォトレジストPRは、例えば、オレフィン樹脂などの感光性絶縁材料を金属多層膜上に塗布した後、フォトマスクを介した露光及び現像処理を伴うフォトリソグラフィプロセスを用いてパターニングすることで形成される。フォトレジストPRは、ソース電極SE、ドレイン電極DE、ソース配線Sの形成領域の直上に位置するパターンを有し、酸化物半導体層SCのチャンネル領域の直上には配置されていない。

【0031】

次いで、フォトレジストPRをマスクとして、金属多層膜を一括してパターニングする。パターニングは、例えばプラズマドライエッチング法的一种である反応性イオンエッチング法(RIE)を用い、2段階のエッチングで行う。第1段階のエッチングでは、エッチングガスとして、三塩化ホウ素(BCl_3)、塩素(Cl_2)の混合ガスを用い、 Cl_2 の流量比を高めめに設定する。さらに窒素(N_2)を混合しても良い。図5に示すように、第1段階のエッチングでは、金属多層膜の上層20cおよび中間層20bの途中まで、ハーフエッチングする。エッチングにより形成された一部側壁は、テーパ角が 45° 以下の第1テーパ部となる。

【0032】

続いて、図6に示すように、連続する第2段階のエッチングにより、金属多層膜の下層20aまでフルエッチングする。第2段階のエッチングでは、エッチングガスとして、三塩化ホウ素(BCl_3)、塩素(Cl_2)に側壁保護膜形成用の添加ガスを混合したものをを用いる。添加ガスとしては、例えば三フッ化メタン(CHF_3)等が好ましい。また、

10

20

30

40

50

混合ガスに窒素 (N_2) を添加しても良い。第 2 段階のエッチングにより、中間層 20 b および下層 20 a をエッチングし、ソース・ドレイン電極およびソース配線の側壁を形成する。この際、各側壁に、下層 20 a 側に位置する第 2 テーパー部 22 b、および上層 20 c 側に位置する第 1 テーパー部 22 a が形成される。第 2 テーパー部 22 b は、テーパー角が 60° 程度であり、第 1 テーパー部 22 a は、エッチングが進行し、テーパー角が 30° 程度となる。

【0033】

また、第 2 段階のエッチング過程で、添加ガス (CHF_3)、 N_2 は、プラズマ解離反応により CH 系、AlFx、AlNx 等の物質を生成し、この生成された物質が第 2 テーパー部 22 b 上に堆積して側壁保護膜 24 を形成する。側壁保護膜 24 を形成することにより、第 2 テーパー部 22 b の過度のサイドエッチングを抑制し、第 2 テーパー部 22 b を所望のテーパー角に維持することができる。なお、第 1 テーパー部 22 a は、テーパー角が $30^\circ \sim 45^\circ$ 程度と小さいため、生成物質が堆積してもエッチングにより直ぐに除去され、側壁保護膜が形成され難い。

10

【0034】

図 7 は、側壁のテーパー部のテーパー角と側壁保護膜の厚さとの関係を模式的に示している。この図から、テーパー角が大きくなる程、堆積形成される側壁保護膜の膜厚が厚くなること分かる。ドライエッチングにおいて、イオンはステージのバイアスに引っ張られるため、金属多層膜の側壁部に入射しにくい。テーパー角が大きい程、側壁部へのイオンの入射が少なくなるため、側壁保護膜は形成され易くなる。このことから、テーパー角の大きい第 2 テーパー部 22 b 上には側壁保護膜 24 が形成され、テーパー角の小さい第 1 テーパー部 22 a には側壁保護膜がほとんど形成されないこと分かる。

20

【0035】

このような 2 段階のエッチングにより、第 1 テーパー部 22 a および第 2 テーパー部 22 b を有する側壁で規定されたソース電極 SE、ドレイン電極 DE、ソース配線 S が形成される。エッチング完了後、フォトレジスト PR を除去する。次いで、アレイ基板 SUB 1 上にパッシベーション膜 (保護層) PA を形成し、ソース配線 S、ソース電極 SE、ドレイン電極 DE、酸化半導体層 SC 等を含むアレイ基板全体をパッシベーション膜で覆う。パッシベーション膜 PA は、無機膜、オレフィン樹脂、アクリル樹脂、シロキサン樹脂などを用いる。パッシベーション膜 PA の膜厚は、ソース電極 SE、ドレイン電極 DE、ソース配線 S を構成している金属多層膜 (Ti 系 / Al 系 / Ti 系) の膜厚の 3 倍以上とすることが望ましい。

30

以上の工程により、薄膜トランジスタ TR を備えたアレイ基板 SUB 1 が製造される。

【0036】

以上のように構成された表示装置およびアレイ基板によれば、電極および配線の側壁は、上層側の第 1 テーパー部 22 a と下層側の第 2 テーパー部 22 b とを有し、第 1 テーパー部のテーパー角は第 2 テーパー部のテーパー角よりも小さく形成されている。更に、第 2 テーパー部上に側壁保護膜 24 を設けている。このような側壁保護膜 24 を設けることにより、第 2 テーパー部 22 b のサイドエッチング量のバラツキを低減し、電極および配線を所望形状および均一な形状に加工することができる。これにより、アレイ基板の量産性が向上する。同時に、側壁荒れ、特に、第 2 テーパー部 22 b の荒れを抑制することができる。

40

また、側壁保護膜 24 を設けることにより、オーバーエッチング時間の延長が可能となる。エッチング時間を延長することにより、Ti 残渣の発生を抑制することができ、電極および配線をより正確な形状に加工可能となる。

【0037】

配線および電極の側壁において、第 1 テーパー部 22 a と第 2 テーパー部 22 b との切り替わり部 (境界) B が Ti 系の上層 20 c 中に設けられている場合、すなわち、第 1 テーパー部に比較して第 2 テーパー部の厚さ (高さ) が大きい場合、パッシベーション膜 PA によるカバレッジ性が低下し易く、“す”が入りやすい。一方、テーパー切り替わり部

50

Bが下層20a中に設けられている場合、第1テーパ部22aの膜厚が大きくなることから、第1テーパ部22aのサイドエッチが大きく進行し、金属多層膜からなる配線および電極のCDロスに伴う配線抵抗増加が生じやすい等の問題がある。

これに対して、本実施形態によれば、第1テーパ部22aと第2テーパ部22bとの切り替わり部Bが金属多層膜の中間層20bに位置するように第1テーパ部と第2テーパ部の膜厚を設定している。これにより、上記問題が生じにくい。

【0038】

側壁が立っていると、すなわち、テーパ角が大きいと、側壁の肩部でパッシベーション膜PAの段切れ、未付着等が発生し易くなる。しかし、本実施形態によれば、側壁の上層側に第1テーパ部22aを設け、そのテーパ角を第2テーパ部22bのテーパ角よりも小さく、ここでは、テーパ角を45°以下、好ましくは、40°以下とすることにより、パッシベーション膜PAを配線上および電極上に密着させ、アレイ基板全体を確実に覆うことができる。これにより、パッシベーション膜PAのカバレッジ性が向上する。また、第1テーパ部22aのテーパ角を40°以下と低テーパ化することにより、第1テーパ部に側壁保護膜が堆積されにくい。一方、第2テーパ部22bは、テーパ角を40°以上、好ましくは、45°以上70°以下とすることにより、側壁保護物質が堆積し易く（残り易く）、側壁保護膜を安定して形成することができる。但し、酸化半導体層SCは水素（H）によって還元され易いため、側壁保護膜の形成は必要最小限にすることが望ましい。

【0039】

本実施形態によれば、配線および電極を構成するTi/Al/Tiの金属多層膜の膜厚を、パッシベーション膜PAの膜厚の1/3以上に形成した場合でも、すなわち、金属層膜が比較的厚い場合でも、パッシベーション膜PAによるカバレッジ性を高く維持することができる。

以上のことから、本実施形態によれば、加工形状の均一化、カバレッジ性の向上、量産性の向上した表示装置が得られる。

【0040】

次に、他の実施形態に係る表示装置のアレイ基板について説明する。なお、以下に説明する他の実施形態において、前述した第1の実施形態と同一の部分には、同一の参照符号を付してその詳細な説明を省略し、第1の実施形態と異なる部分を中心に詳しく説明する。

【0041】

（第2の実施形態）

図8は、第2の実施形態に係る表示装置のアレイ基板を示す断面図である。

図8に示すように、薄膜トランジスタTRを構成する酸化半導体層SC上に設けられたソース電極SEおよびドレイン電極DE、並びに、ゲート絶縁層12上に設けられたソース配線Sは、それぞれ側壁を有している。各側壁は、上層20cから中間層20bまで延びる第1テーパ部22aと、中間層20bから下層20aまで延びる第2テーパ部22bと、を有している。第1テーパ部22aと第2テーパ部22bとの境界（切り替わり位置）Bは、中間層20b中に位置している。更に、第2テーパ部22b上に側壁保護膜24が形成され、第2テーパ部22bを覆っている。

【0042】

本実施形態によれば、側壁保護膜24は、第2テーパ部22bの内、中間層20bの側壁のみに形成されている。ただし、下層20aの内、中間層20b側の端部（境界部）であれば、側壁保護膜24を形成してもよい。

第1テーパ部22aのテーパ角は、40°未満、例えば、30°に形成されている。第2テーパ部22bのテーパ角は、第1テーパ部のテーパ角よりも大きく形成され、40°以上、70°以下、例えば、60°に設定されている。側壁保護膜24は、例えば、CH系物質で形成され、エッチング時に、第2テーパ部22bの上に堆積形成される。

10

20

30

40

50

【 0 0 4 3 】

アレイ基板SUB1の製造方法についてその一例を説明する。ここでは、エッチング工程について説明する。

配線材料である金属多層膜として、例えば、Ti系の下層20a、Al系の間層20b、Ti系の上層20cを絶縁基板15上に積層形成した後、図示しないフォトレジストをマスクとして、金属多層膜を一括してパターンニングする。パターンニングは、プラズマドライエッチング法を用い、3段階で金属多層膜をエッチングすることにより行う。

【 0 0 4 4 】

第1段階のエッチングにおいて、エッチングガスとしては、三塩化ホウ素(BCl_3)、塩素(Cl_2)の混合ガスを用い、 Cl_2 の流量比を高め設定する。さらに窒素(N_2)を混合しても良い。第1段階のエッチングでは、金属多層膜の上層20cおよび中間層20bの途中まで、ハーフエッチングする。エッチングにより形成された一部側壁は、テーパ角が45°以下の第1テーパ部となる。

10

【 0 0 4 5 】

第1段階のエッチングに連続して第2段階のエッチングにより、金属多層膜の間層20bおよび下層20aの境界付近までハーフエッチする。第2段階のエッチングにおいて、エッチングガスとして、三塩化ホウ素(BCl_3)、塩素(Cl_2)に側壁保護膜形成用の添加ガスを混合したものを用いる。添加ガスとしては、例えば三フッ化メタン(CHF_3)等が好ましい。また、混合ガスに窒素(N_2)を添加しても良い。第2段階のエッチングにより、中間層20bおよび下層20aの境界部をエッチングし、第2テーパ部22bを形成する。第2テーパ部22bは、テーパ角が60°程度であり、第1テーパ部22aは、エッチングが進行し、テーパ角が30°程度となる。

20

【 0 0 4 6 】

また、第2段階のエッチング過程で、添加ガス(CHF_3)、 N_2 は、プラズマ解離反応によりCH系、AlFx、AlNx等の物質を生成し、この生成された物質が第2テーパ部22b上に堆積して側壁保護膜24を形成する。側壁保護膜24を形成することにより、第2テーパ部22bのサイドエッチングを抑制し、第2テーパ部22bを所望のテーパ角に維持することができる。なお、第1テーパ部22aは、テーパ角が30°程度と小さいため、生成物質が堆積してもエッチングにより直ぐに除去され、側壁保護膜を形成しにくい。

30

【 0 0 4 7 】

続いて、第3段階のエッチングにより、残りの下層20aをエッチングする。第3段階のエッチングでは、エッチングガスとして、三フッ化メタン(CHF_3)の添加を停止し、三塩化ホウ素(BCl_3)、塩素(Cl_2)の混合ガスを用い、 Cl_2 の流量比を高め設定する。さらに窒素(N_2)を混合しても良い。第3段階のエッチング(非側壁保護プロセス)により、側壁保護物質を生成することなく、下層20cがエッチングされる。

【 0 0 4 8 】

エッチング完了後、フォトレジストを除去する。次いで、アレイ基板SUB1上にパッシベーション膜(保護層)PAを形成し、ソース配線S、ソース電極SE、ドレイン電極DE、酸化半導体層SCの全体をパッシベーション膜で覆う。以上の工程により、薄膜トランジスタTRを備えたアレイ基板SUB1が製造される。

40

【 0 0 4 9 】

上記のように構成された第2の実施形態に係る表示装置によれば、前述した第1の実施形態と同様の作用効果が得られる。本実施形態によれば、Al系の間層20bの側壁に側壁保護膜を設けることにより、Ti系の下層20aよりもサイドエッチングが進行し易い中間層を保護することができる。また、下層20aのエッチングに側壁保護プロセスを用いる必要がないため、すなわち、三フッ化メタン(CHF_3)を用いていないため、酸化半導体層SCが水素(H)によって還元されることを抑制できる。

【 0 0 5 0 】

(第3の実施形態)

50

図9は、第3の実施形態に係る表示装置のアレイ基板を示す断面図である。

図9に示すように、薄膜トランジスタTRを構成する酸化物半導体層SC上に設けられたソース電極SEおよびドレイン電極DE、並びに、ゲート絶縁層12上に設けられたソース配線Sは、それぞれ側壁を有している。各側壁は、上層20cから中間層20bまで延びる第1テーパ部22aと、中間層20bから下層20aまで延びる第2テーパ部22bと、を有している。第1テーパ部22aと第2テーパ部22bとの境界(切り替わり位置)Bは、中間層20b中に位置している。更に、第2テーパ部22b上に側壁保護膜24が形成され、第2テーパ部22bを覆っている。

【0051】

本実施形態によれば、ソース電極SE、ドレイン電極DE、およびソース配線Sを形成する金属多層膜において、下層20aおよび上層20cは、MoCr、MoW等のMo系金属で形成されて、中間層20bはAl系金属により形成されている。また、側壁保護膜24は、第2テーパ部22bの内、中間層20bの側壁のみに形成されている。

第1テーパ部22aのテーパ角は、40°未満、例えば、30°に形成されている。第2テーパ部22bのテーパ角は、第1テーパ部のテーパ角よりも大きく形成され、40°以上、70°以下、例えば、60°に設定されている。側壁保護膜24は、例えば、CH系物質で形成され、エッチング時、第2テーパ部22bの中間層20c上に堆積形成される。

【0052】

アレイ基板SUB1の製造方法についてその一例を説明する。ここでは、エッチング工程について説明する。

配線材料である金属多層膜として、Mo系の下層20a、Al系の中間層20b、Mo系の上層20cを絶縁基板15上に積層形成した後、図示しないフォトレジストをマスクとして、金属多層膜を一括してパターニングする。パターニングは、プラズマドライエッチング法を用い、3段階で金属多層膜をエッチングすることにより行う。

【0053】

第1段階のエッチングでは、エッチングガスとして、例えば、六フッ化硫黄(SF₆)および酸素(O₂)の混合ガスを用い、上層20cをエッチングする。第2段階のエッチングでは、エッチングガスとして、三塩化ホウ素(BCl₃)、塩素(Cl₂)に側壁保護膜形成用の添加ガスを混合したものをを用いて、中間層20bをエッチングする。また、混合ガスに窒素(N₂)を添加しても良い。これにより、第1テーパ部22aおよび第2テーパ部22bを有する側壁を形成する。

【0054】

また、第2段階のエッチング過程で、添加ガス(CHF₃)、N₂は、プラズマ解離反応によりCH系、AlFx、AlNx等の物質を生成し、この生成された物質が第2テーパ部22b上に堆積して側壁保護膜24を形成する。側壁保護膜24を形成することにより、第2テーパ部22bを形成する中間層20bのサイドエッチングを抑制し、第2テーパ部を所望のテーパ角に維持する。第2テーパ部22bは、テーパ角が60°程度であり、第1テーパ部22aは、エッチングが進行し、テーパ角が30°程度となる。

【0055】

第3段階のエッチングでは、エッチングガスとして、例えば、六フッ化硫黄(SF₆)および酸素(O₂)の混合ガスを用い、下層20aをエッチングする。これにより、側壁保護膜24から酸化物半導体層SCあるいはゲート絶縁層12まで延びる第2テーパ部を下層20aに形成する。

【0056】

上記のように構成された第3の実施形態に係る表示装置によれば、前述した第2の実施形態と同様の作用効果が得られる。本実施形態によれば、Al系の中間層20bの側壁に側壁保護膜を設けることにより、Mo系の下層20aよりもサイドエッチングが進行し易い中間層を保護することができる。また、下層20aのエッチングに側壁保護プロセスを

10

20

30

40

50

用いる必要がないため、すなわち、三フッ化メタン (CHF_3) を用いていないため、水素 (H) による酸化物半導体層 SC の還元を抑制することができる。

以上のことから、第 2 および第 3 の実施形態においても、加工形状の均一化、カバレッジ性の向上、量産性の向上した表示装置が得られる。

【 0 0 5 7 】

上述した実施形態においては、薄膜トランジスタを含む表示装置の開示例として液晶表示装置を示したが、その他の適用例として、有機 EL 表示装置、その他の自発光型表示装置、或いは電気泳動素子等を有する電子ペーパー型表示装置等、あらゆるフラットパネル型の表示装置が挙げられる。また、中小型の表示装置から大型の表示装置まで、特に限定することなく上記実施形態と同様の構成或いは製造工程を適用可能であることは言うまでもない。

10

【 0 0 5 8 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 0 0 5 9 】

本発明の実施形態として上述した各構成及び製造工程を基にして、当業者が適宜設計変更して実施し得る全ての構成及び製造工程も、本発明の要旨を包含する限り、本発明の範囲に属する。また、上述した実施形態によりもたらされる他の作用効果について本明細書の記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

20

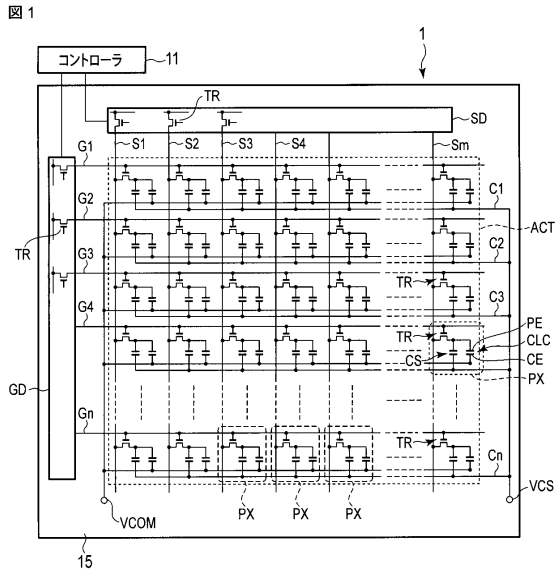
【 符号の説明 】

【 0 0 6 0 】

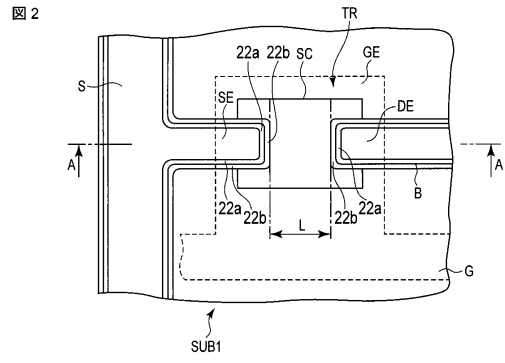
1 ... 表示装置、 1 5 ... 絶縁基板、 SUB 1 ... アレイ基板、 ACT ... 表示部、
 G ... ゲート配線、 S ... ソース配線、 TR ... 薄膜トランジスタ、 PX ... 表示画素、
 GE ... ゲート電極、 SC ... 半導体層、 SE ... ソース電極、 1 2 ... ゲート絶縁層、
 DE ... ドレイン電極、 2 0 a ... 下層 (第 1 層)、
 2 0 b ... 中間層 (第 2 層)、 2 0 c ... 上層 (第 3 層)、 2 2 a ... 第 1 テーパー部、
 2 2 b ... 第 2 テーパー部、 2 4 ... 側壁保護膜、 PA ... パッシベーション膜 (保護層)、
 PR ... フォトレジスト

30

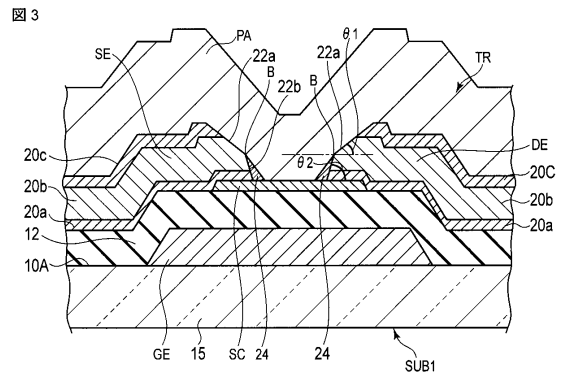
【図1】



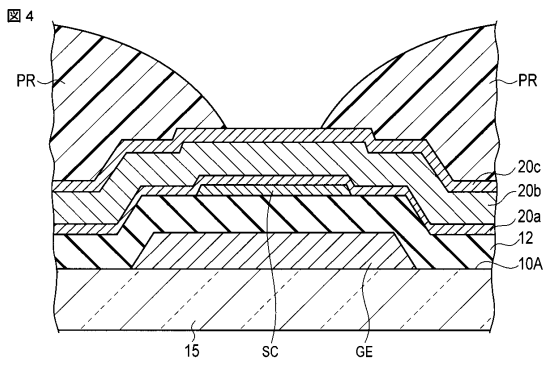
【図2】



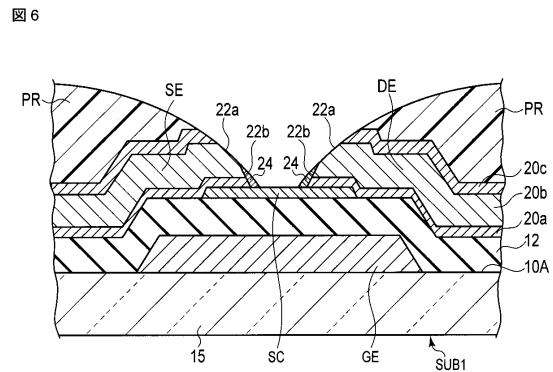
【図3】



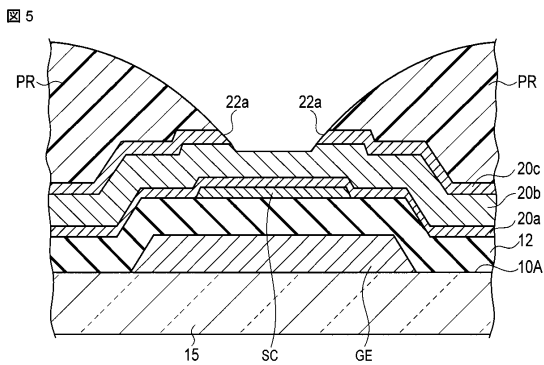
【図4】



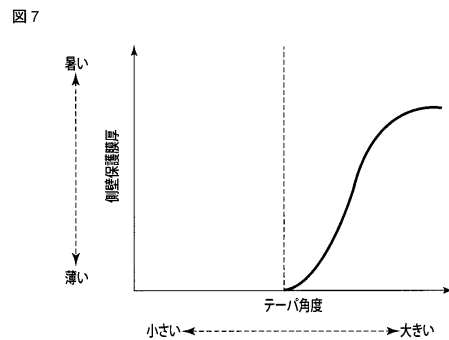
【図6】



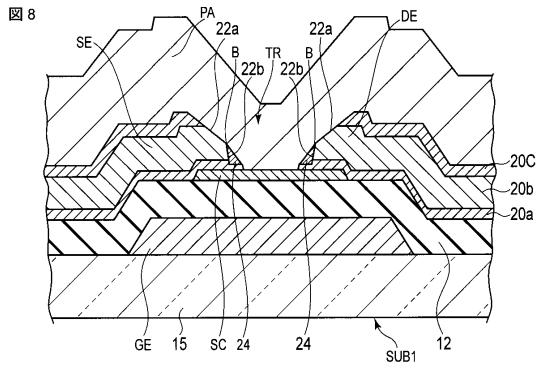
【図5】



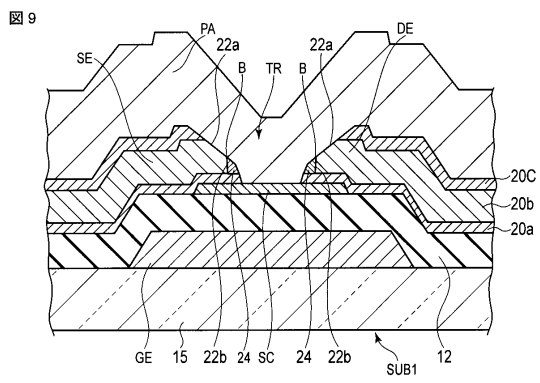
【図7】



【図 8】



【図 9】



フロントページの続き

- (51)Int.Cl. F I
 H 0 1 L 21/28 3 0 1 B
 H 0 1 L 29/50 M
 G 0 2 F 1/1368
- (72)発明者 石田 有親
 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
- (72)発明者 植村 典弘
 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
- (72)発明者 三宅 秀和
 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
- (72)発明者 三宅 博都
 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
- (72)発明者 山口 陽平
 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

審査官 棚田 一也

- (56)参考文献 特開2000-284326(JP,A)
 特開2011-139055(JP,A)
 米国特許出願公開第2011/0133177(US,A1)
 特開2004-165289(JP,A)
 特開平03-030428(JP,A)
 特開2005-340800(JP,A)
 特開平07-297185(JP,A)
 特開2001-223365(JP,A)
 特開平07-312425(JP,A)
 特開2012-169610(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6
 G 0 2 F 1 / 1 3 6 8
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 4 1 7