



(12)发明专利

(10)授权公告号 CN 106788398 B

(45)授权公告日 2020.06.02

(21)申请号 201611109739.1

(22)申请日 2016.12.06

(65)同一申请的已公布的文献号
申请公布号 CN 106788398 A

(43)申请公布日 2017.05.31

(73)专利权人 矽力杰半导体技术(杭州)有限公司

地址 310012 浙江省杭州市文三路90号东部软件园科技大厦A1501室

(72)发明人 曾宪蕃 陈小平 范洪峰

(74)专利代理机构 北京睿派知识产权代理事务所(普通合伙) 11597

代理人 刘锋 刘熔

(51)Int.Cl.

H03K 23/40(2006.01)

(56)对比文件

US 7535210 B2,2009.05.19,
CN 102377337 A,2012.03.14,
CN 103401406 A,2013.11.20,
CN 105262337 A,2016.01.20,
CN 105207480 A,2015.12.30,
CN 102468741 A,2012.05.23,
US 2016149490 A1,2016.05.26,

审查员 杨蕊

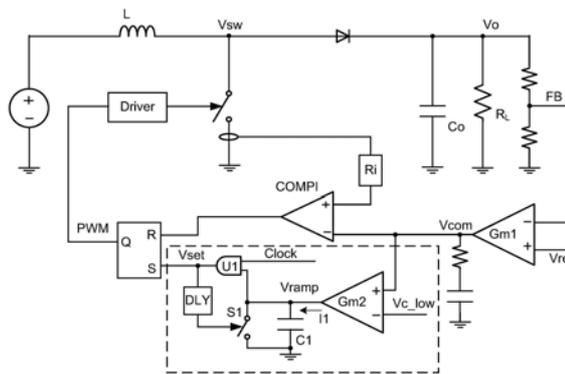
权利要求书2页 说明书8页 附图6页

(54)发明名称

时钟分频电路、控制电路以及电源管理集成电路

(57)摘要

公开了一种时钟分频电路、控制电路以及电源管理集成电路。通过受控电流源控制斜坡信号的斜率,并根据斜坡信号和系统时钟脉冲输出经分频的时钟信号的脉冲,由此,可以通过模拟电路根据电压差来平滑地、按比例地进行时钟分频。



1. 一种时钟分频电路,用于根据分频控制信号对系统时钟信号进行分频,所述时钟分频电路包括:

受控电流源,输出随分频控制信号变化的驱动电流;

第一斜坡信号生成电路,用于生成第一斜坡信号,所述第一斜坡信号的斜率根据所述驱动电流变化并根据经分频的时钟信号的脉冲复位;

分频脉冲生成电路,根据所述第一斜坡信号和系统时钟信号脉冲输出分频后的时钟信号的脉冲。

2. 根据权利要求1所述的时钟分频电路,其特征在于,所述分频脉冲生成电路在所述第一斜坡信号高于预定阈值后,输出系统时钟信号脉冲作为分频后的时钟信号的脉冲。

3. 根据权利要求1所述的时钟分频电路,其特征在于,所述第一斜坡信号生成电路包括:

第一电容,由所述驱动电流充电,所述驱动电流在所述分频控制信号对应的时间内使得所述第一电容电压上升到参考电压;

第一开关,与所述第一电容并联,根据经分频的时钟信号导通或关断。

4. 根据权利要求3所述的时钟分频电路,其特征在于,所述分频脉冲生成电路包括:

与逻辑电路,输入所述第一斜坡信号和系统时钟信号,输出经分频的时钟信号的脉冲;

其中,所述参考电压为所述与逻辑电路的有效输入电平电压。

5. 根据权利要求1-3中任一项所述的时钟分频电路,其特征在于,所述受控电流源包括:

跨导放大器,被配置为输入基准电压和分频控制信号输出驱动电流,其中,所述分频控制信号为开关型变换器控制环路的补偿信号。

6. 根据权利要求3所述的时钟分频电路,其特征在于,所述分频脉冲生成电路包括:

比较器,用于比较所述第一斜坡信号和所述参考电压,输出脉冲使能信号;

与逻辑电路,在脉冲使能信号为预定电平期间根据系统时钟信号的脉冲输出经分频的时钟信号的脉冲;

所述参考电压为预定电压。

7. 根据权利要求6所述的时钟分频电路,其特征在于,所述受控电流源包括:

电流基准生成电路,用于生成基准电流控制信号;

第一基准电流源,用于根据所述基准电流控制信号生成第一基准电流,所述第一基准电流被配置为能够驱动所述第一斜坡信号生成电路生成具有预定斜率的第一斜坡信号;

电流调整电路,与所述第一基准电流源连接,用于根据所述分频控制信号调整流向所述第一斜坡信号生成电路的电流。

8. 根据权利要求7所述的时钟分频电路,其特征在于,所述第一基准电流被配置为使得对应的所述第一斜坡信号在N个系统时钟周期上升到所述参考电压,N大于1。

9. 根据权利要求7所述的时钟分频电路,其特征在于,所述电流基准生成电路包括:

第三基准电流源,用于根据基准电流控制信号生成第三基准电流;

第二斜坡信号生成电路,受所述第三基准电流驱动生成第二斜坡信号;以及,

控制信号调整电路,用于根据所述第二斜坡信号和所述参考电压调节所述基准电流控制信号以使得所述第二斜坡信号具有预定斜率。

10. 根据权利要求9所述的时钟分频电路,其特征在于,所述控制信号调整电路调节所述基准电流控制信号以使得所述第二斜坡信号在1个时钟周期上升到参考电压。

11. 根据权利要求10所述的时钟分频电路,其特征在于,所述控制信号调整电路根据系统时钟周期切换时所述第二斜坡信号与所述参考电压的关系调整所述基准电流控制信号。

12. 根据权利要求9所述的时钟分频电路,其特征在于,所述第二斜坡信号生成电路包括:

第二电容,由所述第三基准电流充电;以及,

第二开关,与所述第二电容并联,根据系统时钟信号的脉冲导通或关断。

13. 根据权利要求12所述的时钟分频电路,其特征在于,所述第二电容和第一电容的电容值相同或成比例。

14. 根据权利要求9-11中任一项所述的时钟分频电路,其特征在于,所述控制信号调整电路包括:

比较器,用于比较所述第二斜坡信号和所述参考电压输出状态指示信号;

D触发器,记录系统时钟周期切换时的状态指示信号,输出调整指示信号;以及

电流调节器,根据所述调整指示信号调节所述基准电流控制信号。

15. 根据权利要求7所述的时钟分频电路,其特征在于,所述电流调整电路包括:

第二基准电流源,用于根据所述基准电流控制信号生成第二基准电流,所述第二基准电流与所述第一基准电流成比例;

第一二极管,连接在第二基准电流源和第一基准电流源之间;

跨导放大器,输入参考电压和所述分频控制信号;

第二二极管,连接在所述跨导放大器的输出端和所述第二基准电流源的输出端之间。

16. 根据权利要求15所述的时钟分频电路,其特征在于,所述分频控制信号为开关型变换器控制环路反馈信号,所述参考电压为所述控制环路的参考电压。

17. 一种控制电路,用于控制开关型变换器,所述控制电路包括如权利要求1-16中任一项所述的时钟分频电路,为所述控制电路提供本地时钟。

18. 一种电源管理集成电路,用于控制多个不同的开关型变换器,所述电源管理集成电路包括:

系统时钟源;以及,

多个如权利要求1-16中任一项所述的时钟分频电路。

时钟分频电路、控制电路以及电源管理集成电路

技术领域

[0001] 本发明涉及电力电子技术,具体涉及时钟分频电路以及应用所述时钟分频电路的控制电路和电源管理集成电路。

背景技术

[0002] 时钟分频是将恒定的系统时钟频率按整数倍进行频率降低的操作。在具有多个不同模块的大规模成电路中,例如具有多个开关型调节器的电源管理集成电路中,通常会使得集成电路中的所有通道共享同一个系统时钟使得各通道之间同步以优化噪声性能并节省芯片空间。而由于每个模块自身的特性,可能需要本地的时钟频率小于系统时钟频率以提供保护。例如,对于具有降压拓扑的开关型变换器,在输出短路或轻载条件下,需要降低本地时钟频率来保护功率级电路。虽然可以采用数字方式来对系统时钟信号进行分频,但是,要根据电压差来平滑地、按比例改变时钟频率非常困难。

发明内容

[0003] 有鉴于此,本发明提供一种模拟方式实现的时钟分频电路以及应用所述时钟分频电路的控制电路和电源管理集成电路,可以根据电压差来平滑地、按比例地进行时钟分频。

[0004] 第一方面,提供一种时钟分频电路,用于根据分频控制信号对系统时钟信号进行分频,所述时钟分频电路包括:

[0005] 受控电流源,输出随分频控制信号变化的驱动电流;

[0006] 斜坡信号生成电路,用于生成斜坡信号,所述斜坡信号的斜率根据所述驱动电流变化并根据经分频的时钟信号的脉冲复位;

[0007] 分频脉冲生成电路,根据所述斜坡信号和系统时钟信号脉冲输出分频后的时钟信号的脉冲。

[0008] 优选地,所述分频脉冲生成电路在所述斜坡信号高于预定阈值后,输出系统时钟信号脉冲作为分频后的时钟信号的脉冲。

[0009] 优选地,所述斜坡信号生成电路包括:

[0010] 第一电容,由所述驱动电流充电,所述驱动电流在所述分频控制信号对应的时间内使得所述电容电压上升到参考电压;

[0011] 第一开关,与所述电容并联,根据经分频的时钟信号导通或关断。

[0012] 优选地,所述分频脉冲生成电路包括:

[0013] 与逻辑电路,输入所述斜坡信号和系统时钟信号,输出经分频的时钟信号的脉冲;

[0014] 其中,所述参考电压为所述与逻辑电路的有效输入电平电压。

[0015] 优选地,所述受控电流源包括:

[0016] 跨导放大器,被配置为输入基准电压和分频控制信号输出驱动电流。

[0017] 优选地,所述分频控制信号为开关型变换器控制环路的补偿信号。

[0018] 优选地,所述分频脉冲生成电路包括:

- [0019] 比较器,用于比较所述斜坡信号和所述参考电压,输出脉冲使能信号;
- [0020] 与逻辑电路,在脉冲使能信号为预定电平期间根据系统时钟信号的脉冲输出经分频的时钟信号的脉冲;
- [0021] 所述参考电压为预定电压。
- [0022] 优选地,所述受控电流源包括:
- [0023] 电流基准生成电路,用于生成基准电流控制信号;
- [0024] 第一基准电流源,用于根据所述基准电流控制信号生成第一基准电流,所述第一基准电流被配置为能够驱动所述斜坡信号生成电路生成具有预定斜率的斜坡信号;
- [0025] 电流调整电路,与所述第一基准电流源连接,用于根据所述分频控制信号调整流向所述斜坡信号生成电路的电流。
- [0026] 优选地,所述第一基准电流被配置为使得对应的所述斜坡信号在N个系统时钟周期上升到所述参考电压,N大于1。
- [0027] 优选地,所述电流基准生成电路包括:
- [0028] 第三基准电流源,用于根据基准电流控制信号生成第三基准电流;
- [0029] 斜坡信号生成电路,受所述第三基准电流驱动生成斜坡信号;以及,
- [0030] 控制信号调整电路,用于根据所述斜坡信号和所述参考电压调节所述基准电流控制信号以使得斜坡信号具有预定斜率。
- [0031] 优选地,所述控制信号调整电路调节所述基准电流控制信号以使得所述斜坡信号在1个时钟周期上升到参考电压。
- [0032] 优选地,所述控制信号调整电路根据系统时钟周期切换时所述斜坡信号与所述参考电压的关系调整所述基准电流控制信号。
- [0033] 优选地,所述斜坡信号生成电路包括:
- [0034] 第二电容,由所述驱动电流充电;以及,
- [0035] 第二开关,与所述第二电容并联,根据系统时钟信号的脉冲导通或关断。
- [0036] 优选地,所述第二电容和第一电容的电容值相同或成比例。
- [0037] 优选地,所述控制信号调整电路包括:
- [0038] 比较器,用于比较所述斜坡信号和所述参考电压输出状态指示信号;
- [0039] D触发器,记录系统时钟周期切换时的状态指示信号,输出调整指示信号;以及
- [0040] 电流调节器,根据所述调整指示信号调节所述基准电流控制信号。
- [0041] 优选地,所述电流调整电路包括:
- [0042] 第二基准电流源,用于根据所述基准电流控制信号生成第二基准电流,所述第二基准电流与所述第一基准电流成比例;
- [0043] 第一二极管,连接在第二基准电流源和第一基准电流源之间;
- [0044] 跨导放大器,输入分频基准电压和所述分频控制信号;
- [0045] 第二二极管,连接在所述跨导放大器的输出端和所述第二基准电流源的输出端之间。
- [0046] 优选地,所述分频控制信号为开关型变换器控制环路反馈信号,所述参考电压为所述控制环路的参考电压。
- [0047] 第二方面,提供一种控制电路,用于控制开关型变换器,所述控制电路包括如上所

述的时钟分频电路,为所述控制电路提供本地时钟。

[0048] 第三方面,一种电源管理集成电路,用于控制多个不同的开关型变换器,所述电源管理集成电路包括:

[0049] 系统时钟源;以及,

[0050] 多个如上所述的时钟分频电路。

[0051] 通过受控电流源控制斜坡信号的斜率,并根据斜坡信号和系统时钟脉冲输出分频后的时钟信号的脉冲,由此,可以以模拟电路的方式来根据电压差来平滑地、按比例地进行时钟分频。

附图说明

[0052] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其它目的、特征和优点将更为清楚,在附图中:

[0053] 图1是电源管理集成电路的示意图;

[0054] 图2是一个对比例的开关型变换器的电路示意图;

[0055] 图3是图2所示电路的工作波形图;

[0056] 图4是本发明一个实施例的开关型变换器的电路示意图;

[0057] 图5是图4所示的电路的工作波形图;

[0058] 图6是本发明另一个实施例的时钟分频电路的电路示意图;

[0059] 图7是图6所示的电路的工作波形图。

具体实施方式

[0060] 以下基于实施例对本发明进行描述,但是本发明并不仅仅限于这些实施例。在下文对本发明的细节描述中,详尽描述了一些特定的细节部分。对本领域技术人员来说没有这些细节部分的描述也可以完全理解本发明。为了避免混淆本发明的实质,公知的方法、过程、流程、元件和电路并没有详细叙述。

[0061] 此外,本领域普通技术人员应当理解,在此提供的附图都是为了说明的目的,并且附图不一定是按比例绘制的。

[0062] 除非上下文明确要求,否则整个说明书和权利要求书中的“包括”、“包含”等类似词语应当解释为包含的含义而不是排他或穷举的含义;也就是说,是“包括但不限于”的含义。

[0063] 图1是电源管理集成电路的示意图。如图1所示,现有的电源管理集成电路PWIC通常会对多个不同配置或不同类型的功率变换器或功率部件进行管理和控制(例如图1中所示的降压型功率变换器、升压型功率变换器以及电荷泵)。多路不同的功率变换器或功率部件会共用一个系统时钟模块Clock,基于其提供的系统时钟来生成脉宽调制(Pulse Width Modulate, PWM)信号。

[0064] 图2是一个对比例的开关型变换器的电路示意图。图2以升压型拓扑(BOOST)的开关型变换器为例进行说明。如图2所示,在该对比例中,功率级电路包括电感L、功率开关S、整流二极管D和滤波电容Co,其输出电压Vo用于驱动负载RL。控制电路用于生成开关控制信号Q控制功率开关S导通或关断。控制电路包括分压网络,将输出电压Vo分压后作为反馈电

压 V_{fb} 反馈到补偿电路。补偿电路包括跨导放大器 G_m 和由串联的电容以及电阻构成的补偿网络。同时,电流采样电路采样流过功率开关 S 的电流,经过转换网络 R_i 转换后输入到比较器 $COMP1$ 。比较器 $COMP1$ 的另一个输入端口输入补偿电路输出的补偿信号 V_{com} 。比较器 $COMP1$ 的输出连接到 RS 触发器的复位端 R 。由此,补偿电路和比较器 $COMP1$ 可以构成输出电压和电感电流的反馈环路,从而基于该反馈环路来控制功率电路,以输出恒定的电压或电流。 RS 触发器的置位端 S 输入系统时钟信号。同时,在控制电路中设置比较器 $COMP$,比较补偿信号 V_{com} 和预定的休眠参考信号 V_{ref_slp} ,输出休眠使能信号 V_{sleep} 。 RS 触发器的输出端和比较器 $COMP$ 的输出端分别连接到与逻辑门 $U1$ 的两个输入端,与逻辑门 $U1$ 输出的脉宽调制信号 PWM 经过驱动电路 $Driver$ 后输出到功率开关 S 控制其导通和关断。图2所示的对比例实际上是在通用的控制电路上加入了一个与逻辑门 $U1$ 和比较器 $COMP$ 作为休眠触发电路 A 。在比较器 $COMP$ 根据补偿信号 V_{com} 判断系统轻载时(也即,补偿信号 V_{com} 低于基准信号 V_{ref_slp} 时),使得脉宽调制信号 PWM 与 RS 触发器的输出无关。

[0065] 图3是图2所示电路的工作波形图。其中 V_{sw} 为功率级电路在功率开关非接地端的电压。 ΔV_{OUT} 为输出电压的波动。在功率级电路的负载较小(也即轻载)时,输出电压 V_o 升高,使得补偿信号 V_{com} 缓慢下降。在补偿信号 V_{com} 下降到低于休眠参考信号 V_{ref_slp} 时休眠使能信号 V_{sleep} 切换为有效电平(低电平),使得与逻辑门 $U1$ 输出保持为低电平。功率开关 S 保持关闭,功率级电路进入休眠状态。在休眠状态下,输出电容被负载放电,输出电压 V_o 缓慢下降,这使得补偿信号 V_{com} 缓慢上升。在补偿信号 V_{com} 上升到高于休眠参考信号 V_{ref_slp} 时,休眠使能信号 V_{sleep} 切换为无效电平(高电平)使得与逻辑门 $U1$ 的输出与 RS 触发器的输出 Q 保持一致。由此,功率开关 S 开始周期性地导通和关断,输出电压 V_o 再次开始上升,功率级电路退出休眠状态。

[0066] 对于图2所示的电路,由于比较器 $COMP$ 存在延迟以及环路带宽特性的限制,会使得电路稍微出现几个脉冲之后就会进入休眠模式,这样会导致输出电压的纹波较大,输出电压负载的调整率变差。

[0067] 图4是本发明一个实施例的开关型变换器的电路示意图。如图4所示,其在控制电路中的 RS 触发器的置位端不输入系统时钟信号,而是输入一个本地化的随补偿信号 V_{com} 变化的经分频的时钟信号。在轻载时,随着补偿信号 V_{com} 的下降改变脉宽调制信号的频率,实现在轻载状态下功率级电路降频工作,以减小轻载下的输出电压纹波并改善负载调整率。具体地,在图4中,以升压型拓扑的开关型变换器为例进行说明。功率级电路的结构以及控制电路中电压环路以及电流环路的电路结构均与图2中所示的相同,在此不再赘述。在图4中,设置时钟分频电路以根据补偿电路输出的补偿信号 V_{com} 对系统时钟信号进行分频。时钟分频电路1包括受控电流源、斜坡信号生成电路以及分频脉冲生成电路。其中,受控电流源用于输出随分频控制信号(在图4所示的实施方式中,分频控制信号为补偿信号 V_{com})变化的驱动电流 I_1 。在本实施方式中,受控电流源为跨导放大器 G_{m2} ,其同相端输入补偿信号 V_{com} ,反相端输入基准电压 V_{c_low} 。跨导放大器 G_{m2} 根据补偿信号 V_{com} 的变化调节对外输出的驱动电流 I_1 的大小。斜坡信号生成电路包括并联的电容 C_1 和开关 S_1 。在图4中,电容 C_1 和开关 S_1 并联在跨导放大器 G_{m2} 的输出端和接地端之间。开关 S_1 的控制端输入分频后的时钟信号,根据分频后的时钟信号导通或关断。分频脉冲生成电路根据斜坡信号 V_{ramp} 和系统时钟信号脉冲 Cl_{ock} 输出分频后的时钟信号脉冲 V_{set} 。可选地,开关 S_1 的控制端由经过延迟电

路DLY延迟的本地时钟的脉冲来控制,由此,可以使得整个电路同步性能更佳。在图4中,分频脉冲生成电路为与逻辑电路U1,其可以为单一的与逻辑门,也可以是与非逻辑门以及非逻辑门的串联电路。经分频的时钟信号的脉冲Vset被施加到RS触发器的置位端S。在开关S1关断期间,跨导放大器Gm2输出的驱动电流I1对电容C1充电。驱动电流I1的大小与电容C1的两端电压(也即斜坡信号Vramp)的上升斜率成比例,驱动电流I1越大,斜坡信号Vramp上升得越快。在开关S1导通期间,电容C1被放电,斜坡信号Vramp快速下降到接地端电压。

[0068] 图5是图4所示的电路的工作波形图。其中Vsw为功率级电路在功率开关非接地端的电压; ΔV_{OUT} 为输出电压的波动。如图5所示,在功率级电路轻载时,补偿信号Vcom电压在参考电压Vc_low附近,两者的电压差和跨导放大器Gm2的跨导放大系数决定了电容C1的充电电流大小。充电电流的大小决定了斜坡信号Vramp的上升斜率。在斜坡信号Vramp上升到大于预定电压阈值Vth_u1时,对于与逻辑电路U1而言,斜坡信号Vramp电压对应高电平,在此期间,如果遇到系统时钟信号的脉冲,则与逻辑电路U1的两个输入均为高电平,则与逻辑电路U1输出高电平,使得Vset为高电平。电压Vset切换为高电平后,经过延迟的脉冲会控制使得开关S1导通,电容C1被放电,斜坡信号Vramp快速下降到接地端电压,从而使得斜坡信号Vramp相对于与逻辑电路U1为低电平,与逻辑电路U1的输出信号Vset不受系统时钟信号的影响。由此,在斜坡信号Vramp上升到大于预定电压阈值Vth_u1时,时钟分频电路1会在时钟信号的上升沿附近输出一个时钟脉冲。而由于斜坡信号Vramp上升斜率(或称为上升速度)随补偿信号Vcom变化,因此,在轻载状态下,补偿信号Vcom较小,斜坡信号Vramp上升较慢,会在多个时钟周期后上升到大于电压阈值Vth_u1。由此,在此情况下,时钟分频电路可以每隔多个系统时钟周期才输出一个经过分频的时钟信号的脉冲,同时,该脉冲的产生时刻与系统时钟同步,从而在实现降低时钟信号频率的同时保证同步。因此,可以在轻载状态下自动地降低系统开关控制信号的频率,实现降频工作。这可以大大减小轻载下的输出电压纹波,改善负载调整率。

[0069] 应理解,以上虽然以升压型的开关型变换器为例进行说明,但是,本实施例时钟分频电路也可以被应用于降压型拓扑的开关型变换器、升降压型拓扑的开关变换器以及电荷泵变换器等各种功率变换器的控制环路,以减小轻载下的输出电压纹波,改善负载调整率。

[0070] 图6是本发明另一个实施例的时钟分频电路的电路示意图。如图6所示,所述时钟分频电路1包括受控电流源11、斜坡信号生成电路12以及分频脉冲生成电路。其中,受控电流源11输出随分频控制信号变化的驱动电流I1。驱动电流I1用于驱动斜坡信号生成电路12生成斜率随驱动电流变化的斜坡信号Vramp。斜坡信号生成电路12用于生成斜坡信号Vramp。分频脉冲生成电路13用于根据所述斜坡信号和系统时钟脉冲输出分频后的时钟信号的脉冲。在本实施例中,分频控制信号为功率变换器的输出反馈电压或电流Vfb。同时,斜坡信号生成电路12包括并联的电容C1和开关S1。在图6中,电容C1和开关S1并联在受控电流源11的输出端和接地端之间。在电容C1不接地的一端可以输出斜坡信号Vramp。对于图6所示的斜坡信号生成电路12,在开关S1关断时,受控电流源11输出的驱动电流I1可以对电容C1充电,从而控制斜坡信号Vramp的斜率。在开关S1导通时,受控电流源11输出的驱动电流I1通过开关S1流向接地端,同时,电容C1被放电,电容电压快速下降到接地端电压。

[0071] 在本实施例中,受控电流源11包括电流基准生成电路、第一基准电流源M1和电流调整电路。其中,电流基准生成电路用于生成基准电流控制信号Vi。基准电流控制信号Vi施

加于第一基准电流源M1的控制端,用于使得第一基准电流源M1产生的第一基准电流 I_a 可以驱动斜坡信号生成电路12生成具有预定斜率的斜坡信号。在本实施例中,第一基准电流源M1选用金属氧化物场效应晶体管(MOSFET),其连接在电源端VDD和输出端之间,通过调节MOSFET的栅极电压,可以调节流过其的电流,从而使得其作为电流源输出期望的电流。具体地,第一基准电流 I_a 被配置为使得对应的所述斜坡信号在N个系统时钟周期上升到参考电压 V_{ref} ,N大于1。在图6中, $I_a=0.2X$,其中X为使得电容C1在一个系统时钟周期内充电上升到参考电压 V_{ref} 的电流,由此,第一基准电流 I_a 为使得电容C1在五个系统时钟周期内充电上升到参考电压 V_{ref} 的电流。电流调整电路与第一基准电流源M1连接,用于根据分频控制信号调整流向斜坡信号生成电路12的电流。

[0072] 具体地,如图6所示,电流基准生成电路包括第三基准电流源M3、斜坡信号生成电路以及控制信号调整电路。其中,第三基准电流源M3用于根据基准电流控制信号生成驱动电流。斜坡信号生成电路受所述驱动电流驱动生成对应的斜坡信号 V_{ramp}' 。控制信号调整电路用于根据斜坡信号 V_{ramp}' 和参考电压 V_{ref} 调节基准电流控制信号 V_i 以使得斜坡信号具有预定斜率 V_{ramp}' 。也就是说,第三基准电流源M3、斜坡信号生成电路以及控制信号调整电路形成一个闭环控制环路,使得基准电流控制信号 V_i 可以使得斜坡信号生成电路中的电容C2在预定的时间(例如一个系统时钟周期)上升到参考电压 V_{ref} 。电流基准11a生成电路中的斜坡信号生成电路包括并联的电容C2和开关S2,两者并联在第三基准电流源M3的输出端和接地端之间,其中,开关S2由与系统时钟信号同步的系统时钟信号脉冲控制。系统时钟信号脉冲可以通过图6中所示的输入系统时钟信号的单触发电路One shot触发获得。在电容C2与电容C1具有相同的电容值时,如果电流强度为X的电流可以使得电容C2的两端电压在一个系统时钟周期内上升到参考电压 V_{ref} ,那么电流强度为X的电流也可以驱动电容C1的两端电压在一个系统时钟周期内上升到参考电压 V_{ref} 。由此,可以获得所需要的基准电流控制信号。

[0073] 在图6中,控制信号调整电路包括比较器COMP2、D触发器DFF以及电流调节器CM。其中,比较器COMP2用于比较斜坡信号 V_{ramp}' 和参考电压 V_{ref} 输出状态指示信号。状态指示信号用于指示斜坡信号 $ramp'$ 是否大于参考电压 V_{ref} 。D触发器DFF根据系统时钟信号的脉冲,在开关S2导通期间(也即,系统时钟信号上升沿附近)将调整指示信号缓存并输出。由此,D触发器DFF可以通过缓存获得斜坡信号 V_{ramp}' 在一个系统时钟周期结束时的状态。也即,在一个系统时钟周期结束时,斜坡信号是否上升到大于参考电压 V_{ref} ,并输出对应的调整指示信号。在图6中,如果一个系统时钟周期内,斜坡信号 V_{ramp}' 未上升到参考电压 V_{ref} ,则调整指示信号为高电平,如果一个系统时钟周期内,斜坡信号 V_{ramp}' 上升到大于参考电压 V_{ref} ,则调整指示信号为低电平。电流调节器CM根据调整指示信号调节基准电流控制信号 V_i 。在调整指示信号为高时增加第三基准电流源M3输出的电流 I_c ,在调整指示信号为低时降低第三基准电流源M3输出的电流 I_c 。由此,通过闭环控制,可以使得基准电流控制信号精确地控制电流 I_c 保持等于X,X为使得电容C1两端电压在一个系统时钟周期内充电上升到参考电压 V_{ref} 的电流。

[0074] 优选地,电流调整电路11b包括第二基准电流源M2、二极管D1和D2以及跨导放大器 G_m 。其中,第二基准电流源M2用于根据基准电流控制信号 V_i 生成第二基准电流 I_b 。第二基准电流 I_b 与第一基准电流 I_a 成比例,也即,两者均与X成比例。在本实施例中,第二基准电流 I_b

$=1X$,也即,电流强度可以使得电容C1两端电压在一个系统时钟周期上升到参考电压 V_{ref} 。二极管D1连接在第二基准电流源M2和第一基准电流源M1之间,其阳极与第二基准电流源M2的输出端连接,阴极与第一基准电流源M1的输出端连接。二极管D2连接在跨导放大器 G_m 的输出端和第二基准电流源M2的输出端之间,其阳极与第二基准电流源M2的输出端连接,阴极与跨导放大器 G_m 的输出端连接。由此,第二基准电流源M2输出的电流可以经由二极管D1流向斜坡信号生成电路12,也可以经由二极管D2流向跨导放大器 G_m 。第二基准电流源M2流向跨导放大器 G_m 的电流的强度由跨导放大器 G_m 的输入信号控制。同时,由于二极管D1和D2的单向导通特性,第一基准电流源M1产生的电流以及跨导放大器 G_m 产生的电流不能互通。由此,电流调整电路11b可以在第一基准电流源M1输出的电流上叠加一个 I_b-I_{gm} 的电流,从而可以在0至 I_b 的幅度调节驱动电流 I_1 。而跨导放大器 G_m 的产生的电流 I_{gm} 与其输入端的电压差值 $V_{ref}-V_{fb}$ 成比例。由此,可以使得驱动电流 I_1 随本实施例的分频控制信号 V_{fb} 变化。

[0075] 本领域技术人员可以理解,电容C1和电容C2的电容值也可以成比例,同时,在电流基准生成电路中也使用与参考电压 V_{ref} 成比例的电压,从而实现相同的目的。

[0076] 需要说明的是,在本实施例中,跨导放大器一个输入端输入参考电压 V_{ref} ,另一个输入端输入反馈电压 V_{fb} 。参考电压 V_{ref} 与电流基准生成电路中涉及的参考电压相同,均是用于表征功率变换器的期望输出的电压参数。

[0077] 由此,流向斜坡信号生成电路12的驱动电流 I_1 可以在 I_a 到 I_a+I_b 之间变化。如果采用如图6所示的参数,也即第一基准电流源M1输出的第一基准电流 $I_a=0.2X$,第二基准电流源M2输出的第二基准电流 $I_b=1X$ 时,斜坡信号 V_{ramp} 上升到参考电压 V_{ref} 的时间可以随反馈电压 V_{fb} 在1倍系统时钟周期和5倍系统时钟周期的时间内连续变化。

[0078] 在本发明实施例中,第一至第三基准电流源M1-M3采用具有不同面积MOSFET形成电流镜,从而可以在相同的基准电流控制信号下精确地输出不同的、成比例的电流。当然,本领域技术人员容易理解,也可以采用其它现有的方式来生成驱动电流以及基准电流。

[0079] 在图6中,分频脉冲生成电路包括比较器COMP1和与逻辑电路U1。比较器COMP1用于比较斜坡信号 V_{ramp} 和参考电压 V_{ref} ,输出脉冲使能信号EN。与逻辑电路U1在脉冲使能信号为预定电平期间根据系统时钟脉冲输出经分频的时钟信号的脉冲。具体地,与逻辑电路U1的一个输入端输入脉冲使能信号EN,另一个输入端输入系统时钟信号的脉冲。所述系统时钟信号的脉冲在系统时钟周期切换时产生一个高电平的脉冲,其可以通过图6所示的单触发电路One shot生成。

[0080] 脉冲使能信号EN在斜坡信号 V_{ramp} 上升到大于参考信号 V_{ref} 后输出高电平,只有在脉冲信号为高电平时,与逻辑电路U1才将另一个输入端输入的系统时钟信号的脉冲输出。由此,在保持与系统时钟同步的同时,可以根据斜坡信号 V_{ramp} 的上升时间对时钟进行分频。举例来说,在反馈电压 V_{fb} 与参考电压 V_{ref} 差值较大时,第二基准电流源M2产生的电流全部流向跨导放大器 G_m ,驱动电流 $I_1=I_a=0.2X$ 。由此,斜坡信号 V_{ramp} 会在5个系统时钟周期上升到参考电压 V_{ref} 。在斜坡信号 V_{ramp} 上升到参考电压 V_{ref} 之后,与逻辑电路U1在遇到系统时钟信号的脉冲时,输出该脉冲,否则,保持输出为低电平。由此,可以实现每5个时钟周期输出一个系统时钟脉冲,实现对系统时钟信号的分频。

[0081] 也就是说,在本实施例的一个优选实施方式中,第一至第三基准电流源M1-M3分别对两个相同电容值(在集成电路中具有相同尺寸)的电容C1和C2充电。电容C1通过由经分频

的时钟信号Local_CLK控制的开关S1周期性地在周期开始时放电,而电容C2通过系统时钟信号SYS_CLK控制的开关S2在周期开始时放电。比较器COMP2、D触发器DFF以及电流调节器CM组成一个使得电流 I_c 对电容C2充电并使得其在系统时钟周期交替时精确达到参考电压 V_{ref} 的随动环路。比较器COMP1和跨导放大器 G_m 形成模拟电路形式的时钟分频电路的核心。图7是图6所述电路的工作波形图。如图7所示,在反馈电压 V_{fb} 为0伏(也即,等于接地端电压)时,这种情况会出现在输出端被短路时,此时,跨导放大器 G_m 从第二基准电流源M2抽取电流。对电容C1充电的电流仅为对电容C2充电的电流的1/5。这会使得电容C1被充电到参考电压 V_{ref} 的时间是电容C2被充电到参考电压 V_{ref} 的时间的5倍。在电容C1被充电到参考电压 V_{ref} 的过程中,比较器COMP1输出的脉冲使能信号保持低电平以使得与逻辑电路U1关闭,由此,系统时钟信号的脉冲不能输出到输出端,从而有效地实现时钟分频。随着反馈电压 V_{fb} 缓慢地上升,跨导放大器 G_m 抽取的电流减少,使得更多的来自第二基准电流源M2的电流流向电容C1增加其充电速度。这会使得比较器COMP1更快地上升,从而只能加经过分频的时钟信号的脉冲频率。随着反馈电压 V_{fb} 上升到参考电压 V_{ref} ,跨导放大器 G_m 不再从第二基准电流源M2抽取电流,对电容C1充电的驱动电流为 I_a+I_b ,这使得电容C1的充电速度比电容C2的充电速度快20%,这使得比较器COMP1输出的脉冲使能信号EN早于比较器COMP2输出的状态指示信号切换为高电平,从而可以保证在系统时钟脉冲到来前使能与逻辑电路,保证每个系统时钟脉冲均可以被输出。

[0082] 本发明实施例通过受控电流源控制斜坡信号的斜率,并根据斜坡信号和系统时钟脉冲输出分频后的时钟信号的脉冲,由此,可以以模拟电路的方式来根据电压差来平滑地、按比例地进行时钟分频。

[0083] 以上所述仅为本发明的优选实施例,并不用于限制本发明,对于本领域技术人员而言,本发明可以有各种改动和变化。凡在本发明的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

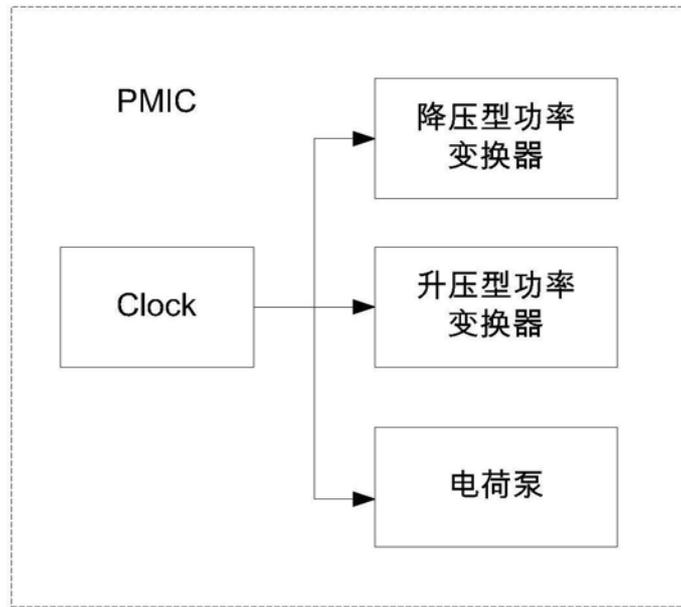


图1

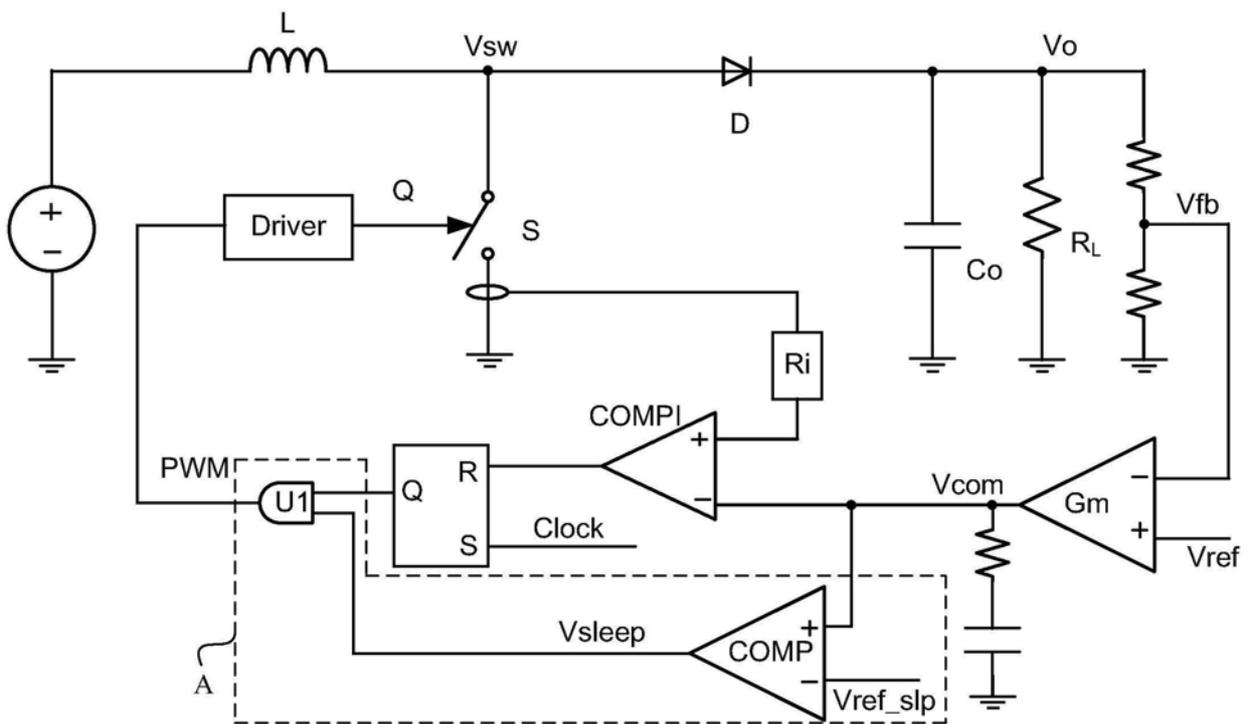


图2

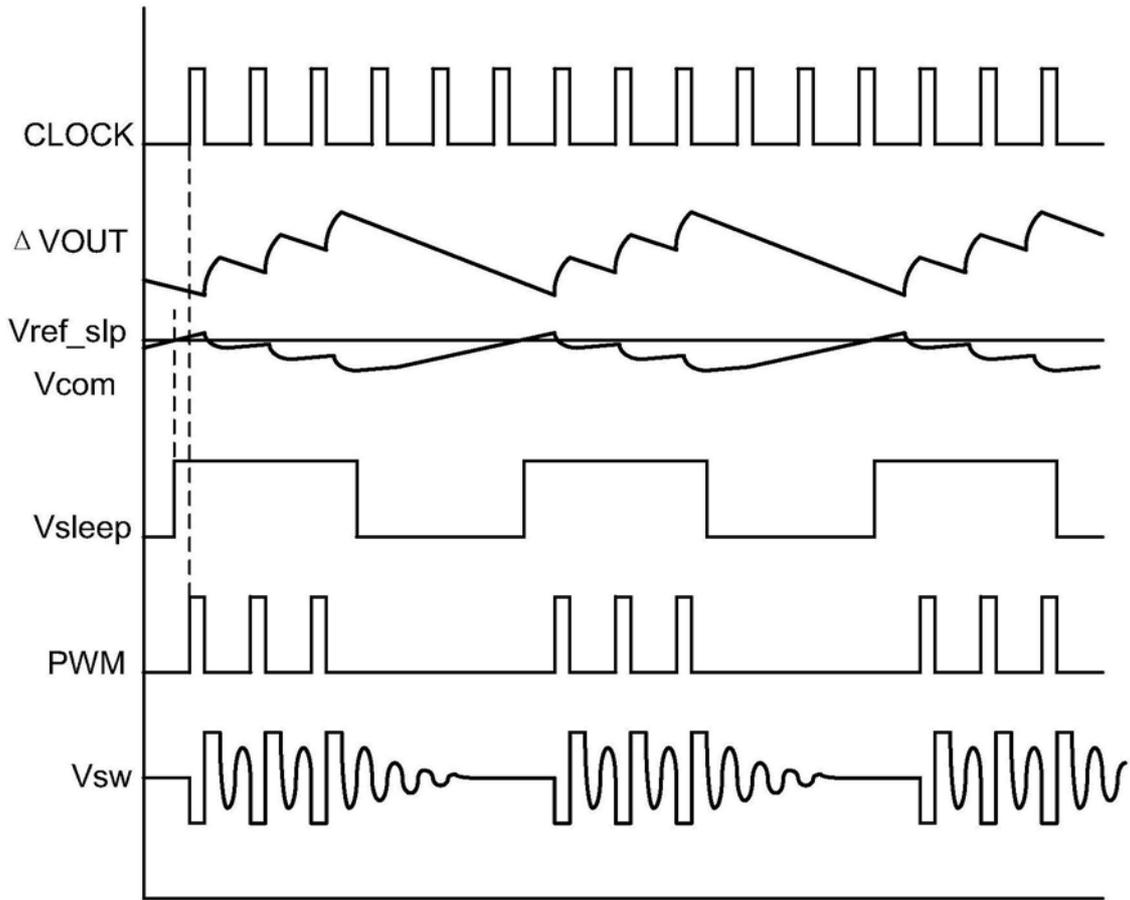


图3

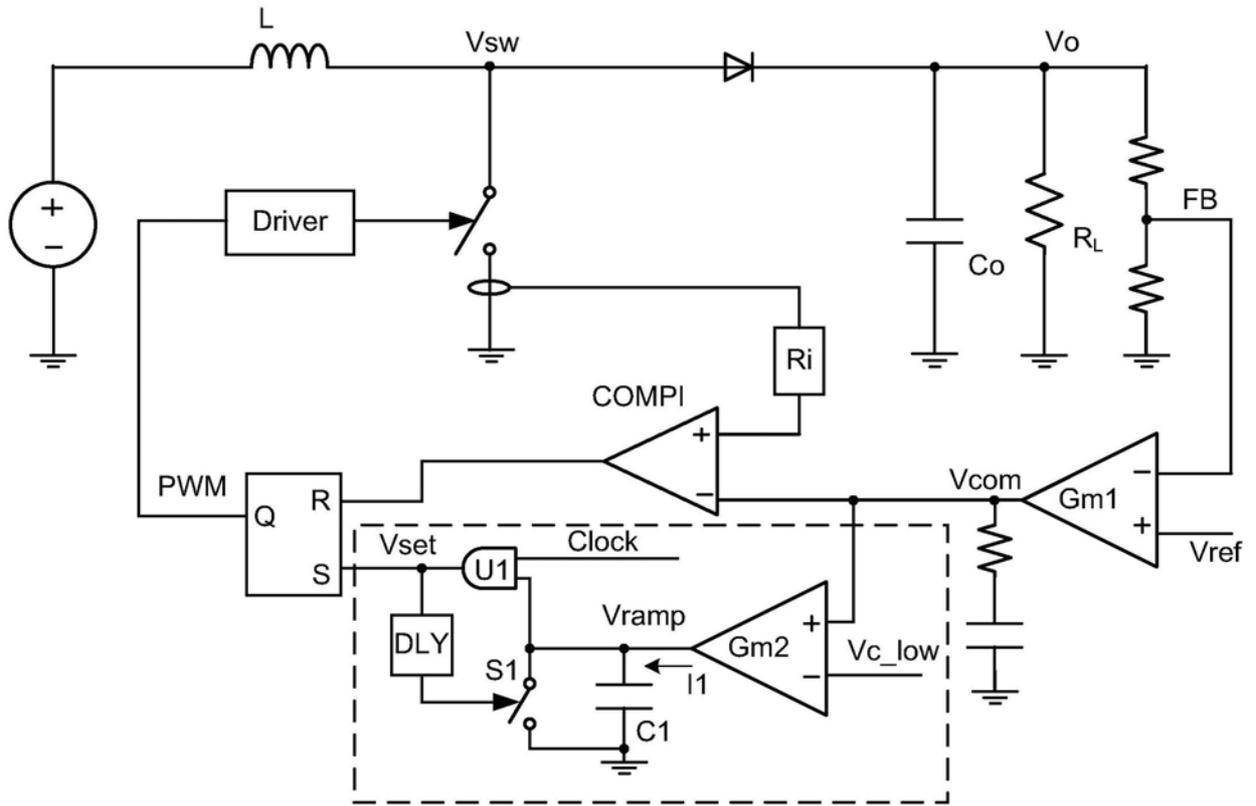


图4

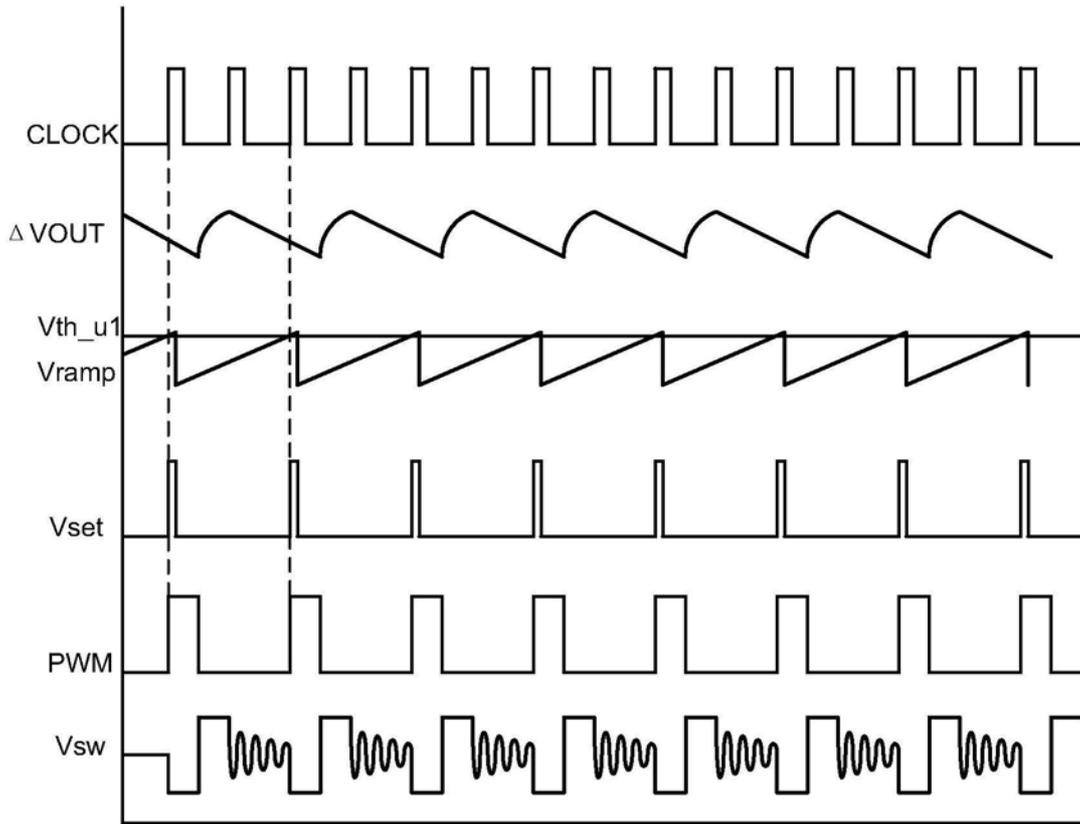


图5

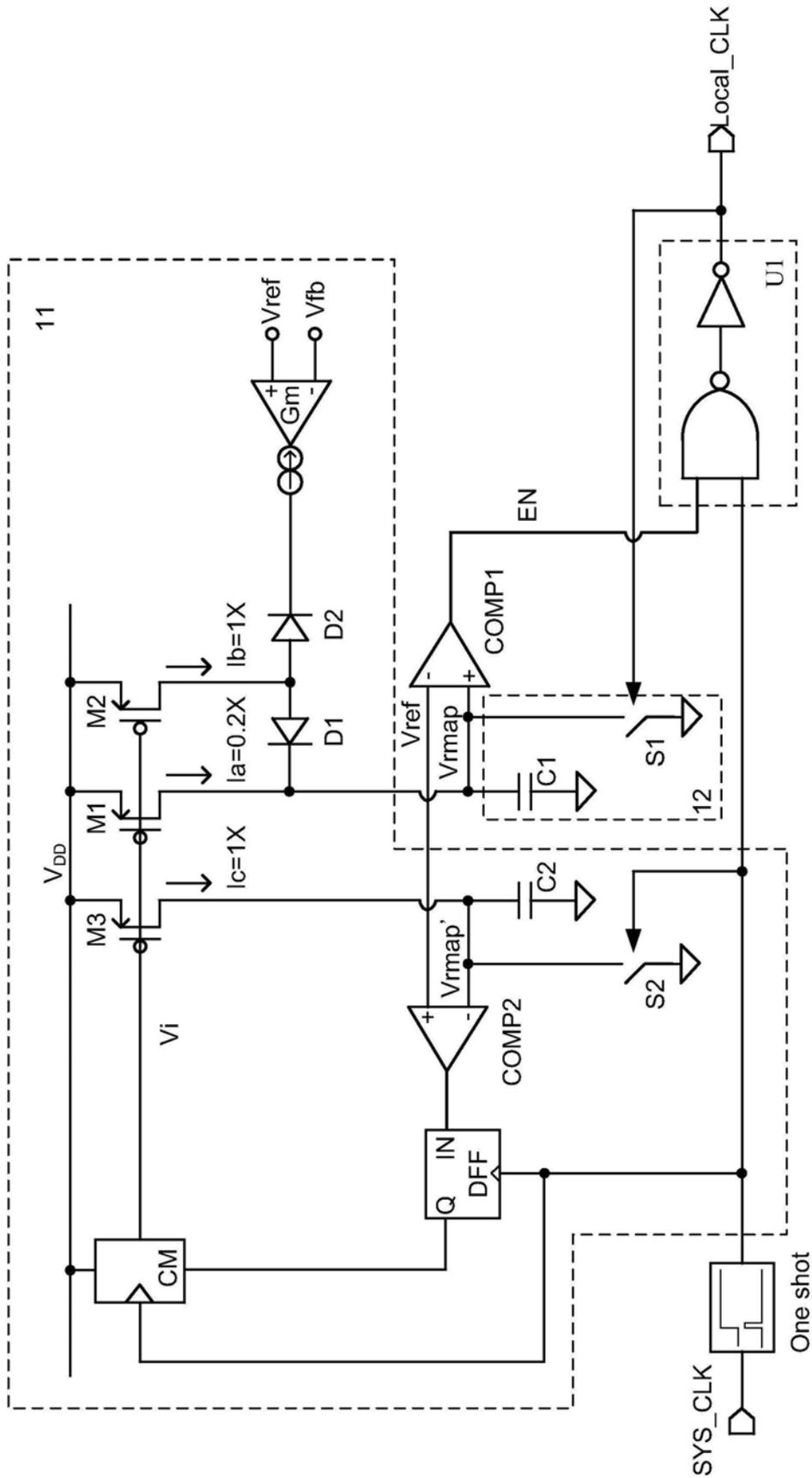


图6

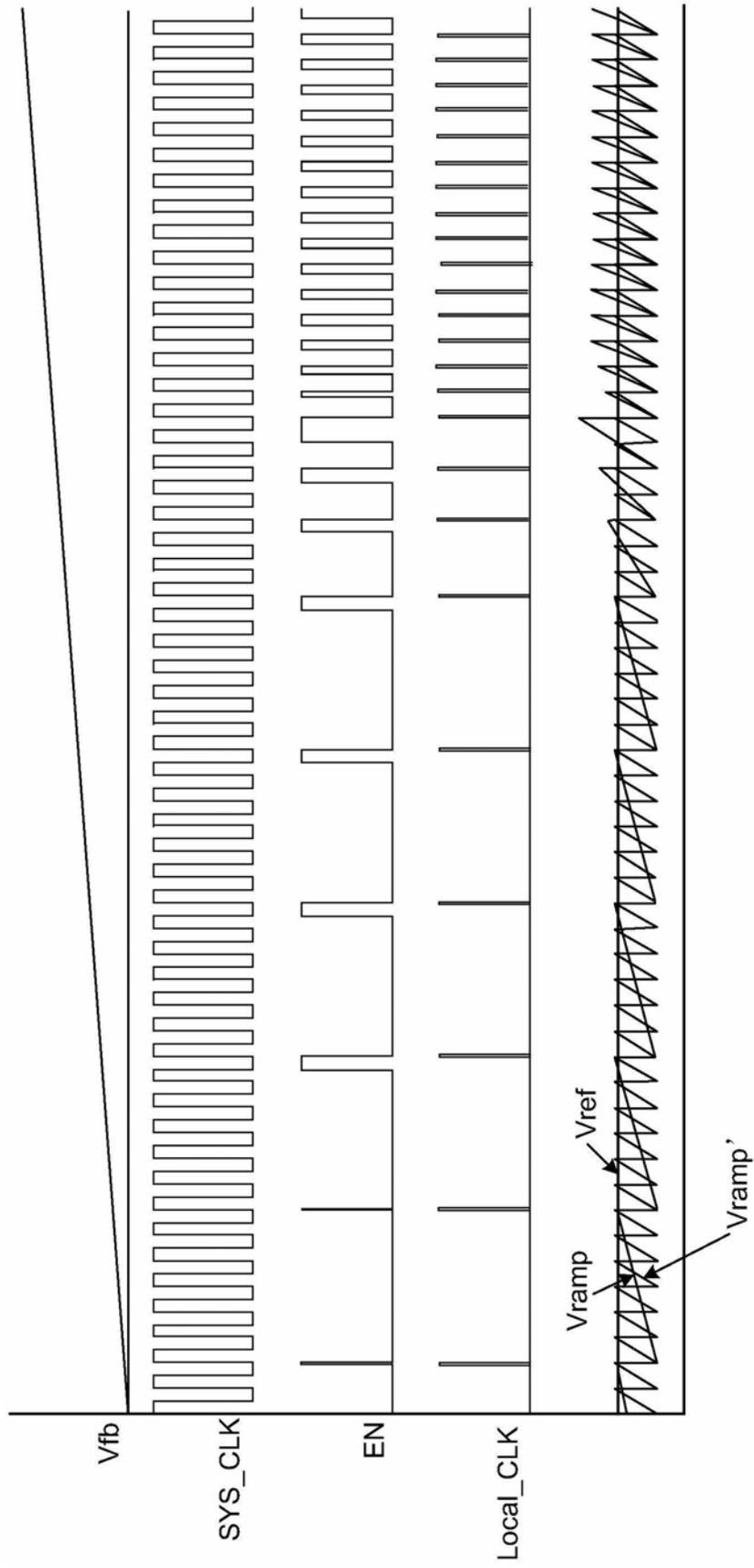


图7