

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6880596号  
(P6880596)

(45) 発行日 令和3年6月2日(2021.6.2)

(24) 登録日 令和3年5月10日(2021.5.10)

(51) Int.Cl.		F I			
HO2M	1/08	(2006.01)	HO2M	1/08	A
HO2M	7/48	(2007.01)	HO2M	1/08	3 O 1 Z
			HO2M	7/48	M

請求項の数 4 (全 17 頁)

(21) 出願番号	特願2016-157823 (P2016-157823)	(73) 特許権者	000003997
(22) 出願日	平成28年8月10日 (2016.8.10)		日産自動車株式会社
(65) 公開番号	特開2018-26962 (P2018-26962A)		神奈川県横浜市神奈川区宝町2番地
(43) 公開日	平成30年2月15日 (2018.2.15)	(74) 代理人	110000486
審査請求日	平成31年3月28日 (2019.3.28)		とこしえ特許業務法人
前置審査		(72) 発明者	下村 卓
			神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
		(72) 発明者	林 哲也
			神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
		(72) 発明者	大久保 明範
			神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

最終頁に続く

(54) 【発明の名称】 スイッチング装置

(57) 【特許請求の範囲】

【請求項1】

制御端子、高電位側端子、及び低電位側端子を含むスイッチング素子を有する半導体スイッチと、

第1電極及び第2電極を有し、かつ、前記スイッチング素子のオン及びオフを切り替える駆動回路と、

前記制御端子と前記第1電極とを接続する第1配線と、

前記低電位側端子と前記第2電極とを接続する第2配線と、

前記低電位側端子及び前記制御端子を表面に実装し、前記高電位側端子を裏面に実装する第1基板と、

前記第1電極及び前記第2電極を実装する第2基板とを備え、

前記半導体スイッチは、直列接続された上アーム側の半導体スイッチ及び下アーム側の半導体スイッチのいずれか一方であり、

前記半導体スイッチは、前記高電位側端子と前記低電位側端子との間に整流機構を有し、

前記第1電極と前記第2電極は、前記第2基板を介して電氣的に接続され、

前記第2配線は、前記整流機構の順方向電流の導通方向において、前記第1配線より前記整流機構のアノード側に配置され、

前記第1配線及び前記第2配線は、前記整流機構の順方向電流が変化したことに伴い、前記制御端子と前記低電位側端子の間に誘起電圧が発生するように、配置されている

スイッチング装置。

## 【請求項 2】

制御端子、高電位側端子、及び低電位側端子を含むスイッチング素子を有する半導体スイッチと、

第 1 電極及び第 2 電極を有し、かつ、前記スイッチング素子を駆動させる駆動回路と、前記制御端子と前記第 1 電極とを接続する第 1 配線と、

前記高電位側端子及び前記低電位側端子のいずれか一方の端子と前記第 2 電極とを接続する第 2 配線と、

前記低電位側端子及び前記制御端子を表面に実装し、前記高電位側端子を裏面に実装する第 1 基板と、

前記第 2 電極を表面に実装する第 2 基板とを備え、

前記半導体スイッチは、前記高電位側端子と前記低電位側端子との間に整流機構を有し、前記第 2 配線は、前記整流機構の順方向電流の導通方向において、前記第 1 配線より前記整流機構のアノード側に配置され、

前記第 2 配線は、前記低電位側端子と前記第 2 電極とを接続し、

前記第 1 基板の表面に対して法線方向であり、かつ、前記第 1 基板の裏面から前記第 1 基板の表面に向かう方向の長さを高さとした場合に、前記第 2 配線の高さは前記第 1 配線の高さよりも高く、

前記第 1 電極は、前記第 2 基板を介して前記第 2 電極と対向する位置に配置され、

前記第 1 基板と前記第 2 基板は、それぞれの表面に沿う方向に隣接して配置されているスイッチング装置。

10

20

## 【請求項 3】

制御端子、高電位側端子、及び低電位側端子を含むスイッチング素子を有する半導体スイッチと、

第 1 電極及び第 2 電極を有し、かつ、前記スイッチング素子を駆動させる駆動回路と、前記制御端子と前記第 1 電極とを接続する第 1 配線と、

前記低電位側端子と前記第 2 電極とを接続する第 2 配線と、

前記低電位側端子及び前記制御端子を表面に実装し、前記高電位側端子を裏面に実装する第 1 基板と、

複数の第 2 基板とを備え、

前記半導体スイッチは、前記高電位側端子と前記低電位側端子との間に整流機構を有し、前記第 2 配線は、前記整流機構の順方向電流の導通方向において、前記第 1 配線より前記整流機構のアノード側に配置され、

前記第 1 基板の表面に対して法線方向であり、かつ、前記第 1 基板の裏面から前記第 1 基板の表面に向かう方向の長さを高さとした場合に、前記第 2 配線の高さは前記第 1 配線の高さよりも高く、

前記第 2 電極は、前記複数の第 2 基板のうちの第 2 基板の表面に実装され、

前記第 1 電極は、前記一の第 2 基板の裏面と、前記複数の第 2 基板のうちの他の第 2 基板の表面との間に配置され、

前記第 1 基板と前記他の第 2 基板は、それぞれの表面に沿う方向に隣接して配置されているスイッチング装置。

30

40

## 【請求項 4】

前記整流機構は、前記スイッチング素子内の寄生ダイオードにより形成される請求項 1 ~ 3 のいずれか一項に記載のスイッチング装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、スイッチング装置に関するものである。

## 【背景技術】

## 【0002】

Hブリッジ回路を構成する MOSFET 3H、3L の駆動回路として、Nチャネル MO

50

SETのソースとゲートとの間に磁気結合構造を設けるものが知られている（特許文献1）。磁気結合構造は、PNPトランジスタのコレクタとNチャンネルMOSFET3Lのゲートとの間を接続する駆動側配線と、NチャンネルMOSFET3Lのソース配線とを同相で磁気結合させた構成である。そして、NチャンネルMOSFET3Hがターンオンした際に、オフ状態に維持されるNチャンネルMOSFET3Lの寄生ダイオードに短絡電流が瞬間的に流れ、NチャンネルMOSFETのソースに発生する電圧変動に基づいてゲートに誘導される電圧変動が打ち消される。

【先行技術文献】

【特許文献】

【0003】

10

【特許文献1】特開2011-188540号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上記駆動回路は、NチャンネルMOSFET3Lのゲートに接続される駆動側配線とNチャンネルMOSFET3Lのソース配線との間で、トランス構造にしなければならぬため、構成が複雑化するという問題があった。

【0005】

本発明が解決しようとする課題は、複雑な構成とすることなく、スイッチング素子の誤ターンオンを防止するスイッチング装置を提供することである。

20

【課題を解決するための手段】

【0006】

本発明は、スイッチング素子を有した半導体スイッチと駆動回路を備え、スイッチング素子の高電位側端子と低電位側端子との間に整流機構を設け、スイッチング素子の制御端子と駆動回路に含まれる第1電極との間を第1配線で接続し、スイッチング素子の高電位側端子と低電位側端子のいずれか一方の端子と駆動回路に含まれる第2電極との間を第2配線で接続し、整流機構の順方向電流の導通方向において、第1配線より整流機構のアノード側に第2配線を配置することによって上記課題を解決する。

【発明の効果】

【0007】

30

本発明によれば、複雑な構成とすることなく、スイッチング素子の誤ターンオンを防止できるという効果を奏する。

【図面の簡単な説明】

【0008】

【図1A】図1Aは、本発明の実施形態に係るスイッチング装置の平面図である。

【図1B】図1Bは、本発明の実施形態に係るスイッチング装置の正面図である。

【図2】図2は、上下アーム回路及び駆動回路を示すブロック図である。

【図3】図3は、本発明の実施形態に係るスイッチング装置の正面図である。

【図4A】図4Aは、本発明の他の実施形態に係るスイッチング装置の平面図である。

【図4B】図4Bは、本発明の他の実施形態に係るスイッチング装置の正面図である。

40

【図5A】図5Aは、本発明の他の実施形態に係るスイッチング装置の平面図である。

【図5B】図5Bは、図5AのVI-VI線に沿う断面図である。

【図6A】図6Aは、本発明の他の実施形態に係るスイッチング装置の平面図である。

【図6B】図6Bは、本発明の他の実施形態に係るスイッチング装置の正面図である。

【図7A】図7Aは、本発明の他の実施形態に係るスイッチング装置の平面図である。

【図7B】図7Bは、本発明の他の実施形態に係るスイッチング装置の正面図である。

【図8A】図8Aは、本発明の他の実施形態に係るスイッチング装置の平面図である。

【図8B】図8Bは、本発明の他の実施形態に係るスイッチング装置の正面図である。

【図9A】図9Aは、本発明の他の実施形態に係るスイッチング装置の平面図である。

【図9B】図9Bは、本発明の他の実施形態に係るスイッチング装置の正面図である。

50

【図10A】図10Aは、本発明の他の実施形態に係るスイッチング装置の平面図である。

【図10B】図10Bは、本発明の他の実施形態に係るスイッチング装置の正面図である。

【図11】図11は、本発明の他の実施形態に係るスイッチング装置の平面図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態を図面に基づいて説明する。

【0010】

《第1実施形態》

本実施形態に係るスイッチング装置は、インバータ回路等の電力変換回路に用いられる。電力変換回路は、バッテリー等の電源からの電力を変換し、変換された電力をモータ等の負荷に出力する。電力変換回路は、例えば、電気自動車又はハイブリッド車両等の車両の駆動システムの一部として用いられる。なお、本実施形態に係るスイッチング装置は、電力変換回路に限らず他の回路に用いられてもよく、他の装置の一部でもよい。また電力変換回路は、車両の駆動システムに限らず、他のシステムの一部として用いられてもよい。以下の説明では、本実施形態に係るスイッチング装置を、三相のブリッジ回路のうち1相分の上下アーム回路に適用した例を、実施形態として説明する。

【0011】

図1Aは本実施形態に係るスイッチング装置の平面図であり、図1Bは本実施形態に係るスイッチング装置の正面図である。なお、図1A、図1Bは、上下アーム回路のうち一方のアーム回路に相当する。図1A及び図1Bに示すように、スイッチング装置は、半導体スイッチ10、基板20、駆動回路30、基板40、及び配線51、52を備えている。

【0012】

半導体スイッチ10は、駆動回路30から送信されるスイッチング信号に基づき、オン、オフを切り替える。半導体スイッチ10は、MOSFET又はIGBT等の半導体スイッチ(トランジスタ)である。半導体スイッチ10には、Si-MOSFET、又は、SiC、GaN等を含んだ半導体素子が用いられる。本実施形態では、半導体スイッチ10にはMOSFETが用いられる。

【0013】

MOSFETは、ドレイン-ソース間の主電流経路に整流機構(ダイオード機能)を有している。MOSFETの内部構造は、寄生ダイオードを含んだ構造になっている。なお、IGBTが半導体スイッチ10に含まれるスイッチング素子として用いられる場合には、還流ダイオードをIGBTのコレクタ-エミッタ間に接続すればよい。

【0014】

半導体スイッチ10は、スイッチング素子の構造になっており、ドレインパッドD、ゲートパッドG、及びソースパッドSを有している。ドレインパッドDは高電位側端子(ドレイン電極)に相当し、ソースパッドSは低電位側端子(ソース電極)に相当し、ゲートパッドGは制御端子(ゲート電極)に相当する。

【0015】

基板20は、板状の回路基板である。基板20の表面には、ソースパッドS及びゲートパッドGが実装されている。基板20の裏面には、ドレインパッドDが実装されている。基板20の表面上で、ゲートパッドGは、ソースパッドSと比べて、駆動回路30に近くように、配置されている。また、ソースパッドSは、基板20を挟んでドレインパッドDの上部(z軸の正側)に配置されている。すなわち、ソースパッドSは、基板20を介してドレインパッドDと対向する位置に配置されている。ゲートパッドGは、基板20を挟んでドレインパッドDの上部(y軸の正側)に配置されている。

【0016】

駆動回路30は、半導体スイッチ10を駆動させるための回路である。駆動回路30は

10

20

30

40

50

、ゲート用ランド31及びソース用ランド32を備えている。ゲート用ランド31及びソース用ランド32は駆動回路30の出力端子に相当する。ゲート用ランド31は配線51を介してゲートパッドGに接続されている。ソース用ランド32は配線52を介してソースパッドSに接続されている。なお、駆動回路30は、ゲート用ランド31及びソース用ランド32以外に、トランジスタ等を有している。

【0017】

基板40は、板状の回路基板である。基板40の表面には、ゲート用ランド31及びソース用ランド32が実装されている。基板40の表面上で、ゲート用ランド31は、ソース用ランド32と比べて、半導体スイッチ10のゲートパッドGに近づくように配置されている。基板20と基板40は、互いの底面(裏面)が同一平面上になるように、並んでいる。また基板20と基板40は、所定の空間を空けつつ、隣り合っている。

10

【0018】

配線51は、ゲートパッドGとゲート用ランド31との間を接続する。配線52は、ソースパッドSとソース用ランド32との間を接続する。基板20の表面の法線方向(z軸方向)で、基板20の裏面から表面に向かう方向(z軸正方向)の長さを高さとした場合に、配線52の高さは配線51の高さよりも高い。すなわち、配線52の最上点(最も高さの高い点)は、配線51の最上点よりも高い。配線51は、最上点を頂点として、ゲートパッドGとゲート用ランド31のそれぞれに向かったアーチ状に形成されている。配線52は、最上点を頂点として、ソースパッドSとソース用ランド32のそれぞれに向かったアーチ状に形成されている。また、y軸方向(基板20の表面に沿う方向)から見たときに、配線51は、配線52の内側になるように配置されている。さらに、配線51と配線52で囲われる空間の法線方向(y軸方向の直線)と、ソースパッドSとドレインパッドDの対向する方向(z軸方向)が、ねじれの関係になっている。

20

【0019】

なお、後述するように、半導体スイッチ10の寄生ダイオードに流れる還流電流は、ソースパッドSからドレインパッドDに流れる。図1Bに示す構造では、還流電流は、z軸の負方向に向かって流れる。z軸の正方向をアノード側として、z軸の負方向をカソード側とした場合に、配線52はアノード側に配置され、配線51はカソード側に配置されている。すなわち、配線52は、寄生ダイオードの順方向電流の導通方向(z軸の負方向)において、配線51よりも、寄生ダイオードのアノード側に配置されている。

30

【0020】

ゲートパッドGとソースパッドSとの間は、寄生容量 $C_{gs}$ が形成されている。寄生容量 $C_{gs}$ は、半導体スイッチ10のゲート-ソース間の寄生容量である。ゲート用ランド31とソース用ランド32との間は電氣的に接続されている。ゲートパッドGから配線51、駆動回路30、及び配線52を通り、ソースパッドSまでの電流経路が形成されている。この電流経路は、配線51、駆動回路30及び配線52により形成される閉ループに対応している。すなわち、y軸方向から見たときに、xz平面(基板20の表面に対して垂直な面)において、閉ループが形成されるように、配線52及び配線51が配置されている。

【0021】

次に、本実施形態に係るスイッチング装置を適用した上下アーム回路の回路動作について、図2を用いて説明する。図2は、上下アーム回路及び駆動回路を示すブロック図である。

40

【0022】

上下アーム回路は、複数の半導体スイッチ10を直列に接続する。上アーム側の半導体スイッチ10のソースと下アーム側のスイッチング素子のドレインが接続されている。上アーム側の半導体スイッチ10のソースと下アーム側のスイッチング素子のドレインとの接続点(中性点)は、モータ等の誘導性負荷に接続されている。上アーム側のスイッチング素子のドレインはP側の電源ライン(図示しない)に接続されており、下アーム側のスイッチング素子のソースは、N側の電源ライン(図示しない)に接続されている。

50

## 【 0 0 2 3 】

上アーム側の半導体スイッチ 1 0 及び下アーム側の半導体スイッチ 1 0 がそれぞれオフ状態で、還流電流が、それぞれの半導体スイッチ 1 0 の寄生ダイオードに流れている。この状態から、下アーム側のスイッチング素子がオフ状態からオン状態に切り換わる。下側アーム側スイッチング素子のターンオンのタイミングで、上アーム側のドレインソース電圧 ( $V_{ds}$ ) が上昇する。半導体スイッチ 1 0 は、ゲート - ソース間に寄生容量  $C_{gs}$  を有し、ゲート - ドレイン間に寄生容量  $C_{gd}$  を有する。上アーム側のドレインソース電圧 ( $V_{ds}$ ) が上昇した場合には、寄生容量  $C_{gs}$  と寄生容量  $C_{gd}$  との合成容量により、上アーム側の半導体スイッチ 1 0 のゲート電圧が上昇する。そのため、ゲート電圧が高くなった場合には、上アーム側のスイッチング素子が誤ってオン状態になる可能性がある ( 誤ターンオン ) 。

10

## 【 0 0 2 4 】

本実施形態では、このような誤ターンオンを防ぐために、半導体スイッチ 1 0 のランド、駆動回路 3 0 のパッド、及び配線 5 1、5 2 の各レイアウトを、図 1 A、図 1 B に示すようなレイアウトにしている。以下、本実施形態に係るスイッチング装置により、誤ターンオンを防止するための作用を、図 3 を用いて説明する。図 3 は、スイッチング装置の正面図である。図 3 は、図 1 B に対して、還流電流の向きと磁界の向きを図示している。

## 【 0 0 2 5 】

上アーム側の半導体スイッチ 1 0 と下アーム側半導体スイッチ 1 0 がオフ状態の場合には、還流電流が、ソースパッド S からドレインパッド D の向き ( 図 3 の矢印 R の向き ) に流れている。還流電流が流れると、還流電流を中心としたうず状の磁場が発生する。配線 5 1、駆動回路 3 0、及び配線 5 2 で形成される閉ループは、還流電流により発生する磁場の空間内 ( 磁気回路内に ) に配置されている。そのため、閉ループ内には、磁束が貫通する。磁束の向きは y 軸の正方向である

20

## 【 0 0 2 6 】

下アーム側の半導体スイッチ 1 0 がターンオンになると、中性点からの電流が、下アーム側の半導体スイッチ 1 0 の主電流経路に流れるため、上アーム側の半導体スイッチ 1 0 還流電流は減少する。還流電流の減少に伴い、閉ループ内を貫く磁束も減少する。

## 【 0 0 2 7 】

磁束の減少に伴い、閉ループ内には、誘起電圧が発生する。誘起電圧は、ソース側を正と、ゲート側を負とする。そのためゲートに対して負の誘起電圧が発生する。これにより、上アーム側の半導体スイッチ 1 0 において、ゲート電圧の上昇が抑制される。その結果として、上アーム側の半導体スイッチ 1 0 の誤ターンオンを防止できる。

30

## 【 0 0 2 8 】

上記のように本実施形態は、半導体スイッチ 1 0 のゲートパッド G とゲート用ランド 3 1 との間を配線 5 1 で接続し、半導体スイッチ 1 0 のソースパッド S とソース用ランド 3 2 との間を配線 5 2 で接続する。また、寄生ダイオードの順方向電流の導通方向 ( z 軸の負方向 ) において、配線 5 1 より、寄生ダイオードのアノード側に配線 5 2 を配置している。寄生ダイオードを流れる還流電流の変化により磁界が発生すると、磁束は、配線 5 1、5 2 及び駆動回路 3 0 によって形成される閉ループを貫き、負の誘導電圧が、半導体スイッチ 1 0 のゲートパッド G に発生する。これにより、半導体スイッチ 1 0 のゲート電圧の上昇を抑制し、半導体スイッチ 1 0 の誤ターンオンを防止できる。

40

## 【 0 0 2 9 】

また本実施形態は、基板 2 0 の表面にソースパッド S とゲートパッド G を実装し、基板 2 0 の裏面にドレインパッド D を実装する。そして、基板 2 0 の表面を基準として y 軸正方向への長さを高さとした場合に、配線 5 2 の高さは配線 5 1 の高さより高い。これにより、還流電流の変化によって発生する磁束が、配線 5 1、5 2 及び駆動回路 3 0 で形成される閉ループ内を貫くため、半導体スイッチ 1 0 のゲート電圧の上昇を抑制し、半導体スイッチ 1 0 の誤ターンオンを防止できる。

## 【 0 0 3 0 】

50

なお、本実施形態では、基板 20 の表面にドレインパッド D を実装し、基板 20 の裏面にソースパッド S を実装してもよい。このとき、ソースパッド S は、基板 20 を介してドレインパッド D と対向する位置に設けられる。また、配線 5 2 は、ドレインパッド D とドレイン用ランドとの間を接続する。配線 5 2 は、寄生ダイオードの順方向電流の導通方向（z 軸の正方向）において、配線 5 1 よりも、寄生ダイオードのアノード側に配置されている。言い換えると、基板 20 の表面の法線方向（z 軸方向）で、基板 20 の裏面から表面に向かう方向（z 軸正方向）の長さを高さとした場合に、配線 5 1 の高さは配線 5 2 の高さよりも高い。配線 5 1 の最上点（最も高さの高い点）は、配線 5 2 の最上点よりも高い。

【0031】

《第 2 実施形態》

図 4 A は本発明の他の実施形態に係るスイッチング装置の平面図であり、図 4 B は本発明の他の実施形態に係るスイッチング装置の正面図である。本実施形態では上述した第 1 実施形態に対して、ゲート用ランド 3 1 とソース用ランド 3 2 のレイアウトが異なる。これ以外の構成は上述した第 1 実施形態と同じであり、その記載を援用する。

【0032】

配線 5 1 及び配線 5 2 は、y 軸に沿って平行になるように配置されている。ゲート用ランド 3 1 及びソース用ランド 3 2 は、短辺と長辺を有した矩形状にそれぞれ形成されている。ゲート用ランド 3 1 の長手方向が配線 5 1 の延在方向（x 軸方向）と平行になるように、ゲート用ランド 3 1 は基板 40 の表面上に配置されている。ソース用ランド 3 2 の長手方向が配線 5 2 の延在方向（x 軸方向）と平行になるように、ソース用ランド 3 2 は基板 40 の表面上に配置されている。z 軸方向からみとときに、配線 5 1 と配線 5 2 は y 軸方向に並んで配置されており、ゲート用ランド 3 1 とソース用ランド 3 2 は、配線 5 1 と配線 5 2 に対応しつつ、y 軸方向に並んで配置されている。これにより、z 軸方向からみたときに、配線 5 1、5 2 及び駆動回路 3 0 により形成される閉ループは、x y 平面上に沿った閉空間となる

【0033】

還流電流の順方向電流の導通方向は、ソースパッド S とドレインパッド D の配置に加えて、半導体スイッチ 10 の内部構造によって変わる。還流電流の導通方向が x 方向の成分又は y 方向の成分を含んでいる場合には、還流電流の変化によって発生する磁界は、z 軸方向にも発生する。

【0034】

図 4 A に示すように、本実施形態では、配線 5 1、5 2 及び駆動回路 3 0 により形成される閉ループは、x y 平面上に沿った閉空間となっている。z 軸方向で発生する磁界が閉ループを貫くことで、誘起電圧が閉ループ内で発生し負の誘起電圧が、ゲートで発生する。これにより、ゲート電圧の上昇が抑制される。その結果として、上アーム側の半導体スイッチ 10 の誤ターンオンを防止できる。

【0035】

《第 3 実施形態》

図 5 A は本発明の他の実施形態に係るスイッチング装置の平面図であり、図 5 B は、図 5 A の VI - VI 線に沿う断面図である。本実施形態では上述した第 1 実施形態に対して、ゲート用ランド 3 1 の形状が異なる。これ以外の構成は上述した第 1 実施形態と同じであり、第 1 実施形態及び第 2 実施形態の記載を適宜、援用する。

【0036】

ゲート用ランド 3 1 は、基板 40 の表面から裏面に向かって埋め込まれた構造になっている。ゲート用ランド 3 1 は、基板 40 の表面から露出する天面部 3 1 と、基板 40 の裏面に沿う底面部 3 1 b と、天面部 3 1 と底面部 3 1 b との間を接合する接合部 3 1 c とを有している。天面部 3 1、底面部 3 1 b 及び接合部 3 1 c は、銅など導電材料で形成されており、一体化されている。

【0037】

10

20

30

40

50

天面部 3 1 は、基板 4 0 の表面上に沿うように形成されている。底面部 3 1 b は、基板 4 0 の内部で、基板 4 0 に裏面に沿うように形成されている。底面部 3 1 b は、基板 4 0 を介して、天面部 3 1 及びソース用ランド 3 2 を臨むように形成されている。すなわち、底面部 3 1 b は、基板 4 0 を介して天面部 3 1 と対向する位置に配置され、基板 4 0 を介してソース用ランド 3 2 と対向する位置に配置されている。

【 0 0 3 8 】

ソースパッド S とドレインパッド D との間で、還流電流が変化すると、磁束が発生する。基板 2 0 に対する高さで磁束の強さを比較した場合に、磁界の強さは、基板 2 0 と同一の高さで最も高くなる。本実施形態では、基板 2 0 と基板 4 0 は、それぞれの表面に沿う方向 ( x 軸方向 ) に隣接している。 z 軸方向の位置は、基板 2 0 と基板 4 0 で同じになる。また、ゲート用ランド 3 1 の底面部 3 1 b とソース用ランド 3 2 は基板 4 0 を介して対向している。そのため、配線 5 1、5 2 及び駆動回路 3 0 によって形成される閉ループは、底面部 3 1 b とソース用ランド 3 2 との対向部分を含む。すなわち、還流電流により磁束が発生した場合に、閉ループは、 z 軸方向で基板 2 0 と同じ高さの磁束分布を含むことになるため、閉ループ内の磁束が強まる。これにより、閉ループ内で発生する誘起電圧が大きくなり、上アーム側の半導体スイッチ 1 0 において、ゲート電圧の上昇を抑制できる。

10

【 0 0 3 9 】

上記のように、本実施形態では、基板 4 0 を介してソース用ランド 3 2 と対向する位置にゲート用ランド 3 1 を配置し、基板 2 0、4 0 の表面に沿う方向に隣接するように基板 2 0 と基板 4 0 を配置する。これにより、還流電流の導通時に、閉ループ内で発生する誘起電圧を高めて、ゲート電圧の上昇を抑制できる。その結果として、半導体スイッチ 1 0 の誤ターンオンを防止できる。

20

【 0 0 4 0 】

《 第 4 実施形態 》

図 6 A は本発明の他の実施形態に係るスイッチング装置の平面図であり、図 6 B は本発明の他の実施形態に係るスイッチング装置の正面図である。本実施形態では上述した第 1 実施形態に対して、駆動回路 3 0 の構造と基板 4 1、4 2 の構成が異なる。これ以外の構成は上述した第 1 実施形態と同じであり、第 1 ~ 第 3 実施形態の記載を適宜、援用する。

【 0 0 4 1 】

基板 4 1 及び基板 4 2 は、片面基板である。基板 4 1 は、表面にゲート用ランド 3 1 を実装する。基板 4 2 は、表面にソース用ランド 3 2 を実装する。基板 4 2 は、基板 4 1 の上部に積層されている。基板 4 1 と基板 4 2 との間には、ゲート用ランド 3 1 が配置されている。ソース用ランド 3 2 は、基板 4 2 を介してゲート用ランド 3 1 と対向している。すなわち、基板 4 2 は、ゲート用ランド 3 1 とソース用ランド 3 2 との間に配置されている。

30

【 0 0 4 2 】

基板 2 0 と基板 4 1 は、それぞれの表面に沿う方向 ( x 軸方向 ) に、所定の間隔を空けた状態で隣接している。

【 0 0 4 3 】

ドレインパッド D には、ドレイン電極 6 0 が接続されている。ドレイン電極 6 0 は、隣接して配置された基板 2 0 と基板 4 1 との底面に沿うように設けられている。

40

【 0 0 4 4 】

本実施形態では、ソース用ランド 3 2 をゲート用ランド 3 1 の上部に配置することで、閉ループを z 軸方向に広げている。そのため、還流電流により磁束が発生した場合に、閉ループ内を通る磁束量を多くすることができる。これにより、閉ループ内で発生する誘起電圧が大きくなり、上アーム側の半導体スイッチ 1 0 において、ゲート電圧の上昇を抑制できる。

【 0 0 4 5 】

上記のように、本実施形態では、基板 4 2 の表面にソース用ランド 3 2 を実装し、基板

50

4 1 の表面と基板 4 2 の裏面との間にゲート用ランド 3 1 を配置し、基板 2 0、4 1 の表面に沿う方向に隣接するように基板 2 0 と基板 4 1 を配置する。これにより、還流電流の導通時に、閉ループ内で発生する誘起電圧を高めて、ゲート電圧の上昇を抑制できる。その結果として、半導体スイッチ 1 0 の誤ターンオンを防止できる。またコストを抑制できる。

#### 【 0 0 4 6 】

##### 《 第 5 実施形態 》

図 7 A は本発明の他の実施形態に係るスイッチング装置の平面図であり、図 7 B は本発明の他の実施形態に係るスイッチング装置の正面図である。本実施形態では上述した第 1 実施形態に対して、配線 5 2、5 2 b の構成が異なる。これ以外の構成は上述した第 1 実施形態と同じであり、第 1 ~ 第 4 実施形態の記載を適宜、援用する。

10

#### 【 0 0 4 7 】

ソースパッド S とソース用ランド 3 2 との間は、複数の配線 5 2、5 2 b で接続されている。また、z 軸方向からみたときに、配線 5 1 は配線 5 2 と配線 5 2 b との間に配置されている。すなわち、ソース用の配線である配線 5 2 と配線 5 2 b が、ゲート用の配線である配線 5 1 を挟んでいる。

#### 【 0 0 4 8 】

半導体スイッチ 1 0 のゲート - ソース間の容量は、配線 5 1 と配線 5 2 との間の容量と、配線 5 1 と配線 5 2 b との間の容量を結合した容量となる。そのため、ゲート - ソース間の容量は、容量結合により増加し、ゲート配線のインダクタンスが低下する。これにより、半導体スイッチ 1 0 のスイッチング速度を高めることができる。

20

#### 【 0 0 4 9 】

##### 《 第 6 実施形態 》

図 8 A は本発明の他の実施形態に係るスイッチング装置の平面図であり、図 8 B は本発明の他の実施形態に係るスイッチング装置の正面図である。本実施形態では上述した第 1 実施形態に対して、配線 5 1、5 1 b の構成が異なる。これ以外の構成は上述した第 1 実施形態と同じであり、第 1 ~ 第 4 実施形態の記載を適宜、援用する。

#### 【 0 0 5 0 】

ゲートパッド G とゲート用ランド 3 1 との間は、複数の配線 5 1、5 1 b で接続されている。また、z 軸方向からみたときに、配線 5 2 は配線 5 1 と配線 5 1 b との間に配置されている。すなわち、ゲート用の配線である配線 5 1 と配線 5 1 b が、ソース用の配線である配線 5 2 を挟んでいる。これにより、ゲート用の配線とソース用の配線とを合計した合計配線長を短くし、配線抵抗を抑制できる。その結果として、半導体スイッチ 1 0 のスイッチング速度を高めることができる。

30

#### 【 0 0 5 1 】

##### 《 第 7 実施形態 》

図 9 A は本発明の他の実施形態に係るスイッチング装置の平面図であり、図 9 B は本発明の他の実施形態に係るスイッチング装置の正面図である。本実施形態では上述した第 1 実施形態に対して、配線 5 2、5 2 b の構成、駆動回路 3 0 の構成と、バッファ回路 9 0 を有する点が異なる。これ以外の構成は上述した第 1 実施形態と同じであり、第 1 ~ 第 6 実施形態の記載を適宜、援用する。

40

#### 【 0 0 5 2 】

駆動回路 3 0 は、ゲート用ランド 3 1 と、ソース用ランド 3 2、3 2 b を有している。ゲート用ランド 3 1 及びソース用ランド 3 2、3 2 b は基板 4 0 の表面に実装されている。ゲート用ランド 3 1 及びソース用ランド 3 2、3 2 b は短辺と長辺を有した矩形形状にそれぞれ形成されている。ゲート用ランド 3 1 の長手方向が配線 5 1 の延在方向 (x 軸方向) と平行になるように、ゲート用ランド 3 1 は基板 4 0 の表面上に配置されている。また、ソース用ランド 3 2、3 2 b の長手方向が配線 5 2 の延在方向 (x 軸方向) と平行になるように、ソース用ランド 3 2、3 2 b は基板 4 0 の表面上に配置されている。

50

## 【0053】

z軸方向からみとときに、配線51、配線52、及び配線52bはy軸方向に並んで配置されている。ゲート用ランド31は配線51と対応し、ソース用ランド32は配線52と対応し、ソース用ランド32bは配線52bと対応しつつ、それぞれのランドは、y軸方向に並んで配置されている。また、ゲート用ランド31は、基板40の表面上で、ソース用ランド32とソース用ランド32bとの間に配置されている。

## 【0054】

バッファ回路90は、スイッチング素子91、92及びベース用ランド93を有している。スイッチング素子91、92は、IGBT等の半導体素子である。スイッチング素子91とスイッチング素子92はプッシュプル回路を構成し、ゲート用ランド31とソース用ランド32、32bに接続されている。また、スイッチング素子91のベースとスイッチング素子92のベースは、ベース用ランドに接続されている。これにより、ゲート用の配線とソース用の配線とを合計した合計配線長を短くし、配線抵抗を抑制できる。その結果として、半導体スイッチ10のスイッチング速度を高めることができる。

## 【0055】

## 《第8実施形態》

図10Aは本発明の他の実施形態に係るスイッチング装置の平面図であり、図10Bは本発明の他の実施形態に係るスイッチング装置の正面図である。本実施形態では上述した第1実施形態に対して、半導体スイッチ10の構成、駆動回路30の構成が異なる。これ以外の構成は上述した第1実施形態と同じであり、第1～第7実施形態の記載を適宜、援用する。

## 【0056】

基板20は、ゲートパッドG、ソースパッドS、及びドレインパッドDを表面に実装している。基板20の裏面には、半導体スイッチ10のパッドは実装されていない。ゲートパッドG、ソースパッドS、及びドレインパッドDは矩形形状に形成されている。ゲートパッドGの長手方向、ソースパッドSの長手方向、及びドレインパッドDの長手方向が、x軸方向になるように、ゲートパッドG、ソースパッドS、及びドレインパッドDは基板20の表面上に、平行に並んで配置されている。ゲートパッドGは、基板20の表面上で、ソースパッドSとドレインパッドDとの間に挟まれている。

## 【0057】

基板40は、ゲート用ランド31とソース用ランド32を表面に実装している。ゲート用ランド31、ソース用ランド32は矩形形状に形成されている。ゲート用ランド31の長手方向及びソース用ランド32の長手方向が、x軸方向になるように、ゲート用ランド31及びソース用ランド32は基板20の表面上に、平行に並んで配置されている。z軸方向から見たときに、ゲートパッドG、配線51、及びゲート用ランド31は直線上に並んでおり、ソースパッドS、配線52、及びソース用ランド32は直線上に並んでいる。

## 【0058】

ゲートパッドGから配線51、駆動回路30、及び配線52を通り、ソースパッドSまで電流経路が形成されている。この電流経路は、配線51、駆動回路30及び配線52により形成される閉ループに対応している。すなわち、z軸方向からみたときに、xt平面（基板20の表面に対して平行面）において、閉ループが形成されるように、配線52及び配線51が配置されている。

## 【0059】

半導体スイッチ10の寄生ダイオードの順方向電流は、ソースパッドSからドレインパッドDに向かって流れる。すなわち、寄生ダイオードの順方向がy軸負方向になるように、半導体スイッチ10の内部構造が構成されている。そして、y軸の正側がアノード側となり、y軸の負側をカソード側となるため、配線52はアノード側に配置され、配線51はカソード側に配置されている。すなわち、配線52は、寄生ダイオードの順方向電流の導通方向（y軸の負方向）において、配線51よりも、寄生ダイオードのアノード側に配置されている。

## 【 0 0 6 0 】

本実施形態に係るスイッチング装置により、誤ターンオンを防止するための作用を、図 1 1 を用いて説明する。図 1 1 は、スイッチング装置の平面図である。図 1 1 は、図 1 0 A に対して、還流電流の向きと磁界の向きを図示している。なお、図 1 1 に示す半導体スイッチ 1 0 は、上アーム側のスイッチング素子とする。

## 【 0 0 6 1 】

還流電流が y 軸負方向に流れると、還流電流を中心としたうず状の磁場が発生する。配線 5 1、駆動回路 3 0、及び配線 5 2 で形成される閉ループは、還流電流により発生する磁場の空間内（磁気回路内に）に配置されている。そのため、閉ループ内には、磁束が貫通する。磁束の向きは z 軸の正方向である。

10

## 【 0 0 6 2 】

下アーム側の半導体スイッチ 1 0 がターンオンになり、還流電流が減少すると、閉ループ内を貫く磁束も減少する。磁束の減少に伴い、閉ループ内には、誘起電圧が発生する。誘起電圧は、ソース側を正と、ゲート側を負とする。そのためゲートに対して負の誘起電圧が発生する。これにより、上アーム側の半導体スイッチ 1 0 において、ゲート電圧の上昇が抑制される。その結果として、上アーム側の半導体スイッチ 1 0 の誤ターンオンを防止できる。

## 【 0 0 6 3 】

上記のように、本実施形態では、半導体スイッチ 1 0 のゲートパッド G とゲート用ランド 3 1 との間を配線 5 1 で接続し、半導体スイッチ 1 0 のソースパッド S とソース用ランド 3 2 との間を配線 5 2 で接続する。また、寄生ダイオードの順方向電流の導通方向（y 軸の負方向）において、配線 5 1 より寄生ダイオードのアノード側に配線 5 2 を配置している。寄生ダイオードを流れる還流電流の変化により磁界が発生すると、磁束は、配線 5 1、5 2 及び駆動回路 3 0 によって形成される閉ループを貫き、負の誘導電圧が、半導体スイッチ 1 0 のゲートパッド G に発生する。これにより、半導体スイッチ 1 0 のゲート電圧の上昇を抑制し、半導体スイッチ 1 0 の誤ターンオンを防止できる。

20

## 【 0 0 6 4 】

また本実施形態では、基板 2 0 の表面にソースパッド S、ゲートパッド G 及びドレインパッド D を実装する。配線 5 1、5 2 及び駆動回路 3 0 によって閉ループを形成し、閉ループで囲まれる面と、基板 2 0 の表面が平行になるように配置されている。これにより、還流電流の変化によって発生する磁束が、配線 5 1、5 2 及び駆動回路 3 0 で形成される閉ループ内を貫くため、半導体スイッチ 1 0 のゲート電圧の上昇を抑制し、半導体スイッチ 1 0 の誤ターンオンを防止できる。

30

## 【 符号の説明 】

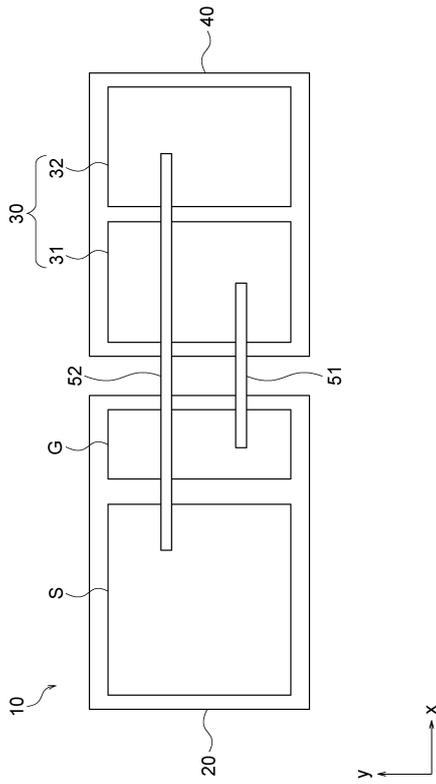
## 【 0 0 6 5 】

- 1 0 ... スwitching 素子
- 2 0 ... 基板
- 2 1 ... ソース用ランド
- 3 0 ... 駆動回路
- 3 1 ... ゲート用ランド
- 3 2 ... ソース用ランド
- 4 0、4 1、4 2 ... 基板
- 5 1、5 2 ... 配線
- 6 0 ... ドレイン電極
- 9 0 ... バッファ回路
- 9 3 ... ベース用ランド

40

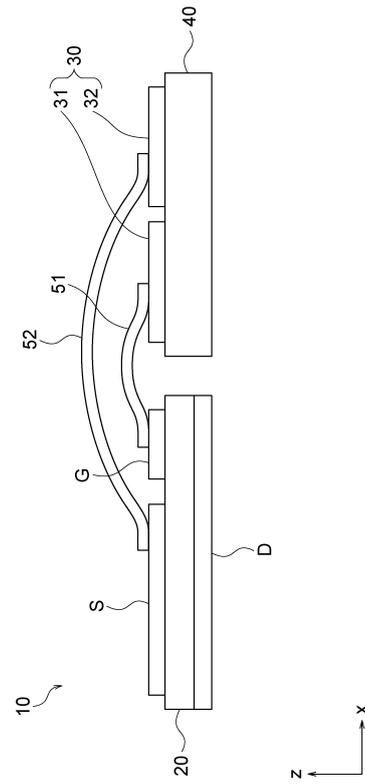
【図 1 A】

図 1A



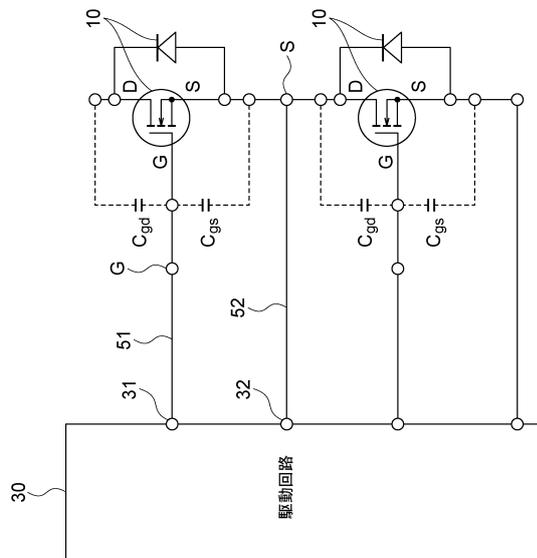
【図 1 B】

図 1B



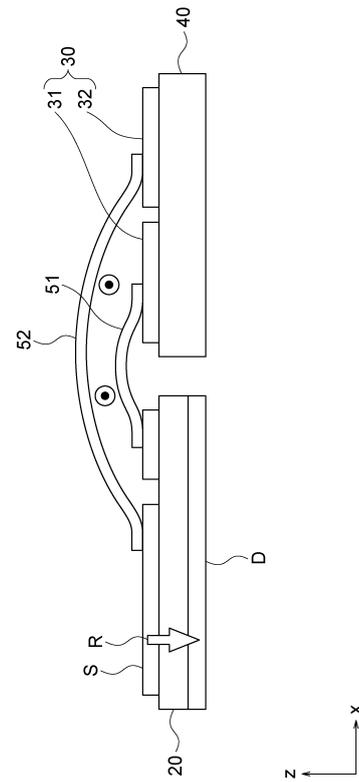
【図 2】

図 2



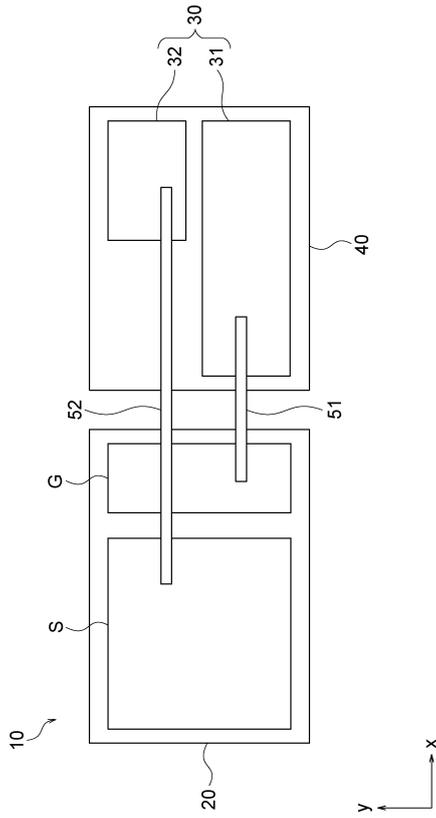
【図 3】

図 3



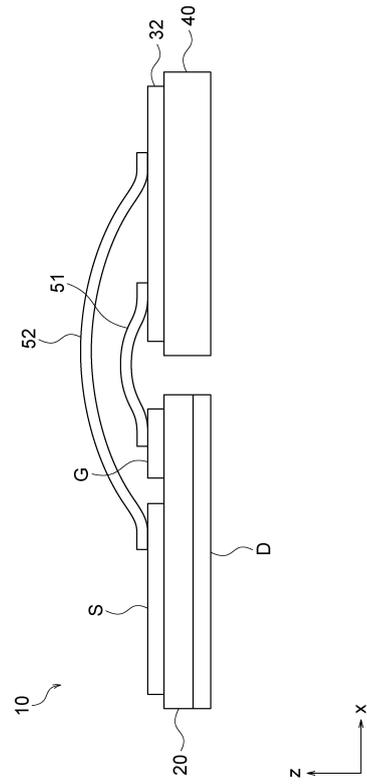
【図 4 A】

図 4A



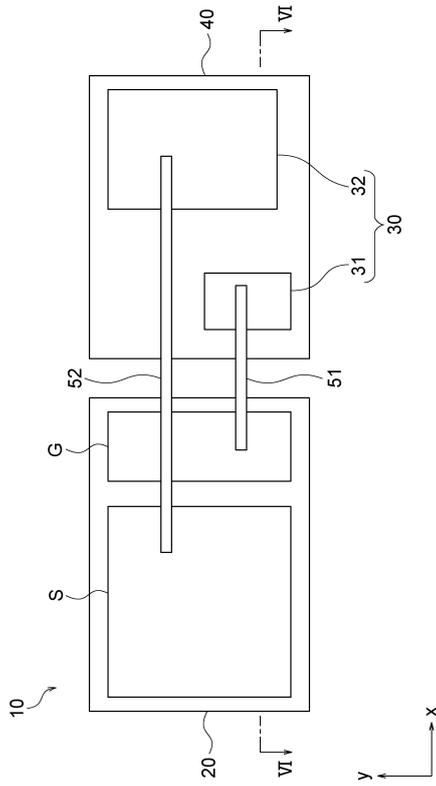
【図 4 B】

図 4B



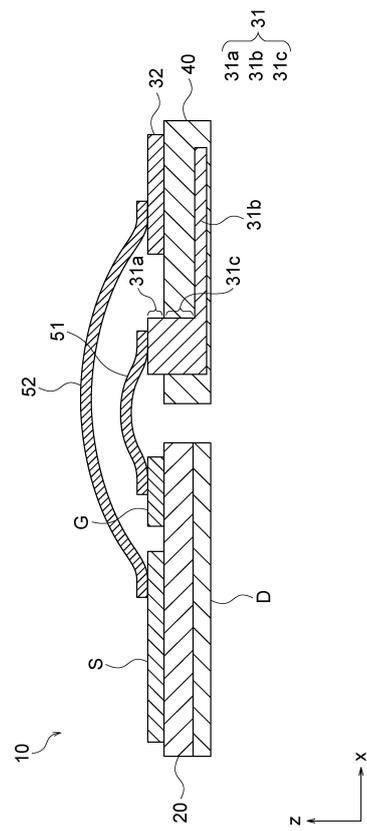
【図 5 A】

図 5A



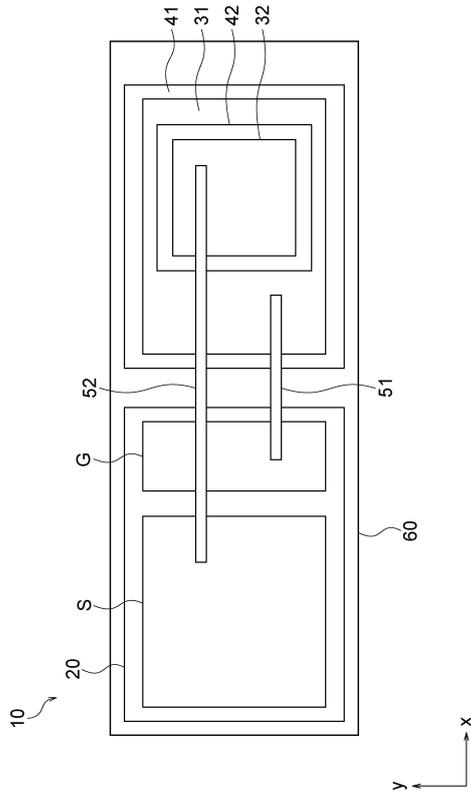
【図 5 B】

図 5B



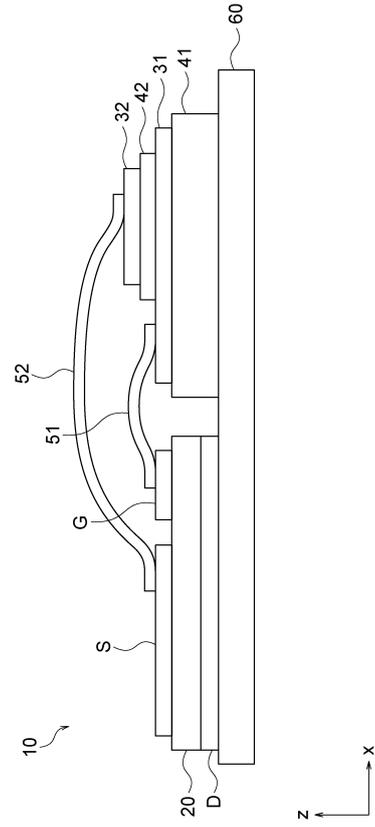
【 6 A】

 6A



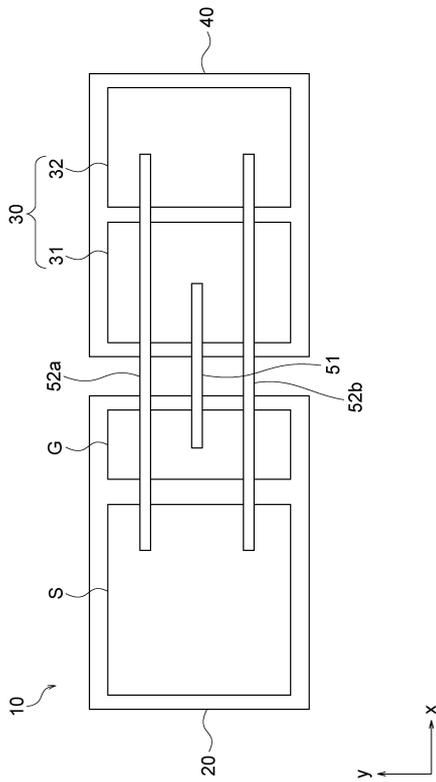
【 6 B】

 6B



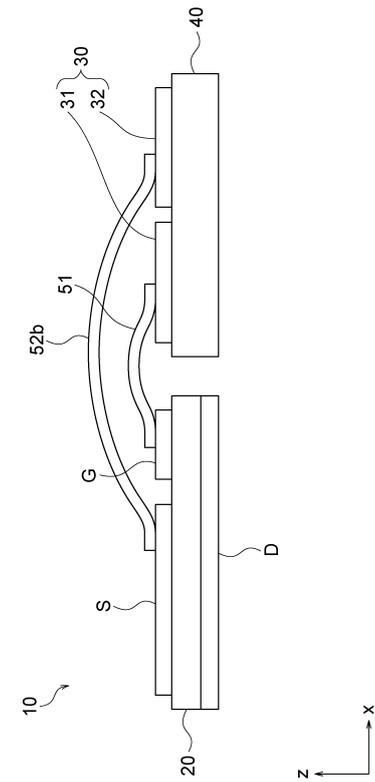
【 7 A】

 7A



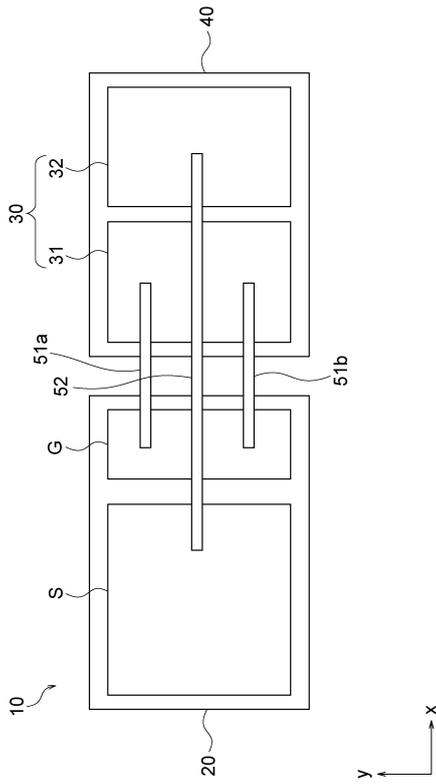
【 7 B】

 7B



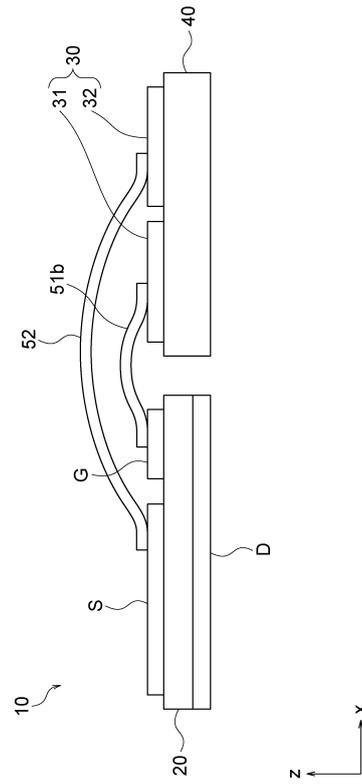
【 8 A】

 8A



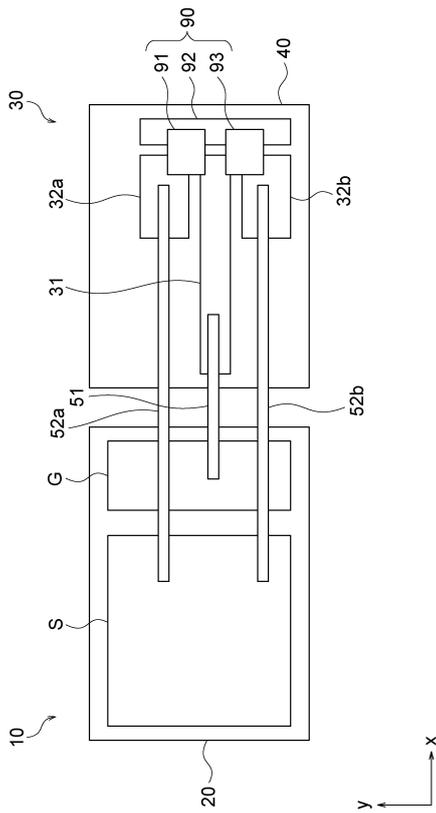
【 8 B】

 8B



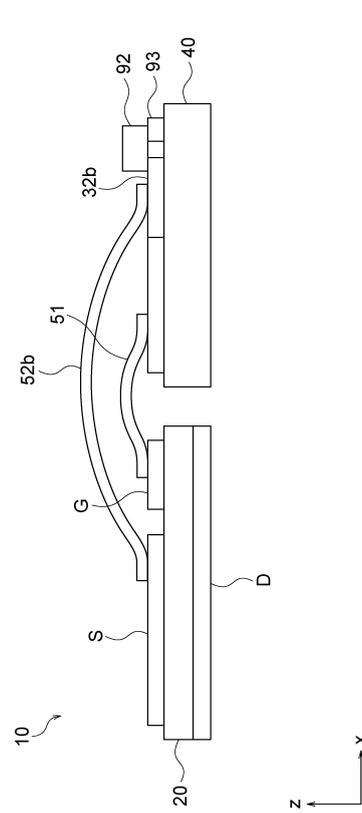
【 9 A】

 9A



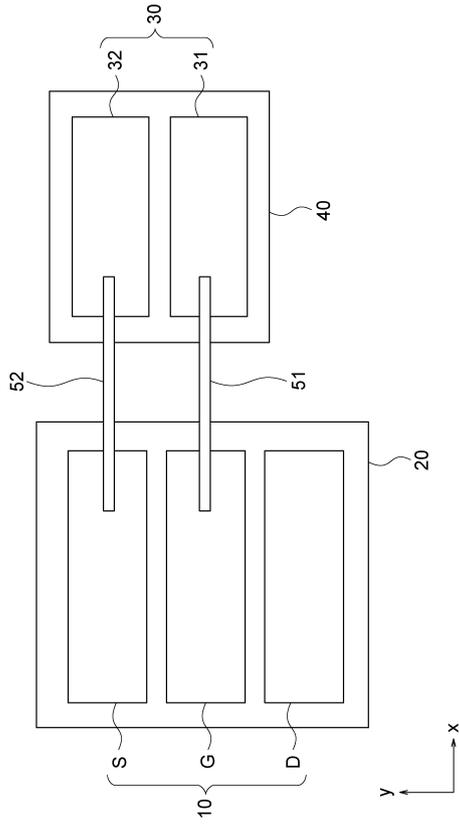
【 9 B】

 9B



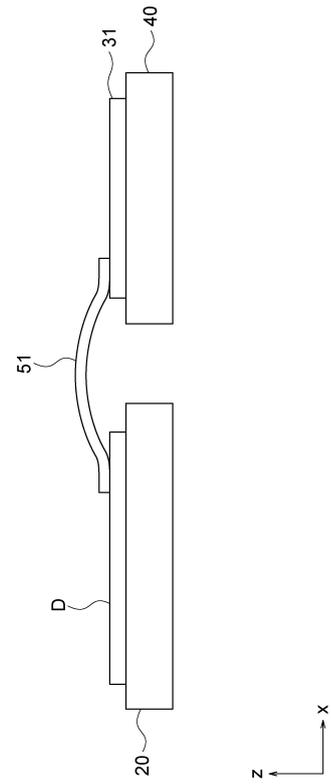
【 10 A】

 10A



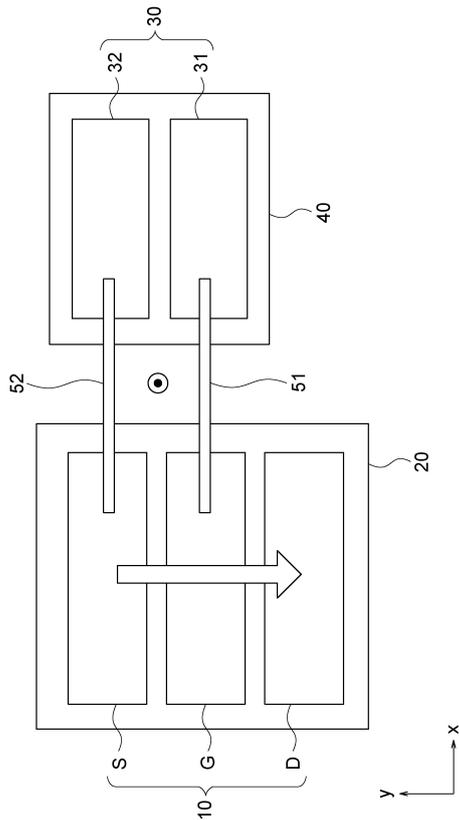
【 10 B】

 10B



【 11】

 11



---

フロントページの続き

(72)発明者 岩 崎 裕一  
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

審査官 東 昌秋

(56)参考文献 特開2011-254387(JP,A)  
特開2015-173255(JP,A)  
特開2004-187342(JP,A)  
特開2014-99535(JP,A)  
特開2012-178411(JP,A)  
特開2016-52197(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M	1/00	-	7/98
H03K	17/00	-	17/70
H01L	21/336		
H01L	29/76		
H01L	29/772		
H01L	29/78		