



[12] 发明专利说明书

专利号 ZL 02131753.4

[45] 授权公告日 2007 年 12 月 5 日

[11] 授权公告号 CN 100353669C

[22] 申请日 2002.9.16 [21] 申请号 02131753.4

[30] 优先权

[32] 2002. 4. 17 [33] CN [31] 02114056.1

[73] 专利权人 湖南科技大学

地址 411201 湖南省湘潭市桃源路

[72] 发明人 宋 跃 周明辉

[56] 参考文献

CN1066506A 1992. 11. 25

JP8 - 220173A 1996. 8. 30

CN2154566Y 1994. 1. 26

CN1140853A 1997. 1. 22

US5838788A 1998. 11. 17

审查员 史永良

[74] 专利代理机构 长沙市融智专利事务所

代理人 颜 勇

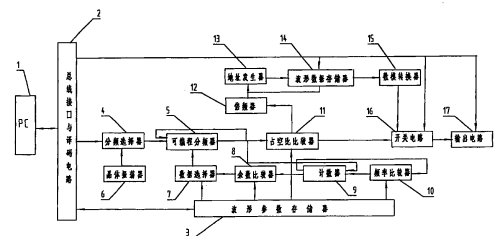
权利要求书 2 页 说明书 8 页 附图 2 页

[54] 发明名称

一种用余数插补比较法产生矩形波的虚拟信号发生器

[57] 摘要

一种用余数插补比较法产生矩形波的虚拟信号发生器，包括 PC、总线接口与译码电路、波形参数存储器、分频选择器、可编程分频器、晶体振荡器、数据选择器、余数比较器、计数器、频率比较器、占空比比较器、倍频器、地址发生器、波形数据存储器、数模转换器、开关电路、输出电路，它以 CPLD/FPGA 可编程器件为核，将信号发生器所需的计算机接口电路及虚拟仪器中的数字部分全部构造在核中。这种信号发生器通过余数插补和数字比较自动产生频率、占空比满足用户要求且步进可调的矩形波信号，并且仪器的硬件开支小、成本低、功能多、系统功能扩展方便、可靠性高、维护简便。



- 1、一种用余数插补比较法产生矩形波的虚拟信号发生器，包括：
- PC，所述 PC 包括输入键盘、显示器、处理器等，用于根据用户输入的波形数据产生波形参数数据，并将其存储于波形参数存储器中；
 - 总线接口与译码电路，用于完成 PC 总线的隔离、驱动、译码和复位；
 - 晶振电路，用于产生一个精确的时钟信号，作为可编程分频器的基准信号；
 - 波形参数存储器，用于存储由 PC 计算得到的波形参数数据；
 - 波形数据存储器，用于存储量化的波形数据；
 - 计数器，用于以可编程分频器的输出作为时钟信号进行计数，频率比较器的输出结果控制计数器的清零，其计数结果送余数比较器；
 - 数模转换器，用于在倍频器输出信号的控制下，将存储器量化的波形数据转换成相应的波形；
 - 输出电路，用于对开关选择电路输出的信号进行滤波、幅度控制、极性变换及负载驱动；其特征在於：还包括
- 余数比较器，用于将计数器的输出与存储器中的余数进行比较，并将其结果作为数据选择器的控制信号；
 - 数据选择器，用于根据余数比较器的结果，从波形参数存储器中选择分频预置数到可编程分频器的预置数端；
 - 频率比较器，用于将计数器的输出与存储器中的频率数据进行比较，其结果送到计数器的输入端；
 - 可编程分频器，用于以数据选择器的输出数据作为分频预置数，将输入信号进行分频，并把其输出信号作为可编程分频器的置数控制信号、

计数器的输入时钟、占空比较器的输入信号；

- 占空比较器,用于将可编程分频器的输出与存储器中的占空比数据进行比较,输出频率和占空比满足要求的周期性的矩形波或方波信号;

- 分频选择电路,用于将晶振电路产生的时钟信号分别进行1分频、10分频、100分频、1000分频、10000分频,并根据输入波形参数将其中一路分频信号送到可编程分频器的输入端;

- 倍频器,用于将占空比较器输出的信号进行倍频;

- 地址发生器,用于按倍频器输出信号的频率节奏将存放于波形数据存储器中的量化数据送到数模转换器的输入端;

- 开关选择电路,用于从占空比较器和数模转换器的输出信号中选择一路作为输出信号。

一种用余数插补比较法产生矩形波的虚拟信号发生器

技术领域

本发明涉及一种信号发生器，特别是指一种用余数插补比较法产生矩形波的虚拟信号发生器。

背景技术

信号发生器是一种常用的电子仪器，广泛应用于生产、教学、科研等领域。在使用信号发生器时，经常提出要一个频率可改变，占空比可调的信号，以往的信号发生器实现这一要求采用的方法是：（1）采用数字逻辑电路，这种电路通用性和灵活性差，并且精度较差。（2）以锁相环为核心实现信号产生，这种信号发生器其输出信号的精度较高，但其价格也比较昂贵。

发明内容

本发明的目的在于提供一种用余数插补比较法产生矩形波的虚拟信号发生器，它以微计算机为核心，运用数字比较产生输出频率、占空比步进可调的矩形波信号以及频率步进可调的正弦信号、三角波信号。

为实现上述目的，本发明采用的技术方案是：-PC，所述PC包括输入键盘、显示器、处理器等，用于根据用户输入的波形数据产生波形参数数据，并将其存储于波形参数存储器中；-总线接口与译码电路，用于完成PC总线的隔离、驱动、译码和复位；-晶振电路，

用于产生一个精确的时钟信号，作为可编程分频器的基准信号； - 波形参数存储器，用于存储由 PC 计算得到的波形参数数据； - 波形数据存储器，用于存储量化的波形数据； - 计数器，用于以可编程分频器的输出作为时钟信号进行计数，频率比较器的输出结果控制计数器的清零，其计数结果送余数比较器； - 数模转换器，用于在倍频器输出信号的控制下，将存储器量化的波形数据转换成相应的波形； - 输出电路，用于对开关选择电路输出的信号进行滤波、幅度控制、极性变换及负载驱动；其特征在于：还包括

- 余数比较器，用于将计数器的输出与存储器中的余数进行比较，并将其结果作为数据选择器的控制信号；

- 数据选择器，用于根据余数比较器的结果，从波形参数存储器中选择分频预置数到可编程分频器的预置数端；

- 频率比较器，用于将计数器的输出与存储器中的频率数据进行比较，其结果送到计数器的输入端；

- 可编程分频器，用于以数据选择器的输出数据作为分频预置数，将输入信号进行分频，并把其输出信号作为可编程分频器的置数控制信号、计数器的输入时钟、占空比较器的输入信号；

- 占空比较器，用于将可编程分频器的输出与存储器中的占空比数据进行比较，输出频率和占空比满足要求的周期性的矩形波或方波信号；

- 分频选择电路，用于将晶振电路产生的时钟信号分别进行 1 分频、10 分频、100 分频、1000 分频、10000 分频，并根据输入波形参数将其中一路分频信号送到可编程分频器的输入端；

- 倍频器, 用于将占空比较器输出的信号进行倍频;
- 地址发生器, 用于按倍频器输出信号的频率节奏将存放于波形数据存储单元中的量化数据送到数模转换器的输入端;
- 开关选择电路, 用于从占空比较器和数模转换器的输出信号中选择一路作为输出信号。

本发明以 CPLD/FPGA 可编程器件为核, 将信号发生器所需计算机接口电路及虚拟仪器中的数字部分全部构造在核中, 辅之以晶振、保护电路制成一个 ISA 卡, 插入 PC 机的 ISA 插槽, 再结合外部控制电路组成虚拟信号发生器, 这种信号发生器通过余数插补和数字比较自动产生频率、占空比满足用户要求且步进可调的矩形波信号, 并且仪器的硬件开支小、成本低、功能多、输出信号性能好、系统功能扩展方便、可靠性高、维护简便。

下面结合附图对本发明的构成及工作原理作进一步的描述。

附图说明

附图 1 为本发明组成原理框图。

附图 2 为本发明产生频率、占空比可调的矩形波信号的具体电路图。

附图 3 为基准信号、输出矩形波信号的波形图。

具体实施方式

参见图 1, 本发明包括 PC1、总线接口与译码电路 2、波形参数存储器 3、分频选择器 4、可编程分频器 5、晶体振荡器 6、数据选择器 7、余数比较器 8、计数器 9、频率比较器 10、占空比较器 11、倍

频器 12、地址发生器 13、波形数据存储单元 14、数模转换器 15、开关电路 16、输出电路 17, 所述 PC1 包括输入键盘、显示器、存储器、处理器等, 用于根据用户输入的波形数据产生波形参数数据, 并将其存储于波形参数存储器中; 总线接口与译码电路 2, 用于完成 PC 总线的隔离、驱动、译码和复位; 晶振电路 6, 用于产生一个精确的时钟信号; 分频选择电路 4, 用于将晶振电路 6 产生的时钟信号分别进行 1 分频、10 分频、100 分频、1000 分频、10000 分频, 并由 PC 根据要产生的信号频率将其中一路分频信号送到可编程分频器 5 的输入端, 这样可当要产生的信号频率较小时, 避免可编程分频器 5 和占空比较器 11 的位数过长, 降低成本; 波形参数存储器 3, 用于存储从 PC 键盘输入的所要产生波形的波形参数如频率、分频系数、占空比、分频系数的余数等; 频率比较器 10, 用于将计数器 9 的输出与波形参数存储器 3 中的频率进行比较, 其结果送到计数器 9 的输入端; 计数器 9, 用于对可编程分频器 5 的输出信号进行计数, 频率比较器 10 的输出结果控制计数器的清零, 其计数结果送余数比较器 8; 余数比较器 8, 用于将计数器 9 的输出与波形参数存储器 3 中的余数进行比较, 并将其结果作为数据选择器 7 的控制信号; 数据选择器 7, 用于根据余数比较器 8 的结果, 从存储器 3 中选择分频预置数到可编程分频器 5 的预置数端; 可编程分频器 5, 用于以数据选择器 7 的输出数据作为分频预置数, 将分频选择器 4 的输出信号进行分频, 并把其输出信号作为可编程分频器 5 的置数控制信号、计数器 9 的输入时钟、占空比较器 11 的输入信号; 占空比较器 11, 用于将可编程

分频器 5 的输出与波形参数存储器 3 中的占空比数据进行比较, 输出满足用户频率和占空比要求的周期性的矩形波或方波信号; 倍频器 12, 用于将占空比较器 11 的输出信号进行 40 倍倍频; 波形数据存储器 14, 用于存储正弦波、三角波等波形的量化数据; 地址发生器 13, 用于按倍频器 12 输出信号的频率节奏将存放于波形数据存储器 14 中的量化数据送到数模转换电路 15 的输入端; 数模转换器 15, 用于在倍频器 12 输出信号的控制下, 将波形数据存储器 14 中量化的波形数据转换成相应的波形; 开关选择电路 16, 用于从占空比较器 10 和数模转换器 15 的输出信号中选择一路到输出电路 17; 输出电路 17, 用于对输出的信号进行滤波、幅度控制、极性变换及负载驱动。

本发明中余数插补比较法产生频率、占空比步进可调的矩形波信号或方波信号的原理如下:

设用户要求产生频率为 f 、占空比为 $1:m$ 的矩形波信号, 时基频率为 f_{CLK1} , 则

$$f_{CLK1}/f = S \dots Y \quad S \text{ 为商, } Y \text{ 为余数}$$

$$\text{令 } S = DR, Y = Y1, DR+1 = DF, f = F1$$

$$\begin{aligned} 1(S) &= f_{CLK1} \cdot T_{CLK1} = (DR \cdot F1 + Y1) \cdot T_{CLK1} \\ &= DR \cdot F1 \cdot T_{CLK1} + (DF - DR) \cdot Y1 \cdot T_{CLK1} \\ &= Y1 \cdot DF \cdot T_{CLK1} + (F1 - Y1) \cdot DR \cdot T_{CLK1} \quad \dots (1) \end{aligned}$$

$$\text{令 } T1 = Y1 \cdot DF \cdot T_{CLK1}, T2 = (F1 - Y1) \cdot DR \cdot T_{CLK1} \quad \dots (2)$$

从 (1)、(2) 式知要得到 $T1$, 可以对 f_{CLK1} 进行 DF 分频, 同理要得到 $T2$ 必须对 f_{CLK1} 进行 DR 分频。在 (2) 式中表明 $T1$ 内对 $CLK1$ 进行

DF 分频后计数应有 $Y1$ 个, $T2$ 内对 $CLK1$ 进行 DR 分频后计数应有 $(F1-Y1)$ 个, 则在这 $1S$ 时间内 $CLK1$ 分频后所计的脉冲个数为 $Y1+(F1-Y1) = F1 = f$, 即为用户所需信号频率。

参见图 2, 它是产生频率、占空比可调的矩形波信号的具体电路图, 图中 JIEKO 为总线接口与译码模块, JICUN 为波形参数寄存器模块, CNT 为 10^n ($0 \leq n \leq 4$) 分频模块, MUX 为频率选择模块。CNT14 为 14 位减 1 计数器, CNT20 为 20 位加 1 计数器, CMPY、CMPF 为 20 位比较器, CMPZ 为 13 位比较器。其工作过程如下: 设要产生占空比为 $1:m$ 、频率为 f 的矩形波信号, 波形参数的计算为:

$$f_{CLK1}/f = DR[12..0] \dots Y1[19..0], \text{ 取 } DR[12..0] + 1 \rightarrow DF[12..0], \\ f \rightarrow F1[19..0]$$

因占空比为 $1:m$, 现以 CNT14 中完成信号计时, CNT14 输入时钟 $CLK1$ 的频率为 f_{CLK1} , 若输出信号的高电平时间为 $X \times T_{CLK1}$, CNT14 计数初数为 DF, 则 $1:m = X \times T_{CLK1} : DF \times T_{CLK1}$, $X=DF/m$, $[X] \rightarrow Z1[12..0]$, $[X]$ 为 X 第一位小数 4 舍 5 入后取整。当用户输入信号参数后, PC 机根据软件计算出来的 DF、DR、Z1、F1、Y1 参数自动送到波形参数寄存器, CNT14 为 14 位二进制同步减法计数器, 其计数使能 CNT_EN、时钟使能 CLK_EN 均为高电平有效, Q13 为预置数命令端, 当 $Q13 = 1$ 预置命令有效。CNT20 为 20 位二进制加法计数器, CMPZ、CMPF、CMPY 模块均为功能相同的数据比较器, CMPY 余数比较器中, 当 $Y1 > Y0$ 时 $SEL1 = 1$, 否则 $SEL1 = 0$, BUSMUK 模块为选择器, 当 $SEL = 1$ 时选 datab, 否则选 dataa。

现以开机时 $Q13 = 1$ 、 $Y0$ 为全 0 来分析信号产生过程。

因 $Q13 = 1$ ， $Y0 = 0$ ，则 $SEL1 = 1$ ， $DATA[12..0] = DF[12..0]$ ，因 $Q13$ 是高电平有效，所以 $CNT14$ 立即将 DF 数据装载到 $CNT14$ ，装载后立即使 $Q13 = 0$ ，以后便在 $CLK1$ 时钟下按 DF 初值作减 1 计数。当 $Z0$ 减到 0 再减 1， $Q13 = 1$ ，再重装 $DF \rightarrow CNT14$...此时在 $CMPZ$ 中，当 $Z1 > Z0$ 时， $OUTA = OUT2 = 1$ ，否则 $OUTA = OUT2 = 0$ ，故 $OUT2$ 输出高电平时间为 $[DF/m]T_{CLK1}$ ，低电平时间为 $(DF - [DF/m]) \times T_{CLK1}$ ，则 $OUT2$ 的占空比为 $1:m$ 就得基本满足。 $Q13$ 的每一次上跳又使 $CNT20$ 加 1，当 $Y1 > Y0$ 时 $SEL = 1$ ，使 $CNT14$ 每次重装 DF 初值，当 $Y1 \leq Y0$ $SEL1 = 0$ ， $DATA$ 接通 DR ，使 $CNT14$ 每次按 DR 重装计数，见图 3，很明显 $T1$ 段信号周期为 $DF \times T_{CLK1}$ ， $T2$ 段为 $DR \times T_{CLK1}$ 。当 $F1 > F0$ 时 $CMPF$ 输出 $F = 1$ ，对 $CNT20$ 无影响，当某时刻 $CNT14$ 在 $Q13 = 1$ 时再装 DR 时， $Q13$ 同时使 $CNT20$ 加 1 后有 $F1 \leq F0$ 时即 $CNT20$ 计数到 $F1$ 时 $F = 0$ ，它便使 $CNT20$ 全部异步清 0， $SEL1 = 1$ ，因 $CNT14$ 装载命令是高电平有效且此时仍有 $Q13 = 1$ ， $CNT14$ 便在下一个 $CLK1$ 有效时又装载 DF 为初值，重复上述过程，故图 3 中 $T1$ 要重复 $Y1$ 次计数， $T2$ 要重复 $(F1 - Y1)$ 次计数，故 T 周期信号的脉冲个数为 $F1$ ，而 $T = Y1 \times T1 + (F1 - Y1) \times T2 = Y1 \times DF \times T_{CLK1} + (F1 - Y1) \times DR \times T_{CLK1}$ 因 $f_{clk1} = f \times DR + Y1 = F1 \times DR + Y1$ ，所以 $T = (Y1 + F1 \times DR) \times T_{CLK1} = f_{clk1} \times T_{CLK1} = 1(S)$ ，这说明在 1 秒时间内正好出现了 f 个脉冲，且每个脉冲的占空比为 $1:m$ ，产生了所要的信号。

本信号发生器在选取 50MHz、精度为 $\pm 5 \times 10^{-7}$ 的 VTX71 型晶振，

其输出的矩形波经分析和 EE3347 型多功能计数器测试, 其主要技术参数为:

- 1、 频率 1Hz ~ 1MHz、步进 1Hz、准确度 10^{-3} 。
- 2、 当 $f \leq 0.5\text{MHz}$, 占空比 1% ~ 99%、步进 1%、准确度 0.5% ;
当 $0.5\text{MHz} < f \leq 1\text{MHz}$, 占空比 2% ~ 98%、步进 2%、准确度 1%。
- 3、 当 $f \leq 0.5\text{MHz}$, 周期准确度 1.1% ;
当 $0.5\text{MHz} < f \leq 1\text{MHz}$, 周期准确度 2.1%。

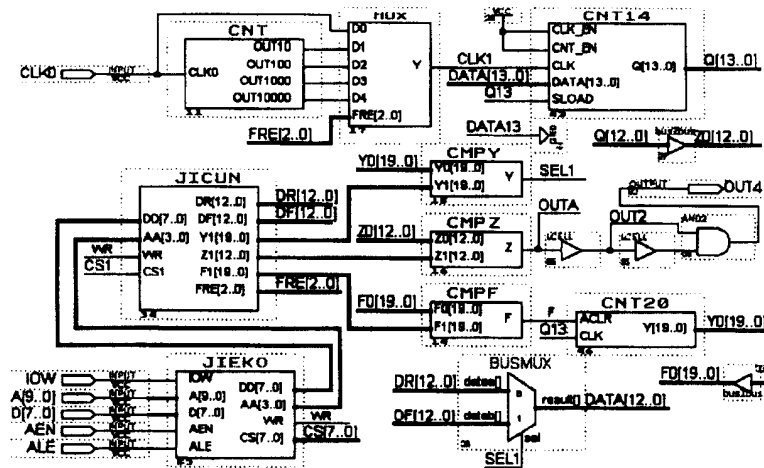


图 2

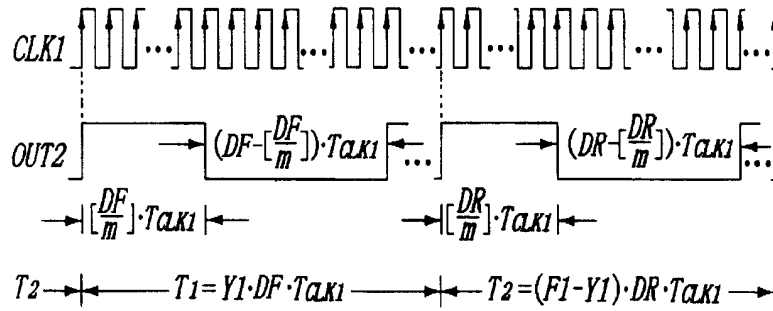


图 3