

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-111638
(P2004-111638A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/20	HO 1 L 21/20	5 F O 4 5
HO 1 L 21/205	HO 1 L 21/205	5 F O 5 2
HO 1 L 21/265	HO 1 L 29/167	
HO 1 L 29/167	HO 1 L 21/265	Q

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号	特願2002-271887 (P2002-271887)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成14年9月18日 (2002.9.18)	(74) 代理人	100065248 弁理士 野河 信太郎
		(72) 発明者	竹中 正浩 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		Fターム(参考)	5F045 AA06 AB01 AC01 AD09 AF03 BB12 CA05 5F052 DA01 DA03 DB02 EA11 FA23 HA01 HA06 JA01 JA04 JA05 JA07 KA01

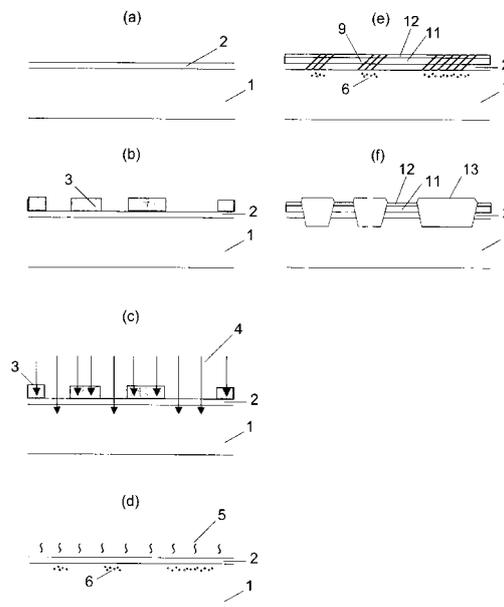
(54) 【発明の名称】 半導体基板の製造方法およびこの方法を用いた半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 Si 基板上に形成された SiGe 膜について、SiGe 膜の歪を十分に緩和するとともに素子が形成される領域に発生する貫通転位を抑制するようにした半導体基板を製造する方法を提供する。

【解決手段】 (a) 下地 Si 基板 1 上に SiGe 膜 2 を積層した半導体基板を形成し、(b) SiGe 膜上で素子が形成される領域にイオン注入防止膜 3 をパターン形成し、(c) イオン注入防止膜 3 が形成された半導体基板にイオン 4 を注入し、(d) イオン注入防止膜 3 を除去してアニール処理を施すことにより素子が形成される領域以外に注入イオンに起因して生じる貫通転位を発生させ、素子形成領域には貫通転位が発生しないようにする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

(a) 下地 Si 基板上又は下地 SOI 基板上に SiGe 膜を積層した半導体基板を形成し、
(b) SiGe 膜上で素子が形成される領域にイオン注入防止膜をパターン形成し、
(c) イオン注入防止膜が形成された半導体基板にイオンを注入し、
(d) イオン注入防止膜を除去してアニール処理を施すことにより、素子が形成される領域以外に注入イオンに起因して生じる貫通転位を発生させることを特徴とする半導体基板の製造方法。

【請求項 2】

(a) 工程後、SiGe 膜上に注入保護膜を形成し、(b) 工程で素子形成領域に対応する注入保護膜上にイオン注入防止膜をパターン形成し、(d) 工程でイオン注入防止膜とともに注入保護膜を除去することを特徴とする請求項 1 に記載の半導体基板の製造方法。

【請求項 3】

イオン注入のイオン種が水素、または不活性ガス、IV 族元素からなる群の少なくとも 1 つの元素であることを特徴とする請求項 1 に記載の半導体基板の製造方法。

【請求項 4】

注入防止膜はフォトレジスト、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜の少なくともいずれか 1 つから構成されることを特徴とする請求項 1 に記載の半導体基板の製造方法。

【請求項 5】

注入保護膜が、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜の少なくともいずれか 1 つから構成されることを特徴とする請求項 2 に記載の半導体基板の製造方法。

【請求項 6】

(d) 工程後にさらに一層以上の半導体膜を形成することを特徴とする請求項 1 に記載の半導体基板の製造方法。

【請求項 7】

(d) 工程後の SiGe 膜上または半導体膜上に格子歪を有する Si 薄膜を形成することを特徴とする請求項 1 または請求項 6 のいずれかに記載の半導体基板の製造方法。

【請求項 8】

請求項 1 から 7 のいずれかの方法により製造された半導体基板の素子形成領域に半導体素子を形成することを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 1 から 7 のいずれかの方法により製造された半導体基板の素子形成領域に半導体素子が形成されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、Si 基板上あるいは SOI 基板上に SiGe 膜が積層された半導体基板の製造方法およびこの基板を用いて製造する半導体装置の製造方法および半導体装置に関する。

【0002】

【従来の技術】

チャンネル領域を通過する電子や正孔の移動度を向上する目的で Si 基板上に Si とは格子定数の異なる歪 SiGe 膜を形成し、Si との格子定数の不整合によりこの SiGe 膜内に発生する歪を、ミスフィット転位の導入により緩和したのちに、SiGe 膜上にキャップ層として上層 Si 膜を形成する方法が知られている。たとえば図 6 に示すように Si 基板 1 と SiGe 膜 2 との界面 (図中 14 は Si 原子、15 は Ge 原子) に刃状転位 16 が発生し格子緩和するようになる。この SiGe 膜上に形成される上層 Si 膜は、Si 膜より大きい格子定数を有する SiGe 膜に引っ張られることにより上層 Si 膜内に歪が生じ、これによりバンド構造が変化してキャリア移動度が向上するものである。

10

20

30

40

50

【0003】

このSiGe膜の歪を緩和する方法として、SiGe膜を厚膜とすることによりSiGe膜の歪弾性エネルギーを増大させ、格子緩和する方法が知られている。

たとえばSiGe膜中のGe濃度を徐々に増加し、約1 μ mの濃度傾斜SiGe膜を形成することにより、SiGe膜の歪緩和を図ることが発表されている(たとえばY. J. Miiraによる非特許文献1参照)。

【非特許文献1】

Appl. Phys. Lett. 59 (13), 1611 (1991)

【0004】

また、Si基板上に形成された薄膜SiGe膜の歪を緩和する方法として、薄膜SiGe膜に水素などのイオン注入処理を行った後に高温でアニール処理を施すことにより、Si基板内の欠陥層にできた積層欠陥がすべりを起こし、SiGe/Si界面でミスフィット転位を発生させる方法およびこの方法を用いて水素イオン注入により歪緩和を図ることが知られている(たとえばH. Trinkausらによる非特許文献2参照)。

【非特許文献2】

Appl. Phys. Lett. 76 (24), 3552 (2000)

【0005】

【発明が解決しようとする課題】

しかしながらSiGe膜の厚膜を形成してSiGe膜の歪弾性エネルギーが増大することにより格子緩和を図る方法では、SiGe膜の完全結晶を得るための臨界膜厚を超えてしまうため、SiGe膜中に非常に多くの欠陥が発生してしまうことになる。

【0006】

また、厚膜の場合は、歪を自己緩和しながら成長するため、SiGe膜表面にクロスハッチと呼ばれる数10 μ mの間隔での筋状のラフネス(凹凸)が発生し、そのままでは半導体基板として利用できないためCMP処理などの平坦化工程が必須となり、平坦化処理を施した基板上のSiGe膜面に更にSiGe膜を成長しなければならないということになる。

【0007】

一方、水素などのイオン注入処理と高温アニール処理とを行うことにより、下地Si基板内の欠陥層にできた積層欠陥がすべりを起こし、SiGe/Si界面でミスフィット転位を発生させることによりSiGe膜の格子歪を緩和する方法では、前述の厚膜SiGe膜に比して欠陥は発生しにくい。しかしながら図3に示すように終端されないミスフィット転位8から貫通転位9が発生する。この貫通転位9は、SiGe膜の(111)面10を通過してSiGe膜表面に達し、しいてはさらにその上に形成される上層Si層まで達し、貫通転位9が終端することでエネルギー的に安定する。

【0008】

本発明は、この現象を逆に利用して下地Si基板上(または下地SOI基板上)にSiGe膜が積層された半導体基板において、SiGe膜の歪を十分に緩和するとともに素子が形成される領域に発生する貫通転位を抑制するようにした半導体基板の製造方法を提供することを目的とする。また、かかる半導体基板を用いた半導体装置の製造方法および半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記課題を解決するためになされた本発明の半導体基板の製造方法は、(a)下地Si基板上又は下地SOI基板上にSiGe膜を積層した半導体基板を形成し、(b)SiGe膜上で素子が形成される領域にイオン注入防止膜をパターン形成し、(c)イオン注入防止膜が形成された半導体基板にイオンを注入し、

(d)イオン注入防止膜を除去してアニール処理を施すことにより、素子が形成される領域以外に注入イオンに起因して生じる貫通転位を発生させることを特徴とする。

【0010】

この方法によれば、イオン注入の前に半導体基板の素子が形成される領域の上に予め注入防止膜をパターン形成してからこれをマスクとしてイオン注入処理を行うので、注入防止膜が形成されていない領域に部分的にイオンが注入される。

この基板をアニール処理すると、イオン注入された元素が注入された部分領域に微小空孔を形成し、積層欠陥を発生させる。発生した積層欠陥は、Si基板の(111)面上をすべりSiGe/Si界面でミスフィット転位になることで格子緩和が起こる。

ここで、イオン注入はパターニングされたイオン注入防止膜をマスクにして行なわれているので、ミスフィット転位は素子形成領域以外の領域に形成され、ミスフィット転位からはSiGe膜を貫いて基板表面に達する貫通転位が発生する。なお、この貫通転位は、その後のダイオード、トランジスタ、あるいはLSIなどのデバイス製造工程の素子間分離工程におけるSTI(Shallow Trench Isolation)、LOCO S(Local Oxidation of Silicon)形成時に削減される。

したがって、素子形成領域にはミスフィット転位はほとんど発生しないので貫通転位のない領域に半導体素子を形成することができる。

【0011】

また、上記方法において(a)工程後、SiGe膜上に注入保護膜を形成し、(b)工程で素子形成領域に対応する注入保護膜上にイオン注入防止膜をパターン形成し、(d)工程でイオン注入防止膜とともに注入保護膜を除去するようにしてもよい。

これによりイオン注入時にSiGe膜中にコンタミネーション物質が浸入するのを防ぐことができるとともに、SiGe膜の膜厚が薄い場合であってイオン注入装置の装置仕様限界以下の低加速エネルギーが要求されるような条件でも加速エネルギーの調整に代替して注入保護膜の膜厚を調整することにより薄いSiGe膜の格子歪を緩和することができる。

【0012】

【発明の実施の形態】

本発明は、上述したように(a)下地Si基板上又は下地SOI基板上にSiGe膜を積層した半導体基板を形成し、(b)SiGe膜上で素子が形成される領域にイオン注入防止膜をパターン形成し、(c)イオン注入防止膜が形成された半導体基板にイオンを注入し、(d)イオン注入防止膜を除去してアニール処理を施すようにしている。

【0013】

下地基板としてSi基板を用いる場合は、Si単結晶基板が好ましいが、基板上にSiGe膜がヘテロエピタキシャル成長できるものであれば、その他のSi基板、たとえば多結晶Si基板などであってもよい。また、SOI基板の場合も同様であり、SOI基板のSi層上にSiGe膜がエピタキシャル成長できるものであればよい。

【0014】

SiGe膜は、Si上に形成されるエピタキシャル成長膜であればどのような装置で形成されたものであってもよいが、例えば、原料ガスとしてシランガス(SiH₄)、ゲルマニウムガス(GeH₄)を使用した低圧気相成長装置(LPCVD)により、所望のGe濃度でかつ所望の膜厚のSiGe膜を形成することができる。

【0015】

素子形成領域に形成される半導体素子は、ダイオード、トランジスタ、さらには素子を集積化したLSIなど半導体材料を用いた素子であれば何でもよいが、特にキャリア移動度の向上、リーク電流の防止が素子の性能に影響を与える素子を形成するのが好ましい。

【0016】

イオン注入防止膜には、イオン注入装置の注入条件に応じて照射されるイオンを注入防止膜内に留めて半導体基板内に浸入するのを阻止できる材料および膜厚のものが選択されるがフォトレジスト、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などを用いるのが好ましい。

このイオン注入防止膜はマスクなどを用いた公知のパターニング形成技術により半導体基板上の所望の領域に形成することができる。

10

20

30

40

50

【0017】

イオン注入処理は、公知のイオン注入装置を用いて行われる。イオン注入のイオン種としては水素が好ましいが、これに限らず、ヘリウム、ネオン、アルゴンなどの不活性ガス、SiなどのIV族元素をイオン化したもの、あるいはこれらの混合ガスを用いてもよい。

【0018】

イオン注入装置は、イオン注入量（ドーズ量）、イオン注入エネルギーが設定パラメータとして適宜変更できるようになっており、これらとともにイオン注入防止膜の材料および膜厚を最適化することにより、注入イオンのピーク位置（深さ）をイオン注入防止膜のない領域ではSiGe膜/下地Si基板界面の基板側にくるようにし、かつ、イオン注入防止膜が形成された領域ではイオン注入防止膜内に留まるようにする。

10

【0019】

イオン注入処理を終えると、イオン注入防止膜を除去する。除去方法はイオン注入防止膜として使用した材料に応じて公知の除去技術を用いればよい。たとえばイオン注入防止膜としてフォトレジストを用いた場合は、有機溶剤による溶解、シリコン酸化膜などではドライエッチングまたはウェットエッチングにより除去することができる。

【0020】

イオン注入防止膜を除去した後、この半導体基板にアニール処理を施す。アニール処理は、窒素、水素、アルゴンなどの雰囲気ガスの導入が可能なファーンズ装置（熱処理炉）を用いて行われる。アニール温度は700 ~ 900 が好ましく、たとえば800 でアニール処理するのが好ましい。このアニール処理により注入イオンのピーク位置（深さ）付近に微小空孔が形成されることになる。

20

【0021】

また、本発明ではSiGe膜を形成後にSiGe膜上に注入保護膜を形成するプロセスを追加してもよい。この場合、注入保護膜としてシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜のいずれかまたはこれらを積層するのが好ましい。

【0022】

また、本発明では、アニール処理後のSiGe膜上にさらに一層以上の半導体膜を形成するようにしてもよい。

例えば、歪緩和がなされた最初のSiGe膜とはGe濃度の異なる第2のSiGe膜を半導体膜として形成することもできる。これにより全体として厚膜SiGe膜になってもラフネスの少ない膜を形成することができ、厚膜SiGe膜を用いた半導体基板を利用した半導体装置を形成することができる。たとえば電源電圧が高いCMOSデバイスであっても空乏層領域の広がりがミスフィット転位の存在する第一のSiGe膜とSi基板との界面にまで到達することができ、これにより接合リーク電流を防ぐことができる。

30

【0023】

また、本発明ではアニール処理後のSiGe膜上またはその上にさらに形成する上記半導体膜上に格子歪を有する上層Si薄膜を形成するようにしてもよい。

このようにして作成した歪Si薄膜はエネルギーバンド構造が変化しており、キャリア移動度が通常より大きい上層Si層を得ることができる。

【0024】

また、本発明では上記のいずれかの方法により半導体基板を製造し、この半導体基板上の素子形成領域に半導体素子を形成することができる。このようにして作成した半導体素子は、貫通転位の影響を受けないので接合リークが少ないなど性能の優れた半導体素子にすることができる。

40

【0025】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

実施の形態 1

図1は本発明の一実施形態である半導体基板製造方法の工程図を示している。

まず、n型(100)面を有するSi基板1の前処理として、硫酸ボイルとRCA洗浄を行ない、5%希フッ酸にて基板表面の自然酸化膜の除去を行う。次いで、Si基板1上に

50

、低圧気相成長 (LP-CVD) 装置を用いゲルマン (GeH_4) とシラン (SiH_4) を原料に、Ge 濃度 28.5% の SiGe 膜 2 を 157 nm の膜厚になるまで 500 にてエピタキシャル成長する (図 1 (a))。

【0026】

ここで、イオン注入を行う前に、アライメントマーク用マスクを用意して、予め Si 基板 1 上にアライメントマークを形成しておく。これは、素子形成領域上を覆い、かつ素子形成領域以外の領域 (素子間分離部となる領域) にイオン注入するために形成されるイオン注入保護膜のパターン (このレジストパターンは素子分離用マスクが用いられる) との位置合わせ、同じ素子分離用マスクを用いた素子形成時 (STI、LOCOS など) のフォトレジストパターンとの位置合わせをこのアライメントマークを基準にして行うためである。

10

【0027】

アライメントマーク形成後、フォトレジストをウェハ全面に 500 ~ 1500 nm の膜厚になるようにスピン塗布し、i 線ステップと LSI 製造時に用いる上述の素子間分離部 (STI、LOCOS など) 形成用のフォトマスクを基準アライメントマークに位置合わせして露光し、アルカリ現像液で現像することによりウェハ上 (SiGe 膜 2 上) の素子形成領域となる領域上にイオン注入防止膜として機能するパターンニングされたフォトレジスト 3 が形成される (図 1 (b))。

【0028】

この基板へ注入エネルギー 18 KeV、水素イオン量 (ドーズ量) $3 \times 10^{16} \text{ H}^+ / \text{cm}^2$ 、チルト角 7° の条件にて水素イオン 4 のイオン注入を行う (図 1 (c))。この注入条件によれば、水素イオンの注入量がピークとなる注入ピーク位置 (深さ) は、フォトレジストが形成されていない領域 (素子間分離部となる領域) で SiGe 膜 / Si 基板界面の基板側 70 nm の位置となる。一方、フォトレジスト 3 で覆われている領域でのピーク位置 (深さ) はフォトレジスト 3 の膜厚の中央付近にくるように設定されている。これによりフォトレジスト 3 に覆われている領域では、注入された水素イオンが SiGe 膜や Si 基板にまで達することはない。

20

【0029】

水素イオンが注入された基板のフォトレジスト 3 を除去し、硫酸ボイルと RCA 洗浄を行った後、窒素雰囲気下のファーンズ装置 5 で 800、10 分間アニールする。

30

これによりフォトレジスト 3 が形成されていなかった領域 (素子間分離部となる領域) に注入された水素イオンの注入ピーク近傍に、マイクロキャビティ 17 と呼ばれる微小の空孔が発生する。図 4 はマイクロキャビティ 17 を含んだ Si 基板 1 の断面 TEM 写真であり、空孔の大きさは 10 μm 程度であることが分かる。

そしてマイクロキャビティ 17 により発生した積層欠陥層 6 がすべりを起こすことにより、SiGe / Si 界面にミスフィット転位が発生し、格子緩和が起こる (図 1 (d))。

【0030】

さらに厚膜の SiGe 膜が必要な場合は、この歪緩和 SiGe / Si 基板上に、中間層半導体膜として Ge 濃度 28.5% の (第二の) SiGe 膜 11 を 300 nm の膜厚までエピタキシャル成長する。これにより SiGe の膜厚は合計で 457 nm になり、例えば電源電圧が高い条件の CMOS デバイスであっても空乏層領域の広がりがミスフィット転位の存在する第一の SiGe 膜 (アニール処理された SiGe 膜) と Si 基板の界面に到達して接合リーク電流が発生する現象を防ぐことができる。

40

【0031】

上記の第一と第二の SiGe 膜の間にさらに Si 膜や SiGe 薄膜を中間層半導体膜をできるようにしてもよい。このように中間に形成する半導体膜の層数に制限はない。

その後、キャリアが通過するチャンネル領域として機能する上層 Si 層 12 を 20 nm の厚さまでエピタキシャル成長する。

このような工程を経て作成した上層 Si 層 12 は、より格子定数の大きい下地の歪緩和 SiGe 膜又はこの SiGe 膜の影響を受けた中間層半導体膜と格子整合し、引っ張り歪を

50

持つことでキャリアの移動度が向上する。

【0032】

この段階で、素子形成領域以外の領域（素子間分離部となる領域）においてSiGe/Si基板界面に発生したミスフィット転位が終端されず、基板表面層（上記例では上層Si層12）まで貫通転位9が達している（図1（e））。

【0033】

その後、この基板を用いデバイス製造工程に入る。デバイス製造工程におけるSTI（Shallow Trench Isolation）による素子間分離工程において（素子間分離工程に用いるマスクは、先に使用したイオン注入防止膜のパターン形成マスクと同一であり、このマスクのアライメントも、最初に形成したアライメントマークを基準としている）、素子間分離工程用のマスクを用いて図示しないフォトレジストをパターン形成し、基板を500nmエッチングし、酸化膜の埋め込みとCMP処理により素子間分離部13を形成することで、貫通転位9や積層欠陥層6、マイクロキャビティ17（図4参照）などの欠陥がない基板ができる（図1（f））。

10

そして、素子間の分離工程を終えた基板を用いて素子形成領域に通常の半導体製造プロセスによりMOSトランジスタなどの半導体素子を形成する。

【0034】

図5は、上記工程により素子形成領域に形成されたMOSトランジスタの断面構成を示す図である。この図において図1と同じものは同符号を付す。図において1はSi基板、2はSiGe膜、11は中間層半導体膜として形成される第2のSiGe膜、12は上層Si膜である。そして18はポリシリコンゲート（ゲート電極）、19はゲート絶縁膜、20はソース領域、21はドレイン領域、22はサイドウォールである。

20

このMOSトランジスタではSiGe膜11によって引っ張られることによりキャリア移動度が向上した上層Si層12が形成されているので、これをチャンネル層として機能させることができる。

また、ソース領域20、ドレイン領域21を含むMOS近傍には貫通転位は発生していないので、貫通転位によるリーク電流を防ぐことができる。

【0035】

本実施例では、イオン注入防止膜としてフォトレジストを用いたが、これに代えてたとえばシリコン酸化膜を用いることもできる。この場合、SiGe膜2上にシリコン酸化膜を100～10000nm程度成膜して、その上にフォトレジストをスピン塗布し、露光、現像により、素子形成領域上にフォトレジストパターンを形成し、フォトレジストをマスクにRIE（Reactive Ion Etching）等によりシリコン酸化膜を素子形成領域上にパターンニングする。

30

【0036】

これは例えばイオン注入エネルギーが高くフォトレジストを厚く塗布する必要がある場合や、微細でパターンピッチの狭いトレンチが必要な場合などでフォトレジストのアスペクト比が高くなりすぎレジストパターンが倒壊するためにフォトレジスト膜厚が必要な厚さに成膜できない場合などに有効な手段である。

また、イオン注入は水素に限らず、例えばヘリウムなどの不活性ガス、SiなどのIV族

40

【0037】

実施の形態2

次に本発明の第2の実施形態について図2を参照しつつ説明する。実施形態1と同様、前処理として硫酸ボイルとRCA洗浄を行ない、5%希フッ酸にて基板表面の自然酸化膜の除去を行なったn型（100）シリコン基板1上に、低圧気相成長（LP-CVD）装置を用いゲルマン（GeH₄）とシラン（SiH₄）を原料に、Ge濃度40.7%のSiGe膜を25nmの膜厚になるまで500にてエピタキシャル成長した後、このSiGe膜2上に注入保護膜として機能する低温シリコン酸化膜7を50nmの膜厚になるまで成膜する（図2（a））。

50

ここで、実施形態 1 と同様にイオン注入を行う前に、アライメントマーク用マスクを用意してイオン注入時に形成されるフォトレジストパターンと素子間分離部 (S T I 、 L O C O S など) 形成時のフォトレジストパターンを適合させるためのアライメントマークを S i 基板 1 上に付けておく。

【 0 0 3 8 】

次にフォトレジストをウェハ全面に 5 0 0 ~ 1 5 0 0 n m の膜厚になるようにスピン塗布し、 i 線ステッパと L S I 製造時に用いる素子間分離部形成用のフォトマスクを用いて露光し、アルカリ現像液で現像することで、ウェハ上の素子形成領域上にイオン注入防止膜として機能するパターンニングされたフォトレジスト 3 が形成される (図 2 (b)) 。

【 0 0 3 9 】

この基板へ注入エネルギー 6 K e V 、水素イオン注入量 (ドーズ量) $3 \times 1 0^{16} \text{ H}^+ / \text{cm}^2$ 、チルト角 7 ° の条件にて水素イオン注入を行う (図 2 (c)) 。

この注入条件では水素イオンの注入ピークが、フォトレジスト 3 のない領域 (素子間分離部となる領域) では S i G e 膜 / S i 基板界面の基板側 3 0 n m の位置に、フォトレジスト 3 で覆われている領域 (素子形成領域となる領域) ではフォトレジスト 3 の膜厚上層付近にくるように設定されている。これによりフォトレジスト 3 に覆われている領域では、水素イオンが S i G e 膜や S i 基板へ達することはない。次に、フォトレジスト 3 とシリコン酸化膜 7 を除去し硫酸ポイルと R C A 洗浄を行った後、窒素雰囲気ファーン装置 5 で 8 0 0 ° 、 1 0 分間アニールする。これによりフォトレジストのない領域 (素子間分離部となる領域) に注入された水素イオンの注入ピーク近傍にマイクロキャピティ 1 7 と呼ばれる微小の空孔が発生し (図 4 参照) 、それによって発生した積層欠陥 6 がすべりを起こすことにより S i G e / S i 界面にミスフィット転位が発生して格子緩和が起こる (図 2 (d)) 。

【 0 0 4 0 】

本実施例では注入保護膜 7 を成膜することでイオン注入時のコンタミ物質の混入を防ぐことができる。さらに、水素イオンを注入しようとするとき、イオン注入装置の装置仕様の加速電圧が下限 (たえば 5 K e V 程度) であり、当該加速電圧で注入保護膜 7 を形成せずに膜厚 2 5 n m というような薄い S i G e 膜に水素イオンを注入してアニールしても注入イオンのピーク位置が深くなりすぎて十分には緩和しないという問題があるような場合でも、注入保護膜 7 の膜厚を厚くすることで注入ピーク位置を制御することができ、非常に薄い S i G e 膜でも現行のイオン注入装置で歪緩和することができる。

【 0 0 4 1 】

また、この注入保護膜 7 はシリコン酸化膜に限らず、例えばシリコン窒化膜やシリコン酸窒化膜でも同様の効果を得ることができる。

【 0 0 4 2 】

この歪緩和 S i G e / S i 基板上に、実施形態 1 と同様に、中間層半導体膜として G e 濃度 2 8 . 5 % の第 2 の S i G e 膜 1 1 を 3 0 0 n m の膜厚までエピタキシャル成長するようにしてもよい。

【 0 0 4 3 】

そしてキャリアの通過するチャンネル領域として上層 S i 層 1 2 を 2 0 n m の厚さまでエピタキシャル成長する。この段階で、素子形成領域以外の領域 (素子間分離部となる領域) には、 S i G e / S i 界面に発生したミスフィット転位が終端されておらず、基板表面まで貫通転位 9 が達している (図 2 (e)) 。

その後、 S T I による素子間分離工程において、実施形態 1 と同様に素子間分離工程用のマスクを用いて図示しないフォトレジストをパターン形成し、基板を 5 0 0 n m エッチングし、酸化膜の埋め込みと C M P により素子間分離部を形成することで、微小空孔 6 、貫通転位 9 、マイクロキャピティ 1 7 などの欠陥がない基板ができる (図 2 (f)) 。そして、この基板を用いて、素子形成領域に M O S トランジスタなどの半導体素子を形成する (図 5) 。

【 0 0 4 4 】

10

20

30

40

50

実施の形態 3

実施形態 1 や実施形態 2 では Si 基板を用いたが、これに代えて表面層が単結晶 Si 膜からなる SOI 基板を用いることで、実施形態 1、2 と同様の性質を有する半導体基板を作成することができる。

なお、SOI 基板を用いる場合は、SOI 基板の表面層 Si 膜厚が、イオン注入のピーク位置と Si Ge / Si 界面との距離よりも厚い必要があり、具体的には 2 倍程度の厚さがあることが望ましい。

【0045】

【発明の効果】

以上説明したように、本発明によれば Si あるいは SOI 基板の素子形成領域において、リーク電流の原因となる貫通転位の存在しない良質な結晶性を有する半導体基板であるとともに、十分な緩和率を持つ歪緩和 Si Ge 膜層を有する半導体基板を製造することができるようになる。

【0046】

また、その歪緩和 Si Ge 膜上に上層歪 Si 薄膜を形成することで、従来の Si 基板に比べキャリアの移動度を向上させた半導体基板を製造することができる。

そして、この半導体基板を用いて半導体装置を製造することにより、優れた性能を有する半導体装置を作成することができる。

【図面の簡単な説明】

【図 1】本発明の一実施形態である半導体基板の製造方法を説明する工程図。

【図 2】本発明の他の一実施形態である半導体基板の製造方法を説明する工程図。

【図 3】終端されていないミスフィット転位から貫通転位が発生する様子を説明する模式図。

【図 4】Si 基板内に発生したマイクロキャビティを示す断面 TEM 写真。

【図 5】本発明の一実施形態である半導体装置としての MOS トランジスタの構成を示す図。

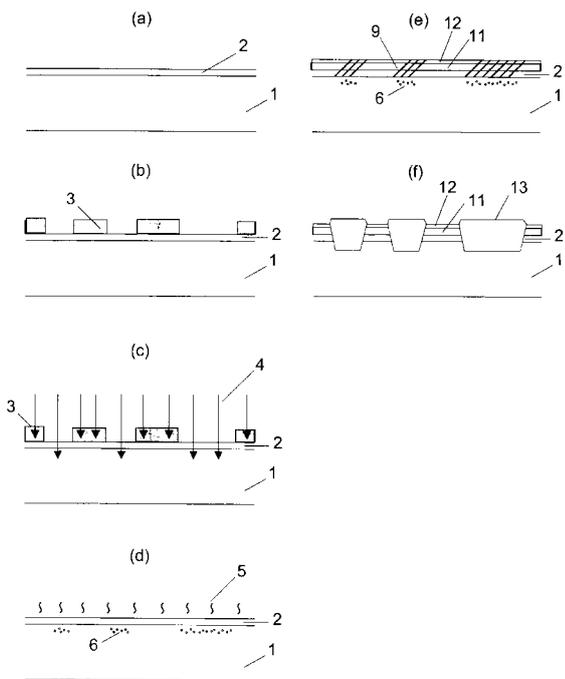
【図 6】格子緩和している状態の Si Ge 膜と Si 基板との界面の原子配列状態を説明する模式図。

【符号の説明】

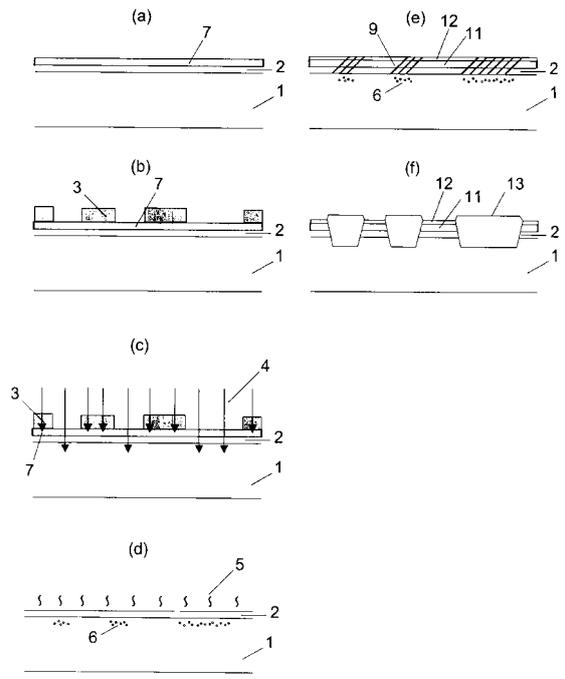
- 1 : Si 基板 (SOI 基板) 30
- 2 : Si Ge 膜
- 3 : フォトレジスト (イオン注入防止膜)
- 4 : 注入イオン
- 5 : ファーネス装置
- 6 : 積層欠陥層
- 7 : 低温シリコン酸化膜 (注入保護膜)
- 8 : ミスフィット転位
- 9 : 貫通転位
- 10 : Si Ge 膜 (111) 面
- 11 : 第 2 の Si Ge 膜 (中間層半導体膜) 40
- 12 : 上層 Si 膜
- 13 : 素子間分離部
- 14 : Si 原子
- 15 : Ge 原子
- 16 : 刃状転位
- 17 : マイクロキャビティ
- 18 : ポリシリコンゲート (ゲート電極)
- 19 : ゲート酸化膜
- 20 : ソース領域
- 21 : ドレイン領域 50

2 2 : サイドウォール

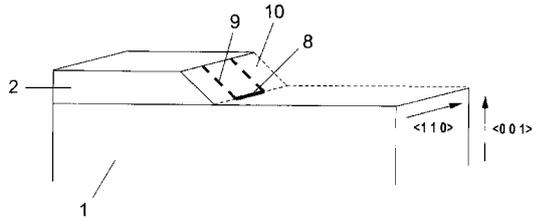
【図 1】



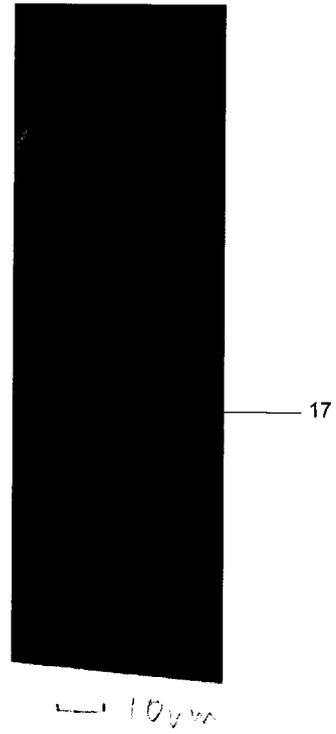
【図 2】



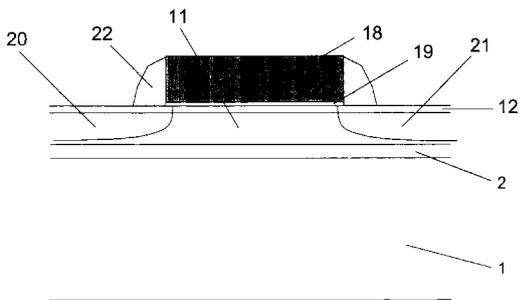
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

