

(12) 发明专利

(10) 授权公告号 CN 101807432 B

(45) 授权公告日 2012. 02. 01

(21) 申请号 201010167358. 5

审查员 李元

(22) 申请日 2006. 03. 10

(30) 优先权数据

34825/05 2005. 04. 27 KR

(62) 分案原申请数据

200610059513. 5 2006. 03. 10

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 黄相元

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽

(51) Int. Cl.

G11C 16/02(2006. 01)

(56) 对比文件

US 2004/0047182 A1, 2004. 03. 11, 全文 .

US 2004/0080979 A1, 2004. 04. 29, 全文 .

US 2002/0136054 A1, 2002. 09. 26, 全文 .

US 6233175 B1, 2001. 05. 15, 全文 .

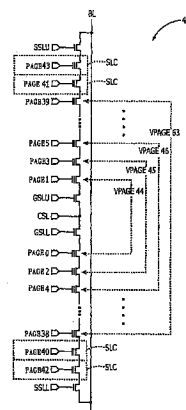
权利要求书 1 页 说明书 6 页 附图 11 页

(54) 发明名称

用于操作闪存器件的方法

(57) 摘要

非易失性存储器阵列其中包括第一和第二块三态存储单元。这些第一和第二块被配置来分别作为第一和第二块物理存储单元独立运行, 并且整体作为另一块虚拟存储单元运行。可以独立地读取第一和第二块存储单元和另一块虚拟存储单元来提供总共三块读取数据。



1. 一种操作闪存器件的方法,包括步骤:

对所述闪存器件中的第一页闪存单元编程;

对所述闪存器件中的第二页闪存单元编程;

从所述第一页闪存单元读取第一页闪存数据;

从所述第二页闪存单元读取第二页闪存数据;

将第三页闪存数据编码到第一和第二页闪存数据中,由此产生第一和第二页编码的闪存数据;

用第一页编码的闪存数据编程闪存器件中的第一页闪存单元;

用第二页编码的闪存数据编程闪存器件中的第二页闪存单元;和

响应于分别从第一和第二页闪存单元中读取第一和第二页编码的闪存数据,产生第三页闪存数据,

其中,所述第一页闪存单元和所述第二页闪存单元分别被配置来作为闪存单元物理页独立运行,并且整体作为闪存单元虚拟页运行,

其中,所述闪存器件是 NAND 型闪存阵列,所述闪存单元是三态 EEPROM 单元。

2. 如权利要求 1 所述的方法,其中,在所述用第一页编码的闪存数据编程第一页闪存单元的步骤之后,是响应于从第一页闪存单元读取第一页编码的闪存数据来产生第一页闪存数据的步骤。

3. 如权利要求 1 所述的方法,其中,在所述用第二页编码的闪存数据编程第二页闪存单元的步骤之后,是响应于从第二页闪存单元读取第二页编码的闪存数据来产生第二页闪存数据的步骤。

4. 一种操作闪存器件的方法,包括步骤:

从存储器阵列的第一页 EEPROM 单元中读取第一数据页;

从存储器阵列的第二页 EEPROM 单元中读取第二数据页;和

通过分别从第一和第二页 EEPROM 单元中将第一和第二数据页读取到页缓冲器、并且将页缓冲器中的第一和第二数据页解码为第三数据页,来从存储器阵列中读取第三数据页,

其中,所述第一页 EEPROM 单元和所述第二页 EEPROM 单元分别被配置来作为 EEPROM 单元物理页独立运行,并且整体作为 EEPROM 单元虚拟页运行,

其中,所述存储器阵列是 NAND 型 EEPROM 阵列,所述 EEPROM 单元是三态 EEPROM 单元。

5. 如权利要求 4 所述的方法,其中,第一和第二页 EEPROM 单元处于不同的多页 EEPROM 单元块中。

用于操作闪存器件的方法

[0001] 本申请是申请日为 2006 年 3 月 10 日、申请号为 200610059513.5、发明名称为“支持虚拟页存储的非易失性存储器件及其编程方法”的发明专利申请的分案申请。

[0002] 本发明要求于 2005 年 4 月 27 日提交的韩国申请 No. 2005-34825 的优先权,其全部内容援引于此以供参考。

技术领域

[0003] 本发明涉及集成电路存储器件,尤其涉及非易失性存储器件和编程非易失性存储器件的方法。

背景技术

[0004] 一类非易失性存储器件包括电可擦除可编程只读存储器 (EEPROM),它可以用于许多应用中(包括嵌入式应用和大容量存储应用中)。在典型的嵌入式应用中,例如在可能需要快速随机存取读取时间的个人计算机或移动电话中,EEPROM 器件可以用于提供代码存储。典型的大容量存储应用包括需要大容量和低成本的存储卡应用。

[0005] 一类 EEPROM 器件包括 NAND 型闪存,它可以提供替代其它形式非易失性存储器的高容量和低成本。图 1 图解其中具有多个 NAND 型串的常规闪存阵列 10。这些 NAND 型串中的每一个包括多个 EEPROM 单元,它们与相应偶和奇位线 (BL0_e、BL0_o、...、BLn_e、BLn_o) 相关联。这些位线连接到其中具有多个缓冲器电路 (PB0、...、PBn) 的页缓冲器 12。每个 EEPROM 单元包括浮动栅电极和控制栅电极,其电连接到相应字线 (WL0、WL1、...、WLn)。通过在读取和编程操作期间驱动串选择线 (SSL) 到逻辑 1 电压来存取每个 NAND 串。每个 NAND 串还包括相应的地选择晶体管,它电连接到地选择线 (GSL)。

[0006] 如图 1B 所示,在图 1A 中的闪存阵列 10 中的 EEPROM 单元可以是支持单个编程状态的单元。仅支持单个编程状态的 EEPROM 单元通常称为单级单元 (SLC)。特别地,SLC 可以支持擦除状态(可以当作逻辑 1 存储值)和编程状态(可以当作逻辑 0 存储值)。当擦除时,SLC 可以具有负阈值 (V_{th}) (如 $-3V < V_{th} < -1V$),并且当编程时,具有正阈值 (如 $1V < V_{th} < 3V$)。如图 1C 所示,通过设置位线 BL 到逻辑 0 值(如,0 伏),将编程电压 (V_{pgm}) 施加到所选择的 EEPROM 单元,并且将通过电压 (V_{pass}) 施加到串中未选择的 EEPROM 来获得编程状态。此外,在编程期间通过将正电压(如电源电压 V_{dd}) 施加到串选择线 (SSL) 并将地电压(如,0 伏)施加到地选择线 (GSL) 可以使 NAND 串有效。

[0007] 此外,通过对选择的单元执行读取操作可以检测 EEPROM 单元的编程状态或擦除状态。如图 1D 所示,当选择的单元处于擦除状态,并且选择的字线电压(如,0 伏)大于所选单元的阈值电压时,NAND 串将操作来放电预充电的位线 BL。然而,当所选单元处于编程状态时,由于所选字线电压(如,0 伏)小于所选单元的阈值电压,并且所选单元保持“关”,因此对应的 NAND 串将向预充电的位线 B2 提供开路。在 Jung et al. 名为 A 3.3 Volt Single PowerSupply 16-Mb Nonvolatile Virtual DRAM Using a NAND Flash Memory Technology, @IEEE Journal of Solid-State Circuits, Vol. 32, No. 11, pp. 1748-1757, November (1997)

的文章中公开了 NAND 型闪存的其它方面,其公开援引于此以供参考。

[0008] 支持多编程状态的 EEPROM 单元通常称为多级单元 (MLC)。如图 2 所示,支持擦除状态和三个不同编程状态的 MLC 操作来每单元存储两个数据位。在 Takeuchi et al. 名为 A Multipage Cell Architecture for High-Speed Programming Multilevel NAND Flash Memories, @IEEE Journal of Solid State Circuits, Vol. 33 No. 8, pp. 1228-1238, August (1998) 的文章中公开了每单元具有两个数据位的 MLC 的这些和其它方面。美国专利 No. 5862074 和 5768188 还公开了在 NAND 型配置中布置的多级 EEPROM 的方面,它们的公开援引于此以供参考。

[0009] 图 3A-3B 图解三态 EEPROM 单元对如何可以支持 3 位编程。在图 3A 中,MLC 图解为支持擦除状态和两个可能的编程状态。本领域技术人员将理解,通过在读取操作期间将第一参考电压 VR1 施加到所选择的 EEPROM 单元的控制电极可以将擦除状态与两个可能的编程状态区分开。该第一参考电压 VR1 应该设置到在擦除的单元的最大可接受阈值电压 (示为 V0) 和编程为状态 1 的单元的最小可接受阈值电压 (示为 V1) 之间的电平上。相似地,通过在读取操作期间将第二参考电压 VR2 施加到所选择的 EEPROM 单元,可以将第二编程状态 (状态 2) 与擦除状态和第一编程状态区分开。该第二参考电压 VR2 应该设置到在编程为状态 1 的单元的最大可接受阈值电压 (示为 V0) 和编程为状态 2 的单元的最小可接受阈值电压 (示为 V2) 之间的电平上。如图 3B 所示,存储器的同一物理行中的两个相邻的 3 级 EEPROM 单元可以编程为 8 个可能状态之一 ((111)、(110)、...、(001)、(000)) 来支持每单元对 3 位数据。在 Tanaka et al. 名为 A 3.4-Mbyte/sec Programming 3-Level NAND Flash Memory Saving 40% Die Size Per Bit, @1997 Symposium on VLSI Circuits Digest of Technical Papers, Section 9.3, pp. 65-66 (1997) 的文章中公开了 3 状态 EEPROM 单元的附加方面。然而,由于单个单元故障通常导致在对应对中的两个单元的 3 位数据出现差错,因此在图 3B 的对配置中使用 3 状态 EEPROM 单元可能需要复杂的差错检测和校正电路。

发明内容

[0010] 本发明的实施例包括使用奇态存储单元支持虚拟页存储的非易失性存储器件及编程非易失性存储器件的方法。在某些实施例中,提供在其中具有非易失性存储器阵列的集成电路器件。该存储器阵列包括至少两个非易失性奇态存储单元,它们作为相应物理存储单元独立运行,并且整体作为单个的虚拟存储单元运行。还配置该存储器阵列,使得对于包含在虚拟存储单元中的数据的所有值,仅以单个参考电压来验证虚拟存储单元的编程。存储器阵列还可以配置为闪存阵列,并且通过评估与虚拟存储单元相关的任何物理存储单元是否编程为高过单个参考电压的阈值来进行虚拟存储单元的读取操作。

[0011] 本发明其它实施例包括其中具有至少一个第一和第二块三态存储单元的闪存阵列。这些存储单元块中的每个可以包含多页存储单元。这些第一和第二块三态存储单元分别作为第一和第二块物理存储单元独立运行,并且整体作为虚拟存储单元块运行。第一块存储单元可以包括 EEPROM 单元的多个 NAND 串。在某些实施例中,EEPROM 单元的多个 NAND 串中的每一个包括不支持虚拟单元编程的至少一个 SLC EEPROM 单元。

[0012] 本发明的另一些实施例包括操作闪存器件的方法。这些方法包括通过从 NAND 型 EEPROM 阵列初始读取第一和第二数据页、然后使用修改的数据重写第一和第二数据页来用

第三数据页编程 NAND 型 EEPROM 阵列。该重写操作将 NAND 型 EEPROM 阵列中的三页数据编码到 EEPROM 单元的两页中。

[0013] 额外的操作方法包括将第三页闪存数据编码到第一和第二页闪存数据中,由此产生第一和第二页编码的闪存数据。然后用第一页编码的闪存数据编程闪存器件中的第一页闪存单元。此外用第二页编码的闪存数据编程闪存器件中的第二页闪存单元。然后可以响应于分别从第一和第二页闪存单元中读取第一和第二页编码的闪存数据来产生第三页闪存数据。

附图说明

[0014] 图 1A 是在其中具有 EEPROM 单元的 NAND 型串的常规非易失性存储器件的电示意图。

[0015] 图 1B 是图解根据现有技术的擦除和编程的 EEPROM 单元的相对阈值电压的图。

[0016] 图 1C 是显示编程偏置条件的 EEPROM 单元的 NAND 型串的电示意图。

[0017] 图 1D 图解根据现有技术的在从擦除的 EEPROM 单元和编程的 EEPROM 单元读取数据的操作期间在 NAND 型串中的电流流动。

[0018] 图 2 是图解根据现有技术的四状态 EEPROM 单元的相对阈值电压的图。

[0019] 图 3A 是图解根据现有技术的三态 EEPROM 单元的相对阈值电压的图。

[0020] 图 3B 图解当在存储器的相同行中配对时,支持 3 位数据的两个相邻的三态 EEPROM 单元的阈值电压分布。

[0021] 图 4A 是根据本发明实施例的支持虚拟页编程的 EEPROM 单元的上和下 NAND 型串的电示意图。

[0022] 图 4B 是根据本发明实施例的 NAND 型 EEPROM 器件的电示意图。

[0023] 图 4C 是图解根据本发明实施例的用于编程三态 EEPROM 单元的操作的图。

[0024] 图 4D 是图解根据本发明实施例的用于编程三态 EEPROM 单元的操作的图。

[0025] 图 4E 是图解根据本发明实施例的用于编程 EEPROM 单元的“虚拟”页的流程图。

[0026] 图 5A 图解根据本发明实施例用于编程虚拟 EEPROM 单元的操作。

[0027] 图 5B 是图解根据本发明实施例的从三态 EEPROM 单元读取数据的操作的流程图。

[0028] 图 5C 是图解根据本发明实施例的从三态 EEPROM 单元读取数据的操作的流程图。

具体实施方式

[0029] 将参照附图在这里全面描述本发明,在附图中显示了本发明优选实施例。然而,本发明可以以许多不同形式实现,并且不应该理解为限制到这里阐述的实施例。提供这些实施例以便本公开更加透彻和完整,并且将本发明的范围完全提供给本领域技术人员。相同的幅图标记指相同的元件,并且由相同的附图字母指代其中相同的信号线和信号。还可以同步信号和 / 或对其进行较小的逻辑运算(如,反相),而不考虑不同的信号。

[0030] 参照图 4A,图解了像包括一对 NAND 型串那样的一单列 EEPROM 单元 40a。该对 NAND 型串包括上 NAND 型串(它可以属于包含多个单元页的上块 EEPROM 单元),和下 NAND 型串(它可以属于包含多个单元页的下块 EEPROM 单元)。上和下 NAND 型串连接到公共源线 CSL。上 NAND 型串包括具有连接到上串选择线 SSLU 的栅极端的 NMOS 晶体管和具有连接到上地

选择线 GSLU 的栅极端的 NMOS 晶体管。上 NAND 型串还包括多个三态 EEPROM 单元。这些三态 EEPROM 单元具有连接到相应字线的控制栅极, 字线与非易失性存储器的多个页: PAGE1、PAGE3、...、PAGE39 相关。还提供与 PAGE41 和 PAGE43 相关的 SLC EEPROM 单元对。这些 SLC EEPROM 单元可以在虚拟页编程和读取操作的地址空间之外。同样地, 下 NAND 型串包括具有连接到下串选择线 SSSL 的栅极端的 NMOS 晶体管和具有连接到下地选择线 GSLL 的栅极端的 NMOS 晶体管。下 NAND 型串还包括多个三态 EEPROM 单元。这些三态 EEPROM 单元具有连接到相应字线的控制栅极, 字线与非易失性存储器的多个页: PAGE0、PAGE2、...、PAGE38 相关。还提供与 PAGE40 和 PAGE42 相关的一对 SLC EEPROM 单元。正如在下面关于图 4B-4E 和 5A-5C 更全面地描述的那样, 关于存储器的下块的 PAGE0、PAGE2、...、PAGE38 的 EEPROM 单元和关于存储器的上块的 PAGE1、PAGE3、...、PAGE39 的 EEPROM 单元可以整体形成非易失性存储器的多个“虚拟”页。这些“虚拟”页图示为 VPAGE44、VPAGE45、...、VPAGE63。因此, EEPROM 单元的列 40a 图示为支持 64 页非易失性存储器的一列。本发明的实施例不限于存储器的任何特定容量、页宽或 NAND 串长度。

[0031] 图 4B 图解根据本发明实施例的 EEPROM 器件 40b。EEPROM 器件 40b 包括具有上和下存储器块的非易失性存储器阵列、页缓冲器和数据输入 / 输出电路。特别地, EEPROM 器件 40b 图示为支持非易失性存储器的 $2N$ 个“物理”页 (如, 行) 和非易失性存储器的 N 个“虚拟”页的 8 列器件, 但是仅招致支持 $2N$ 页 SLC EEPROM 单元的常规非易失性存储器的存储器阵列布局的占地 (即, 面积损失)。

[0032] 图 4C 图解以顺序方式编程对应一对三态 EEPROM 单元的操作, 其中在对中的下单元之前编程对中的上单元。该编程顺序可以相反。为了在这里进行说明, 上单元可以是与图 4B 中的字线 $WLU<0>$ 和位线 $BL<0>$ 相关的 EEPROM 单元, 并且下单元可以是与图 4B 中的字线 $WLL<0>$ 和位线 $BL<0>$ 相关的 EEPROM 单元。如图 4C 所示, 将“物理”数据的两位编程为 1/1 不引起对中的上和下单元的阈值电压的任何变化。因此, 对中的上和下单元的阈值电压保持在它们的原始“擦除”电平 (即, $V_{th} < VR_1$, 其中 VR_1 是第一参考电压)。将“物理”数据的两位编程为 1/0 不引起上单元的阈值电压的任何变化, 但是使下单元的阈值电压增加到 VR_1 和 VR_2 之间的电平。同样地, 将“物理”数据的两位编程为 0/1 使上单元的阈值电压增加到 VR_1 和 VR_2 之间的电平, 但是不引起下单元的阈值电压的任何变化。最后, 如图所示, 将“物理”数据的两位编程为 0/0 使上和下单元的阈值电压增加到 VR_1 和 VR_2 之间的电平。上单元的编程和读取操作独立于下单元的编程和读取操作, 反之亦然。

[0033] 图 4D 图解在根据图 4C 使用 2 位“物理”数据编程对应一对三态 EEPROM 单元之后, 使用第三位“虚拟”数据编程该对的操作。这些编程操作包括情况 (a)-(h)。在情况 (a) 中, “虚拟”编程操作不要求单元对的阈值电压发生任何变化来获得 3 位数据 (1/1/1)。在作为特定情况 (S) 的情况 (b) 中, “虚拟”编程操作要求对中的上和下单元的阈值电压都增加到高于 VR_2 (即, $V_{th} > VR_2$, 其中 VR_2 是第二参考电压) 来获得 3 位数据 (1/1/0)。在情况 (c) 中, “虚拟”编程操作不要求单元对的阈值电压的任何额外的变化来获得 3 位数据 (1/0/1)。在情况 (d) 中, “虚拟”编程操作要求对中下单元的阈值电压增加到高于 VR_2 来获得 3 位数据 (1/0/0)。在情况 (e) 中, “虚拟”编程操作不要求单元对的阈值电压的任何额外的变化来获得 3 位数据 (0/1/1)。在情况 (f) 中, “虚拟”编程操作要求对中上单元的阈值电压增加到高于 VR_2 来获得 3 位数据 (0/1/0)。在情况 (g) 中, “虚拟”编程操作不要求单元对的

阈值电压的任何额外的变化来获得 3 位数据 (0/0/1)。最后,在情况 (h) 中,虚拟”编程操作要求对中上单元的阈值电压增加到高于 VR2 来获得 3 位数据 (0/0/0)。

[0034] 特别地,每个虚拟页编程操作包括从具有上和下块的多页存储器阵列中的对应上和下物理页中的多个读取操作。如方框 102 所示,使用普通 SLC 读取操作可以读取存储器阵列的上页中的 EEPROM 单元。该 SLC 读取操作包括将在存储器阵列中的上块中的所选择的字线设置为第一参考电压 VR1。由附图字母 A1 标识该上页读取数据。然后,在方框 104,使用普通 SLC 读取操作可以读取数据的对应下页。该 SLC 读取操作包括将在存储器阵列中的下块中的所选择的字线设置为第一参考电压 VR1。由附图字母 A2 标识该下页读取数据。

[0035] 然后将虚拟数据页(这里称为第三页数据 A3)编程进存储器阵列的“虚拟”页,这是通过使用该第三页数据 A3 编码上页“物理”数据 A1 和下页“物理”数据 A2 来进行的。数据的虚拟页编程到存储器阵列的“虚拟”页。这些编码操作导致“编码的”上单元数据 A1* 和“编码的”下单元数据 A2* 的产生。如图 5B 所示,这些编码操作是非破坏性的,这表示可以从 A1* 直接解码 A1,并且可以从 A2* 直接解码 A2。通过参照图 4D 和 5A 更加完全地图解这些编码操作,例如在其中第一页数据 A1<7:0> 等于 <10110001>,第二页数据 A2<7:0> 等于 <01110110>,并且第三页数据 A3<7:0> 等于 <10001010> 的情况下:

[0036] $A1<7:0> = <10110001>$

[0037] $A2<7:0> = <01110110>$;和

[0038] $A3<7:0> = <10001010>$

[0039] □ (编码)

[0040] $A1^*<7:0> = <10^PSS00^P01>$;和

[0041] $A2^*<7:0> = <01SS0110^P>$ 。

[0042] 在该实例中,在 A1* <7:0> 和 A2* <7:0> 中的上标“P”指示进一步编程来将阈值电压升高到高于 VR2,并且“S”指示图 4D 所示的特定情况 (b),其中对中的下和上单元进一步编程到具有高于 VR2 的阈值电压。因此,其中上述事例说明在 EEPROM 器件 40b 的第六列 (6) 中的一对 EEPROM 单元被编程来支持 3 位数据 (0/1/0) (即, A1<6> = 0, A2<6> = 1 和 A3<6> = 0),这对应于图 4D 的情况 (f)。EEPROM 器件 40b 的零列 (0) 中的另一对 EEPROM 单元被编程来支持 3 位数据 (1/0/0) (即, A1<0> = 1, A2<0> = 0 和 A3<0> = 0),这对应于图 4D 的情况 (d)。

[0043] 再次参照图 4E 和图 5A,一旦响应于从上和下页数据 A1 和 A2 的读取操作来产生编码的数据 A1* 和 A2* (方框 102-104),就使用编码的数据 A1* 编程与 A1 相关的 EEPROM 单元的对应上页,然后以第二参考电压 VR2 验证 (方框 106 和 108)。然后,使用编码的数据 A2* 编程与 A2 相关的 EEPROM 单元的对应下页,然后以第二参考电压 VR2 验证 (方框 110 和 112)。在本发明的另一实施例中,该上和下编程顺序可以相反。

[0044] 图 5B 图解用于从 EEPROM 单元的所选择的页中读取“物理”数据的操作 200。该“物理”数据对应于图 5A 所示的三位数据的 BIT1 和 BIT2。这些读取操作 200 包括执行从非易失性存储器阵列的对应上页和下页的特定情况读取操作。如方框 202 和 204 所示,该特定情况读取操作包括分别以第二参考电压 VR2 设置所选择的字线来用于上和下块中的上和下页,同时以 VREAD 同步设置未选择的字线。如方框 206 所示,然后做出检查来确定连接到上和下块的任何对应位线是否放电。在方框 210,如果检查导致否定答案,这表示存在

特定情况（即，BIT1/BIT 2/BIT 3 = 1/1/0），然后用于对应的物理单元的读取数据等于逻辑 1 值。然而在方框 208，如果检查导致肯定的答案，则使用设置到第一参考电压 VR1 的所选择的字线对所选择的单元执行普通 SLC 读取。在方框 212，从页缓冲器输出所选择的物理页的读取数据。因此，在方框 202-204，对于以上实例，所选择的上页的特定情况读取（使用 $A1^{*7:0} = \langle 10^P SS00^P 01 \rangle$ 编程）将导致下列第一位线条件： $BL_1 \langle 7:0 \rangle = \langle 00110000 \rangle$ ，这指示 $A1 \langle 5:4 \rangle = \langle 11 \rangle$ 。相反在方框 208，所选择的上页的普通 SLC 读取（使用 $A1^{*7:0} = \langle 10110001 \rangle$ 编程）将导致下列第二位线条件： $BL_2 \langle 7:0 \rangle = \langle 01111110 \rangle$ 。在方框 212，这些第一和第二位线条件（ $BL_1 \langle 7:0 \rangle = \langle 00110000 \rangle$ 和 $BL_2 \langle 7:0 \rangle = \langle 01111110 \rangle$ ）在页缓冲器中组合，由此产生 $A1 \langle 7:0 \rangle$ 的值（ $\langle 10110001 \rangle$ ）。由于存在特定情况编程，通过反转与第二位线条件相关的每个位来产生 A1 值，经受由第一位线条件设置的约束（要求 $A1 \langle 5:4 \rangle = \langle 11 \rangle$ ）。

[0045] 图 5C 图解用于从 EEPROM 单元的一对页中读取“虚拟”数据的操作 300。在方框 302 和 304，上块的所选择的和未选择的字线分别设置到 VR2 和 VREAD，来检测在所选择的上页中的任何单元是否满足图 4D 标识的情况 (b)、情况 (f) 或情况 (h) 条件。因此，在方框 306，对于上述实例（使用 $A1^{*7:0} = \langle 10^P SS00^P 01 \rangle$ 编程），该读取操作将导致下面的第三位线条件 $BL_3 \langle 7:0 \rangle = \langle 01110100 \rangle$ ，它存储在页缓冲器的第一锁存器中。然后在方框 308 和 310，下块的所选择的和未选择的字线分别设置到 VR2 和 VREAD，来检测在所选择的下页中的任何单元是否满足图 4D 标识的情况 (b) 或情况 (d) 条件。因此在方框 312，对于上述实例（使用 $A2^{*7:0} = \langle 01SS0110^P \rangle$ 编程），该读取操作将导致下列第四位线条件： $BL_4 \langle 7:0 \rangle = \langle 00110001 \rangle$ ，它存储在页缓冲器的第二锁存器中。

[0046] 在方框 314，逐位地将第一和第二锁存中数据进行比较：

[0047] $BL_3 \langle 7:0 \rangle = \langle 01110100 \rangle$

[0048] $BL_4 \langle 7:0 \rangle = \langle 00110001 \rangle$

[0049] 由于在方框 316，仅仅 $BL_3 \langle 5:4 \rangle = BL_4 \langle 5:4 \rangle = \langle 11 \rangle$ ， $A3 \langle 5:4 \rangle = \langle 00 \rangle$ 。在方框 318，对剩余位执行 NOR 操作来获得 $A3 \langle 7:6:3:0 \rangle = \langle 10 ; 1010 \rangle$ 。然后在方框 320，从页缓冲器输出该数据。在本发明的其他实施例中，页缓冲器可以执行另外的操作来解决上述读取操作。

[0050] 图 4D 所示的上述编程操作说明本发明的实施例如何相对不受响应于阈值电压错误引起的多位差错的影响。例如，如果在读取时，情况 (a) 所示的编程状态被错误地反映为情况 (c) 或情况 (e) 状态，则正确的 3 位数据 1/1/1 在读取中将错误地反映为 1/0/1（表示在 A2 中的单个位错误），或 0/1/1（表示在 A1 中的单个位错误）。同样地，如果在读取时，情况 (g) 所示的编程状态被错误地反映为情况 (c)、情况 (e) 或情况 (h) 状态，则正确的 3 位数据 0/0/1 在读取中将错误地反映 1/0/1（表示在 A1 中的单个位错误），0/1/1（表示在 A2 中的单个位错误）或 0/0/0（表示在 A3 中的单个位错误）。在图 4D 中所示的其他编程状态中也是一样的。

[0051] 在附图和说明书中，公开了本发明典型的优选实施例，虽然采用了特定术语，但是它们仅用于通用和描述的目的，并且不意欲限制，在所附权利要求中阐明本发明的范围。

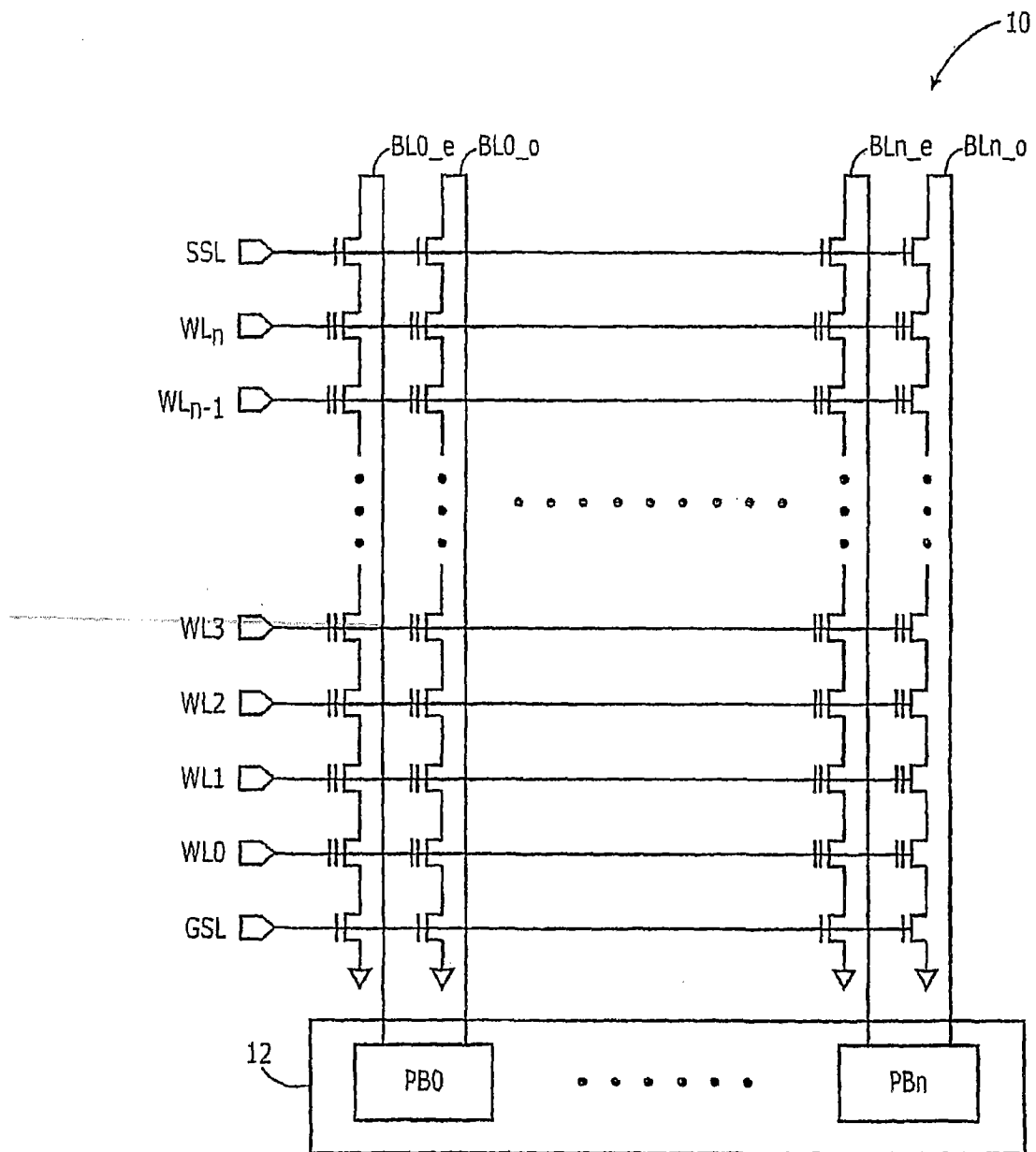


图 1A

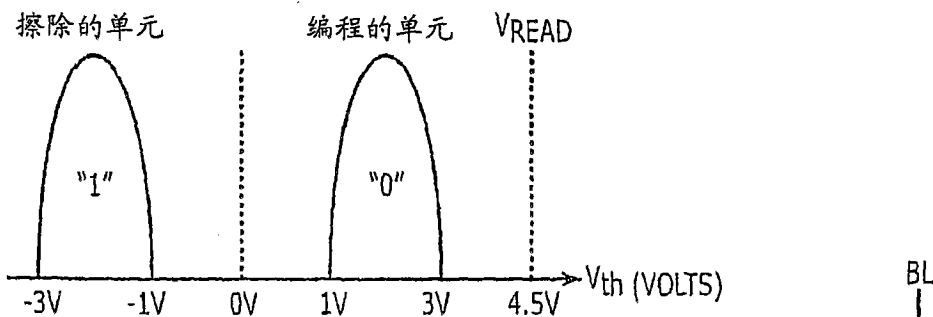


图 1B

图 1C

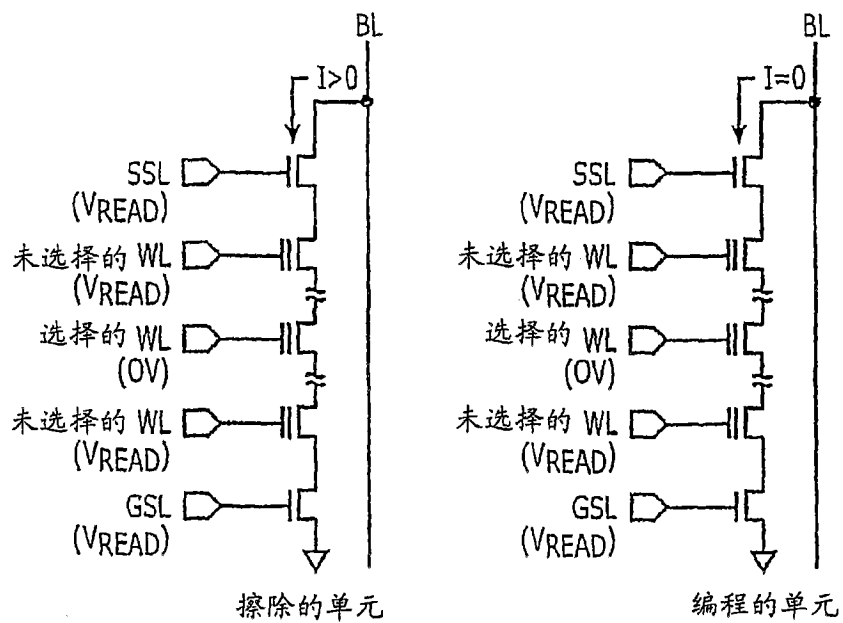
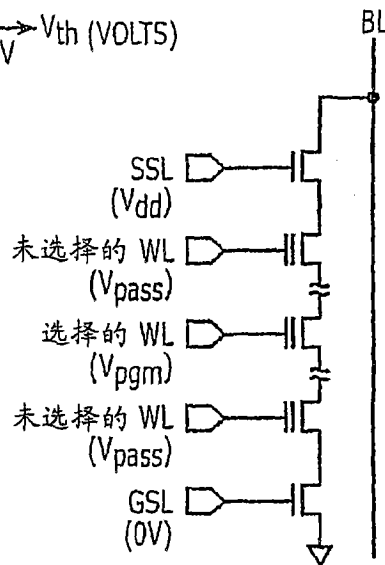


图 1D

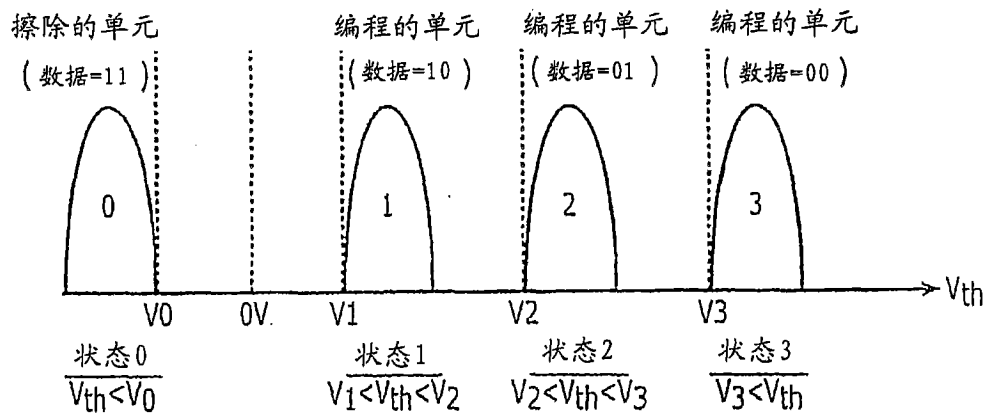


图 2

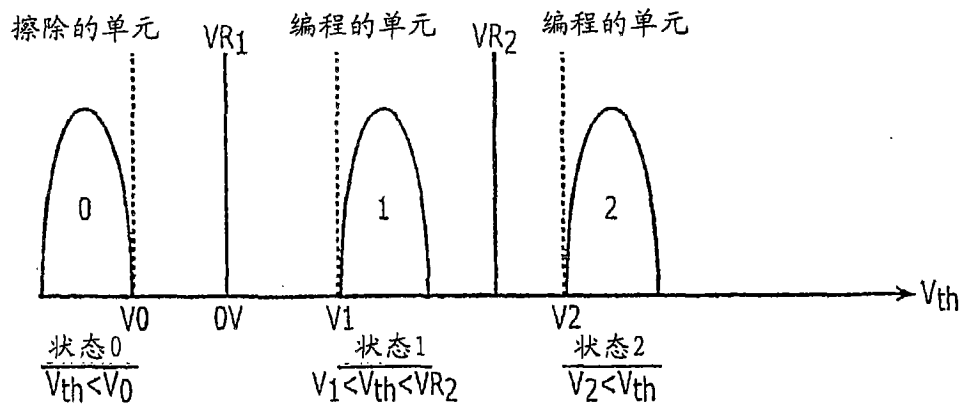


图 3A

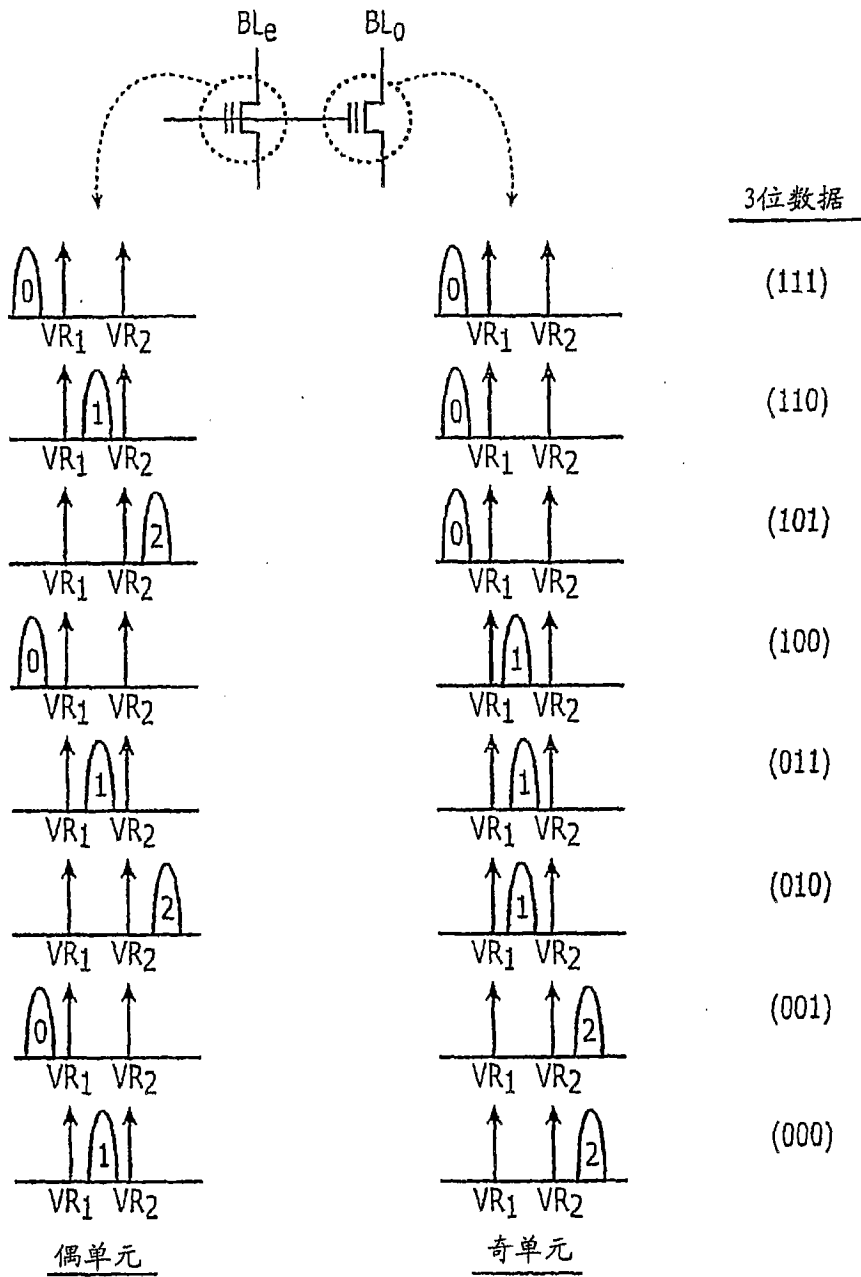


图 3B

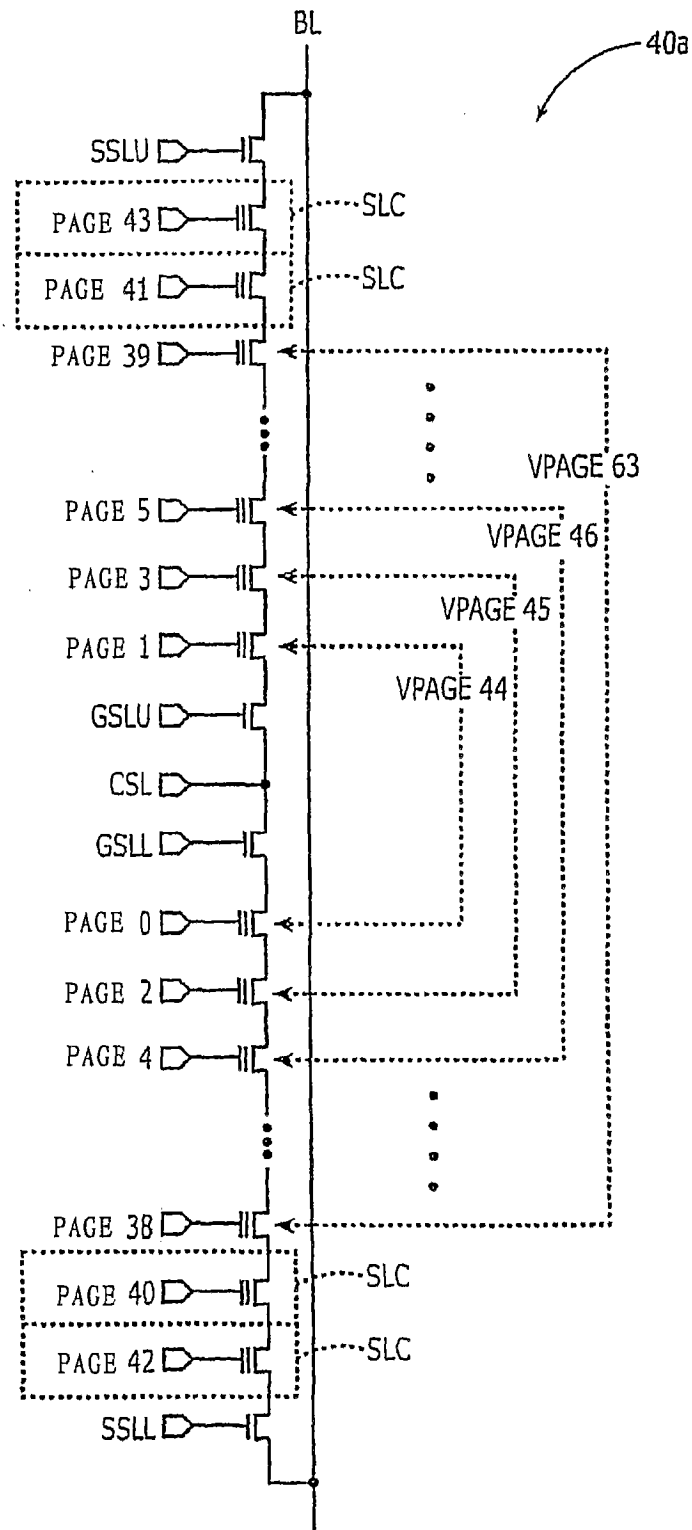


图 4A

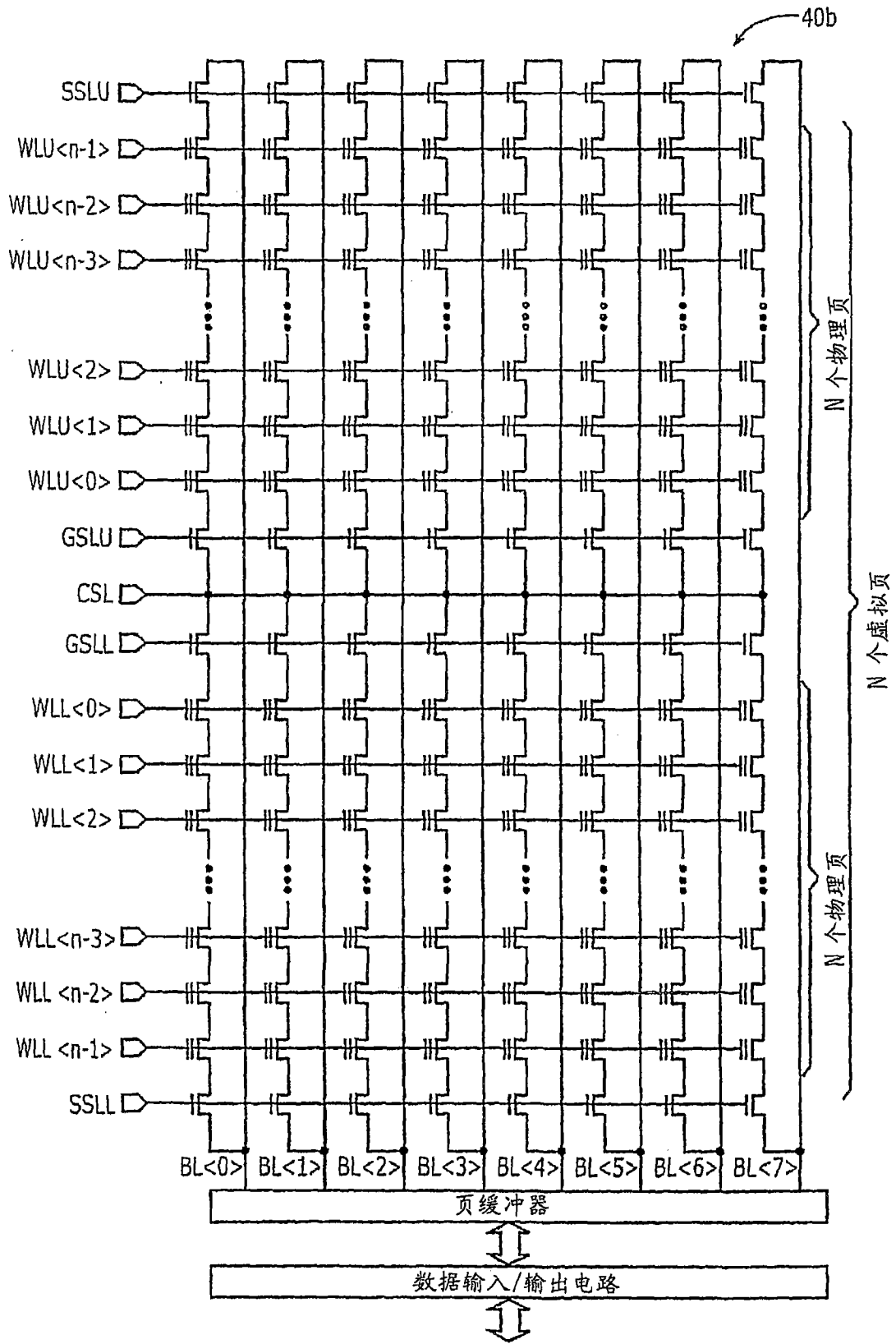
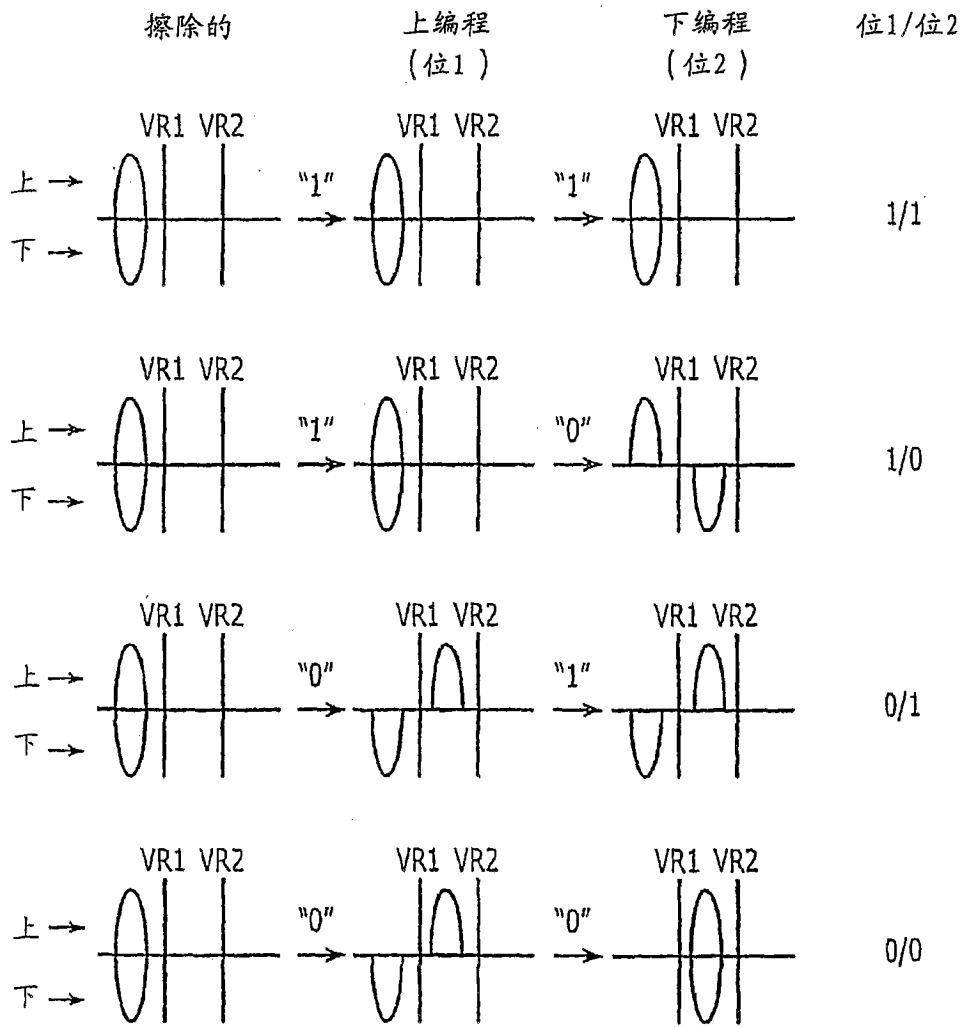
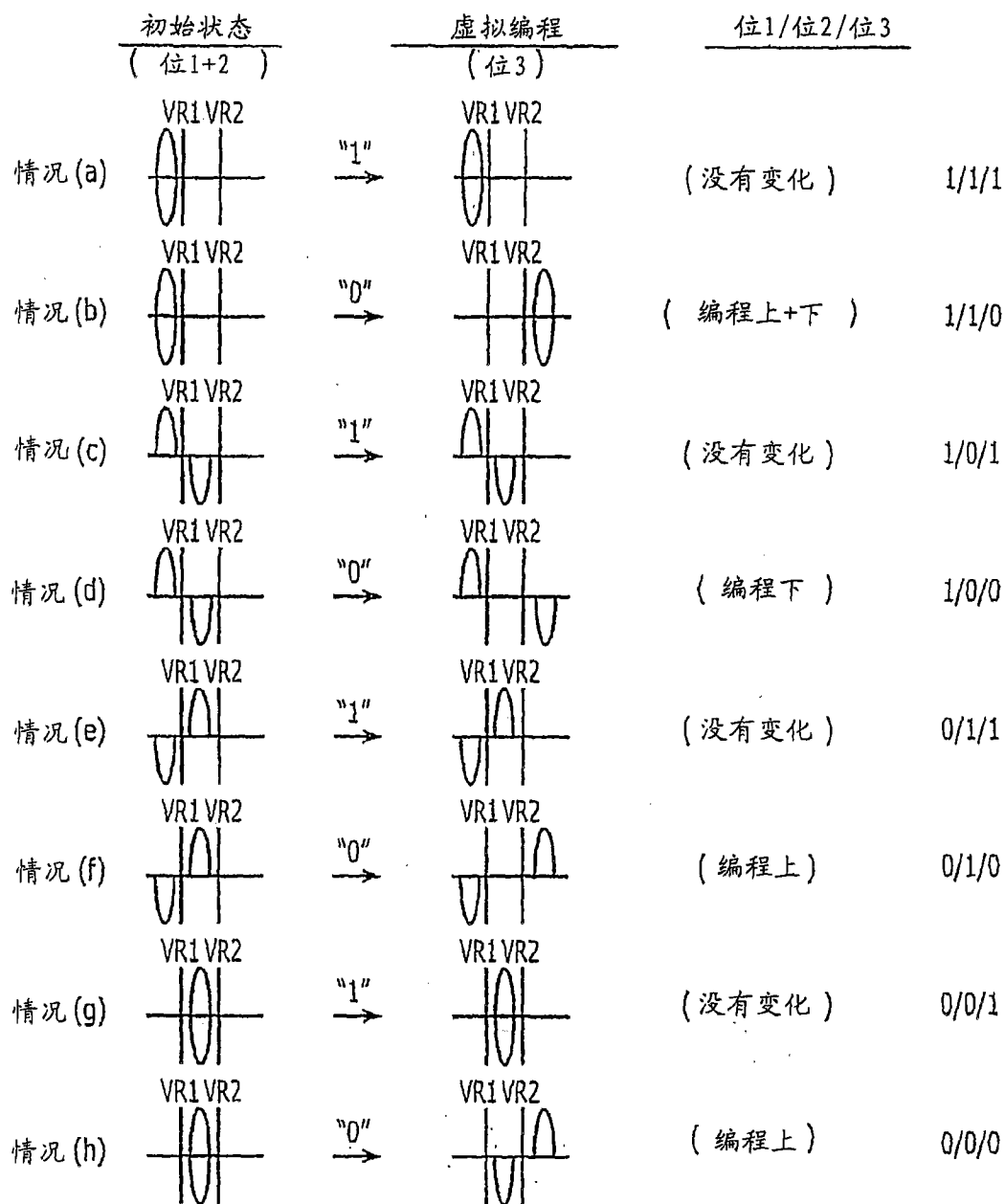


图 4B



物理单元编程

图 4C



虚拟单元编程

图 4D

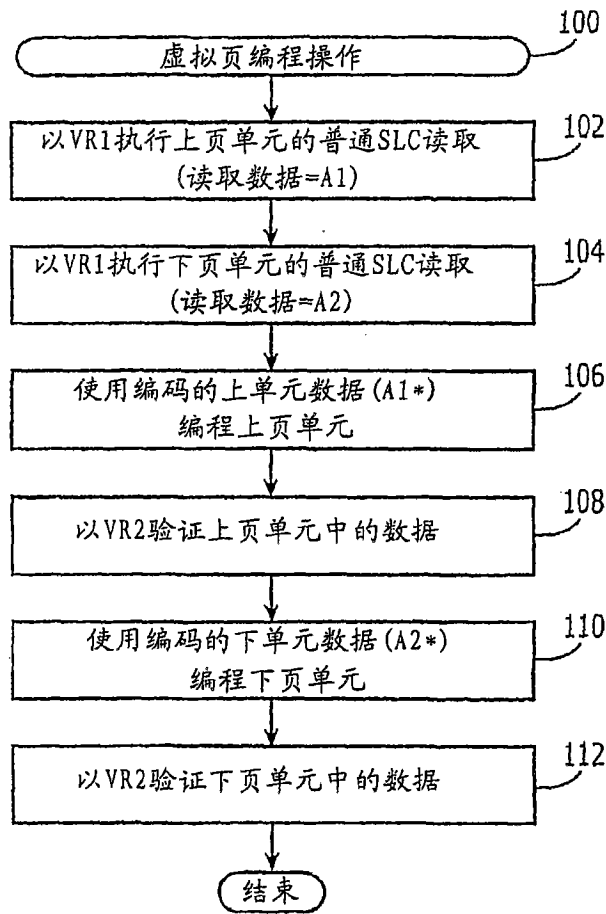


图 4E

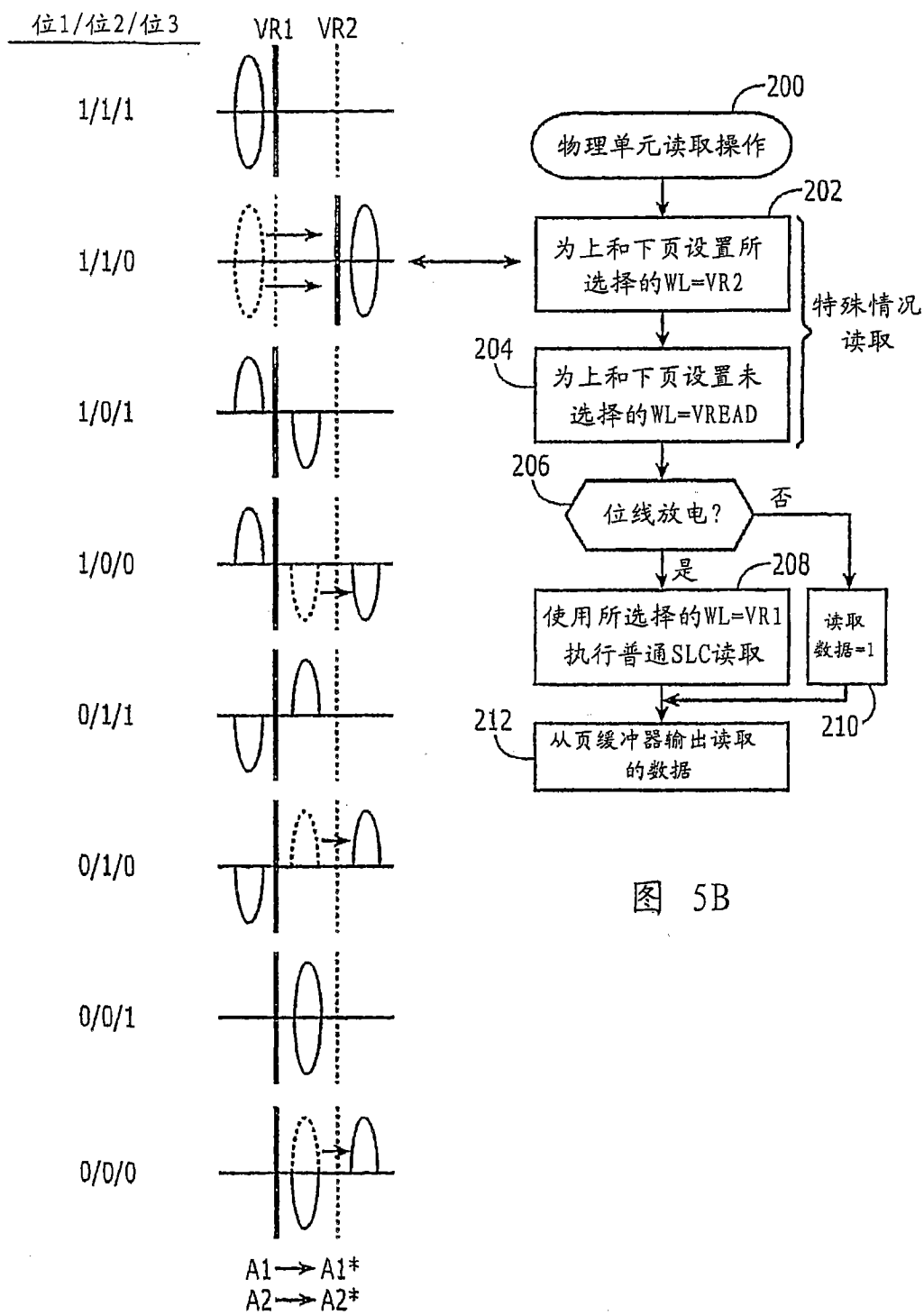


图 5B

图 5A

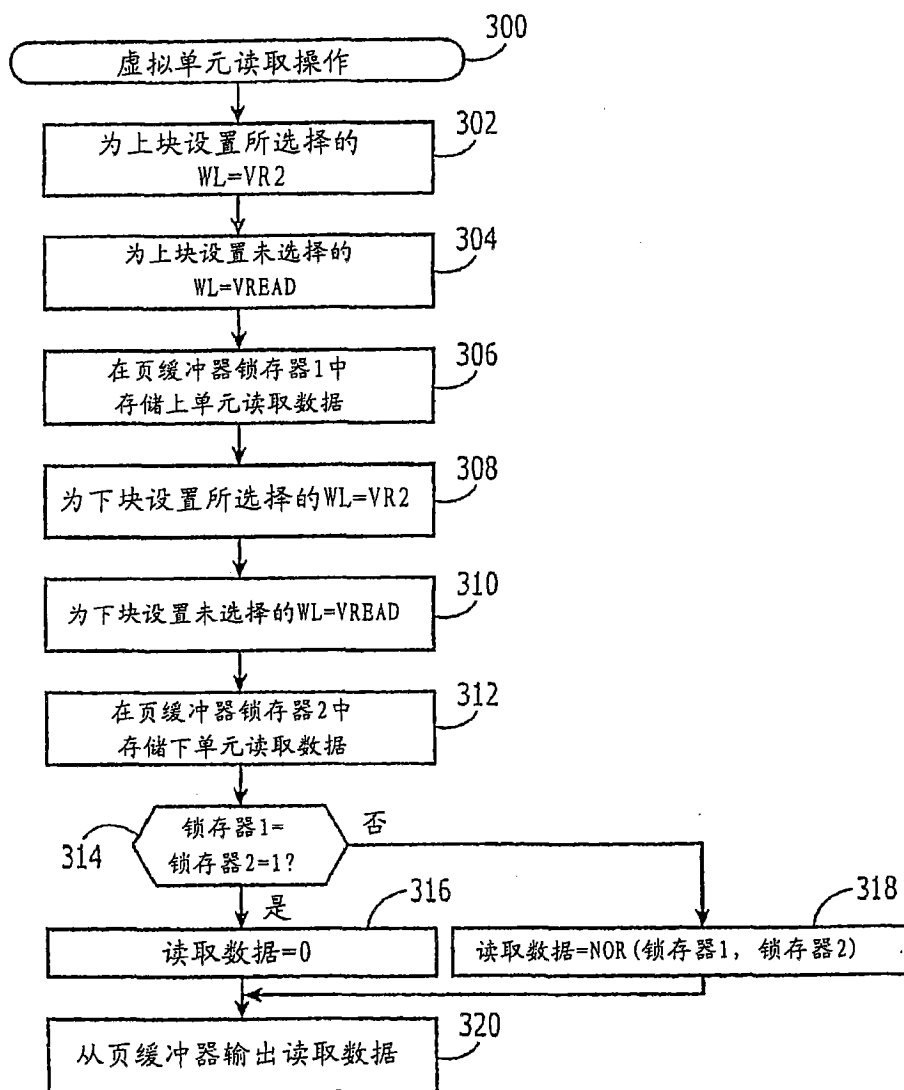


图 5C