

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-128498
(P2004-128498A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/822	HO 1 L 27/04	5 F O 3 3
HO 1 L 21/768	HO 1 L 21/90	5 F O 3 8
HO 1 L 27/04		

審査請求 未請求 請求項の数 14 O L (全 11 頁)

(21) 出願番号	特願2003-334485 (P2003-334485)	(71) 出願人	500587067 アギア システムズ インコーポレーテッド
(22) 出願日	平成15年9月26日 (2003. 9. 26)		
(31) 優先権主張番号	10/260693		アメリカ合衆国, 1 8 1 0 9 ペンシルヴァニア, アレンタウン, アメリカン パークウェイ エヌイー 1 1 1 0
(32) 優先日	平成14年9月30日 (2002. 9. 30)	(74) 代理人	100064447 弁理士 岡部 正夫
(33) 優先権主張国	米国 (US)	(74) 代理人	100085176 弁理士 加藤 伸晃
		(74) 代理人	100106703 弁理士 産形 和央
		(74) 代理人	100096943 弁理士 臼井 伸一

最終頁に続く

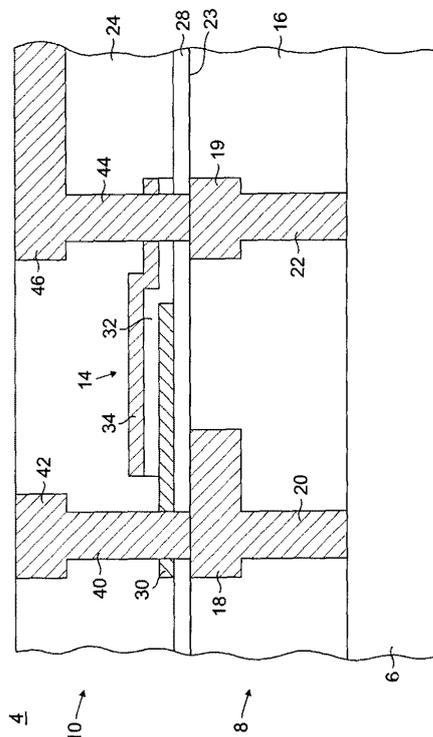
(54) 【発明の名称】 コンデンサ構造及びこれをジュアルダマスカス過程にて製造する方法

(57) 【要約】

【課題】 本発明は、コンデンサ構造及びこれをジュアルダマスカス過程を用いて製造する方法を提供する。

【解決手段】 本発明は、ジュアルダマスカス過程を用いてコンデンサを形成するための装置及び製造過程に係る。コンデンサのボトムプレートはジュアルダマスカス過程に従って形成される上側の第一の導電パイアに電気的に接続される。コンデンサのトッププレートは上側の第二の導電パイアに接続される。これらトップとボトムプレートの間には誘電材が配置される。

【選択図】 図 1



【特許請求の範囲】

【請求項1】

集積回路デバイスであって、

誘電基板と、

該誘電基板内の第一と第二の導電パイアと、

それぞれ、該第一と第二の導電パイアの上に配置され、これと電氣的に接触する第一と第二の導電ラナーと、

積層関係に配置されるコンデンサと、

該第一の導電パイアに電氣的に接続されたボタムプレートと、

誘電層と、

該第二の導電パイアに電氣的に接続されたトッププレートと、を備えることを特徴とする集積回路デバイス。

10

【請求項2】

集積回路デバイスであって、

誘電基板と、

該誘電基板内の第一と第二の導電パイアと、

それぞれ、該第一と第二の導電パイアの上に配置され、これと電氣的に接触する第一と第二の導電ラナーと、

それぞれ、該第一と第二の導電ラナーの上に配置され、これと電氣的に接続する該誘電基板内の第三と第四の導電パイアと、

積層関係に配置されるコンデンサと、

該第三の導電パイアに電氣的に接続されたボタムプレートと、

誘電層と、

該第四の導電パイアと電氣的に接続されたトッププレートと、を備えることを特徴とする集積回路デバイス。

20

【請求項3】

該ボタムプレートとトッププレートの材料が、チタン、窒化チタン及び窒化タンタルの間から選択される請求項2記載の集積回路デバイス。

【請求項4】

該誘電層の材料が、酸化シラン、五酸化タンタル、チタン酸ストロンチウム、チタン酸バリウム、チタン酸バリウムストロンチウム、酸化ハフニウム及び二酸化ケイ素の間から選択される請求項2記載の集積回路デバイス。

30

【請求項5】

該第一と第二の導電パイアの導電材及び該第一と第二の導電ラナーの導電材が、銅とアルミニウムの間から選択される請求項2記載の集積回路デバイス。

【請求項6】

該第一と第二の導電パイア及び該第一と第二の導電ラナーが、ジュアルダマスカス過程に従って形成される請求項2記載の集積回路デバイス。

【請求項7】

該第一と第二の導電パイア及び該第一と第二の導電ラナーが、単一ダマスカス過程に従って形成される請求項2記載の集積回路デバイス。

40

【請求項8】

集積回路デバイスであって、

半導体基板と、

積層重関係に配置されるコンデンサと、

ボタムプレートと、

誘電層と、

トッププレートであって、このプレートのエッジが該誘電層の対応するエッジと整合され、該ボタムプレートのエッジがこのプレートと該誘電層の整合されたエッジを超えて延びるトッププレートと、

50

該ボタムプレートの上に配置され、これと電氣的に接続する第一の導電バイアと、
該トッププレートの上に配置され、これと電氣的に接続する第二の導電バイアと、を備
えることを特徴とする集積回路デバイス。

【請求項 9】

該ボタムプレートとトッププレートの材料が、チタン、窒化チタン及び窒化タンタルの間
から選択される請求項8記載の集積回路デバイス。

【請求項 10】

該誘電層の材料が、酸化シラン、五酸化タンタル、チタン酸ストロンチウム、チタン酸バ
リウム、チタン酸バリウムストロンチウム、酸化ハフニウム及び二酸化ケイ素の間から選
択される請求項8記載の集積回路デバイス。

10

【請求項 11】

集積回路デバイスを形成する方法であって、

半導体基板層を設けるステップと、

該半導体基板層のトップ面上にコンデンサのボタムプレートを形成するステップと、

該コンデンサのボタムプレート上にコンデンサの誘電層を形成するステップと、

該コンデンサの誘電層上にコンデンサのトッププレートを形成するステップと、

該半導体基板層上に第一の誘電基板層を形成するステップと、

該第一の誘電基板層内に第一と第二の導電バイアを形成するステップと、

それぞれ、該第一と第二の導電バイアの上に配置され、これと電氣的に接触するように

、該第一と第二の誘電基板層の上側領域内に第一と第二の導電ランナーを形成するステップ
と、

20

該第一の誘電基板層上に第二の誘電基板層を形成するステップと、

該第二の誘電基板層内に第三と第四の導電バイアを形成するステップと、を含み、

該第三の導電バイアが該第一の導電ランナー及び該コンデンサのボタムプレート上に配置
され、これと電氣的に接続し、該第四の導電バイアが該第二の導電ランナー及び該コンデン
サのトッププレート上に配置され、これと電氣的に接続する、ことを特徴とする方法。

【請求項 12】

集積回路デバイスを形成する方法であって、

半導体基板層を設けるステップと、

該半導体基板層内に第一と第二の導電バイアを形成するステップと、

該半導体基板層の上側領域内に、それぞれ、該第一と第二の導電バイアの上に配置され
、これと電氣的に接触する第一と第二の導電ランナーを形成するステップと、

30

該半導体基板層のトップ面上にコンデンサのボタムプレートを形成するステップと、

該コンデンサのボタムプレート上にコンデンサの誘電層を形成するステップと、

該コンデンサの誘電層上にコンデンサのトッププレートを形成するステップと、

基板誘電層を形成するステップと、

該基板誘電層内に第三と第四の導電バイアを形成するステップと、を含み、この第三と
第四の導電バイアが、それぞれ、該第一と第二の導電ランナー及び該コンデンサのボタムプ
レートとトッププレート上に配置され、これと電氣的に接続する、ことを特徴とする方法

40

【請求項 13】

該コンデンサのボタムプレートを形成するステップが、更に、該半導体基板層のトップ面
上の導電材層を形成するステップと、該導電材層の所定の領域を除去するステップを含む
請求項12記載の方法。

【請求項 14】

該誘電層と該コンデンサのトッププレートを形成するステップが、更に、

該コンデンサのボタムプレートの上にコンデンサの誘電層を形成するステップと、

該コンデンサの誘電層の上にコンデンサのトッププレートを形成するステップと、

該コンデンサのトッププレートの所定の領域を除去するステップと、

該コンデンサの誘電層の所定の領域を該コンデンサのトッププレートを該除去されるべ

50

き領域を定義するマスクとして用いることで除去するステップと、を含む請求項12記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流を導通するように設計された様々な導電タイプの接合部を含む集積回路半導体デバイス、及びこのようなデバイスを製造する方法に係る。より詳細には、本発明は、デュアルダマスカス相互接続系 (dual damascene interconnect system) を採用する集積回路半導体デバイスに用いるコンデンサ構造及びこのようなコンデンサを製造するための方法 (process) に係る。

10

【背景技術】

【0002】

集積回路半導体デバイスにおいては、コンデンサは、接合コンデンサ或いは薄膜コンデンサとして形成される。周知のように、半導体接合間に逆バイアス電圧を加えると、可動キャリアがこの接合部から離れる方向に移動し、このため空乏領域が形成される。この空乏領域は、平行板コンデンサ (parallel-plate capacitor) の誘電体として機能し、この空乏幅 (depletion width) はこれらプレート間の距離を表す。こうして接合容量は空乏幅の関数となり、一方、空乏幅は加えられる逆バイアス電圧と接合近傍の不純物濃度の関数となる。

【0003】

薄膜コンデンサも、これは従来の離散がた平行板コンデンサの直接の小型版 (direct miniaturization) であるが、半導体回路内に製造される。離散型コンデンサと同様に、薄膜コンデンサは、誘電体によって分離された2つの導電層を備える。一つのタイプの薄膜コンデンサは、金属酸化物半導体 (metal-oxide-semiconductor) コンデンサとして形成され、高濃度にドーピングされたボタムプレートと、二酸化ケイ素の誘電層と、金属のトッププレートを有する。誘電層は、他の材料、例えば、五酸化タンタル、チタン酸バリウム、チタン酸ストロンチウム、チタン酸バリウムストロンチウム、窒化ケイ素或いは二酸化ケイ素から形成することもできる。ボタムプレートは、典型的には、高濃度にドーピングされた多結晶シリコン (ポリシリコン) から形成される。トッププレートは、窒化チタン、チタン、タングステン或いは白金を含む、様々な金属から形成される。別のやり方として、薄膜コンデンサは、トッププレートとボタムプレートを形成する2つの金属層とこれを分離する誘電層から形成し、これら層を更に所望のサイズと容量値を達成するためにパターニング及びエッチングすることもできる。

20

30

【0004】

従来の方法においては、半導体基板内に形成されるデバイスの能動エリア間の相互接続は、基板の複数のレベル内に形成され、導電垂直ビア或いはブラブにて相互接続された導電トレース或いはラインを含む導電金属層 (conductive metal layers) によって達成される。第一のレベルのビア (vias) は、デバイスの能動エリアへの電気接続を与える。より高いレベルの所のビアは、隣接するレベルの導電トレースを相互接続する。これら電極配線層 (metallization layers) を形成するためには、導電トレースを形成するための導体の堆積、パターン化、マスクング及びエッチングステップ、及び導体プラグを形成するためのパターン化及び堆積ステップが要求される。

40

【0005】

デバイスの能動エリア (例えば、MOSFETのゲート、ソース或いはドレインの電極) に接続される金属ビア (metal vias) は、典型的には、メタル1電極配線層 (metal-1 metallization layer) 或いは第一のレベルの電極配線 (metallization) と呼ばれる。上側レベル内の金属ビアは、垂直方向に隣接する導電トレース (conductive traces) を相互接続し、これら導電トレースは、メタル-2層 (metal-2 layer) と呼ばれる。簡単のために、金属から半導体への (metal-to-semiconductor) 電気接続と金属から金属への (metal-to-metal) 電気接続は、ここでは両方とも、金属相互接続 (metal interconnections

50

或いはmetal interconnects)と呼ばれる。

【0006】

最近、銅の合金を、半導体デバイス内の電極配線のために用いることに大きな関心が寄せられている。銅はアルミニウムと較べてより有利な電気移動抵抗 (electromigration resistance) と、これも有利な約1.7micro-ohm-cmなる比較的低い抵抗率を有する。ただし、不幸なことに、銅材は、エッチングが困難であり、このために、この過程を簡素化するため、及び金属エッチングステップを排除するために、デュアルダマスカス過程 (dual damascene process) が開発されている。

【発明の開示】

【発明が解決しようとする課題】

10

【0007】

デュアルダマスカス構造は、下側相互接続レベル内の下側デバイスの能動エリア或いは下側導電ラナーと接触する下側導電ビアを有し、この導電ビアは、従来の相互接続系のプラグ構造 (plug structure) と同一の機能を果たす。このデュアルダマスカス構造は、更に、導電ビアを相互接続するための上側インレイド導電ラナー (inlaid conductive runner) を含む。これら導電ビア及び相互接続導電ラナーを形成するためには、最初に、デバイスの誘電層内にビア及び相互接続水平トレッチが形成され、次に、導電材、例えば、銅が、これらビアとトレッチの両方に同時に堆積される。この過程は従来の相互接続系によるが、この過程を用いること、プラグ構造と上側導電層を、別個の処理ステップにて形成する必要性を排除することができる。

20

【0008】

コンデンサは、共有譲渡された特許出願 (commonly-assigned patent application) 第6,320,244号に説明されるデュアルダマスカス構造においては井戸内に形成される。

【0009】

コンデンサは井戸内に形成される3つの上側層を含み、これには、井戸の内側に張られる第一の電極、この上に形成されるコンデンサの誘電層、及びこの誘電層の上に形成される第二の電極が含まれる。

【課題を解決するための手段】

【0010】

本発明によると、デュアルダマスカス相互接続系用のコンデンサは、ボタムプレート、コンデンサの誘電層、及びこの誘電基板内に形成されるトッププレートを含む。誘電基板は、デュアルダマスカス構造の上側面上のバリア層の上に形成され、デュアルダマスカス構造は導電ビアと上側導電ラナーを含む。これら導電ビアは、各々、コンデンサのトッププレート或いはボタムプレートの一つと電氣的に接続される。

30

【0011】

以下の好ましい実施例の説明を、図面を参照しながら読むことで、本発明と、本発明の更なる長所及び用途がより一層理解できるものである。慣習に従って、説明される様々な要素は、実寸では描かれておらず、本発明と関連する特定の要素が強調して描かれている。

図面及びテキストを通じて同一の参照符号は類似の要素を示す。

40

【発明の効果】

【0012】

長所として、本発明の教示に従って形成されるコンデンサは、上述のように、誘電層32がトッププレート34と自己整合するようにパターン化されるために、必要とされるマスク及びマスキングステップの回数が少なくて済む。このためデバイスの製造コストと製造時間を低減することができる。薄膜コンデンサを形成するための従来の技術による過程で要求されるエッチング停止層は不要となる。更に、バリア層28の上にボタムプレート30を形成することで、ボタムプレート30内のキーホール効果 (keyholing effects) が低減される。当分野においては周知のように、タングステンプラグの場合は、不規則な或いは平坦でない上側表面を有し、この内部に間隙或いは「キーホール (keyholes) が形成されるこ

50

とがある。コンデンサプレートがこのようなキーホールを有する表面上に形成されると、これらキーホール内に材料が充填され、不規則な形状が形成される。このため、容量の値が所望の容量からずれることがある。本発明の教示によると、これらキーホール効果が、コンデンサプレートは、タングステンやキーホール効果を示す他の材料上には形成されないため排除される。

【発明を実施するための最良の形態】

【0013】

以下に、本発明を、本発明の好ましい実施例が示される図面を参照しながら説明する。本発明は、ただし、多くの異なる形式にて実現することができ、従ってここに示される実施例に限定されるものではないことに注意する。

10

【0014】

本発明は、コンデンサ構造と、金属酸化膜金属型コンデンサ (metal-oxide-metal capacitor) を、デュアルダマスカス電極配線過程 (dual damascene metallization process) を用いて製造するための関連する製造技術に係る。もう一つの実施例においては、コンデンサプレートを形成するために、金属を用いる代わりにドーピングされたポリシリコンが用いられる。

【0015】

図1に示すように、集積回路デバイス4は半導体基板6を含み、ここに様々なデバイス、例えば、トランジスタ (図示せず) が、周知の半導体処理過程を用いて形成される。第一のレベルのデュアルダマスカス相互接続構造 (dual damascene interconnect structure) 8は、これらデバイスを相互接続し、更に、第二のレベルのデュアルダマスカス相互接続構造10とコンデンサ14への電気接続を提供するが、これらは両方とも、本発明の技術に従って、第一のレベルのデュアルダマスカス相互接続構造8の上側にこれを覆うように形成される。

20

【0016】

第一のレベルのデュアルダマスカス相互接続構造8は、誘電スタック16内に周知の技法に従って形成され、導電ランナー18、19を含み、これら導電ランナー18、19は、ページは (page) 内へと延び、それぞれ、下側の導電ビア20、22と垂直に形成される。周知のダマスカス技法に従ってこれら導電ランナー18、19及び導電ビア20、22と隣接して形成される幾つかのバリア層及びシード層は示されていない。従来から、これら導電ランナー18、19及び導電ビア20、22は銅にて形成される。誘電スタック16には、好ましくは、導電ビア20、22と導電ランナー18、19との間の寄生容量を制限するために、(約4より低い) 比較的低い誘電定数 (dielectric constant) を有する材料から形成される。トップ面23上には銅拡散バリア層28が形成される。

30

【0017】

コンデンサ14は、銅拡散バリア層28に粘着する導電材から形成されるボタムプレート30を含む。ボタムプレート30を (マスキング及びエッチングステップを用いて) パターン化した後に、この上に誘電層32とコンデンサの導電性トッププレート34が形成される。この誘電層32及びトッププレート34は、以下に説明するようにエッチング及びパターン化される。

40

【0018】

誘電スタック24内に形成されるデュアルダマスカス相互接続構造10は導電ビア40を含み、導電ビア40は、導電ランナー18と導電ランナー42とを相互接続し、更に、コンデンサ14のボタムプレート30に電氣的に接続される。デュアルダマスカス相互接続構造10は、更に、導電ビア44を含むが、これは導電ランナー19と導電ランナー46を相互接続し、更にトッププレート34に電氣的に接続される。

【0019】

図1に示される誘電スタック16は、デュアルダマスカス相互接続構造8を含むが、一例としてコンデンサ14に対する下側層を構成する。当業者には理解できるように、集積回路デバイス4全体に渡って複数のレベルの所に複数の相互接続層が存在し、こうして、コンデ

50

ンサ14は、これら相互接続レベルのどこに形成することもできる。更に、もう一つの実施例においては、コンデンサ14は、単一ダマスカス過程を用いて形成される。

【0020】

次に、図2から6との関連で、本発明の教示に従って集積回路デバイス4を形成するためのジュアルダマスカス過程と、コンデンサ14を形成するための過程について説明する。図2に示すように、誘電スタック16が設けられ、この中に、導電ラナー18、19、これと関連する導電パイア20、22、及びバリア層28を含む、ジュアルダマスカス相互接続構造8が形成される。ジュアルダマスカス相互接続構造8を形成するためには、誘電スタック16内に、従来のエッチング過程を用いて、垂直開口と水平トレンチが形成される。これら開口は、半導体基板6の上側表面へと延びるデバイス領域（図示せず）と接触するように下側へと延びる。図2には示されないが、銅を電氣的に堆積する前に、これらトレンチと垂直開口の側壁とボトム面には、バリア層とシード層が形成される。バリア層は、トレンチ内にスパッタリングされるが、このための候補材料としては、タンタル、窒化タンタル、チタン、及び窒化チタンが含まれる。シード層は、通常は、薄い銅の層から成り、好ましくは、スパッタリングによって堆積される。シード層は、その後、従来のジュアルダマスカス処理に従って、これらトレンチ及びパイア内に銅を電気メッキするための開始層として機能する。代替として、これらバリア層とシード層は、従来の化学蒸着或いは当分野において周知の他の方法を用いて堆積することもできる。

10

【0021】

銅の代りに、周知のリフロー技術を用いて、導体パイアを形成するために、垂直開口内にアルミニウムを形成することもできる。この実施例においては、バリア層28が、上側の垂直パイアを形成する際に、下側のアルミニウム導電プラグがエッチングされるのを防止するためのエッチング停止層（etch stop layer）として機能する。この実施例においては、この中にアルミニウムを形成する前に、さらに、例えば、チタン/窒化チタン/チタンスタックから成るウエッチング層/バリア層をこれら垂直開口の側壁に形成することが要求される。トレンチ及びパイア内へのアルミニウムの形成については、例えば、共同所有される（commonly-owned）合衆国特許5,523,259及び5,641,994を参照されたい。

20

【0022】

導電ラナー18、19を形成した後に、誘電スタック16に化学的/機械的ポリッシングステップを施すことで、トップ面23が平坦化され、銅の過充填が除去される。次に、トップ面23上に、導体ラナー18、19からの銅が任意の隣接する誘電材内に拡散するのを防止するために、通常は、窒化ケイ素、炭化ケイ素、シリコンオキシカーバイド（silicon-oxy-carbide）或いはシリコンオキシナイトライド（silicon-oxy-nitride）から成る銅拡散バリア層28が形成される。

30

【0023】

本発明によると、次に、このバリア層28上にコンデンサのボトムプレート30が形成され、必要に応じて、所望の形状とサイズを得るために、第一のマスクングステップを用いてパターン化及びエッチングされる。このボトムプレート30は、例えば、チタン、窒化チタン、或いは窒化タンタルから、物理的或いは化学的蒸着過程、或いは当分野において周知の他の過程を用いて形成される。

40

【0024】

次に、図3に示すように、ボトムプレート30とバリア層28の露出された領域上にコンデンサ誘電層32が堆積される。コンデンサの誘電層32は、当業者に周知の、とりわけ、以下の材料、つまり：酸化シラン、五酸化タンタル、チタン酸バリウム、チタン酸ストロンチウム、チタン酸バリウムストロンチウム（barium strontium titanate）、酸化ハフニウム、二酸化ケイ素、の任意の一つから形成される。この誘電層32は、化学蒸着、或いは当業者に周知の類似の方法を用いて堆積される。次に、この誘電層32上にコンデンサのトッププレート34が形成される。このコンデンサのトッププレート34は、コンデンサのボトムプレート30と同一の材料から形成される。

【0025】

50

次に、図4に示すように、トッププレート34が、第二のマスキングステップを用いてパターンニング及びエッチングされ、所定の形状と寸法にされる。次に、図5に示すように、コンデンサの誘電層32がトッププレート34と整合するようにエッチバックされる。このステップには、ブランケットマスキング (blanket masking) と呼ばれるが、追加のマスクを形成することは必要とされない。これは、トッププレート34が誘電層32の最終形状を定義 (区画) するマスクとして機能するためである。こうして、本発明においては2つのマスキングステップのみが必要とされ、従来のコンデンサ製造過程よりステップ数を低減することができる。

【0026】

この集積回路デバイス4を製造する過程によると、次に、図6に示すように、誘電スタック16とコンデンサ14の上に、ジュアルダマスкас相互接続構造10を含む誘電スタック24が従来のやり方にて形成される。導電ビア40、44とこの上に形成される導電ラナー42、46を含む、ジュアルダマスкас相互接続構造10が、上述のジュアルダマスкас相互接続構造8を形成する方法と類似のやり方にて形成される。導電ビア40に対する垂直ビアは、コンデンサのボタムプレート30とバリア層28を下方に貫通して導電ラナー18へと延びる。こうして、このビアが銅にて充填されると、導電ビア40が、導電ラナー42、ボタムプレート30及び導電ラナー18に電氣的に接続される。同様に、導電ビア44に対する垂直ビアも、トッププレート34、コンデンサの誘電層32及びバリア層28を下方に貫通して導電ラナー19へと延びる。こうして、このビアが銅にて充填されると、導電ビア44が導電ラナー46、トッププレート34及び導電ラナー19に電氣的に接続される。こうして、コンデンサ14は、説明のように、様々なジュアルダマスкас相互接続構造を通じて集積回路4内へと電氣的に接続される。

【0027】

当業者においては理解できるように、本発明の教示に従って形成されるコンデンサは、集積回路デバイス4の回路の必要性に応じて様々なサイトに製造することができる。更に、このコンデンサは、必要に応じて、任意の相互接続層内に形成することができる。コンデンサは、容量は誘電層の厚さと材料及びトップ及びボタムプレートの面積の関数であるため、必要に応じて、任意のサイズにすることができる。

【0028】

ジュアルダマスкас接続構造8は平坦な表面を提供し、本発明のコンデンサ14は、上述の従来の技術による共同所有される特許ではコンデンサが井戸内に形成されるが、これとは対照的にこの平坦な表面上に形成される。

【0029】

以上、コンデンサを集積回路デバイス内に形成するために有効なアーキテクチャと過程について説明した。上では本発明の特定の用途が説明されたが、ここに開示される原理は、単に、本発明を、様々なやり方で、様々な回路構造内で、実施するための基本を示すものであり、本発明の範囲内で、様々なバリエーションが可能であり、本発明はクレームによってのみ制限されるものである。

【図面の簡単な説明】

【0030】

- 【図1】本発明の教示に従って製造される集積回路デバイスの断面図である。
- 【図2】本発明の教示によるコンデンサの製造ステップを順番に示す図である。
- 【図3】本発明の教示によるコンデンサの製造ステップを順番に示す図である。
- 【図4】本発明の教示によるコンデンサの製造ステップを順番に示す図である。
- 【図5】本発明の教示によるコンデンサの製造ステップを順番に示す図である。
- 【図6】本発明の教示によるコンデンサの製造ステップを順番に示す図である。

【符号の説明】

【0031】

4 集積回路デバイス8 ジュアルダマスкас相互接続構造10 第二のレベルのジュアルダマスкас相互接続構造14 コンデンサ16 誘電スタック18、19 導電ラナー

10

20

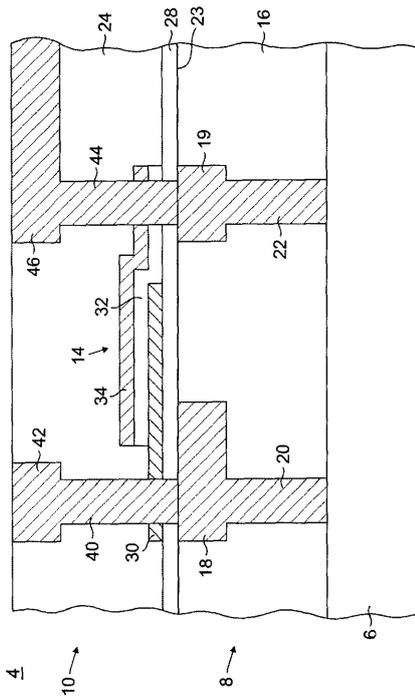
30

40

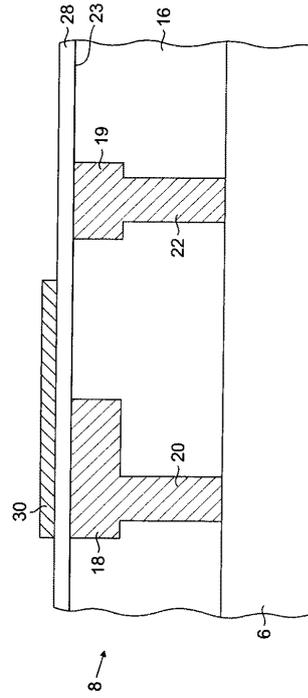
50

- 20、22 下側導電バイア
- 24 誘電スタック
- 28 銅拡散バリア層
- 30 ボタムプレート
- 32 コンデンサの誘電層
- 34 トッププレート

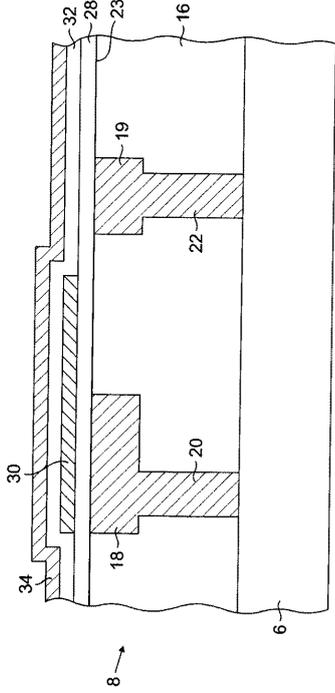
【図1】



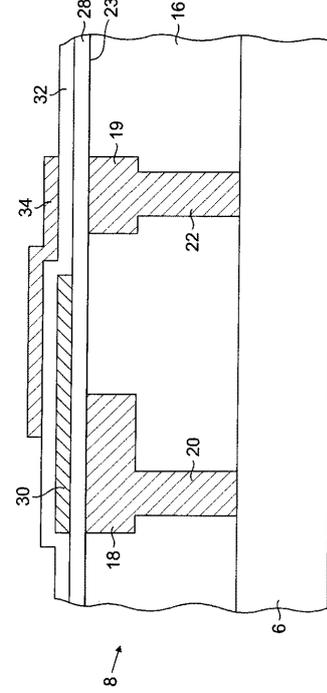
【図2】



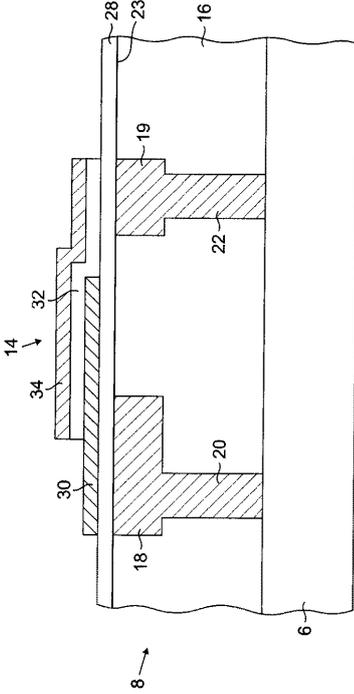
【図 3】



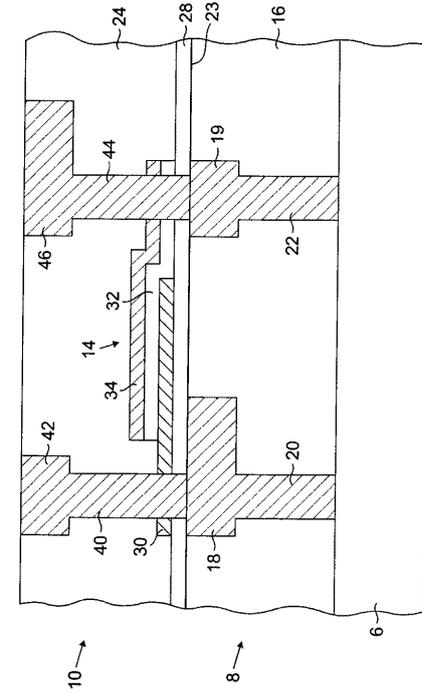
【図 4】



【図 5】



【図 6】



フロントページの続き

(74)代理人 100091889

弁理士 藤野 育男

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100102808

弁理士 高梨 憲通

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100107401

弁理士 高橋 誠一郎

(74)代理人 100106183

弁理士 吉澤 弘司

(72)発明者 サイレッシュ エム . マーチャント

アメリカ合衆国 3 2 8 3 5 フロリダ, オーランド, ヴァインランド オークス ブウルヴァー
ド 8 2 1 4

(72)発明者 イーフェン ダブリュ . ヤン

アメリカ合衆国 7 5 0 9 3 テキサス, プラノ, リッジハイヴン ドライヴ 5 7 4 0

Fターム(参考) 5F033 HH08 HH11 HH18 HH21 HH32 HH33 JJ01 JJ08 JJ11 JJ18

JJ21 JJ32 JJ33 KK08 KK11 KK18 KK21 KK32 KK33 MM02

MM13 NN07 NN16 PP06 PP15 PP27 PP33 QQ08 QQ09 QQ25

QQ27 QQ73 QQ75 RR01 RR06 RR08 VV10 XX00 XX24 XX28

XX33 XX34

5F038 AC05 AC17 EZ14 EZ15 EZ20