



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0093579
(43) 공개일자 2023년06월27일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/012 (2006.01)
H01G 4/30 (2006.01) H02G 13/00 (2023.01)
(52) CPC특허분류
H01G 4/1209 (2013.01)
H01G 4/012 (2013.01)
(21) 출원번호 10-2021-0182329
(22) 출원일자 2021년12월20일
심사청구일자 2022년12월06일

(71) 출원인
주식회사 아모텍
인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데 (남촌동)
(72) 발명자
임병국
인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데
최윤석
인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데
송재용
인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데
(74) 대리인
김철진

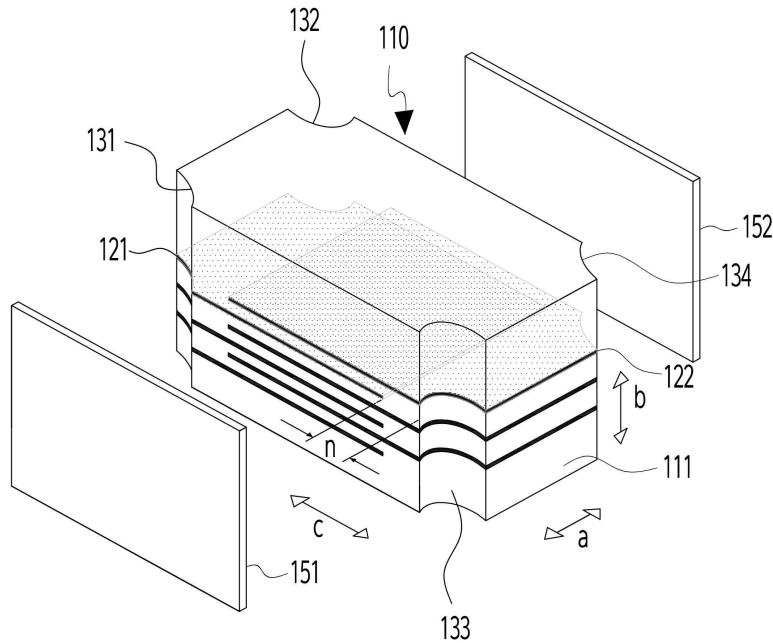
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 세라믹 커패시터 및 이의 제조방법

(57) 요약

본 발명은 세라믹 커패시터 및 이의 제조방법에 관한 것으로 복수의 유전체층(111)을 포함하며, 서로 마주보는 전 후면, 서로 마주보는 상 하면 및 서로 마주보는 양 단면을 구비하는 세라믹 바디(110)와, 세라믹 바디(110)의 전 후면과 상기 세라믹 바디(110)의 양 단면 중 일 단면이 각각 만나도록 형성된 제1 모서리 커팅면(131,132)과, (뒷면에 계속)

대표도 - 도1



상기 세라믹 바디(110)의 전 후면과 상기 세라믹 바디(110)의 양 단면 중 일 단면과 대향하는 타 단면이 각각 만나도록 형성된 제2 모서리 커팅면(133,134)과, 상기 세라믹 바디(110)의 내부에 배치되며, 상기 세라믹 바디(110)의 일 단면, 상기 제1 모서리 커팅면(131,132) 및 상기 전 후면에 상호 연결되도록 노출되는 적어도 하나 이상의 제1 내부전극(121)과, 상기 세라믹 바디(110)의 내부에 배치되며, 상기 세라믹 바디(110)의 타 단면, 상기 제2 모서리 커팅면(133,134) 및 상기 전 후면에 상호 연결되도록 노출되고 상기 제1 내부전극(121)과 오버랩 되는 부분을 포함하는 적어도 하나 이상의 제2 내부전극(122)을 포함한다. 본 발명은 모서리 커팅면을 포함하여 외부전극과 내부전극의 접촉시 최대한의 접촉면적을 확보하므로 외부전극과 내부전극의 접속 강도를 높이고 접촉 저항을 감소시킬 수 있는 이점이 있다.

(52) CPC특허분류

H01G 4/30 (2013.01)
H02G 13/00 (2023.02)
Y02E 60/13 (2020.08)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415175902
과제번호	20016519
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	소재부품패키지형 사업개발
연구과제명	UWB+5G용 초광대역 통신용 MLCC 개발
기여율	1/1
과제수행기관명	(주)아모텍
연구기간	2021.04.01 ~ 2024.12.31

명세서

청구범위

청구항 1

복수의 유전체층을 포함하며, 서로 마주보는 전 후면, 서로 마주보는 상 하면 및 서로 마주보는 양 단면을 구비하는 세라믹 바디;

상기 세라믹 바디의 양 단면 중 일 단면과 상기 세라믹 바디의 전 후면이 각각 만나도록 형성된 제1 모서리 커팅면;

상기 세라믹 바디의 양 단면 중 일 단면과 대향하는 타 단면과 상기 세라믹 바디의 전 후면이 각각 만나도록 형성된 제2 모서리 커팅면;

상기 세라믹 바디의 내부에 배치되며, 상기 세라믹 바디의 일 단면, 상기 제1 모서리 커팅면 및 상기 세라믹 바디의 전 후면에 상호 연결되도록 노출되는 적어도 하나 이상의 제1 내부전극; 및

상기 세라믹 바디의 내부에 배치되며, 상기 세라믹 바디의 타 단면, 상기 제2 모서리 커팅면 및 상기 세라믹 바디의 전 후면에 상호 연결되도록 노출되고 상기 제1 내부전극과 오버랩되는 부분을 포함하는 적어도 하나 이상의 제2 내부전극;

을 포함하는 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 제1 모서리 커팅면은 곡면으로 형성된 세라믹 커패시터.

청구항 3

제1항에 있어서,

상기 제1 모서리 커팅면은 외부에서 내부로 함몰된 형상인 세라믹 커패시터.

청구항 4

제1항에 있어서,

상기 세라믹 바디의 전 후면에 접합되며 상기 세라믹 바디의 전 후면으로 노출되는 상기 제1 내부전극과 상기 제2 내부전극을 덮는 사이드 커버부를 포함하는 세라믹 커패시터.

청구항 5

제4항에 있어서,

상기 사이드 커버부는 유전체로 이루어지는 세라믹 커패시터.

청구항 6

제4항에 있어서,

상기 세라믹 바디의 양 단면에 각각 배치되어 상기 제1 내부전극 및 상기 제2 내부전극에 각각 연결되는 제1 및 제2 외부전극을 포함하며,

상기 제1 외부전극은 상기 세라믹 바디의 일 단면과 상기 제1 모서리 커팅면을 덮는 세라믹 커패시터.

청구항 7

제6항에 있어서,

상기 제1 외부전극은 상기 사이드 커버부의 일부까지 덮는 세라믹 커패시터.

청구항 8

제1항에 있어서,

상기 제1 내부전극은 일면이 상기 세라믹 바디의 일 단면으로 노출되고 대향하는 타면이 상기 세라믹 바디의 내부에 배치되며,

상기 제1 내부전극의 타면은 상기 제2 모서리 커팅면과 일정거리 이격된 세라믹 커패시터.

청구항 9

제1항에 있어서,

상기 제1 내부전극은 유전체층에 배치되고,

상기 유전체층은 상기 제1 내부전극의 양 측면을 외부로 노출시키는 세라믹 커패시터.

청구항 10

제1 내부전극이 인쇄된 유전체층과 제2 내부전극이 인쇄된 유전체층을 포함하는 복수의 유전체층을 적층하여 세라믹 시트 적층체를 제조하는 단계;

상기 세라믹 시트 적층체의 설정 위치마다 관통홀을 형성하는 단계;

상기 관통홀의 중심을 기준으로 상기 관통홀이 4등분이 되게 상기 세라믹 시트 적층체를 복 수개의 단위 셀로 절단하여 일 단면 양측에 제1 모서리 커팅면이 형성되고 타 단면 양측에 제2 모서리 커팅면이 형성된 복수 개의 세라믹 바디를 제조하는 단계; 및

상기 세라믹 바디의 전 후면에 사이드 커버부를 접합하는 단계;

를 포함하는 세라믹 커패시터 제조방법.

청구항 11

제10항에 있어서,

상기 제1 내부전극이 인쇄된 유전체층과 제2 내부전극이 인쇄된 유전체층을 포함하는 복수의 유전체층을 적층하여 세라믹 시트 적층체를 제조하는 단계에서,

상기 제1 내부전극은 유전체층에 복수 개가 인쇄되는 세라믹 커패시터 제조방법.

청구항 12

제10항에 있어서,

상기 제1 내부전극이 인쇄된 유전체층과 제2 내부전극이 인쇄된 유전체층을 포함하는 복수의 유전체층을 적층하여 세라믹 시트 적층체를 제조하는 단계에서,

상기 제1 내부전극은

일면이 유전체층의 일 단면에 접하거나 일 단면이 될 절단선 부분에 접하고,

타면이 유전체층의 타 단면이 될 절단선 부분이나 유전체층의 타 단면에서 일정거리 이격되며,

양 측면이 유전체층의 전 후면으로 노출되게 상기 유전체층의 상면에 복수 개가 인쇄되는 세라믹 커패시터 제조 방법.

청구항 13

제10항에 있어서,

상기 제1 내부전극이 인쇄된 유전체층과 제2 내부전극이 인쇄된 유전체층을 포함하는 복수의 유전체층을 적층하여 세라믹 시트 적층체를 제조하는 단계에서,

상기 제2 내부전극은

일면이 유전체층의 타 단면에 접하거나 타 단면이 될 절단선 부분에 접하고,

타면이 유전체층의 일 단면이 될 절단선 부분이나 유전체층의 일 단면에서 일정거리 이격되며,

양 측면이 유전체층의 전 후면으로 노출되게 상기 유전체층의 상면에 복수 개가 인쇄되는 세라믹 커패시터 제조 방법.

청구항 14

제10항에 있어서,

상기 세라믹 시트 적층체의 설정 위치마다 관통홀을 형성하는 단계는,

원기둥 형상의 펀칭기 또는 레이저를 이용하여 상기 관통홀을 형성하는 세라믹 커패시터 제조방법.

청구항 15

제10항에 있어서,

상기 세라믹 시트 적층체의 설정 위치마다 관통홀을 형성하는 단계와 상기 관통홀의 중심을 기준으로 상기 관통홀이 4등분이 되게 상기 세라믹 시트 적층체를 복 수개의 단위 셀로 절단하여 모서리 커팅면이 형성된 복수 개의 세라믹 바디를 제조하는 단계는,

원기둥 형상의 펀칭기와 펀치 날을 갖는 펀칭 장치를 이용하여 동시에 수행되는 세라믹 커패시터 제조방법.

청구항 16

제10항에 있어서,

상기 세라믹 바디의 전 후면에 사이드 커버부를 접합하는 단계는,

상기 모서리 커팅면을 제외한 상기 세라믹 바디의 전 후면에 유전체로 이루어진 평판 형상의 사이드 커버부를 접합하거나,

상기 모서리 커팅면을 제외한 상기 세라믹 바디의 전 후면에 유전체 재료를 인쇄하여 사이드 커버부를 형성하는 세라믹 커패시터 제조방법.

청구항 17

제10항에 있어서,

상기 세라믹 바디의 전 후면에 사이드 커버부를 접합하는 단계 후,

상기 세라믹 바디를 소성하는 단계를 수행하는 세라믹 커패시터 제조방법.

청구항 18

제17항에 있어서,

상기 세라믹 바디를 소성하는 단계 후,

상기 세라믹 바디의 양 단면에 상기 제1 및 제2 내부전극에 각각 연결되는 제1 및 제2 외부전극을 형성하는 단계를 수행하며,

상기 제1 외부전극은 상기 세라믹 바디의 일 단면과 상기 제1 모서리 커팅면을 덮도록 형성하는 세라믹 커패시터 제조방법.

청구항 19

제17항에 있어서,

상기 세라믹 바디를 소성하는 단계 후,

상기 세라믹 바디의 양 단면에 상기 제1 및 제2 내부전극에 각각 연결되는 제1 및 제2 외부전극을 형성하는 단

계를 수행하며,

상기 제1 외부전극은 상기 세라믹 바디의 일 단면과 상기 제1 모서리 커팅면과 상기 사이드 커버부의 일부까지 덮도록 형성하는 세라믹 커패시터 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 세라믹 커패시터에 관한 것으로, 더욱 상세하게는 외부전극과 내부전극의 접촉시 최대한의 면적을 구현할 수 있는 세라믹 커패시터 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 커패시터(Capacitor)는 전압이 일정하게 유지되어야 하는 부품이 있을 때 전기를 저장했다가 부품이 필요로 하는 만큼 전기를 균일하고 안정적으로 공급함으로써 해당 부품을 보호하는 용도로 사용하거나, 전자기기 안에서 노이즈를 제거하는 용도로 사용하거나, 직류와 교류가 섞여 있는 신호에서 교류 신호만 통과시키는 용도로 사용한다.

[0003] 일반적으로, 세라믹 커패시터는 유전체, 내부전극 및 외부전극으로 구성된다. 세라믹 커패시터는 내부전극이 마주보는 사이에 전하가 축적되므로 한정된 공간에 많은 층의 내부전극을 쌓아 소형화와 고용량화를 구현하고 있다. 이러한 커패시터는 외부전극과 내부전극의 접촉시 접촉면적이 넓어야 외부전극과 내부전극의 접속 강도가 높아지고 접촉 저항이 감소하는데, 현재로서는 내부전극이 한 면으로만 노출되고 노출된 면에서 내부전극이 일자로 균일하게 노출되기 어려운 점 등으로 인해 외부전극과 내부전극의 접촉면적을 최대한으로 확보하는 것이 어려운 문제점이 있다.

[0004] 이상의 배경기술에 기재된 사항은 발명의 배경에 대한 이해를 돕기 위한 것으로서, 공개된 종래 기술이 아닌 사항을 포함할 수 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 등록특허공보 제1630040호(2016.06.07 등록)

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 외부전극과 내부전극의 접촉시 최대한의 접촉면적이 확보되도록 구현하여 외부전극과 내부전극의 접속 강도를 높이고, 접촉 저항을 감소시키며, 대량 생산이 용이하도록 한 적층형 세라믹 커패시터 및 이의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상기한 과제를 해결하기 위한 본 발명의 실시예에 따른 세라믹 커패시터는 복수의 유전체층을 포함하며, 서로 마주보는 전 후면, 서로 마주보는 상 하면 및 서로 마주보는 양 단면을 구비하는 세라믹 바디와, 세라믹 바디의 양 단면 중 일 단면과 세라믹 바디의 전 후면이 각각 만나도록 형성된 제1 모서리 커팅면과, 세라믹 바디의 양 단면 중 일 단면과 대향하는 타 단면과 세라믹 바디의 전 후면이 각각 만나도록 형성된 제2 모서리 커팅면과, 세라믹 바디의 내부에 배치되며 상기 세라믹 바디의 일 단면, 제1 모서리 커팅면 및 세라믹 바디의 전 후면에 상호 연결되도록 노출되는 적어도 하나 이상의 제1 내부전극과, 세라믹 바디의 내부에 배치되며 세라믹 바디의 타 단면, 제2 모서리 커팅면 및 세라믹 바디의 전 후면에 상호 연결되도록 노출되고 제1 내부전극과 오버랩되는 부분을 포함하는 적어도 하나 이상의 제2 내부전극을 포함한다.

[0008] 제1 모서리 커팅면은 곡면으로 형성될 수 있다.

[0009] 제1 모서리 커팅면은 외부에서 내부로 함몰된 형상일 수 있다.

- [0010] 세라믹 바디의 전 후면에 접합되며 세라믹 바디의 전 후면으로 노출되는 제1 내부전극과 상기 제2 내부전극을 덮는 사이드 커버부를 포함한다.
- [0011] 사이드 커버부는 유전체로 이루어질 수 있다.
- [0012] 세라믹 바디의 양 단면에 각각 배치되어 제1 내부전극 및 제2 내부전극에 각각 연결되는 제1 및 제2 외부전극을 포함하며, 제1 외부전극은 세라믹 바디의 일 단면과 제1 모서리 커팅면을 덮는다.
- [0013] 제1 외부전극은 사이드 커버부의 일부까지 덮는다.
- [0014] 제1 내부전극은 일면이 세라믹 바디의 일 단면으로 노출되고 대향하는 타면이 세라믹 바디의 내부에 배치되며, 제1 내부전극의 타면은 제2 모서리 커팅면과 일정거리 이격된다.
- [0015] 제1 내부전극은 유전체층에 배치되고, 유전체층은 제1 내부전극의 양 측면을 외부로 노출시킨다.
- [0016] 제1 내부전극이 인쇄된 유전체층과 제2 내부전극이 인쇄된 유전체층을 포함하는 복수의 유전체층을 적층하여 세라믹 시트 적층체를 제조하는 단계(S10)와, 세라믹 시트 적층체의 설정 위치마다 관통홀을 형성하는 단계(S20)와 관통홀의 중심을 기준으로 관통홀이 4등분이 되게 세라믹 시트 적층체를 복 수개의 단위 셀로 절단하여 제1 및 제2 모서리 커팅면이 형성된 복수 개의 세라믹 바디를 제조하는 단계(S30)와 세라믹 바디의 전 후면에 사이드 커버부를 접합하는 단계(S40)를 포함한다.
- [0017] 제1 내부전극이 인쇄된 유전체층과 제2 내부전극이 인쇄된 유전체층을 포함하는 복수의 유전체층을 적층하여 세라믹 시트 적층체를 제조하는 단계에서, 제1 내부전극은 유전체층에 복수 개가 인쇄될 수 있다.
- [0018] 제1 내부전극이 인쇄된 유전체층과 제2 내부전극이 인쇄된 유전체층을 포함하는 복수의 유전체층을 적층하여 세라믹 시트 적층체를 제조하는 단계에서, 제1 내부전극은 일면이 유전체층의 일 단면에 접하거나 일 단면이 될 절단선 부분에 접하고, 타면이 유전체층의 타 단면이 될 절단선 부분이나 유전체층의 타 단면에서 일정거리 이격되며, 양 측면이 유전체층의 전 후면으로 노출되게 상기 유전체층의 상면에 복수 개가 인쇄될 수 있다/.
- [0019] 제1 내부전극이 인쇄된 유전체층과 제2 내부전극이 인쇄된 유전체층을 포함하는 복수의 유전체층을 적층하여 세라믹 시트 적층체를 제조하는 단계에서, 제2 내부전극은 일면이 유전체층의 타 단면에 접하거나 타 단면이 될 절단선 부분에 접하고, 타면이 유전체층의 일 단면이 될 절단선 부분이나 유전체층의 일 단면에서 일정거리 이격되며, 양 측면이 유전체층의 전 후면으로 노출되게 상기 유전체층의 상면에 복수 개가 인쇄된다.
- [0020] 세라믹 시트 적층체의 설정 위치마다 관통홀을 형성하는 단계는, 원기둥 형상의 펀칭기 또는 레이저를 이용하여 상기 관통홀을 형성할 수 있다.
- [0021] 세라믹 시트 적층체의 설정 위치마다 관통홀을 형성하는 단계와 관통홀의 중심을 기준으로 관통홀이 4등분이 되게 세라믹 시트 적층체를 복 수개의 단위 셀로 절단하여 모서리 커팅면이 형성된 복수 개의 세라믹 바디를 제조하는 단계는, 원기둥 형상의 펀칭기와 펀치 날을 갖는 펀칭 장치를 이용하여 동시에 수행될 수 있다.
- [0022] 세라믹 바디의 전 후면에 사이드 커버부를 접합하는 단계는, 모서리 커팅면을 제외한 세라믹 바디의 전 후면에 유전체로 이루어진 평판 형상의 사이드 커버부를 접합하거나, 모서리 커팅면을 제외한 세라믹 바디의 전 후면에 유전체 재료를 인쇄하여 사이드 커버부를 형성할 수 있다.
- [0023] 세라믹 바디의 전 후면에 사이드 커버부를 접합하는 단계 후, 세라믹 바디를 소성하는 단계를 수행할 수 있다.
- [0024] 세라믹 바디를 소성하는 단계 후, 세라믹 바디의 양 단면에 제1 및 제2 내부전극에 각각 연결되는 제1 및 제2 외부전극을 형성하는 단계를 수행하며, 제1 외부전극은 세라믹 바디의 일 단면과 제1 모서리 커팅면을 덮도록 형성한다.
- [0025] 세라믹 바디를 소성하는 단계 후, 세라믹 바디의 양 단면에 상기 제1 및 제2 내부전극에 각각 연결되는 제1 및 제2 외부전극을 형성하는 단계를 수행하며, 제1 외부전극은 상기 세라믹 바디의 일 단면과 상기 제1 모서리 커팅면과 상기 사이드 커버부의 일부까지 덮도록 형성할 수 있다.

발명의 효과

- [0026] 본 발명은 세라믹 시트 적층체를 복 수개의 단위 셀로 절단하여 모서리 커팅면이 형성된 복수 개의 세라믹 바디를 제조하므로, 모서리 커팅면을 통해 노출되는 내부전극에 의해 외부전극과 내부면적의 접촉면적이 커지고, 이로 인해 외부전극과 내부전극의 접촉저항이 감소되고 등가직렬저항(ESR)이 감소하는 효과를 기대할 수 있다.

[0027] 또한, 본 발명은 세라믹 시트 적층체를 단위 셀로 절단하여 세라믹 바디를 제조하므로 깨끗한 절단면을 가져 내부전극이 균일하게 노출되고 외부전극과 내부면적의 접촉면적이 커지게 되므로, 외부전극과 내부전극의 접촉면적을 최대한으로 높여 등가직렬저항(ESR)을 감소시키는 효과를 기대할 수 있다.

[0028] 또한, 본 발명은 대면적으로 제조한 세라믹 시트 적층체를 단위 셀로 절단하여 세라믹 바디를 제조되, 세라믹 바디의 전 후면으로 내부전극의 양 측면이 노출되는 구조이므로 내부전극의 인쇄 및 제조가 용이하고, 세라믹 바디의 전 후면으로 노출된 내부전극의 양 측면에는 사이드 커버부를 접합하여 절연성을 확보할 수 있으며, 깨끗한 절단면을 가져 내부전극도 균일하게 노출되고 외부전극과 내부면적의 접촉면적이 커지게 되므로 외부전극과 내부전극의 접촉면적도 최대한으로 높일 수 있는 효과가 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 실시예에 의한 세라믹 커패시터의 세라믹 바디에 사이드 커버부를 접합하기 전 모습을 보인 부분 투시도이다.

도 2는 본 발명의 실시예에 의한 세라믹 커패시터의 세라믹 바디에 사이드 커버부가 접합된 상태를 보인 사시도이다.

도 3은 본 발명의 실시예에 의한 세라믹 커패시터를 보인 사시도이다.

도 4는 본 발명의 실시예에 의한 세라믹 커패시터를 보인 종단면도이다.

도 5는 본 발명의 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이다.

도 6은 본 발명의 실시예에 의한 세라믹 커패시터 제조방법을 보인 플로차트이다.

도 7은 본 발명의 실시예에 의한 세라믹 커패시터 제조방법을 보인 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0031] 본 발명의 세라믹 커패시터는 외부전극과 내부전극의 접촉시 최대한의 접촉면적을 구현할 수 있도록 세라믹 바디의 모서리 부분을 홀 편칭하여 내부전극을 추가로 노출시키고, 내부전극의 측면이 외부로 노출되지 않도록 세라믹 바디의 전 후면에 절연을 위한 사이드 커버부를 접합한 것에 특징이 있다. 세라믹 커패시터는 MLCC(Multi-Layer Ceramic Capacitor)인 것을 일 예로 한다.

[0032] 도 1은 본 발명의 실시예에 의한 세라믹 커패시터의 세라믹 바디에 사이드 커버부를 접합하기 전 모습을 보인 부분 투시도이고, 도 2는 본 발명의 실시예에 의한 세라믹 커패시터의 세라믹 바디에 사이드 커버부가 접합된 상태를 보인 사시도이다. 도면에서 상대적인 두께, 길이나 상대적적인 크기는 설명의 편의 및 명확성을 위해 과장될 수 있다.

[0033] 도 1에 도시된 바에 의하면, 본 발명의 실시예에 의한 세라믹 커패시터(100)는 세라믹 바디(110), 제1 및 제2 내부전극(121, 122), 모서리 커팅면(131, 132, 133, 134)을 포함한다.

[0034] 세라믹 바디(110)는 복수의 유전체층을 포함한다. 세라믹 바디(110)는 복수의 유전체층(111)을 수평이 되게 적층한 다음 소성하여 형성한 것이다. 복수의 유전체층(111)은 소결된 상태이며, 인접하는 유전체층(111) 사이의 경계는 확인하기 곤란할 정도로 일체화될 수 있다.

[0035] 유전체층(111)의 재료는 유전율이 큰 티탄산바륨(BaTiO₃)계 세라믹일 수 있다. 이외에도 유전체층(111)을 형성하는 재료는 (Ca, Zr)(Sr, Ti)O₃를 사용하거나 이를 추가로 포함할 수 있다. 그러나 정전용량은 유전체의 유전율에 비례하므로 유전율이 큰 유전체 재료 BaTiO₃를 사용하는 것이 바람직하다.

[0036] 세라믹 바디(110)는 대략 직육면체 형상으로 형성되며, 서로 마주보는 전 후면, 서로 마주보는 상 하면 및 서로 마주보는 양 단면을 구비한다. 세라믹 바디(110)의 하면이 기판에 실장되는 실장면이고, 하면과 마주보는 면이 상면이며, 상 하면과 직교하는 길이가 긴 두 면이 전 후면이고 상 하면과 직교하는 길이가 짧은 두 면이 양 단면이다. 즉, 세라믹 바디(110)에서 a 방향으로 마주보는 두 면이 전 후면이고, b 방향으로 마주보는 두 면이 상 하면이고, c 방향으로 마주보는 두 면이 양 단면이다.

[0037] 제1 내부전극(121)과 제2 내부전극(122)은 세라믹 바디(110)의 내부에 적어도 한 층 이상이 배치된다. 일 예로,

제1 내부전극(121)과 제2 내부전극(122)은 세라믹 바디(110)의 내부에 3층 이상으로 배치될 수 있으며, 정전용량을 증가시키기 위해서는 수십 또는 수백 층으로 배치될 수 있다.

- [0038] 제1 내부전극(121)은 일면이 세라믹 바디(110)의 양 단면 중 일 단면으로 노출되고, 일면에 대항하는 타면은 세라믹 바디(110)의 내부에 위치된다. 또한 제1 내부전극(121)의 양 측면은 세라믹 바디(110)의 전 후면으로 세라믹 바디(110)의 일 단면과 접하도록 각각 노출된다. 제2 내부전극(122)은 일면이 세라믹 바디(110)의 양 단면 중 일 단면과 대항하는 타 단면으로 노출되고, 일면에 대항하는 타면이 세라믹 바디(110)의 내부에 위치된다. 또한 제2 내부전극(122)은 세라믹 바디(110)의 전 후면으로 세라믹 바디(110)의 타 단면과 접하도록 각각 노출되고, 제1 내부전극(121)과 오버랩되는 부분을 포함한다. 제1 내부전극(121)과 제2 내부전극(122)이 오버랩되는 부분에 정전용량이 형성된다.
- [0039] 제1 내부전극(121)과 제2 내부전극(122)은 다양한 형상으로 형성될 수 있으며, 실시예에서 제1 내부전극(121)과 제2 내부전극(122)은 폭에 비해 길이가 긴 사각 형상인 것을 일 예로 한다. 제1 내부전극(121)과 제2 내부전극(122)은 세라믹 바디(110)의 양 단면으로 노출되는 부분을 일면으로 지칭하고 일면과 대항하는 면을 타면으로 지칭하며, 세라믹 바디(110)의 전 후면과 마주하는 면을 양 측면으로 지칭한다.
- [0040] 모서리 커팅면(131, 132, 133, 134)은 세라믹 바디(110)의 네 모서리를 상하방향으로 커팅하여 형성되며, 모서리 커팅면(131, 132, 133, 134)로 제1 내부전극(121) 또는 제2 내부전극(122)의 커팅된 모서리면이 노출된다. 세라믹 바디(110)의 일 단면과 이웃하여 접하는 두 모서리 커팅면(131, 132)로 제1 내부전극(121)이 노출되고, 세라믹 바디(110)의 일 단면과 대항하는 타 단면과 이웃하여 접하는 두 모서리 커팅면(133, 134)로 제2 내부전극(122)이 노출된다.
- [0041] 실시예에서, 모서리 커팅면(131, 132, 133, 134)은 제1 모서리 커팅면(131, 132)과 제2 모서리 커팅면(133, 134)으로 구분된다. 제1 모서리 커팅면(131, 132)은 세라믹 바디(110)의 양 단면 중 일 단면과 세라믹 바디(110)의 전 후면이 각각 만나도록 형성되고, 제2 모서리 커팅면(133, 134)은 세라믹 바디(110)의 양 단면 중 일 단면과 대항하는 타 단면과 세라믹 바디의 전 후면이 각각 만나도록 형성된다. 그리고, 제1 내부전극(121)은 세라믹 바디(110)의 내부에 배치되며, 세라믹 바디(110)의 일 단면, 제1 모서리 커팅면(131, 132) 및 세라믹 바디(110)의 전 후면에 상호 연결되도록 노출되는 적어도 하나 이상으로 구성된다. 제2 내부전극(122)은 세라믹 바디(110)의 내부에 배치되며, 세라믹 바디(110)의 타 단면, 제2 모서리 커팅면(133, 134) 및 세라믹 바디(110)의 전 후면에 상호 연결되도록 노출되고 제1 내부전극(121)과 오버랩되는 부분을 포함하는 적어도 하나 이상으로 구성된다.
- [0042] 모서리 커팅면(131, 132, 133, 134)은 곡면으로 형성될 수 있다. 일 예로, 모서리 커팅면(131, 132, 133, 134)은 외부에서 내부로 함몰된 형상일 수 있다. 모서리 커팅면(131, 132, 133, 134)은 제1 내부전극(121)과 제2 내부전극(122)을 추가로 노출시킨다. 모서리 커팅면(131, 132, 133, 134)을 통해 노출된 제1 내부전극(121)과 제2 내부전극(122)은 제1 내부전극(121)과 제2 내부전극(122)의 노출 면적 및 노출 길이를 증가시켜 외부전극과의 접촉면적을 넓힌다.
- [0043] 이 외에도 모서리 커팅면(131, 132, 133, 134)은 제1 내부전극(121)과 제2 내부전극(122)의 모서리를 자른 직선 경사 형상일 수 있다. 그러나 외부전극(141, 142)과 내부전극(121, 122)의 접촉면적을 넓히고 접촉 신뢰성을 높이기 위하여 모서리 커팅면(131, 132, 133, 134)은 곡면으로 형성되는 것이 바람직하다.
- [0044] 세라믹 바디(110)의 전 후면에 사이드 커버부(151, 152)가 접합된다. 사이드 커버부(151, 152)는 세라믹 바디(110)의 전 후면으로 노출되는 제1 내부전극(121)과 제2 내부전극(122)을 덮어 외부로 노출되지 않도록 한다. 즉, 사이드 커버부(151, 152)는 세라믹 바디(110)의 전 후면으로 노출되는 제1 내부전극(121)과 제2 내부전극(122)을 외부전극과 절연한다. 사이드 커버부(151, 152)는 절연성이 우수하고 제도가 용이하도록 세라믹 바디(110)를 구성하는 유전체와 동일한 유전체 재료로 이루어질 수 있다.
- [0045] 도 2에 도시된 바에 의하면, 실시예에서, 제1 내부전극(121)은 양 측면이 사이드 커버부(151)로 덮혀져 외부로 노출되지 않고, 세라믹 바디(110)의 양 단면 중 일 단면으로 노출되며, 또한 세라믹 바디(110)의 일 단면과 이웃하는 제1 모서리 커팅면(131, 132)을 통해 노출되어 노출된 부분이 'ㄷ' 형상을 형성한다. 제2 내부전극(122)은 양 측면이 사이드 커버부(151, 152)로 덮혀져 외부로 노출되지 않고, 세라믹 바디(110)의 양 단면 중 타 단면으로 노출되며, 또한 세라믹 바디(110)의 타 단면과 이웃하는 제2 모서리 커팅면(133, 134)을 통해 노출되어 노출된 부분이 'ㄷ' 형상을 형성한다.
- [0046] 제1 내부전극(121)과 제2 내부전극(122)의 'ㄷ' 형상의 노출 구조는 외부전극(141, 142)과 내부전극(121, 122)의 접촉시 최대한의 접촉면적을 확보하여 외부전극(141, 142)과 내부전극(121, 122)의 접촉 강도를 높이고 접촉 저항

을 감소시킨다. 접촉 저항 감소는 등가직렬저항(ESR)을 감소시켜 회로 전체의 안정성을 높이고 수명을 향상시킨다.

- [0047] 도 1을 참조하면, 제1 내부전극(121)의 타면과 제2 내부전극(122)의 타면은 마주하는 위치에 있는 제2 모서리 커팅면(133,134)과 일정 거리(n) 이격된다. 만약, 제1 내부전극(121)의 타면이 마주하는 제2 모서리 커팅면(133,134)까지 연장되어 배치되거나 제2 내부전극(122)의 타면이 마주하는 제1 모서리 커팅면(131,132)까지 연장되어 배치되면, 제1 내지 제4 모서리 커팅면(131,132,133,134)에 제1 내부전극(121)과 제2 내부전극(122)이 모두 노출되므로, 외부전극(141,142)을 형성하면 혼촉이 발생하게 된다.
- [0048] 제1 내지 제4 모서리 커팅면(131,132,133,134)의 폭은 세라믹 바디(110)의 양 단면의 폭에 비해 작은 것이 바람직하다. 이는 제1 내지 제4 모서리 커팅면(131,132,133,134)의 폭이 세라믹 바디(110)의 양 단면의 폭과 같거나 상대적으로 크면 대략 세라믹 바디(110)를 직육면체 형상으로 제조하기 어렵고, 세라믹 바디(110)의 양 단면의 면적이 과도하게 작아져 원하는 특성의 세라믹 커패시터를 제조하기 어렵기 때문이다.
- [0049] 제1 및 제2 내부전극(121,122)은 Cu, Ni, Pd-Ag 중 하나 또는 이들의 합금으로 형성될 수 있다. 고온에서 수행되는 소성공정 중 내부전극의 산화를 억제하기 위해 고가의 귀금속인 Pd를 내부전극으로 사용할 수 있으나, MLCC의 소형화 및 고용량화의 요구에 따른 원가 절감을 위해 Ag-Pd, Ni, Cu 등을 내부전극으로 사용할 수 있다.
- [0050] 도 3은 본 발명의 실시예에 의한 세라믹 커패시터를 보인 사시도이다.
- [0051] 도 3에 도시된 바에 의하면, 세라믹 커패시터(100)는 제1 및 제2 외부전극(141,142)을 포함한다. 제1 및 제2 외부전극(141,142)은 세라믹 바디(110)의 양 단면에 각각 배치되고 제1 내부전극(121) 및 제2 내부전극(122)에 각각 연결된다.
- [0052] 도 2 및 도 3를 참조하면, 제1 외부전극(141)은 세라믹 바디(110)의 일 단면과 제1 모서리 커팅면(131,132)을 덮도록 형성된다. 제2 외부전극(142)은 세라믹 바디(110)의 타 단면과 제2 모서리 커팅면(133,134)을 덮도록 형성된다.
- [0053] 또는, 제1 외부전극(141)은 세라믹 바디(110)의 일 단면과 제1 모서리 커팅면(131,132)을 덮고, 사이드 커버부(151,152)의 일부까지 덮도록 형성된다. 제2 외부전극(142)은 세라믹 바디(110)의 타 단면과 제2 모서리 커팅면(133,134)을 덮고, 사이드 커버부(151,152)의 일부까지 덮도록 형성된다.
- [0054] 실시예에서, 제1 및 제2 외부전극(141,142)은 세라믹 바디(110)의 양 단면과 모서리 커팅면(131,132,133,134)과 사이드 커버부(151,152)의 일부를 덮도록 형성된다. 제1 및 제2 외부전극(141,142)은 모서리 커팅면(131,132,133,134)과 사이드 커버부(151,152)의 일부를 덮도록 형성됨에 의해 모서리 커팅면(131,132,133,134)을 통해 노출된 제1 내부전극(121) 및 제2 내부전극(122)과도 접촉되어 접촉면적을 최대화할 수 있고, 모서리 커팅면(131,132,133,134)을 통해 노출된 제1 내부전극(121) 및 제2 내부전극(122)으로 습기가 유입되는 것도 방지할 수 있다.
- [0055] 제1 및 제2 외부전극(141,142)은 세라믹 바디(110)의 양 단면과 모서리 커팅면(131,132,133,134)과 사이드 커버부(151,152)의 일부를 덮도록 외부 전극 재료를 도금하여 형성될 수 있다. 제1 및 제2 외부전극(141,142)은 모서리 커팅면(131,132,133,134)을 완전히 덮고 사이드 커버부(151,152)의 일부를 덮는 형태로 형성될 수 있다.
- [0056] 외부 전극 재료는 전기 전도성이 높은 Ag, Cu가 사용될 수 있다. 제1 및 제2 외부전극(141,142)에는 Ni 및 Sn을 도금하여 도금층을 더 형성할 수 있다. 제1 및 제2 외부전극(141,142)에 Ni 및 Sn 도금층을 더 형성하면 기판에 부착력이 증가되고 내습성을 향상시킬 수 있다. 일 예로, 제1 및 제2 외부전극(141,142)은 Cu층과 Cu층을 덮도록 형성된 Ni층과 Ni층을 덮도록 형성된 Sn층을 포함하는 3층 구조로 형성될 수 있다. 또는 제1 및 제2 외부전극(141,142)은 Cu층과 Ni층의 사이에 Ag 에폭시층을 더 포함하여 충격 완충 기능을 가지는 4층 구조로 형성될 수 있다.
- [0057] 도 4는 본 발명의 실시예에 의한 세라믹 커패시터를 보인 종단면도이다(도 3의 A-A 단면을 보인 도면이다).
- [0058] 도 4에 도시된 바에 의하면, 제1 및 제2 내부전극(121,122)은 세라믹 바디(110)의 내부에 형성된다. 제1 내부전극(121)은 세라믹 바디(110)의 양 단면 중 일 단면으로 노출되고, 제2 내부전극(122)은 세라믹 바디(110)의 양 단면 중 타 단면으로 노출되며 제1 내부전극(121)과 오버랩되는 부분을 포함한다.
- [0059] 제1 및 제2 내부전극(121,122)은 세라믹 바디(110)의 양 단면을 각각 감싸도록 배치되는 제1 및 제2 외부전극(141,142)에 각각 전기적으로 연결된다. 세라믹 커패시터(100)는 제1 및 제2 외부전극(141,142)에 전압을 인가

하면 제1 내부전극(121)과 제2 내부전극(122)의 사이에 전하가 축적되고, 이때 정전용량은 제1 내부전극(121)과 제2 내부전극(122)이 오버랩되는 영역의 면적과 비례하게 된다. 제1 및 제2 내부전극(121,122)은 복수 개로 이루어질 수 있다. 제1 및 제2 내부전극(121,122)은 유전체층 상에 내부전극 물질을 인쇄하여 형성될 수 있다.

- [0060] 도 5는 본 발명의 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이다.
- [0061] 도 5에 도시된 바에 의하면, 세라믹 커패시터(100)는 유전체만으로 이루어진 적어도 1층 이상의 제1 유전체층(s1)과, 제1 유전체층(s1)의 상부에 제1 내부전극(121)이 배치된 제2 유전체층(s2)과 제2 내부전극(122)이 배치된 제3 유전체층(s3)이 적어도 1회 이상 교대로 적층되고, 그 상부에 유전체만으로 이루어진 제1 유전체층(s1)이 적어도 1회 이상 더 적층된 형태일 수 있다.
- [0062] 제1 내부전극(121)과 제2 내부전극(122)은 서로 오버랩 될 수 있도록 일정 면적을 가지며, 제1 내부전극(121)과 제2 내부전극(122)의 양 측면이 제2 유전체층(s2)과 제3 유전체층(s3)의 전 후면으로 각각 노출된 구조를 가진다.
- [0063] 제1 내부전극(121)과 제2 내부전극(122)의 양 측면이 제2 유전체층(s2)과 제3 유전체층(s3)의 전 후면으로 각각 노출된 부분에는 사이드 커버부(151,152)가 접합되어 전 후면으로 노출되는 제1 내부전극(121)과 제2 내부전극(122)을 외부전극(141,142)과 절연한다.
- [0064] 제1 내부전극(121)과 제2 내부전극(122)은 각각 단부로 노출되어 외부전극과 연결될 수 있다. 즉, 제1 내부전극(121)은 제2 유전체층(s2)의 일 단면 및 일 단면과 이웃하는 제1 모서리 커팅면(131,132)의 3면으로 노출된 부분이 제1 외부전극(141)과 연결될 수 있다. 또한 제2 내부전극(122)은 제3 유전체층(s3)의 타 단면 및 타 단면과 이웃하는 제2 모서리 커팅면(133,134)의 3면으로 노출된 부분이 제2 외부전극(142)과 연결될 수 있다.
- [0065] 제1 내부전극(121)과 제2 내부전극(122)은 제2 유전체층(s2)과 제3 유전체층(s3)의 상면에 내부전극 물질을 인쇄하여 형성될 수 있다.
- [0066] 제1 및 제2 외부전극(141,142)은 각 유전체층들을 적층하고 압착, 절단 및 소성하여 제작한 세라믹 바디(110)의 양 단면에 외부 전극 재료를 인쇄 또는 도포하여 형성될 수 있다.
- [0067] 도 6은 본 발명의 실시예에 의한 세라믹 커패시터 제조방법을 보인 플로차트이고, 도 7은 본 발명의 실시예에 의한 세라믹 커패시터 제조방법을 보인 구성도이다.
- [0068] 도 6 및 도 7에 도시된 바에 의하면, 세라믹 커패시터 제조방법은 제1 내부전극(121)이 인쇄된 제2 유전체층(s2)과 제2 내부전극(122)이 인쇄된 제3 유전체층(s3)을 포함하는 복수의 유전체층(111)을 적층하여 세라믹 시트 적층체(ss)를 제조하는 단계(S10)와, 세라믹 시트 적층체(ss)의 설정 위치마다 관통홀(130)을 형성하는 단계(S20)와 관통홀(130)의 중심을 기준으로 관통홀(130)이 4등분이 되게 세라믹 시트 적층체(ss)를 복 수개의 단위 셀로 절단하여 모서리 커팅면(131,132,133,134)이 형성된 복수 개의 세라믹 바디(110)를 제조하는 단계(S30)와 세라믹 바디(110)의 전 후면에 사이드 커버부(151,152)를 접합하는 단계(S40)를 포함한다.
- [0069] 세라믹 바디(110)의 전 후면에 사이드 커버부(151,152)를 접합하는 단계(S40) 후, 세라믹 바디(110)의 일 단면에 세라믹 바디(110)의 일 단면과 제1 모서리 커팅면(131,132)을 덮는 제1 외부전극(141)을 형성하고, 세라믹 바디(110)의 타 단면에 세라믹 바디(110)의 타 단면과 제2 모서리 커팅면(133,134)을 덮는 제2 외부전극(142)을 형성하는 단계(S50)를 더 포함한다.
- [0070] 제1 외부전극(141)은 세라믹 바디(110)의 일 단면과 제1 모서리 커팅면(131,132)을 덮고 사이드 커버부(151,152)의 일부까지 덮는 형상이고, 제2 외부전극(142)은 세라믹 바디(110)의 타 단면과 제2 모서리 커팅면(133,134)을 덮고 사이드 커버부(151,152)의 일부까지 덮는 형상일 수 있다.
- [0071] 도 7에 도시된 바에 의하면, 세라믹 시트 적층체를 제조하는 단계(S10)에서, 제1 내부전극(121)은 제2 유전체층(s2')에 복수 개가 인쇄되어 배치되며, 제2 내부전극(122)은 제3 유전체층(s3')에 제1 내부전극(121)과 오버랩되는 부분을 포함하도록 복수 개가 인쇄되어 배치된다.
- [0072] 제1 유전체층(s1')은 유전체 재료만으로 제조한 세라믹 시트이고, 제2 유전체층(s2')은 유전체 재료로 제조한 세라믹 시트의 상면에 복수 개의 제1 내부전극(121)을 인쇄한 것이며, 제3 유전체층(s3')은 유전체 재료로 제조한 세라믹 시트의 상면에 복수 개의 제2 내부전극(122)을 인쇄한 것이다.
- [0073] 제1 내부전극(121)은 일면이 제2 유전체층(s2')의 일 단면에 접하거나 일 단면이 될 절단선(c) 부분에 접하고, 타면이 제2 유전체층(s2')의 타 단면이 될 절단선(c) 부분이나 제2 유전체층(s2')의 타 단면에서 일정거리 이격

되며, 양 측면이 제2 유전체층(s1')의 전 후면으로 노출되게 제2 유전체층(s2')의 상면에 복수 개가 인쇄된다.

- [0074] 유전체층(111)의 재료는 유전율이 큰 티탄산바륨(BaTiO₃)계 세라믹일 수 있다.
- [0075] 제1 및 제2 내부전극(121,122)의 재료는 Cu, Ni, Pd- Ag 중 하나 또는 이들의 합금으로 형성될 수 있다.
- [0076] 제2 내부전극(122)은 일면이 제3 유전체층(s3')의 타 단면에 접하거나 타 단면이 될 절단선(c) 부분에 접하고, 타면이 제3 유전체층(s3')의 일 단면이 될 절단선(c) 부분이나 제3 유전체층(s3')의 일 단면에서 일정거리 이격되며, 양 측면이 제3 유전체층(s3')의 전 후면으로 노출되게 제3 유전체층(s3')의 상면에 복수 개가 인쇄된다.
- [0077] 제1 내부전극(121)과 제2 내부전극(122)은 각 유전체층(s2', s3')에 인쇄시 내부전극 간 양 측면 간격을 두지 않고 전체로 인쇄하므로 얼라인(align)이 보다 용이하다.
- [0078] 세라믹 시트 적층체의 설정 위치마다 관통홀을 형성하는 단계(S20)는 원기둥 형상의 펀칭기 또는 레이저를 이용하여 관통홀(130)을 형성할 수 있다. 실시예에서는 원기둥 형상의 펀칭기를 이용하여 세라믹 시트 적층체(ss)에 복수 개의 관통홀(130)을 일정 간격으로 형성하는 것을 일 예로 한다.
- [0079] 세라믹 시트 적층체의 설정 위치마다 관통홀을 형성하는 단계(S20)와 관통홀의 중심을 기준으로 관통홀이 4등분이 되게 세라믹 시트 적층체(ss)를 절단하여 모서리 커팅면(131,132,133,134)이 형성된 복수 개의 세라믹 시트 적층체 단위 셀을 제조하는 단계(S30)는 원기둥 형상의 펀칭기와 펀치 날을 갖는 펀칭 장치를 이용하여 동시에 수행할 수 있다. 관통홀 형성과 세라믹 시트 적층체(ss)의 절단을 펀칭 장치를 이용하여 동시에 수행하면 제조 시간을 단축하므로 대량 생산에 유리하다.
- [0080] 관통홀(130)의 중심을 기준으로 관통홀(130)이 4등분이 되게 세라믹 시트 적층체를 절단하여 모서리 커팅면(131,132,133,134)이 형성된 복수 개의 세라믹 바디(110)를 제조하면 동일한 깨끗한 절단면을 가져 외부전극(141,142)과 접촉시 최대한의 접촉면적을 구현하기 용이하다. 외부전극(141,142)과 내부전극(121,122)의 접촉면적이 최대한으로 구현되면 ESR을 감소시킬 수 있다.
- [0081] 관통홀의 중심을 기준으로 관통홀이 4등분이 되게 적층체를 절단하여 모서리 커팅면(131,132,133,134)이 형성된 복수 개의 세라믹 바디(110)를 제조하는 단계(S30) 후, 세라믹 바디(110)의 전 후면에 사이드 커버부(151,152)를 접합하는 단계(S40)를 수행한다.
- [0082] 세라믹 바디(110)의 전 후면에 사이드 커버부(151,152)를 접합하는 단계는, 모서리 커팅면(131,132,133,134)을 제외한 세라믹 바디(110)의 전 후면에 유전체로 이루어진 평판 형상의 사이드 커버부(151,152)를 접합하거나, 모서리 커팅면(131,132,133,134)을 제외한 세라믹 바디(110)의 전 후면에 유전체 재료를 인쇄하여 사이드 커버부를 형성할 수 있다.
- [0083] 세라믹 바디의 전 후면에 사이드 커버부(151,152)를 접합하는 단계 후, 세라믹 바디(110)를 소성하는 단계를 수행한다. 소성하는 단계에서 사이드 커버부(151,152)가 세라믹 바디(110)에 소결 접합되고 접합된 상태가 견고하게 유지된다.
- [0084] 세라믹 바디(110)를 소성하는 단계 후, 세라믹 바디(110)의 양 단면과 모서리 커팅면(131,132,133,134)을 덮도록 제1 및 제2 외부전극(141,142)을 형성하는 단계(S50)를 수행한다.
- [0085] 외부 전극 재료는 전기 전도성이 높은 Ag, Cu가 사용될 수 있다.
- [0086] 실시예에서는 세라믹 바디의 전 후면에 사이드 커버부(151,152)를 접합하는 단계 후, 세라믹 바디(110)를 소성하고, 소성한 세라믹 바디(110)의 양 단면과 모서리 커팅면(131,132,133,134)과 사이드 커버부(151,152)의 일부를 덮도록 제1 및 제2 외부전극(141,142)을 형성하는 것을 도시하였다.
- [0087] 상술한 실시예는 깨끗한 절단면을 가져 외부전극과 내부전극의 접촉시 최대한의 접촉면적을 구현하기 용이하고, 모서리 커팅면을 통해 내부전극이 추가로 노출되고 외부전극과 접촉되므로 외부전극과 내부전극의 접촉면적을 보다 높일 수 있고, 또한 제1 내부전극(121)과 제2 내부전극(122)이 세라믹 바디(110)의 양 측면으로 노출되게 제조하더라도 사이드 커버부(151,152)를 통해 절연성을 확보할 수 있으므로, 간단한 제조 공정으로 세라믹 커패시터의 대량 생산이 가능한 이점이 있다.
- [0088] 즉, 상술한 방법에 의해 제조된 본 발명의 실시예는 세라믹 시트 적층체를 복 수개의 단위 셀로 절단하여 모서리 커팅면이 형성된 복수 개의 세라믹 바디를 제조하므로, 모서리 커팅면을 통해 노출되는 내부전극에 의해 외부전극과 내부면적의 접촉면적이 커지고, 이로 인해 외부전극과 내부전극의 접촉저항이 감소되고 등가직렬저항

(ESR)이 감소하게 된다.

[0089] 또한, 본 발명의 실시예는 세라믹 시트 적층체를 단위 셀로 절단하여 세라믹 바디를 제조하므로 깨끗한 절단면을 가져 사이드 커버부(151,152)의 접합 안정성이 보다 높아지고, 내부전극도 균일하게 노출되므로 외부전극과 내부면적의 접촉면적이 커지게 된다. 이와 같이, 본 발명의 실시예는 외부전극과 내부전극의 접촉면적을 최대한으로 높여 ESR을 감소시킬 수 있다.

[0090] 상술한 실시예의 세라믹 커패시터는 스마트폰, PC, TV, 전기자동차 등 다양한 품목에 적용되는 MLCC로 사용할 수 있다.

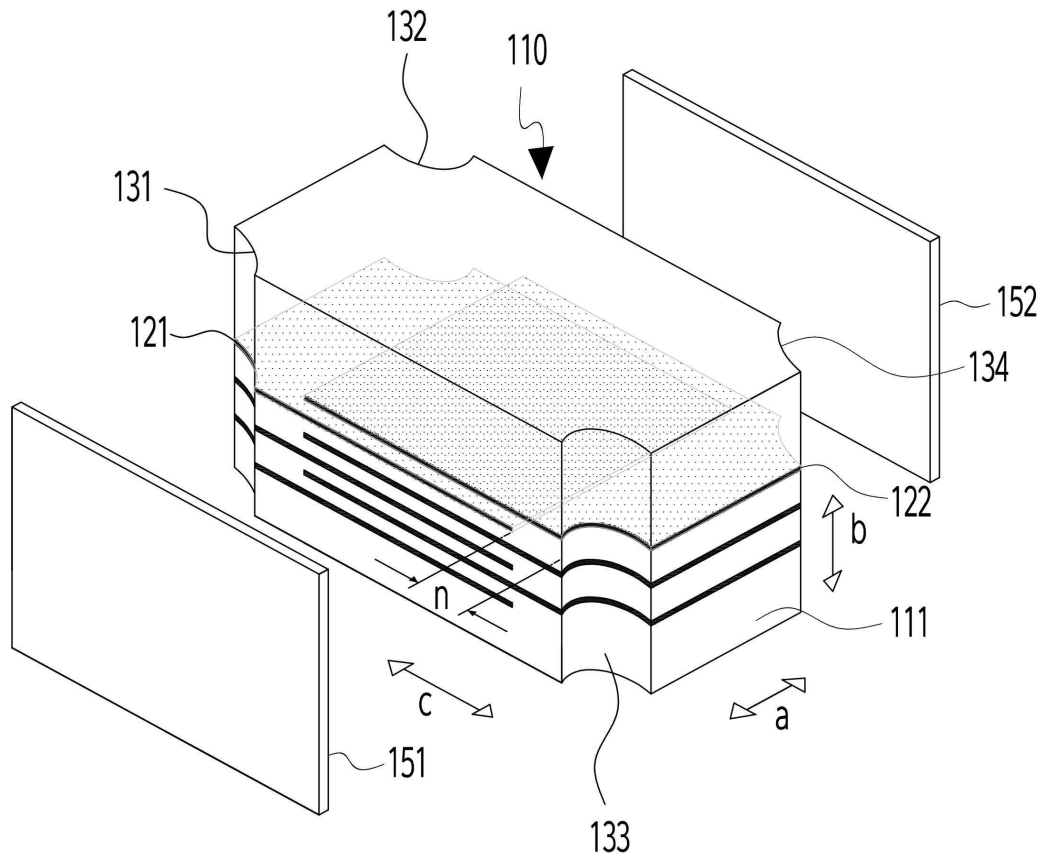
[0092] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

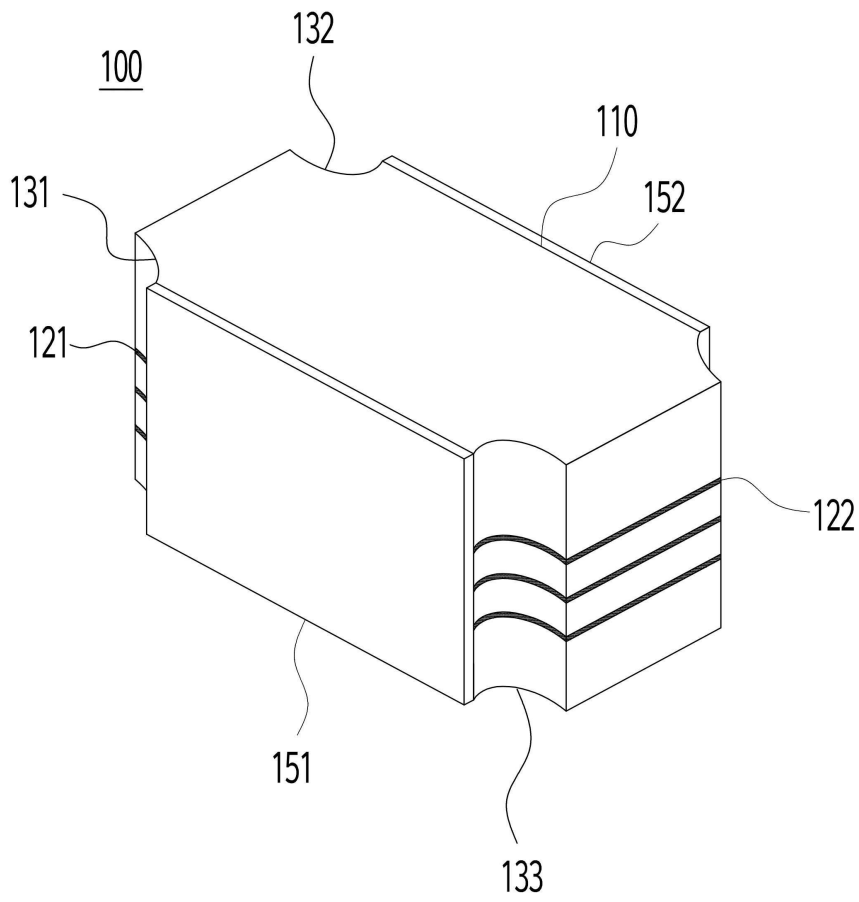
[0093] 100: 세라믹 커패시터 110: 세라믹 바디
 111: 유전체층 121: 제1 내부전극
 122: 제2 내부전극 131,132: 제1 모서리 커팅면
 133,134: 제2 모서리 커팅면 141: 제1 외부전극
 142: 제2 외부전극 151,152: 사이드 커버부
 s1: 제1 유전체층 s2: 제2 유전체층
 s3: 제3 유전체층 c: 절단선
 ss: 세라믹 시트 적층체 130: 관통홀

도면

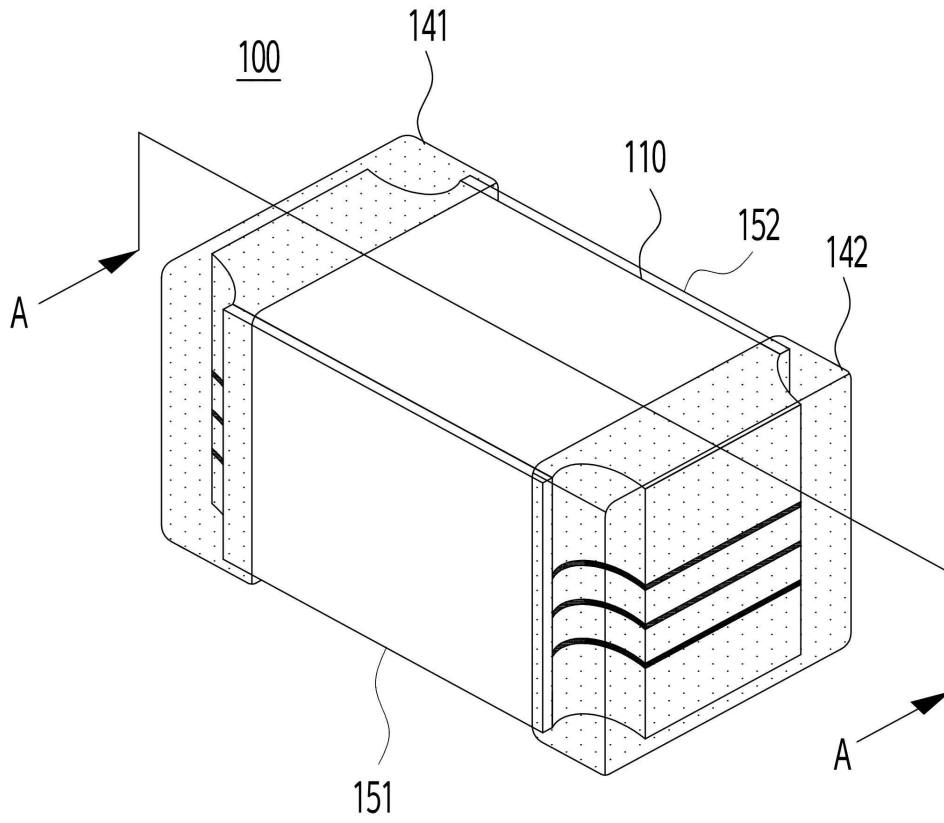
도면1



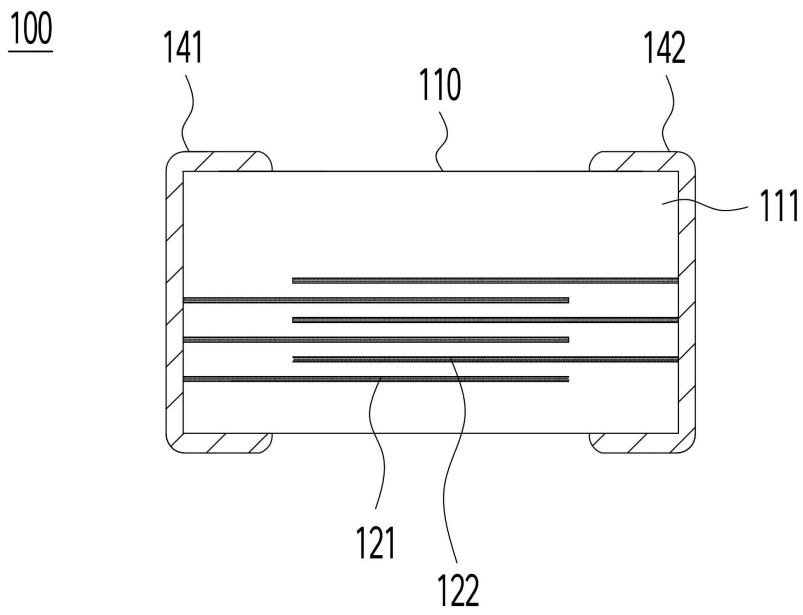
도면2



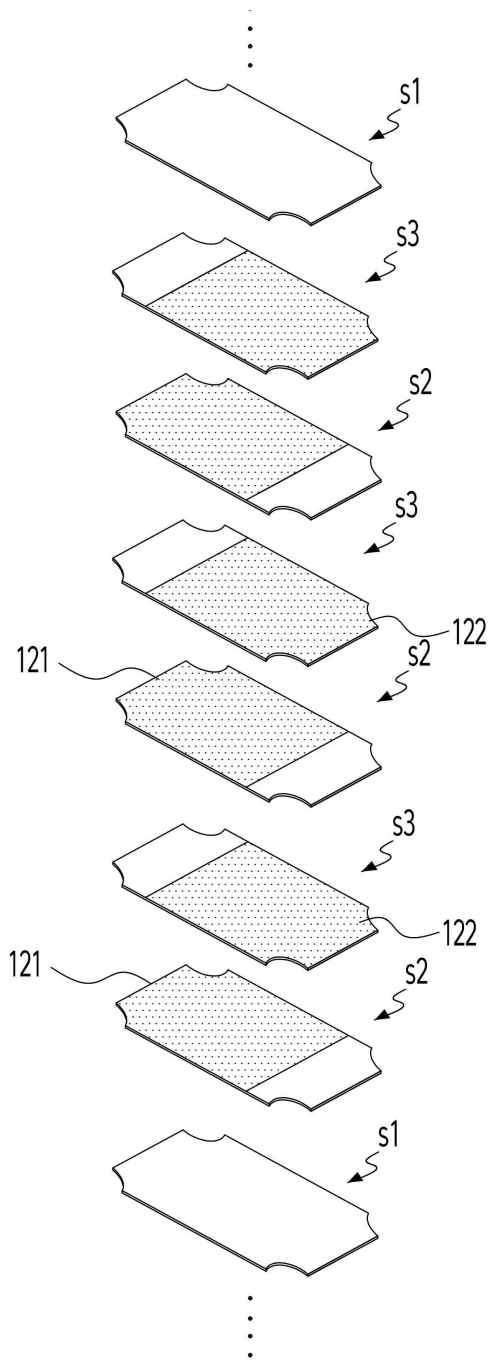
도면3



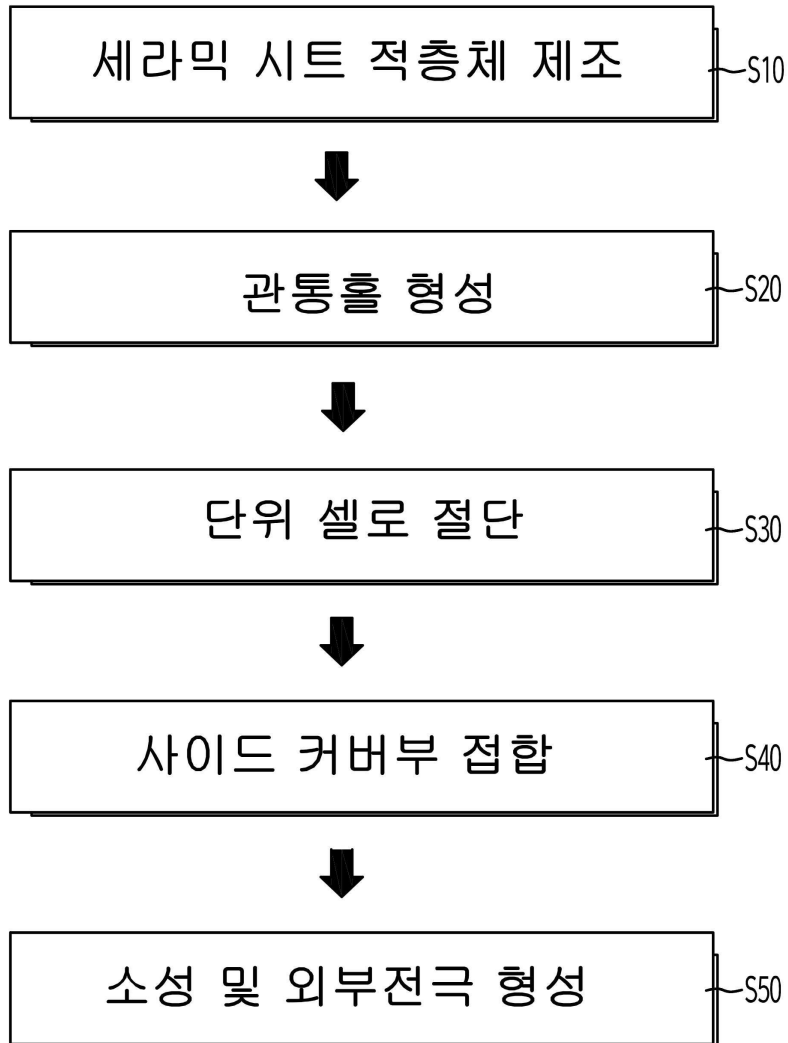
도면4



도면5



도면6



도면7

