



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0046767
(43) 공개일자 2013년05월08일

(51) 국제특허분류(Int. Cl.)

G11C 29/06 (2006.01)

(21) 출원번호 10-2011-0111330

(22) 출원일자 2011년10월28일

심사청구일자 2011년10월28일

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

조진희

충청북도 청주시 흥덕구 봉명동 현대 아이파크아파트 110동 303호

(74) 대리인

특허법인아주양현

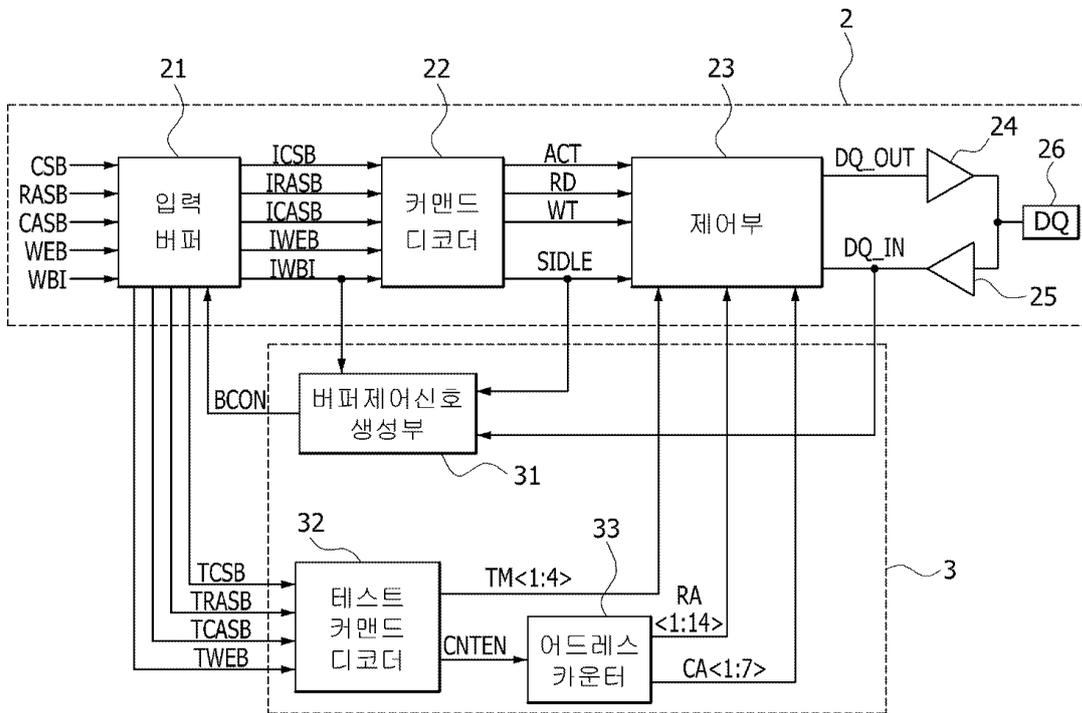
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 테스트회로를 포함하는 반도체장치 및 번인테스트 방법

(57) 요약

반도체장치는 데이터패드로 입력되는 입력데이터에 응답하여 버퍼제어신호를 생성하고, 상기 버퍼제어신호에 응답하여 입력되는 테스트커맨드를 디코딩하여 테스트모드신호와 로우어드레스 및 컬럼어드레스를 카운팅하기 위한 카운팅엔이블신호를 생성하는 테스트회로; 및 상기 버퍼제어신호에 응답하여 외부커맨드를 버퍼링하여 상기 테스트커맨드를 생성하고, 상기 테스트모드신호에 응답하여 번인테스트를 수행하며, 상기 로우어드레스 및 컬럼어드레스에 대응하는 메모리셀에 대한 리드 동작을 수행하는 데이터입출력회로를 포함한다.

대표도



특허청구의 범위

청구항 1

데이터패드로 입력되는 입력데이터에 응답하여 버퍼제어신호를 생성하고, 상기 버퍼제어신호에 응답하여 입력되는 테스트커맨드를 디코딩하여 테스트모드신호와 로우어드레스 및 컬럼어드레스를 카운팅하기 위한 카운팅인에이블신호를 생성하는 테스트회로; 및

상기 버퍼제어신호에 응답하여 외부커맨드를 버퍼링하여 상기 테스트커맨드를 생성하고, 상기 테스트모드신호에 응답하여 번인테스트를 수행하며, 상기 로우어드레스 및 컬럼어드레스에 대응하는 메모리셀에 대한 리드 동작을 수행하는 데이터입출력회로를 포함하는 반도체장치.

청구항 2

제 1 항에 있어서, 상기 테스트회로는

아이들(IDLE) 상태에서 번인테스트가 수행되는 경우 상기 입력데이터에 응답하여 상기 버퍼제어신호를 생성하는 버퍼제어신호생성부를 포함하는 반도체장치.

청구항 3

제 2 항에 있어서, 상기 테스트회로는

상기 테스트커맨드를 디코딩하여 상기 테스트모드신호와 상기 카운팅인에이블신호를 생성하는 테스트커맨드디코더; 및

상기 카운팅인에이블신호에 응답하여 상기 로우어드레스 및 상기 컬럼어드레스를 카운팅하는 어드레스카운터를 포함하는 반도체장치.

청구항 4

제 3 항에 있어서, 상기 어드레스카운터는 상기 로우어드레스의 모든 비트에 대한 카운팅 동작을 완료한 후 상기 컬럼어드레스를 1 비트만큼 카운팅하는 동작을 반복하여 상기 컬럼어드레스의 모든 비트에 대한 카운팅 동작을 완료시키는 반도체장치.

청구항 5

제 3 항에 있어서, 상기 어드레스카운터는 상기 컬럼어드레스의 모든 비트에 대한 카운팅 동작을 완료한 후 상기 로우어드레스를 1 비트만큼 카운팅하는 동작을 반복하여 상기 로우어드레스의 모든 비트에 대한 카운팅 동작을 완료시키는 반도체장치.

청구항 6

제 1 항에 있어서, 상기 데이터입출력회로는

번인테스트신호를 버퍼링하여 내부 번인테스트신호를 생성하고, 상기 버퍼제어신호에 응답하여 상기 외부커맨드를 버퍼링하여 내부커맨드 또는 상기 테스트커맨드로 선택적으로 출력하는 입력버퍼를 포함하는 반도체장치.

청구항 7

제 6 항에 있어서, 상기 데이터입출력회로는

상기 내부커맨드를 디코딩하여 리드동작을 위한 리드신호를 생성하는 커맨드디코더; 및

상기 리드신호에 응답하여 상기 로우어드레스 및 상기 컬럼어드레스에 대응하는 메모리셀에 대한 리드 동작이 수행되도록 제어하는 제어부를 더 포함하는 반도체장치.

청구항 8

제 7 항에 있어서, 상기 제어부는 상기 테스트모드신호에 응답하여 모든 메모리셀들에 스트레스전압을 인가하는 반도체장치.

청구항 9

제 7 항에 있어서, 상기 제어부는 상기 테스트모드신호에 응답하여 기수번째 또는 우수번째 메모리셀들에 스트레스전압을 인가하는 반도체장치.

청구항 10

아이들(IDLE) 상태에서 번인테스트가 수행되는 경우 데이터패드로 입력되는 입력데이터에 응답하여 버퍼제어신호를 생성하는 버퍼제어신호생성부;

상기 버퍼제어신호에 응답하여 입력된 테스트커맨드를 디코딩하여 테스트모드신호와 카운팅인에이블신호를 생성하는 테스트커맨드디코더; 및

상기 카운팅인에이블신호에 응답하여 로우어드레스 및 컬럼어드레스를 카운팅하는 어드레스카운터를 포함하는 테스트회로.

청구항 11

제 10 항에 있어서, 상기 어드레스카운터는 상기 로우어드레스의 모든 비트에 대한 카운팅 동작을 완료한 후 상기 컬럼어드레스를 1 비트만큼 카운팅하는 동작을 반복하여 상기 컬럼어드레스의 모든 비트에 대한 카운팅 동작을 완료시키는 테스트회로.

청구항 12

제 10 항에 있어서, 상기 어드레스카운터는 상기 컬럼어드레스의 모든 비트에 대한 카운팅 동작을 완료한 후 상기 로우어드레스를 1 비트만큼 카운팅하는 동작을 반복하여 상기 로우어드레스의 모든 비트에 대한 카운팅 동작을 완료시키는 테스트회로.

청구항 13

반도체장치가 아이들(IDLE) 상태이고, 데이터패드로 입력되는 입력데이터가 제1 레벨인 상태에서 번인테스트가 수행되는 경우 외부커맨드를 버퍼링하여 테스트커맨드로 출력하는 단계;

상기 테스트커맨드를 디코딩하여 테스트모드신호와 카운팅인에이블신호를 생성하는 단계; 및

상기 카운팅인에이블신호가 인에이블되는 경우 로우어드레스 및 컬럼어드레스를 카운팅하는 단계를 포함하는 번인테스트 방법.

청구항 14

제 13 항에 있어서, 상기 카운팅하는 단계는
 상기 로우어드레스의 모든 비트에 대한 카운팅 동작을 완료한 후 상기 컬럼어드레스를 1 비트만큼 카운팅하는 동작을 반복하여 상기 컬럼어드레스의 모든 비트에 대한 카운팅 동작을 완료시키는 방식으로 수행되는 번인테스트 방법.

청구항 15

제 13 항에 있어서, 상기 카운팅하는 단계는
 상기 컬럼어드레스의 모든 비트에 대한 카운팅 동작을 완료한 후 상기 로우어드레스를 1 비트만큼 카운팅하는 동작을 반복하여 상기 로우어드레스의 모든 비트에 대한 카운팅 동작을 완료시키는 방식으로 수행되는 번인테스트 방법.

청구항 16

제 13 항에 있어서,
 상기 입력데이터가 제1 레벨에서 제2 레벨로 천이하는 경우 상기 외부커맨드를 버퍼링하여 내부커맨드를 생성하는 단계; 및
 상기 내부커맨드를 디코딩하여 상기 로우어드레스 및 상기 컬럼어드레스에 대응하는 메모리셀에 대한 리드 동작을 수행하는 단계를 더 포함하는 번인테스트 방법.

명세서

기술분야

[0001] 본 발명은 테스트 효율을 향상시킬 수 있는 테스트회로를 포함하는 반도체장치 및 번인테스트 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 반도체장치에서는 초기 불량 가능성이 있는 메모리셀들을 조기에 제거하여 신뢰성을 향상시키기 위해 번인테스트(Burn-in)를 수행한다. 번인테스트란 반도체장치의 불량을 결정짓는데 영향이 큰 팩터, 예컨대 전압을 정상적 상태보다 높여 메모리셀에 인가하여 반도체장치에 스트레스를 가함으로써, 반도체장치의 불량 여부를 판단해 보는 테스트를 말한다.

[0003] 도 1은 종래기술에 따른 번인테스트를 수행하는 반도체장치의 구성을 도시한 블록도이다.

[0004] 도 1에 도시된 바와 같이, 종래기술의 반도체장치는 데이터입출력회로(11) 및 테스트회로(12)로 구성된다. 데이터입출력회로(11)는 내부커맨드(ICMD) 및 제1 내지 제4 내부어드레스(IA<1:4>)를 테스트회로(12)에 인가하고, 제1 내지 제4 테스트모드신호(TM<1:4>)를 입력받아 리셋되거나 번인테스트를 수행한다. 테스트회로(12)는 기설정된 내부커맨드(ICMD)가 입력되는 상태에서 제1 내지 제4 내부어드레스(IA<1:4>)를 디코딩하여 제1 내지 제4 테스트모드신호(TM<1:4>)를 생성한다.

[0005] 이와 같은 구성의 반도체장치에서 수행되는 번인테스트 동작을 도 2를 참고하여 구체적으로 살펴보면 다음과 같다.

[0006] 우선, 테스트회로(12)는 기설정된 내부커맨드(ICMD)가 입력되는 상태에서 제1 내지 제4 내부어드레스(IA<1:4>)를 디코딩하여 선택적으로 인에이블되는 제1 내지 제4 테스트모드신호(TM<1:4>)를 생성한다. 좀 더 구체적으로, 테스트회로(12)는 제1 내지 제4 내부어드레스(IA<1:4>)가 모두 로직로우레벨인 경우 제1 테스트모드신호(TM<1>)를 로직하이레벨로 인에이블시키고, 제4 내부어드레스(IADD<4>)만 로직하이레벨인 경우 제2 테스트모드신호

(TM<2>)를 로직하이레벨로 인에이블시킨다. 또한, 테스트회로(12)는 제2 내부어드레스(IADD<2>) 및 제4 내부어드레스(IADD<4>)가 로직하이레벨인 경우 제3 테스트모드신호(TM<3>)를 로직하이레벨로 인에이블시키고, 제3 및 제4 내부어드레스(IADD<3:4>)가 로직하이레벨인 경우 제4 테스트모드신호(TM<4>)를 로직하이레벨로 인에이블시킨다.

[0007] 다음으로, 데이터입출력회로(11)는 제1 내지 제4 테스트모드신호(TM<1:4>)에 응답하여 리셋되거나 번인테스트를 수행한다. 즉, 데이터입출력회로(11)는 제1 테스트모드신호(TM<1>)가 인에이블되는 경우 리셋(RESET)되고, 제2 내지 제4 테스트모드신호(TM<4>) 중 하나가 인에이블되는 경우 번인테스트를 수행한다. 좀 더 구체적으로, 제2 테스트모드신호(TM<2>)가 인에이블되는 경우 데이터입출력회로(11)의 기수(odd number)번째 워드라인에 연결된 메모리셀들에 스트레스 전압이 인가되고, 제3 테스트모드신호(TM<3>)가 인에이블되는 경우 우수(even number)번째 워드라인에 연결된 메모리셀들에 스트레스 전압이 인가되며, 제4 테스트모드신호(TM<4>)가 인에이블되는 경우 모든 워드라인에 연결된 메모리셀에 스트레스 전압이 인가된다.

[0008] 이상 살펴본 반도체장치는 제1 내지 제4 내부어드레스(IA<1:4>)의 레벨 조합에 따라 제1 내지 제4 테스트모드신호(TM<1:4>)를 선택적으로 인에이블시켜 인에이블되는 워드라인을 조절한 후, 인에이블된 워드라인에 연결된 메모리셀들에 스트레스 전압을 인가하는 방식으로 번인테스트를 수행한다.

[0009] 이와 같은 방식의 번인테스트는 주로 웨이퍼 상태에서 실시되는데, 리드동작이 수반되지 않아 스트레스전압이 인가된 메모리셀들의 불량 여부가 번인테스트 동작 중에 확인되지는 않는다. 따라서, 종래의 반도체 장치에서는 패키지 상태에서 리드동작이 수반된 번인테스트를 추가적으로 실시하여 메모리셀들의 불량 여부를 확인하였다.

발명의 내용

[0010] 본 발명은 리드동작 수반된 번인테스트를 수행할 수 있도록 한 테스트회로를 포함하는 반도체장치 및 번인테스트 방법을 개시한다.

[0011] 이를 위해 본 발명은 데이터패드로 입력되는 입력데이터에 응답하여 버퍼제어신호를 생성하고, 상기 버퍼제어신호에 응답하여 입력되는 테스트커맨드를 디코딩하여 테스트모드신호와 로우어드레스 및 컬럼어드레스를 카운팅하기 위한 카운팅인에이블신호를 생성하는 테스트회로; 및 상기 버퍼제어신호에 응답하여 외부커맨드를 버퍼링하여 상기 테스트커맨드를 생성하고, 상기 테스트모드신호에 응답하여 번인테스트를 수행하며, 상기 로우어드레스 및 컬럼어드레스에 대응하는 메모리셀에 대한 리드 동작을 수행하는 데이터입출력회로를 포함하는 반도체장치를 제공한다.

[0012] 또한, 본 발명은 아이들(IDLE) 상태에서 번인테스트가 수행되는 경우 데이터패드로 입력되는 입력데이터에 응답하여 버퍼제어신호를 생성하는 버퍼제어신호생성부; 상기 버퍼제어신호에 응답하여 입력된 테스트커맨드를 디코딩하여 테스트모드신호와 카운팅인에이블신호를 생성하는 테스트커맨드디코더; 및 상기 카운팅인에이블신호에 응답하여 로우어드레스 및 컬럼어드레스를 카운팅하는 어드레스카운터를 포함하는 테스트회로를 제공한다.

[0013] 또한, 본 발명은 반도체장치가 아이들(IDLE) 상태이고, 데이터패드로 입력되는 입력데이터가 제1 레벨인 상태에서 번인테스트가 수행되는 경우 외부커맨드를 버퍼링하여 테스트커맨드로 출력하는 단계; 상기 테스트커맨드를 디코딩하여 테스트모드신호와 카운팅인에이블신호를 생성하는 단계; 및 상기 카운팅인에이블신호가 인에이블되는 경우 로우어드레스 및 컬럼어드레스를 카운팅하는 단계를 포함하는 번인테스트 방법을 제공한다.

도면의 간단한 설명

[0014] 도 1은 종래기술에 따른 번인테스트를 수행하는 반도체장치의 구성을 도시한 블록도이다.

도 2는 도 1에 도시된 반도체장치의 번인테스트 동작을 설명하기 위한 표이다.

도 3은 본 발명의 일 실시예에 따른 번인테스트를 수행하는 반도체장치의 구성을 도시한 블록도이다.

도 4는 도 3에 도시된 제어부 및 테스트커맨드디코더의 동작을 보다 구체적으로 설명하기 위한 표이다.

도 5는 도 3에 도시된 반도체장치의 번인테스트 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 실시예를 통하여 본 발명을 더욱 상세히 설명하기로 한다. 이들 실시예는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 권리 보호 범위가 이들 실시예에 의해 제한되는 것은 아니다.
- [0016] 도 3은 본 발명의 일 실시예에 따른 번인테스트를 수행하는 반도체장치의 구성을 도시한 블럭도이다.
- [0017] 도 3에 도시된 바와 같이, 본 실시예의 반도체장치는 데이터입출력회로(2) 및 테스트회로(3)를 포함한다. 데이터입출력회로(2)는 입력버퍼(21), 커맨드디코더(22), 제어부(23), 출력드라이버(24), 입력드라이버(25) 및 데이터패드(26)로 구성된다. 테스트회로(3)는 버퍼제어신호생성부(31), 테스트커맨드디코더(32) 및 어드레스카운터(33)로 구성된다.
- [0018] 입력버퍼(21)는 버퍼제어신호(BCON)에 응답하여 제1 내지 제4 외부커맨드(CSB, RASB, CASB, WEB)를 버퍼링하여 선택적으로 제 1 내지 제4 테스트커맨드(TCSB, TRASB, TCASB, TWEB) 또는 제1 내지 제4 내부커맨드(ICSB, IRASB, ICASB, IWEB)로 출력한다. 좀 더 구체적으로, 입력버퍼(21)는 버퍼제어신호(BCON)가 로직하이레벨인 경우 제1 내지 제4 외부커맨드(CSB, RASB, CASB, WEB)를 버퍼링하여 제 1 내지 제4 테스트커맨드(TCSB, TRASB, TCASB, TWEB)로 출력하고, 버퍼제어신호(BCON)가 로직로우레벨인 경우 제1 내지 제4 외부커맨드(CSB, RASB, CASB, WEB)를 버퍼링하여 제1 내지 제4 내부커맨드(ICSB, IRASB, ICASB, IWEB)로 출력한다. 또한, 입력버퍼(21)는 번인테스트신호(WBI)를 버퍼링하여 내부 번인테스트신호(IWBI)로 출력한다. 여기서, 제1 외부커맨드(CSB)는 데이터입출력회로(2)를 포함하는 칩의 동작을 위해 선택될 때 로직로우레벨로 인에이블되는 신호이고, 제2 외부커맨드(RASB)는 액티브동작을 위해 로직로우레벨로 인에이블되는 로우어드레스 스트로빙신호이다. 또한, 제3 외부커맨드(CASB)는 리드동작 및 라이트동작을 위해 로직로우레벨로 인에이블되는 컬럼어드레스 스트로빙신호이며, 제4 외부커맨드(WEB)는 라이트동작 시 로직로우레벨로 인에이블되는 라이트인에이블 신호이다.
- [0019] 커맨드디코더(22)는 내부 번인테스트신호(IWBI) 및 제1 내지 제4 내부커맨드(ICSB, IRASB, ICASB, IWEB)를 디코딩하여 액티브 동작을 위한 액티브신호(ACT), 리드동작을 위한 리드신호(RD), 라이트동작을 위한 라이트신호(WT) 및 아이들신호(SIDLE)를 생성한다. 아이들신호(SIDLE)는 아이들(IDLE) 상태, 즉, 데이터입출력회로(2)에서 액티브동작, 리드동작 및 라이트동작 등의 실질적인 동작이 수행되지 않는 상태에서 로직하이레벨로 인에이블되는 신호이다.
- [0020] 제어부(23)는 제1 내지 제4 테스트모드신호(TM<1:4>)에 응답하여 데이터입출력회로(2)를 리셋시키거나 데이터입출력회로(2)에 포함된 메모리셀들(미도시)에 선택적으로 스트레스전압을 인가한다. 좀 더 구체적으로, 제어부(23)는 제1 테스트모드신호(TM<1>)가 로직하이레벨로 인에이블되는 경우 데이터입출력회로(2)를 리셋시키고, 제2 테스트모드신호(TM<2>)가 로직하이레벨로 인에이블되는 경우 데이터입출력회로(2)에 포함된 기수번째 워드라인에 연결된 메모리셀들에 스트레스전압을 인가한다. 또한, 제어부(23)는 제3 테스트모드신호(TM<3>)가 로직하이레벨로 인에이블되는 경우 데이터입출력회로(2)에 포함된 우수번째 워드라인에 연결된 메모리셀들에 스트레스전압을 인가하며, 제4 테스트모드신호(TM<4>)가 로직하이레벨로 인에이블되는 경우 데이터입출력회로(2)에 포함된 모든 워드라인에 연결된 메모리셀들에 스트레스전압을 인가한다.
- [0021] 한편, 제어부(23)는 리드신호(RD)가 로직하이레벨로 입력되는 경우 출력데이터(DQ_OUT)를 출력드라이버(24)를 통해 구동하여 데이터패드(26)로 출력한다. 또한, 제어부(23)는 라이트신호(WT)가 로직하이레벨로 입력되는 경우 데이터패드(26)를 통해 입력된 데이터를 입력드라이버(25)에 의해 구동하여 생성한 입력데이터(DQ_IN)를 입력받는다.
- [0022] 버퍼제어신호생성부(31)는 내부 번인테스트신호(IWBI), 아이들신호(SIDLE) 및 입력데이터(DQ_IN)를 입력받아 버퍼제어신호(BCON)를 생성한다. 버퍼제어신호(BCON)는 내부 번인테스트신호(IWBI), 아이들신호(SIDLE) 및 입력데이터(DQ_IN)가 모두 로직하이레벨인 경우 로직하이레벨로 생성된다. 즉, 버퍼제어신호생성부(31)는 아이들(IDLE) 상태에서 번인테스트가 수행되고, 데이터패드(26)를 통해 입력되는 입력데이터(DQ_IN)가 로직하이레벨인 경우 로직하이레벨의 버퍼제어신호(BCON)를 생성한다.
- [0023] 테스트커맨드디코더(32)는 제 1 내지 제4 테스트커맨드(TCSB, TRASB, TCASB, TWEB)를 디코딩하여 제1 내지 제4 테스트모드신호(TM<1:4>)와 카운팅인에이블신호(CNTEN)를 생성한다. 제1 내지 제4 테스트모드신호(TM<1:4>)와 카운팅인에이블신호(CNTEN)는 제 1 내지 제4 테스트커맨드(TCSB, TRASB, TCASB, TWEB)의 레벨 조합에 따라 선택적으로 인에이블되도록 설정되는 것이 바람직하다. 제1 내지 제4 테스트모드신호(TM<1:4>)와 카운팅인에이블신

호(CNTEN)를 인에이블시키는 제 1 내지 제4 테스트커맨드(TCSB, TRASB, TCASB, TWEB)의 레벨 조합은 실시예에 따라 다양하게 설정할 수 있다.

[0024] 어드레스카운터(33)는 로직하이레벨의 카운팅인에이블신호(CNTEN)가 입력되는 구간에서 로우어드레스(RA<1:14>) 및 컬럼어드레스(CA<1:7>)를 카운팅한다. 어드레스카운터(33)가 로우어드레스(RA<1:14>) 및 컬럼어드레스(CA<1:7>)를 카운팅하는 방식은 실시예에 따라 다양하게 설정할 수 있다. 예를 들어, 어드레스카운터(33)의 카운팅 방식은 로우어드레스(RA<1:14>)를 모두 로직로우레벨에서 모두 로직하이레벨이 될 때까지 2^{14} 번 카운팅한 후 컬럼어드레스(CA<1:7>)를 1 비트만큼 카운팅하는 동작을 반복하여 컬럼어드레스(CA<1:7>)가 모두 로직로우레벨에서 모두 로직하이레벨이 될 때까지 2^7 번 카운팅하는 방식으로 설정될 수 있다. 또한, 어드레스카운터(33)의 카운팅 방식은 컬럼어드레스(CA<1:7>)를 모두 로직로우레벨에서 모두 로직하이레벨이 될 때까지 2^7 번 카운팅한 후 로우어드레스(RA<1:14>)를 1 비트만큼 카운팅하는 동작을 반복하여 로우어드레스(RA<1:14>)가 모두 로직로우레벨에서 모두 로직하이레벨이 될 때까지 2^{14} 번 카운팅하는 방식으로도 설정될 수 있다.

[0025] 도 4는 제어부(23) 및 테스트커맨드디코더(32)의 동작을 보다 구체적으로 설명하기 위한 표이다.

[0026] 테스트커맨드디코더(32)는, 도 4에 도시된 바와 같이, 제1 내지 제4 테스트커맨드(TCSB, TRASB, TCASB, TWEB)의 레벨 조합에 따라 제1 내지 제4 테스트모드신호(TM<1:4>)와 카운팅인에이블신호(CNTEN)를 선택적으로 로직하이레벨로 인에이블시킨다. 즉, 제1 테스트모드신호(TM<1>)는 제1 내지 제4 테스트커맨드(TCSB, TRASB, TCASB, TWEB)가 모두 로직로우레벨인 경우 로직하이레벨로 인에이블되고, 제2 테스트모드신호(TM<2>)는 제1 테스트커맨드(TCSB)만 로직하이레벨인 경우 로직하이레벨로 인에이블되며, 제3 테스트모드신호(TM<3>)는 제1 테스트커맨드(TCSB) 및 제3 테스트커맨드(TCASB)만 로직하이레벨인 경우 로직하이레벨로 인에이블되고, 제4 테스트모드신호(TM<4>)는 제1 테스트커맨드(TCSB) 및 제2 테스트커맨드(TRASB)만 로직하이레벨인 경우 로직하이레벨로 인에이블된다. 또한, 카운팅인에이블신호(CNTEN)는 제1 테스트커맨드(TCSB) 및 제2 테스트커맨드(TRASB)가 로직로우레벨이고, 제3 테스트커맨드(TCASB) 및 제4 테스트커맨드(TWEB)가 로직하이레벨인 경우 로직하이레벨로 인에이블된다. 카운팅인에이블신호(CNTEN)가 로직하이레벨인 구간에서 어드레스카운터(33)는 로우어드레스(RA<1:14>) 및 컬럼어드레스(CA<1:7>)를 카운팅한다.

[0027] 한편, 제어부(23)는, 도 4에 도시된 바와 같이, 제1 내지 제4 테스트모드신호(TM<1:4>)와 카운팅인에이블신호(CNTEN)에 응답하여 다양한 동작을 수행한다. 즉, 제1 테스트모드신호(TM<1>)가 인에이블되는 경우 데이터입출력회로(2)의 리셋(RESET) 동작이 수행되고, 제2 테스트모드신호(TM<2>)가 인에이블되는 경우 데이터입출력회로(2)의 기수(odd number)번째 워드라인에 연결된 메모리셀들에 스트레스 전압이 인가되며, 제3 테스트모드신호(TM<3>)가 인에이블되는 경우 우수(even number)번째 워드라인에 연결된 메모리셀들에 스트레스 전압이 인가되고, 제4 테스트모드신호(TM<4>)가 인에이블되는 경우 모든 워드라인에 연결된 메모리셀에 스트레스 전압이 인가된다. 한편, 카운팅인에이블신호(CNTEN)가 인에이블된 상태에서 제어부(23)는 카운팅되는 로우어드레스(RA<1:14>) 및 컬럼어드레스(CA<1:7>)에 대응하는 메모리셀에 대한 리드동작 또는 라이트동작을 수행한다.

[0028] 이상 살펴본 반도체장치의 동작을 도 5를 참고하여 구체적으로 살펴본다.

[0029] 우선, 아이들(IDLE) 상태로 설정된 t1 시점에서 번인테스트를 위해 번인테스트신호(WBI)가 로직하이레벨로 인에이블되고, 입력데이터(DQ_IN)가 로직하이레벨로 인가되면 버퍼제어신호(BCON)는 로직하이레벨로 인에이블된다. 버퍼제어신호(BCON)가 로직하이레벨인 상태에서 제1 내지 제4 외부커맨드(CSB, RASB, CASB, WEB)는 버퍼링되어 제1 내지 제4 테스트커맨드(TCSB, TRASB, TCASB, TWEB)로 출력되고, 제1 내지 제4 테스트모드신호(TM<1:4>) 및 카운팅인에이블신호(CNTEN)는 제1 내지 제4 테스트커맨드(TCSB, TRASB, TCASB, TWEB)의 레벨 조합에 따라 선택적으로 인에이블된다. 따라서, t2 시점에서는 제4 테스트모드신호(T<4>)가 로직하이레벨로 인에이블되어 데이터입출력회로(2)의 모든 워드라인에 연결된 메모리셀에 스트레스 전압이 인가된다. 또한, t3 시점에서는 카운팅인에이블신호(CNTEN)가 로직하이레벨로 인에이블되어, 로우어드레스(RA<1:14>) 및 컬럼어드레스(CA<1:7>)가 카운팅된다.

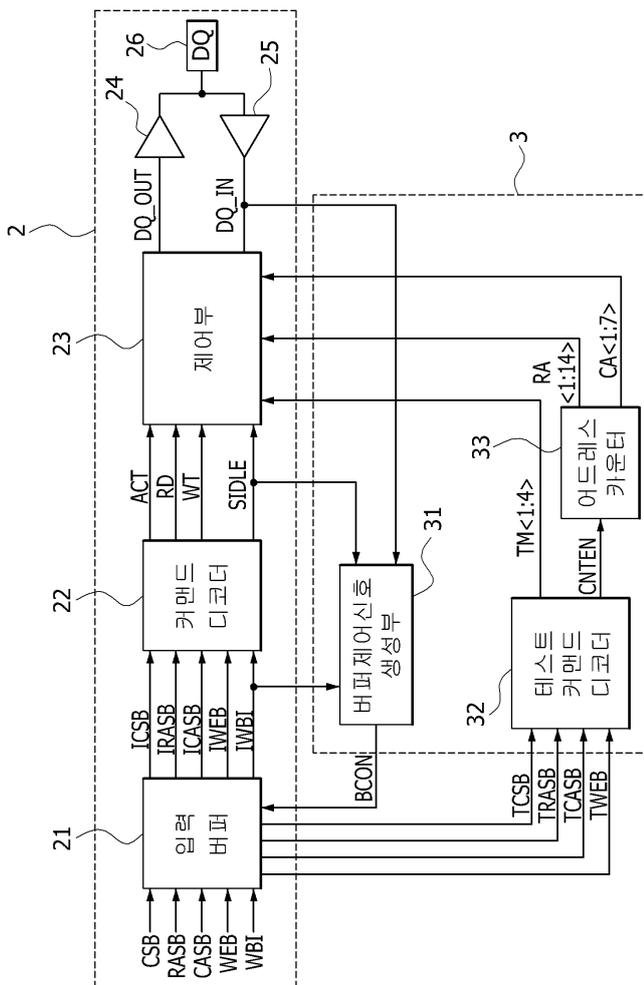
[0030] 다음으로, t4 시점에서 입력데이터(DQ_IN)가 로직로우레벨로 천이하면 버퍼제어신호(BCON)가 로직로우레벨로 디스에이블된다. 버퍼제어신호(BCON)가 로직로우레벨인 상태에서 제1 내지 제4 외부커맨드(CSB, RASB, CASB, WEB)는 버퍼링되어 제1 내지 제4 내부커맨드(ICSB, IRASB, ICASB, IWEB)로 출력된다.

[0031] 제1 내지 제4 내부커맨드(ICSB, IRASB, ICASB, IWEB)에 의해 데이터입출력회로(2)는 액티브동작, 리드동작 및 라이트동작을 수행할 수 있다. 즉, t5 시점에서 제1 외부커맨드(CSB) 및 제2 외부커맨드(RASB)가 로직로우레벨,

도면2

IA<4>	IA<3>	IA<2>	IA<1>	TM<1:4>	OPERATION
L	L	L	L	TM<1>='H'	RESET
H	L	L	L	TM<2>='H'	ODD WL ENABLE
H	L	H	L	TM<3>='H'	EVEN WL ENABLE
H	H	L	L	TM<4>='H'	ALL WL ENABLE

도면3



도면4

TCSB	TRASB	TCASB	TWEB	TM<1:4>	CNTEN	OPERATION
L	L	L	L	TM<1>='H'	L	RESET
H	L	L	L	TM<2>='H'	L	ODD WL ENABLE
H	L	H	L	TM<3>='H'	L	EVEN WL ENABLE
H	H	L	L	TM<4>='H'	L	ALL WL ENABLE
L	L	H	H	TM<1:4>='L'	H	ROW&COLUMN ADDRESS COUNTING

도면5

