



(12) 发明专利

(10) 授权公告号 CN 110658657 B

(45) 授权公告日 2021. 10. 01

(21) 申请号 201810700168.1

G02F 1/1343 (2006.01)

(22) 申请日 2018.06.29

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 110658657 A

CN 101950108 A, 2011.01.19

CN 105629611 A, 2016.06.01

US 2016011473 A1, 2016.01.14

(43) 申请公布日 2020.01.07

CN 106292110 A, 2017.01.04

US 2016147119 A1, 2016.05.26

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

审查员 张进

(72) 发明人 严允晟 贾玉娥 廖峰 张慧
张舜航 王洪润 刘立伟 侯凯
林允植

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 焦玉恒

(51) Int. Cl.

G02F 1/1362 (2006.01)

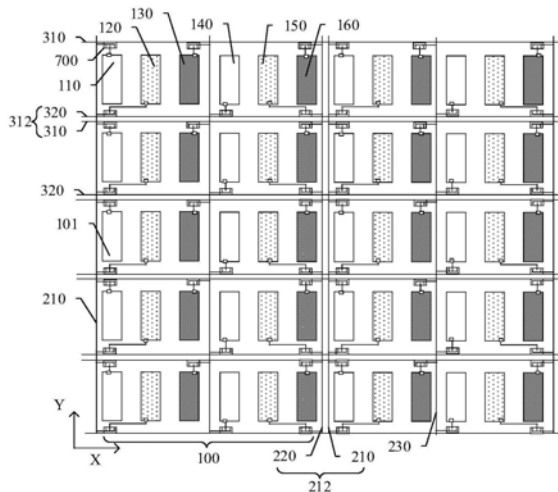
权利要求书2页 说明书11页 附图6页

(54) 发明名称

阵列基板和显示面板

(57) 摘要

本公开提供一种阵列基板和显示装置。该阵列基板包括：沿行方向和列方向排布的多个子像素，相邻的四列子像素列或者六列子像素列组成子像素列组；多条数据线，沿列方向延伸，数据线包括第一数据线和第二数据线，其中，沿行方向，子像素列组的两侧分别设置有第一数据线和第二数据线，且相邻的子像素列组之间包括第一数据线和第二数据线组成的数据线对。本公开实施例提供的阵列基板可以提高开口率。



1. 一种阵列基板,包括:

沿行方向和列方向排布的多个子像素,相邻的六列子像素列组成子像素列组;

多条数据线,沿所述列方向延伸,所述数据线包括第一数据线和第二数据线;

多条栅线,沿所述行方向延伸,所述栅线包括第一栅线和第二栅线,

其中,沿所述行方向,所述子像素列组的两侧分别设置有所述第一数据线和所述第二数据线,且相邻的所述子像素列组之间包括所述第一数据线和所述第二数据线组成的数据线对;

所述子像素列组包括多行子像素行,且沿所述列方向,每个所述子像素行的两侧分别设置所述第一栅线和所述第二栅线,且相邻的所述子像素行之间包括所述第一栅线和所述第二栅线组成的栅线对;

所述子像素列组包括沿所述行方向依次排列的第一子像素列、第二子像素列、第三子像素列、第四子像素列、第五子像素列以及第六子像素列;

所述多条数据线还包括第三数据线,所述第三数据线设置在所述第三子像素列与所述第四子像素列之间,所述第一数据线与所述第一子像素列和所述第二子像素列连接,所述第三数据线与所述第三子像素列和所述第四子像素列连接,所述第二数据线与所述第五子像素列和所述第六子像素列连接。

2. 根据权利要求1所述的阵列基板,其中,所述第一栅线与所述第一子像素列和所述第二子像素列之一连接,所述第二栅线与所述第一子像素列和所述第二子像素列的另一个连接;所述第一栅线与所述第三子像素列和所述第四子像素列之一连接,所述第二栅线与所述第三子像素列和所述第四子像素列的另一个连接;所述第一栅线与所述第五子像素列和所述第六子像素列之一连接,所述第二栅线与所述第五子像素列和所述第六子像素列的另一个连接。

3. 根据权利要求1所述的阵列基板,其中,所述子像素列组中的一行所述子像素行中的位于所述第三数据线一侧的三个所述子像素具有不同的颜色,且位于所述第三数据线另一侧的三个所述子像素也具有不同的颜色。

4. 根据权利要求3所述的阵列基板,其中,所述子像素列组中的一行所述子像素行中的位于所述第三数据线一侧的三个所述子像素包括红色子像素、绿色子像素以及蓝色子像素,且位于所述第三数据线另一侧的三个所述子像素也包括红色子像素、绿色子像素以及蓝色子像素。

5. 根据权利要求1所述的阵列基板,还包括:

多条公共电极线,其中,所述第一子像素列与所述第二子像素列之间、所述第二子像素列与所述第三子像素列之间、所述第四子像素列与所述第五子像素列之间,以及所述第五子像素列与所述第六子像素列之间的至少之一设置有所述公共电极线。

6. 根据权利要求5所述的阵列基板,其中,所述公共电极线包括沿所述列方向延伸的且经过多行所述子像素行的第一公共电极线,所述第一公共电极线位于所述第二子像素列与所述第三子像素列之间,和所述第四子像素列与所述第五子像素列之间的至少之一。

7. 根据权利要求6所述的阵列基板,其中,所述公共电极线还包括第二公共电极线,所述第二公共电极线包括沿所述列方向延伸的第一线段和沿所述行方向延伸的第二线段,所述第一线段的一端通过所述第二线段与所述第一公共电极线电连接,其中所述第一线段不

经过相邻的所述子像素行之间的间隔,且所述第一线段位于所述第一子像素列与所述第二子像素列之间,和所述第五子像素列与所述第六子像素列之间的至少之一。

8. 根据权利要求5所述的阵列基板,还包括:

衬底基板和黑矩阵,其中,所述数据线、所述栅线以及所述公共电极线位于所述衬底基板上,所述黑矩阵位于所述数据线、所述栅线以及所述公共电极线远离所述衬底基板的一侧,且所述数据线、所述栅线以及所述公共电极线在所述衬底基板上的正投影位于所述黑矩阵在所述衬底基板上的正投影内。

9. 一种显示面板,包括权利要求1-8任一项所述的阵列基板。

阵列基板和显示面板

技术领域

[0001] 本公开至少一个实施例涉及一种阵列基板和显示装置。

背景技术

[0002] 双栅线(dual gate)技术是将显示装置中的数据线的数量减少一半,栅线的数量增加一倍的驱动技术,即,将与数据线连接的源极驱动集成电路(integrated circuit, IC)的数量减半,将与栅线连接的栅极驱动集成电路的数量加倍。由于栅极驱动集成电路的单价比源极驱动集成电路的单价便宜,从而实现成本的降低。

发明内容

[0003] 本公开的至少一实施例提供一种阵列基板和显示装置。本公开实施例提供的阵列基板可以提高开口率。

[0004] 本公开的至少一实施例提供一种阵列基板,包括:沿行方向和列方向排布的多个子像素,相邻的四列子像素列或六列子像素列组成子像素列组;多条数据线,沿所述列方向延伸,所述数据线包括第一数据线和第二数据线,其中,沿所述行方向,所述子像素列组的两侧分别设置有所述第一数据线和所述第二数据线,且相邻的所述子像素列组之间包括所述第一数据线和所述第二数据线组成的数据线对。

[0005] 在一些示例中,阵列基板还包括:多条栅线,沿所述行方向延伸,所述栅线包括第一栅线和第二栅线,其中,所述子像素列组包括多行子像素行,且沿所述列方向,每个所述子像素行的两侧分别设置所述第一栅线和所述第二栅线,且相邻的所述子像素行之间包括所述第一栅线和所述第二栅线组成的栅线对。

[0006] 在一些示例中,相邻的六列子像素列组成所述子像素列组,所述子像素列组包括沿所述行方向依次排列的第一子像素列、第二子像素列、第三子像素列、第四子像素列、第五子像素列以及第六子像素列;所述多条数据线还包括第三数据线,所述第三数据线设置在所述第三子像素列与所述第四子像素列之间;其中,所述第一数据线与所述第一子像素列和所述第二子像素列连接,所述第三数据线与所述第三子像素列和所述第四子像素列连接,所述第二数据线与所述第五子像素列和所述第六子像素列连接。

[0007] 在一些示例中,所述第一栅线与所述第一子像素列和所述第二子像素列之一连接,所述第二栅线与所述第一子像素列和所述第二子像素列的另一个连接;所述第一栅线与所述第三子像素列和所述第四子像素列之一连接,所述第二栅线与所述第三子像素列和所述第四子像素列的另一个连接;所述第一栅线与所述第五子像素列和所述第六子像素列之一连接,所述第二栅线与所述第五子像素列和所述第六子像素列的另一个连接。

[0008] 在一些示例中,所述子像素列组中的一行所述子像素行中的位于所述第三数据线一侧的三个所述子像素具有不同的颜色,且位于所述第三数据线另一侧的三个所述子像素也具有不同的颜色。

[0009] 在一些示例中,所述子像素列组中的一行所述子像素行中的位于所述第三数据线

一侧的三个所述子像素包括红色子像素、绿色子像素以及蓝色子像素,且位于所述第三数据线另一侧的三个所述子像素也包括红色子像素、绿色子像素以及蓝色子像素。

[0010] 在一些示例中,所述子像素列组中的各所述子像素列中的子像素具有相同的颜色。

[0011] 在一些示例中,阵列基板还包括:多条公共电极线,其中,所述第一子像素列与所述第二子像素列之间、所述第二子像素列与所述第三子像素列之间、所述第四子像素列与所述第五子像素列之间,以及所述第五子像素列与所述第六子像素列之间的至少之一设置有所述公共电极线。

[0012] 在一些示例中,所述公共电极线包括沿所述列方向延伸的且经过多行所述子像素行的第一公共电极线,所述第一公共电极线位于所述第二子像素列与所述第三子像素列之间,和所述第四子像素列与所述第五子像素列之间的至少之一。

[0013] 在一些示例中,所述公共电极线还包括第二公共电极线,所述第二公共电极线包括沿所述列方向延伸的第一线段和沿所述行方向延伸的第二线段,所述第一线段的一端通过所述第二线段与所述第一公共电极线电连接,其中所述第一线段不经过相邻的所述子像素行之间的间隔,且所述第一线段位于所述第一子像素列与所述第二子像素列之间,和所述第五子像素列与所述第六子像素列之间的至少之一。

[0014] 在一些示例中,相邻的四列子像素列组成所述子像素列组,所述子像素列组包括沿所述行方向依次排列的第一子像素列、第二子像素列、第三子像素列以及第四子像素列,且所述第一数据线与所述第一子像素列和所述第二子像素列连接,所述第二数据线与所述第三子像素列和所述第四子像素列连接。

[0015] 在一些示例中,所述第一栅线与所述第一子像素列和所述第二子像素列之一连接,所述第二栅线与所述第一子像素列和所述第二子像素列的另一个连接;所述第一栅线与所述第三子像素列和所述第四子像素列之一连接,所述第二栅线与所述第三子像素列和所述第四子像素列的另一个连接。

[0016] 在一些示例中,所述子像素列组中的一行所述子像素行中的四个所述子像素具有不同的颜色。

[0017] 在一些示例中,所述子像素列组中的一行所述子像素行包括红色子像素、绿色子像素、蓝色子像素以及白色子像素。

[0018] 在一些示例中,阵列基板还包括:多条公共电极线,其中,所述第一子像素列与所述第二子像素列之间、所述第二子像素列与所述第三子像素列之间以及所述第三子像素列与所述第四子像素列之间的至少之一设置有所述公共电极线。

[0019] 在一些示例中,所述公共电极线包括沿所述列方向延伸的且经过多行所述子像素行的第一公共电极线,所述第一公共电极线位于所述第二子像素列与所述第三子像素列之间。

[0020] 在一些示例中,所述公共电极线还包括第二公共电极线,所述第二公共电极线包括沿所述列方向延伸的第一线段和沿所述行方向延伸的第二线段,所述第一线段的一端通过所述第二线段与所述第一公共电极线电连接,其中所述第一线段不经过相邻的所述子像素行之间的间隔,且所述第一线段位于所述第一子像素列与所述第二子像素列之间,和所述第三子像素列与所述第四子像素列之间的至少之一。

[0021] 在一些示例中,阵列基板还包括:衬底基板和黑矩阵,其中,所述数据线、所述栅线以及所述公共电极线位于所述衬底基板上,所述黑矩阵位于所述数据线、所述栅线以及所述公共电极线远离所述衬底基板的一侧,且所述数据线、所述栅线以及所述公共电极线在所述衬底基板上的正投影位于所述黑矩阵在所述衬底基板上的正投影内。

[0022] 本公开的至少一实施例提供一种显示面板,包括上述任一示例所述的阵列基板。

附图说明

[0023] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0024] 图1A为一种双栅线型阵列基板的局部结构示意图;

[0025] 图1B为包括图1A所示的阵列基板的显示装置用于显示时的示意图;

[0026] 图2为本公开一实施例提供的阵列基板的局部结构示意图;

[0027] 图3为本公开另一实施例提供的阵列基板的局部结构示意图;

[0028] 图4为本公开一实施例提供的包括黑矩阵的阵列基板的局部结构示意图;

[0029] 图5为本公开另一实施例提供的阵列基板的局部结构示意图;

[0030] 图6为本公开另一实施例提供的阵列基板的局部结构示意图;

[0031] 图7为本公开一实施例提供一种显示面板的示意框图;

[0032] 图8为本公开另一实施例提供一种显示面板的局部结构示意图。

具体实施方式

[0033] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例的附图,对本发明实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于所描述的本发明的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0034] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。

[0035] 图1A为一种双栅线型阵列基板的局部结构示意图。如图1A所示,该双栅线型阵列基板包括第一子像素11、第二子像素12、与第一子像素11和第二子像素12连接的数据线21以及位于第一子像素11和第二子像素12之间的公共电极线22。数据线21通过第一薄膜晶体管41与第一子像素11连接,数据线21通过第二薄膜晶体管42与第二子像素12连接。该阵列基板还包括第一栅线31和第二栅线32。沿Y方向,第一栅线31和第二栅线32分别位于第一子像素11和第二子像素12的两侧,第一栅线31通过第一薄膜晶体管41与第一子像素11连接,第二栅线32通过第二薄膜晶体管42与第二子像素12连接。因此,在图1A所示的阵列基板中,第一子像素11和第二子像素12共享同一条数据线21,但分别连接至不同的栅线。该阵列基板以第一子像素11和第二子像素12构成一个重复单元为例。

[0036] 例如,由第一子像素11和第二子像素12构成的重复单元可以包括红色子像素和绿

色子像素,或者蓝色子像素和红色子像素,或者绿色子像素和蓝色子像素。因此,相邻的重复单元中包括的子像素的颜色可以是不同的。

[0037] 该阵列基板可以应用于液晶显示装置,此时,为了防止漏光现象的产生,在数据线21、公共电极线22以及第一栅线31和第二栅线32上还设置有黑矩阵(图中未示出)。由于数据线21与第一子像素11(第二子像素12)的像素电极之间容易产生电容,同时也容易影响位于像素电极与数据线之间的液晶分子,因此,可以在数据线与子像素电极之间设置屏蔽条(shielding bar)。

[0038] 在设计位于数据线和公共电极线上的黑矩阵的沿X方向的宽度时,考虑到公共电极线所在位置不容易产生漏光现象,因此公共电极线上设置的黑矩阵的宽度可以较窄,例如位于公共电极线上的黑矩阵的宽度可以为 $20\mu\text{m}$ 。数据线所在位置容易产生漏光现象,因此位于数据线以及屏蔽条上的黑矩阵的宽度设计的较宽,例如,位于数据线上的黑矩阵的宽度可以为 $29.5\mu\text{m}$ 。此时,在图1A所示的两个子像素中,位于数据线21和公共电极线22上的黑矩阵的沿X方向平均宽度为 $(29.5+20)/2=24.75\mu\text{m}$ 。此外,位于栅线上的黑矩阵的沿Y方向的宽度为 $82\mu\text{m}$ 。以一个子像素的尺寸为 $105\mu\text{m} * 315\mu\text{m}$ 为例,则图1A所示的开口率约为55.6%。

[0039] 图1B为包括图1A所示的阵列基板的显示装置用于显示时的示意图。如图1B所示,例如,在显示装置为笔记本电脑时,人眼在距离显示屏 $200\text{mm}-500\text{mm}$ 处观察到周期性的竖条纹,则说明该显示装置出现了显示不均的现象(dim mura)。例如,在显示装置为电视时,人眼在距离显示屏 $2\text{m}-7\text{m}$ 处观察到周期性竖条纹,则说明该显示装置出现了显示不均的现象(dim mura)。

[0040] 在研究中,本申请的发明人发现:对于图1A所示的结构,当减小数据线21和公共电极线22上的黑矩阵的宽度的差异时,可以防止mura现象的产生。

[0041] 沿X方向,数据线上的黑矩阵的宽度与公共电极线上的黑矩阵的宽度的差值与重复单元的尺寸的比值为图1A所示的结构的不同黑矩阵的差异率。

[0042] 例如,如图1A所示,沿X方向,重复单元的尺寸为 $210\mu\text{m}$ 。并且,沿X方向,在数据线21上的黑矩阵的宽度为 $29.5\mu\text{m}$,公共电极线22上的黑矩阵的宽度为 $12.5\mu\text{m}$ 时,黑矩阵的差异率为 $(29.5-12.5)/210=8.1\%$,此时,该结构用于显示时会发生mura现象。如果调整位于公共电极线22上的黑矩阵的宽度,将其宽度增加为 $22\mu\text{m}$,则黑矩阵的差异率为 $(29.5-22)/210=3.6\%$,此时,该结构在用于显示时不会发生mura现象。一般,在黑矩阵的差异率小于4%时,显示装置不会发生mura现象。

[0043] 然而,本申请的发明人发现,通过增加位于公共电极线上的黑矩阵的宽度虽然可以防止mura现象的产生,但是也会导致显示装置的开口率降低。

[0044] 本公开的实施例提供一种阵列基板和显示装置。该阵列基板包括:沿行方向和列方向排布的多个子像素,相邻的四列子像素列或六列子像素列组成子像素列组;多条数据线,沿列方向延伸,数据线包括第一数据线和第二数据线,其中,沿行方向,子像素列组的两侧分别设置有第一数据线和第二数据线,且相邻的子像素列组之间包括第一数据线和第二数据线组成的数据线对。在本公开提供的阵列基板可以提高开口率。

[0045] 下面结合附图对本公开实施例提供的阵列基板以及显示装置进行描述。

[0046] 图2为本公开一实施例提供的阵列基板的局部结构示意图。如图2所示,本实施例

提供的阵列基板包括沿行方向(即X方向)和列方向(即Y方向)排布的多个子像素101,以及沿列方向延伸的多条数据线。相邻的六列子像素列组成子像素列组100,多条数据线包括第一数据线210和第二数据线220。沿行方向,子像素列组100的两侧分别设置有第一数据线210和第二数据线220,且相邻的子像素列组100之间包括第一数据线210和第二数据线220组成的数据线对212。本公开中的子像素列指沿Y方向排列的一列子像素。

[0047] 例如,如图2所示,相邻的六列子像素列组成子像素列组100,子像素列组100包括沿行方向依次排列的第一子像素列110、第二子像素列120、第三子像素列130、第四子像素列140、第五子像素列150以及第六子像素列160。

[0048] 本公开中每相邻的六列子像素列组成一个子像素列组,且相邻的子像素列组之间不包括其他子像素列。如图2示意性的示出两个子像素列组100,实际工艺中,可以以图2所示的示例重复该子像素列组100。

[0049] 例如,如图2所示,本公开实施例中的数据线还包括第三数据线230。在每个子像素列组100中,第一子像素列110远离第二子像素列120的一侧设置有第一数据线210,第三子像素列130与第四子像素列140之间设置有第三数据线230,第六子像素列160远离第五子像素列150的一侧设置有第二数据线220,且相邻的子像素列组100之间包括第一数据线210和第二数据线220组成的数据线对212。

[0050] 例如,图2所示的位于左侧(即,与X箭头所指方向的相反的方向为左侧)的子像素列组100为第一子像素列组,位于右侧的子像素列组100为第二子像素列组。例如,若第一子像素列组位于阵列基板的左侧边缘,则第二子像素列组的远离第一子像素列组的一侧还包括多个子像素列组,且位于第二子像素列组右侧的第二数据线220会与位于下一个子像素列组左侧的第一数据线组成数据线对。同理,如果第二子像素列组位于阵列基板的右侧边缘,则第一子像素列组的远离第二子像素列组的一侧还包括多个子像素列组,且位于第一子像素列组左侧的第一数据线210会与位于下一个子像素列组右侧的第二数据线组成数据线对。

[0051] 例如,如图2所示,第一子像素列110和第二子像素列120均连接至第一数据线210,第三子像素列130和第四子像素列140均连接至第三数据线230,第五子像素列150和第六子像素列160均连接至第二数据线220。因此,第一子像素列110和第二子像素列120共享同一条第一数据线210,第三子像素列130和第四子像素列140共享同一条第三数据线230,第五子像素列150和第六子像素列160共享同一条第二数据线220,即,每条数据线均与两列子像素列连接。

[0052] 例如,可以采用列反转的方式对具有图2所示的阵列基板的显示装置进行驱动。列反转方法(column inversion method)是指每隔既定的子像素列数,就将显示数据的极性反转。本实施例中,与同一条数据线连接的两列子像素列所储存的电压极性都是相同的,且分别与相邻的两条数据线连接的子像素列所储存的电压极性相反。通过列反转方法既可以消除数据线的延迟,又可以降低功率消耗。

[0053] 例如,对于列反转方式,在一个时序时间(frame)中,每条数据线上的数据驱动电压的极性始终为同一极性(正极性或负极性)。

[0054] 例如,在一个时序时间中,位于第一子像素列组左侧的第一数据线210向第一子像素列组中的第一子像素列110和第二子像素列120充入正极性数据信号,位于第一子像素列

组内的第三数据线230向第一子像素列组中的第三子像素列130和第四子像素列140充入负极性数据信号,位于第一子像素列组右侧的第二数据线220向第一子像素列组中的第五子像素列150和第六子像素列160充入正极性数据信号,位于第二子像素列组左侧的第一数据线210向第二子像素列组中的第一子像素列110和第二子像素列120充入负极性数据信号,位于第二子像素列组内的第三数据线230向第二子像素列组中的第三子像素列130和第四子像素列140充入正极性数据信号,位于第二子像素列组右侧的第二数据线220向第二子像素列组中的第五子像素列150和第六子像素列160充入负极性数据信号。在下一个时序时间中,各数据线向子像素列充入的数据信号的正负极性变换,即,各条数据线上的数据驱动电压每帧变换一次极性。

[0055] 本实施例不限于以列反转方式进行驱动,例如,还可以采用点反转、行反转等驱动方式。

[0056] 例如,为防止数据线与子像素中的像素电极之间产生电容,且影响位于像素电极与数据线之间的液晶分子翻转,可以在数据线与子像素列之间设置屏蔽条(图中未示出)。

[0057] 例如,如图2所示,本实施例提供的阵列基板还包括沿行方向延伸的多条栅线。该多条栅线包括多条第一栅线310和第二条栅线320。

[0058] 例如,如图2所示,子像素列组100包括多行子像素行,这里的子像素行指沿X方向排列的一行子像素101。

[0059] 例如,如图2所示,沿列方向,每个子像素行的两侧分别设置第一栅线310和第二栅线320,且相邻的子像素行之间包括第一栅线310和第二栅线320组成的栅线对312,即,本公开提供的阵列基板为双栅线型(dual gate)阵列基板,采用双栅线型阵列基板的显示装置可以降低成本。

[0060] 例如,如图2所示,第一栅线310与第一子像素列110和第二子像素列120之一连接,第二栅线320与第一子像素列110和第二子像素列120的另一个连接;第一栅线310与第三子像素列130和第四子像素列140之一连接,第二栅线320与第三子像素列130和第四子像素列140的另一个连接;第一栅线310与第五子像素列150和第六子像素列160之一连接,第二栅线320与第五子像素列150和第六子像素列160的另一个连接。

[0061] 例如,如图2所示,本实施例的一示例中,第一栅线310与第一子像素列110连接,第二栅线320与第二子像素列120连接;第一栅线310与第三子像素列130连接,第二栅线320与第四子像素列140连接;第一栅线310与第六子像素列160连接,第二栅线320与第五子像素列150连接,本实施例不限于此。

[0062] 例如,如图2所示,每个子像素101包括薄膜晶体管700。薄膜晶体管700的栅极与栅线相连,薄膜晶体管700的漏极与子像素中的像素电极相连,薄膜晶体管700的源极与数据线相连。

[0063] 例如,如图2所示,分别位于第一子像素列110和第二子像素列120中的两个相邻的子像素101中的薄膜晶体管700分布在子像素101的沿Y方向的两侧以实现第一子像素列110的子像素101与第一栅线310连接,第二子像素列120的子像素101与第二栅线320连接。同理,分别位于第三子像素列130和第四子像素列140的两个相邻的子像素101中的薄膜晶体管700分布在子像素101的沿Y方向的两侧以实现第三子像素列130的子像素101与第一栅线310连接,第四子像素列140的子像素101与第二栅线320连接;分别位于第五子像素列150和

第六子像素列160的两个相邻的子像素101中的薄膜晶体管700分布在子像素101的沿Y方向的两侧以实现第六子像素列160的子像素101与第一栅线310连接,第五子像素列150的子像素101与第二栅线320连接。

[0064] 例如,如图2所示,子像素列组100中的一行子像素行中的位于第三数据线230一侧的三个子像素101具有不同的颜色,且位于第三数据线230另一侧的三个子像素101也具有不同的颜色。

[0065] 例如,如图2所示,子像素列组100中的一行子像素行包括两个红色子像素、两个绿色子像素以及两个蓝色子像素。例如,位于第三数据线230一侧的三个子像素101包括红色子像素、绿色子像素和蓝色子像素以构成一个像素。位于第三数据线230另一侧的三个子像素101也包括红色子像素、绿色子像素和蓝色子像素以构成另一个像素。本实施例中的子像素列组100中的一行子像素行中包括两个像素,且仅在该两个像素之间设置有数据线,而图1A所示的结构中,数据线位于同一像素的子像素之间,本实施例中像素与数据线的分布关系相比于图1A所示的结构中的像素与数据线的分布关系,本实施例中数据线对像素中的像素电极产生的影响更小,且更不容易产生mura现象。

[0066] 例如,如图2所示,本实施例的一示例中,在任一行子像素行中,第一子像素列110中的子像素101为红色子像素,第二子像素列120中的子像素101为绿色子像素,第三子像素列130中的子像素101为蓝色子像素,第四子像素列140中的子像素101为红色子像素,第五子像素列150中的子像素101为绿色子像素,第六子像素列160中的子像素101为蓝色子像素,本实施例包括但不限于此。

[0067] 例如,如图2所示,子像素列组100中的各子像素列中的子像素101具有相同的颜色。

[0068] 例如,如图2所示,第一子像素列110为红色子像素列,第二子像素列120为绿色子像素列,第三子像素列130为蓝色子像素列,第四子像素列140为红色子像素列,第五子像素列150为绿色子像素列,第六子像素列160为蓝色子像素列,本实施例包括但不限于此。

[0069] 本实施例中的第二子像素列以及第五子像素列的沿X方向的两侧没有设置数据线,从而可以降低数据线对子像素列中的像素电极产生的影响,即,防止数据线与子像素列中的像素电极产生电容。

[0070] 例如,图3为本公开另一实施例提供的阵列基板的局部结构示意图。如图3所示,本实施例提供的阵列基板还包括:多条公共电极线400。

[0071] 例如,如图3所示,第一子像素列110与第二子像素列120之间、第二子像素列120与第三子像素列130之间、第四子像素列140与第五子像素列150之间,以及第五子像素列150与第六子像素列160之间的至少之一设置有公共电极线400,即公共电极线400与数据线不同时设置在相邻的两列子像素列之间。

[0072] 例如,如图3所示,本实施例以第一子像素列110与第二子像素列120之间、第二子像素列120与第三子像素列130之间、第四子像素列140与第五子像素列150之间,以及第五子像素列150与第六子像素列160之间均设置有公共电极线400为例,但不限于此。在本实施例提供的阵列基板应用于液晶显示装置时,在相邻的子像素列之间设置的公共电极线可以防止漏光现象和混色现象的发生。

[0073] 例如,如图3所示,公共电极线400包括沿列方向延伸的且经过多行子像素行的第

一公共电极线410,且第一公共电极线410位于第二子像素列120与第三子像素列130之间,和第四子像素列140与第五子像素列150之间的至少之一。

[0074] 例如,如图3所示,本实施例以第二子像素列120与第三子像素列130之间,以及第四子像素列140与第五子像素列150之间均设置有第一公共电极线410为例,但不限于此。

[0075] 例如,如图3所示,公共电极线400还包括第二公共电极线420。第二公共电极线420包括沿列方向延伸的第一线段421和沿行方向延伸第二段422,第一线段421的一端通过第二段422与第一公共电极线410电连接。本实施例中将第一公共电极线410与第二公共电极线420电连接可以减小公共电极线的电阻。

[0076] 例如,如图3所示,第二公共电极线420的第一线段421不经过相邻的子像素行之间的间隔,且第一线段421位于第一子像素列110与第二子像素列120之间,和第五子像素列150与第六子像素列160之间的至少之一。

[0077] 例如,如图3所示,本实施例以第一子像素列110与第二子像素列120之间,以及第五子像素列150与第六子像素列160之间均设置有第二公共电极线420为例,但不限于此。

[0078] 例如,如图3所示,位于相邻行子像素行中的第一线段421沿Y方向是断开的,不连续的。

[0079] 例如,图4为本公开一实施例提供的包括黑矩阵的阵列基板的局部结构示意图。如图4所示,阵列基板还包括衬底基板500,数据线、公共电极线(图3所示的公共电极线)以及栅线(图3所示的栅线)位于衬底基板500上,该阵列基板还包括黑矩阵,黑矩阵位于数据线、公共电极线以及栅线的远离衬底基板500的一侧,且数据线、栅线以及公共电极线在衬底基板500上的正投影位于黑矩阵在衬底基板500上的正投影内。

[0080] 例如,如图4所示,在设计位于数据线和公共电极线上的黑矩阵的沿X方向的宽度时,考虑到公共电极线所在位置不容易产生漏光现象,因此公共电极线上设置的黑矩阵的宽度可以较窄。例如,在本实施例中,位于公共电极线上的第三黑矩阵630的宽度可以为8.5 μm 。由于数据线所在位置容易产生漏光现象,因此位于数据线(以及屏蔽条)上的黑矩阵的宽度设计的较宽。例如,本实施例中,位于数据线对上的黑矩阵为第一黑矩阵610,其宽度可以为42.5 μm ,位于第三数据线上的黑矩阵为第二黑矩阵620,其宽度可以为29.5 μm 。以子像素组100中的第一子像素列110与第二子像素列120之间、第二子像素列120与第三子像素列130之间、第四子像素列140与第五子像素列150之间、第五子像素列150与第六子像素列160之间均设置有公共电极线为例,则位于数据线和公共电极线上的黑矩阵的沿X方向平均宽度为 $(42.5+8.5+8.5+29.5+8.5+8.5)/6=17.67\mu\text{m}$ 。此外,位于栅线上的第四黑矩阵640的沿Y方向的宽度为82 μm 。以一个子像素的尺寸为105 μm *315 μm 为例,则图4所示的开口率约为60.6%。与图1A所示的阵列基板相比,本实施例提供的阵列基板的开口率提升了约9%。因此,本实施例可以通过降低位于公共电极上的黑矩阵的宽度,从而提高开口率。

[0081] 一般,当第一黑矩阵610与第二黑矩阵620的差异率小于4%时,应用该阵列基板的显示装置基本没有产生mura现象的风险。

[0082] 本公开中的第一黑矩阵和第二黑矩阵的差异率指:沿行方向,第一黑矩阵的尺寸和第二黑矩阵的尺寸的差值与每个子像素列组的尺寸的比值。

[0083] 例如,本实施例中,第一黑矩阵610沿X方向的宽度为42.5 μm ,第二黑矩阵620沿X方向的宽度为29.5 μm ,一个子像素列组100沿X方向的宽度为630 μm ,因此,本实施例中的第一

黑矩阵610与第二黑矩阵620的差异率为 $(42.5-29.5)/630=2.1\%$,该差异率低于一般的不产生mura现象的差异率(4%),因而,本实施例提供的阵列基板在应用于液晶显示装置时,该显示装置基本没有产生mura现象的风险。

[0084] 例如,图5为本公开另一实施例提供的阵列基板的局部结构示意图。如图5所示,本实施例中,相邻的四列子像素列组成子像素列组1000,子像素列组1000包括沿行方向依次排列的第一子像素列1100、第二子像素列1200、第三子像素列1300以及第四子像素列1400。本公开中每相邻的四列子像素列组成一个子像素列组1000,且相邻的子像素列组1000之间不包括其他子像素列。如图5示意性的示出两个子像素列组1000,实际工艺中,可以以图5所示的示例重复该子像素列组1000。

[0085] 例如,如图5所示,本公开的数据线包括第一数据线2100和第二数据线2200。在每个子像素列组1000中,第一子像素列1100远离第二子像素列1200的一侧设置有第一数据线2100,第四子像素列1400远离第三子像素列1300的一侧设置有第二数据线2200,且相邻的子像素列组1000之间包括第一数据线2100和第二数据线2200组成的数据线对2120。

[0086] 例如,如图5所示,第一子像素列1100和第二子像素列1200均连接至第一数据线2100,第三子像素列1300和第四子像素列1400均连接至第二数据线2200。因此,第一子像素列1100和第二子像素列1200共享同一条第一数据线2100,第三子像素列1300和第四子像素列1400共享同一条第二数据线2200,即,每条数据线均与两列子像素列连接。

[0087] 例如,本实施例提供的阵列基板可以采用与图2所示的实施例中的驱动方式相同的驱动方式,本实施例对此不作限制。

[0088] 例如,如图5所示,该阵列基板还包括沿行方向延伸的多条栅线。多条栅线包括多条第一栅线3100和第二条栅线3200。

[0089] 例如,如图5所示,子像素列组1000包括多行子像素行。

[0090] 例如,如图5所示,沿列方向,每个子像素行的两侧分别设置第一栅线3100和第二栅线3200,且相邻的子像素行之间包括第一栅线3100和第二栅线3200组成的栅线对3120,即,本公开提供的阵列基板为双栅线型(dual gate)阵列基板,采用双栅线型阵列基板的显示装置可以降低成本。

[0091] 例如,如图5所示,第一栅线3100与第一子像素列1100和第二子像素列1200之一连接,第二栅线3200与第一子像素列1100和第二子像素列1200的另一个连接;第一栅线3100与第三子像素列1300和第四子像素列1400之一连接,第二栅线3200与第三子像素列1300和第四子像素列1400的另一个连接。

[0092] 例如,如图5所示,本实施例的一示例中,第一栅线3100与第一子像素列1100连接,第二栅线3200与第二子像素列1200连接;第一栅线3100与第四子像素列1400连接,第二栅线3200与第三子像素列1300连接。本实施例包括但不限于此。

[0093] 例如,如图5所示,每个子像素1001包括薄膜晶体管7000。薄膜晶体管7000的栅极与栅线相连,薄膜晶体管7000的漏极与子像素中的像素电极相连,薄膜晶体管7000的源极与数据线相连。

[0094] 例如,如图5所示,子像素列组1000中的一行子像素行中的四个子像素1001具有不同的颜色。

[0095] 例如,如图5所示,子像素列组1000中的一行子像素行包括红色子像素、绿色子像

素、蓝色子像素以及白色子像素以构成一个像素。

[0096] 例如,如图5所示,实施例的一示例中,在任一行子像素行中,第一子像素列1100中的子像素1001为红色子像素,第二子像素列1200中的子像素1001为绿色子像素,第三子像素列1300中的子像素1001为蓝色子像素,第四子像素列1400中的子像素1001为白色子像素。

[0097] 例如,如图5所示,子像素列组1000中的各子像素列中的子像素1001具有相同的颜色。

[0098] 例如,第一子像素列1100为红色子像素列,第二子像素列1200为绿色子像素列,第三子像素列1300为蓝色子像素列,第四子像素列1400为白色子像素列,本实施例包括但不限于此。

[0099] 本实施例中第二子像素列和第三子像素列沿X方向的两侧没有设置数据线,从而可以降低数据线对子像素列中的像素电极产生的影响,即,防止数据线与子像素列中的像素电极产生电容。

[0100] 例如,图6为本公开另一实施例提供的阵列基板的局部结构示意图。如图6所示,阵列基板还包括:多条公共电极线。

[0101] 例如,如图6所示,第一子像素列1100与第二子像素列1200之间、第二子像素列1200与第三子像素列1300之间以及第三子像素列1300与第四子像素列1400之间的至少之一设置有公共电极线,即公共电极线与数据线不同时设置在相邻的两列子像素列之间。

[0102] 例如,如图6所示,本实施例以第一子像素列1100与第二子像素列1200之间、第二子像素列1200与第三子像素列1300之间以及第三子像素列1300与第四子像素列1400之间均设置公共电极线为例,但不限于此。在本实施例提供的阵列基板应用于液晶显示装置时,在相邻的子像素列之间设置的公共电极线可以防止漏光现象和混色现象的发生。

[0103] 例如,如图6所示,公共电极线包括沿列方向延伸的且经过多行子像素行的第一公共电极线4100,第一公共电极线4100位于第二子像素列1200与第三子像素列1300之间。

[0104] 例如,如图6所示,公共电极线还包括第二公共电极线4200,第二公共电极线4200包括沿列方向延伸的第一线段4210和沿行方向延伸第二线段4220,第一线段4210的一端通过第二线段4220与第一公共电极线4100电连接。本实施例中将第一公共电极线与第二公共电极线电连接可以减小公共电极线的电阻。

[0105] 例如,如图6所示,第二公共电极线4200的第一线段4210不经过相邻的子像素行之间的间隔,且第一线段4210位于第一子像素列1100与第二子像素列1200之间,和第三子像素列1300与第四子像素列1400之间的至少之一。

[0106] 例如,如图6所示,在本实施例的一示例中以第一子像素列1100与第二子像素列1200之间,和第三子像素列1300与第四子像素列1400之间均设置第二公共电极线4200为例,但不限于此。

[0107] 例如,如图6所示,位于相邻行子像素行中的第一线段4210沿Y方向是断开的,不连续的。

[0108] 例如,阵列基板还可以包括位于数据线、公共电极线以及栅线上的黑矩阵(图中未示出)。

[0109] 例如,本实施例中,位于公共电极线上的黑矩阵的宽度可以设计为 $8.5\mu\text{m}$,位于数

据线对上的黑矩阵的宽度可以为 $42.5\mu\text{m}$ 。以子像素组中的第一子像素列与第二子像素列之间、第二子像素列与第三子像素列之间、第三子像素列与第四子像素列之间均设置有公共电极线为例,则位于数据线和公共电极线上的黑矩阵的沿X方向平均宽度为 $(42.5+8.5+8.5+8.5)/4=17\mu\text{m}$ 。此外,位于栅线上的黑矩阵的沿Y方向的宽度为 $82\mu\text{m}$ 。以一个子像素的尺寸为 $105\mu\text{m} * 315\mu\text{m}$ 为例,则图6所示的开口率约为62%。与图1A所示的阵列基板相比,本公开实施例提供的阵列基板的开口率提升了约11.5%。因此,本实施例可以通过降低位于公共电极线上的黑矩阵的宽度,从而提高开口率。

[0110] 此外,理论上,图6所示的阵列基板在应用于液晶显示装置时,该显示装置基本没有产生mura现象的风险。

[0111] 例如,图7为本公开一实施例提供一种显示面板的示意框图。如图7所示,该显示面板包括上述任一实施例提供的阵列基板,采用上述阵列基板的显示面板可以提高开口率,并且产生mura的风险较低。

[0112] 例如,图7中所示的显示面板包括的阵列基板可以为包括黑矩阵的阵列基板。

[0113] 例如,采用图7所示的显示面板的显示装置可以为液晶显示装置以及包括该显示装置的电视、数码相机、手机、手表、平板电脑、笔记本电脑、导航仪等任何具有显示功能的产品或者部件,本实施例不限于此。

[0114] 例如,图8为本公开另一实施例提供一种显示面板的局部结构示意图。如图8所示,该显示面板包括上述任一实施例中不包括黑矩阵的阵列基板1。该显示面板还包括与阵列基板1相对设置的彩膜基板2以及位于彩膜基板2与阵列基板1中的液晶层3。

[0115] 例如,如图8所示,彩膜基板2中包括黑矩阵20,该黑矩阵20位于阵列基板1上的数据线、公共电极线以及栅线(如图3或图6所示的数据线、公共电极线以及栅线)上,即,数据线、公共电极线以及栅线在彩膜基板2上的正投影完全落入黑矩阵20中,且本实施例提供的黑矩阵具有上述实施例提供的黑矩阵的尺寸,本实施例在此不再赘述。本实施例提供的显示面板可以提高开口率,并且产生mura的风险较低。

[0116] 例如,采用图8所示的显示面板的显示装置可以为液晶显示装置以及包括该显示装置的电视、数码相机、手机、手表、平板电脑、笔记本电脑、导航仪等任何具有显示功能的产品或者部件,本实施例不限于此。

[0117] 有以下几点需要说明:

[0118] (1) 本发明公开实施例附图中,只涉及到与本公开实施例涉及到的结构,其他结构可参考通常设计。

[0119] (2) 在不冲突的情况下,本发明公开同一实施例及不同实施例中的特征可以相互组合。

[0120] 以上所述仅是本发明的示范性实施方式,而非用于限制本发明的保护范围,本发明的保护范围由所附的权利要求确定。

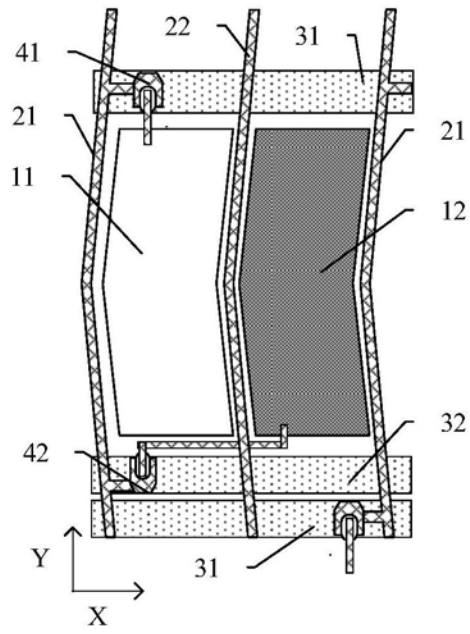


图1A

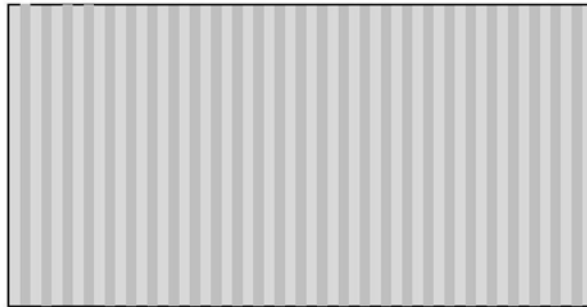


图1B

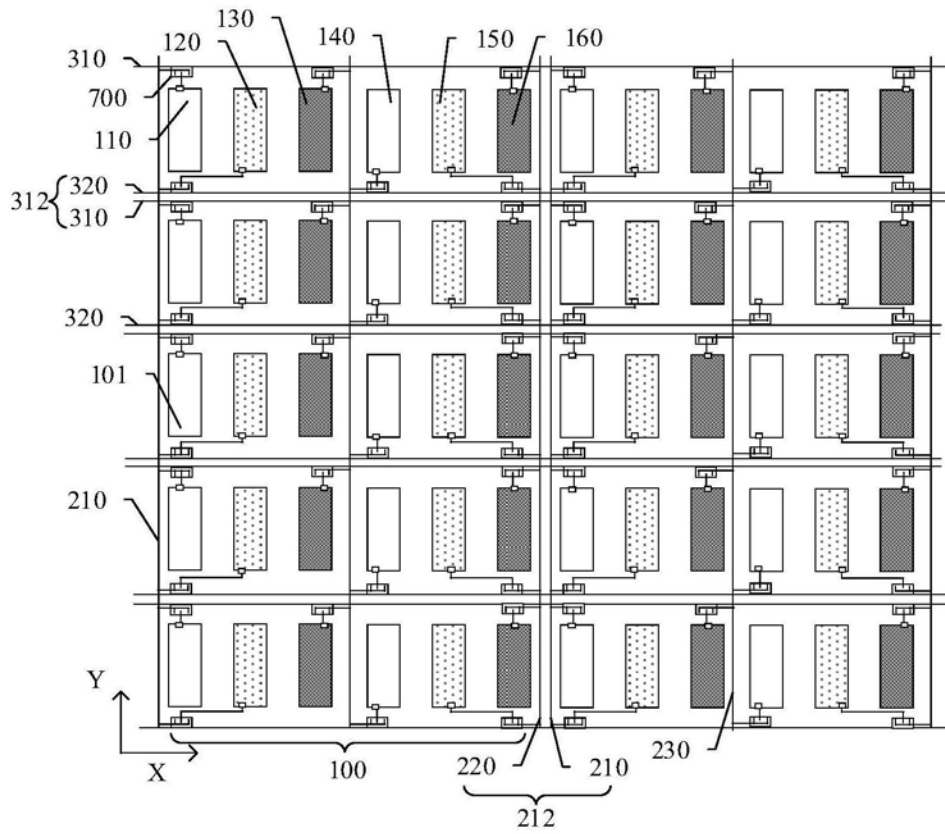


图2

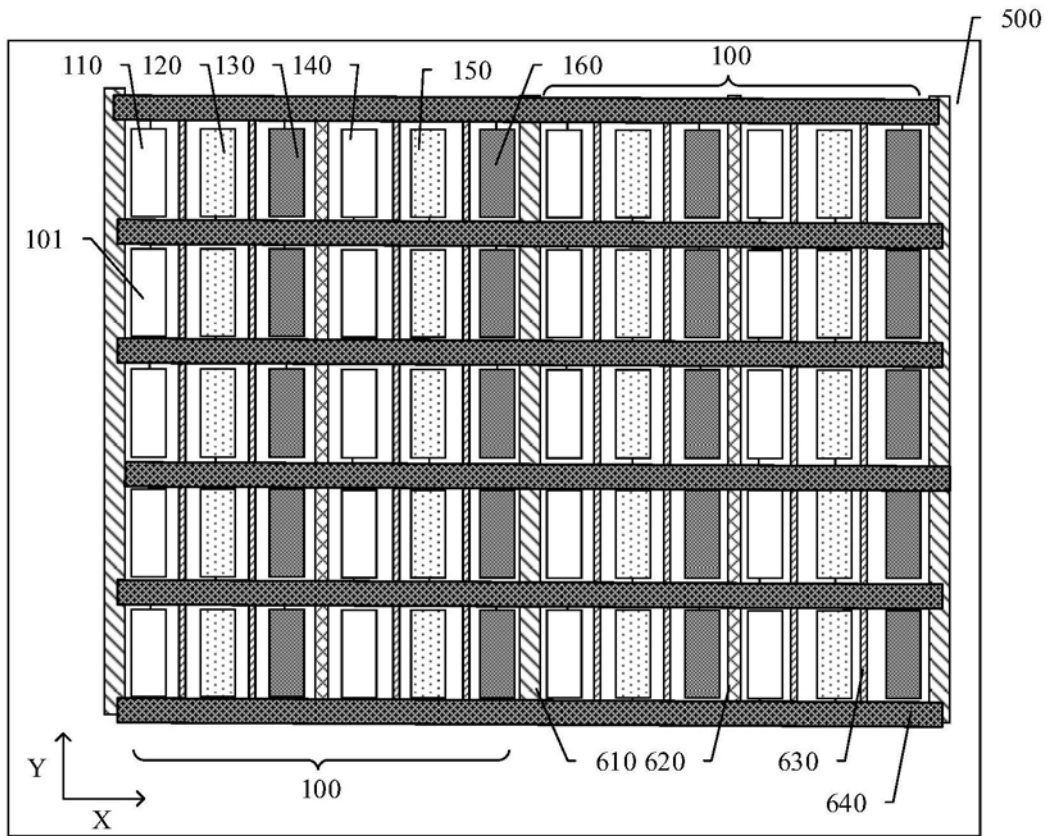


图4

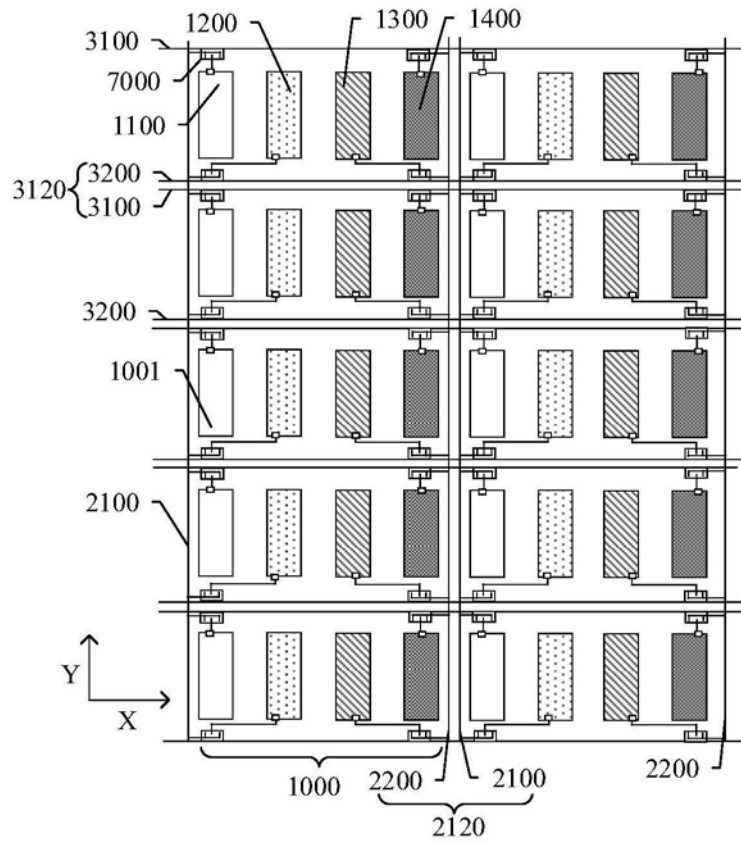


图5

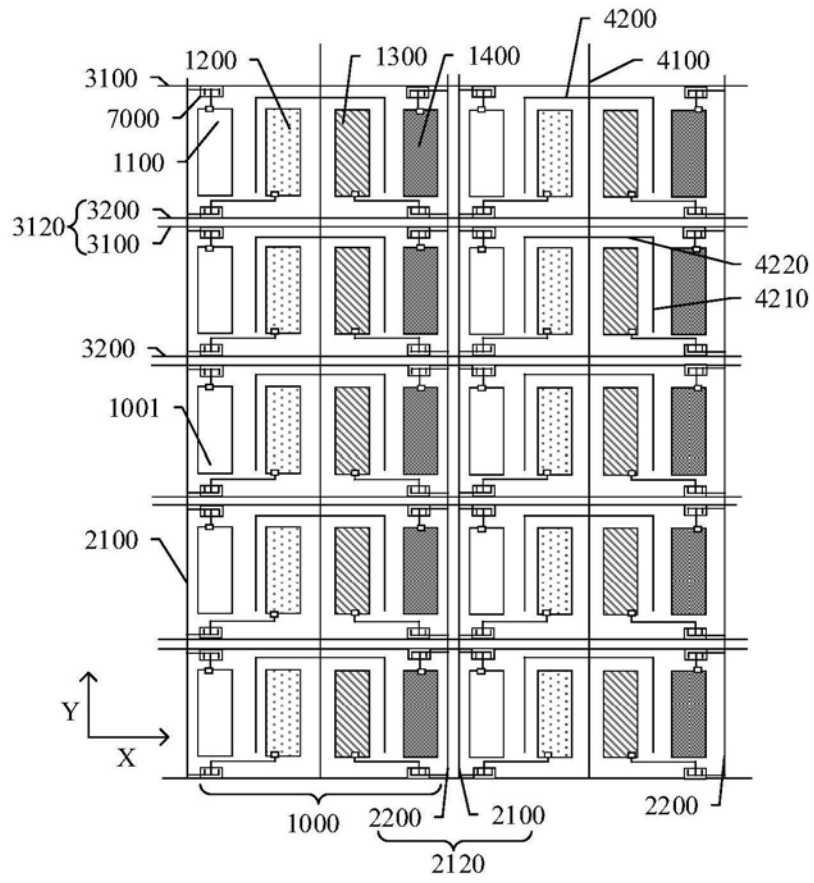


图6



图7

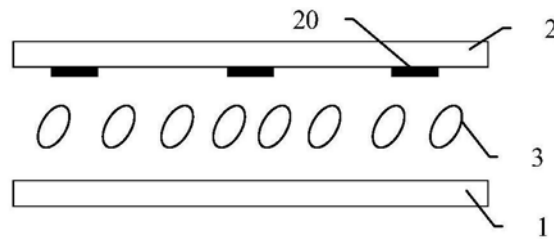


图8