

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-246202

(P2004-246202A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 338	2H093
G02F 1/133	G02F 1/133 550	5C094
H01L 21/822	H01L 27/04 D	5F038
H01L 27/04	H01L 27/04 H	5F110
H01L 29/786	H01L 29/78 623A	
審査請求 未請求 請求項の数 14 O L (全 20 頁)		

(21) 出願番号 特願2003-37244 (P2003-37244)
 (22) 出願日 平成15年2月14日 (2003.2.14)

(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフエン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100087789
 弁理士 津軽 進
 (74) 代理人 100114753
 弁理士 宮崎 昭彦

最終頁に続く

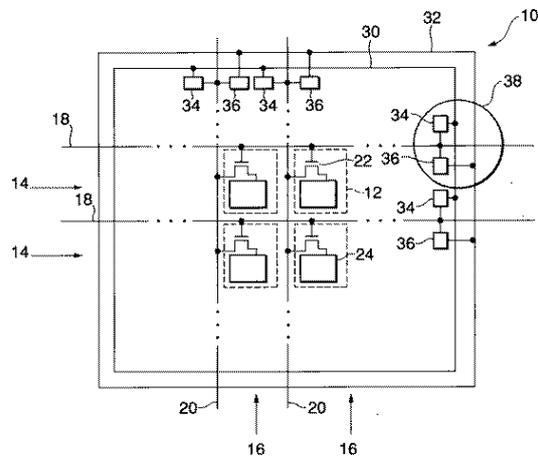
(54) 【発明の名称】 静電放電保護回路を有する電子装置

(57) 【要約】

【課題】 製造中における静電放電破壊保護をなすとともに、電蝕の問題を回避しつつ、製造後の電子装置の通常使用中において消費電力を極力抑える。

【解決手段】 各画素12を指定する行及び列アドレスライン18, 20が配列された画素12のレイを有する電子装置10。各アドレスラインは、放電回路38を介し放電ライン30, 32に接続される。この回路は、アドレスラインが第1放電ラインの電位より低い電位にあるときにアドレスラインと第1放電ライン30との間において電荷の通過を、アドレスラインが第2放電ラインの電位より高い電位にあるときにアドレスラインと第2放電ライン32との間における電荷の通過を許容する。放電エレメントは、装置の通常動作において電気的フローティング状態とされる構成、或いは、装置の通常動作において生じる放電デバイスの漏れ電流を周辺回路において使用可能なように導通させる導電路を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

各々がスイッチング素子を有し基板上に行列配置にて設けられた画素のアレイと、各画素をアドレス指定するための複数の行及び列アドレスラインとを有する電子装置であって、当該行及び列アドレスラインの各々は、第 1 放電デバイスを介して第 1 放電エレメントに接続され、第 2 放電デバイスを介して第 2 放電エレメントに接続され、

前記第 1 放電デバイスは、前記アドレスラインが前記第 1 放電エレメントの電位を下回る電位にあるときに前記アドレスラインと前記第 1 放電エレメントとの間の電荷の通過を許容し、

前記第 2 放電デバイスは、前記アドレスラインが前記第 2 放電エレメントの電位を上回る電位にあるときに前記アドレスラインと前記第 2 放電エレメントとの間の電荷の通過を許容し、

前記第 1 及び第 2 放電エレメントの少なくとも一方は、当該電子装置の通常動作において電氣的フローティング状態とされる構成を有する、電子装置。

10

【請求項 2】

請求項 1 に記載の装置であって、前記第 1 放電エレメントは、前記行及び列アドレスラインがそれぞれの第 1 放電デバイスを介して接続される少なくとも 1 つの導電路を有し、当該導電路は、前記画素アレイの周辺近傍に配されている、電子装置。

【請求項 3】

請求項 1 又は 2 に記載の装置であって、前記第 2 放電エレメントは、前記行及び列アドレスラインがそれぞれの第 2 放電デバイスを介して接続される少なくとも 1 つの導電路を有し、当該導電路は、前記画素アレイの周辺近傍に配されている、電子装置。

20

【請求項 4】

請求項 2 又は 3 に記載の装置であって、前記導電路は、前記画素アレイの周囲を囲むように延在している、電子装置。

【請求項 5】

請求項 1 ないし 4 のうちいずれか 1 つに記載の装置であって、各放電デバイスは、少なくとも 1 つの単方向導電性素子を有する、電子装置。

【請求項 6】

請求項 1 ないし 5 のうちいずれか 1 つに記載の装置であって、前記第 1 放電エレメントと前記第 2 放電エレメントとの間に一時的短絡回路が設けられている、電子装置。

30

【請求項 7】

請求項 6 に記載の装置であって、前記短絡回路は、当該電子装置の動作前に切断される、電子装置。

【請求項 8】

請求項 1 ないし 7 のうちいずれか 1 つに記載の装置であって、前記第 1 放電エレメントと前記第 2 放電エレメントとの間に、周辺回路の組込後及び / 又は当該電子装置の通常動作時は当該エレメント間を電氣的に絶縁するとともに周辺回路の組込完了前及び / 又は当該通常動作時以外は当該エレメント間における電荷の通過を許容する電氣的絶縁 / 伝導手段が設けられている、電子装置。

40

【請求項 9】

請求項 8 に記載の装置であって、前記電氣的絶縁 / 伝導手段は、周辺回路の組込後及び / 又は当該電子装置の通常動作時にオフとされて前記第 1 放電エレメントと前記第 2 放電エレメントとの間に高インピーダンスを呈するとともに周辺回路の組込完了前及び / 又は当該通常動作時以外はオンとされて前記第 1 放電エレメントと前記第 2 放電エレメントとの間を導通させることの可能なスイッチング素子を有する、電子装置。

【請求項 10】

請求項 9 に記載の装置であって、前記スイッチング素子は、前記第 1 放電エレメントと前記第 2 放電エレメントとにそれぞれ接続される 2 つの入出力電極と制御電極とを有するト

50

ランジスタにより構成され、前記電氣的絶縁/伝導手段は、前記制御電極と前記入出力電極の一方又は前記第2放電エレメントとの間に結合する抵抗性要素と、周辺回路の組込完了前及び/又は当該電子装置の通常動作時以外は前記第1放電エレメントと前記第2放電エレメント間に生じた電圧に基づき前記抵抗性要素を介して前記制御電極に前記トランジスタをオンとする電圧を供給する一方周辺回路の組込後及び/又は当該通常動作時は前記制御電極に前記トランジスタをオフとする電圧を供給するよう構成された回路部とをさらに有する、電子装置。

【請求項11】

請求項10に記載の装置であって、前記回路部は、当該通常動作時において前記制御電極と前記入出力電極の他方又は前記第1放電エレメントとの間を短絡する接続部を有する、電子装置。

10

【請求項12】

各々がスイッチング素子を有し基板上行列配置にて設けられた画素のアレイと、各画素をアドレス指定するための複数の行及び列アドレスラインとを有する電子装置であって、当該行及び列アドレスラインの各々は、第1放電デバイスを介して第1放電エレメントに接続され、第2放電デバイスを介して第2放電エレメントに接続され、

前記第1放電デバイスは、前記アドレスラインが前記第1放電エレメントの電位を下回る電位にあるときに前記アドレスラインと前記第1放電エレメントとの間の電荷の通過を許容し、

前記第2放電デバイスは、前記アドレスラインが前記第2放電エレメントの電位を上回る電位にあるときに前記アドレスラインと前記第2放電エレメントとの間の電荷の通過を許容し、

20

前記第1及び第2放電エレメントの少なくとも一方は、当該電子装置の通常動作において生じる前記放電デバイスの漏れ電流を当該画素アレイの周辺回路において使用可能なように導通させる導電路を有する、電子装置。

【請求項13】

請求項12に記載の装置であって、前記導電路は、前記第2放電エレメントと前記列アドレスラインに信号を供給する駆動回路の給電ラインとの間を接続している、電子装置。

【請求項14】

請求項1ないし13のうちいずれか1つに記載の電子装置であって、前記行及び列アドレスライン以外の少なくとも1つの導電性ラインも、前記第1放電デバイスを介して前記第1又は第2放電エレメントに接続される、電子装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素のアレイを有する電子機器の静電放電保護に関する。本発明は特に、低消費電力の要求される機器に用いられる表示装置に好適な静電放電保護回路及びこのような保護の講じられた表示装置に関する。

【0002】

【従来の技術】

静電放電(Electrostatic discharge: ESD)破壊は、金属酸化物半導体(MOS)構造体のような半導体装置の製造において生じてしまう、よく知られた現象である。特に、ESD破壊は、ゲート絶縁層の破壊、閾値電圧の大幅なシフト及びトランジスタ電極間の大きな漏れ電流をもたらすことになる。

【0003】

ESD破壊は、画素形成される機器において画素スイッチング素子を担うもののような薄膜トランジスタ(TFT)のアレイを用いた機器の製造において特有の問題であると認識されている。これらトランジスタのアレイは、例えばアクティブマトリクス液晶ディスプレイその他のアクティブマトリクス表示装置の他、放射線画像形成ディテクタのような検

40

50

出アレイ機器にも用いられる。製造の間、大量の電荷が当該TFTのソース及びドレイン電極に形成されることがある。特に、当該アレイにおいて個々の画素をアドレス指定するのに用いられる行及び列導電体は、静電電荷を取り込みその後当該TFT電極に伝搬することを可能にする長い導電体とされている。

【0004】

この静電電荷によって、ゲート絶縁層の破壊をもたらし、ゲート電極とソース電極との間又はゲート電極とドレイン電極との間の電圧差が生じ、もってTFTの閾値電圧をシフトさせてしまうこともある。

【0005】

かかるESD破壊の問題は、TFTアレイデバイスに限らず、例えば薄膜ダイオードのような2端子デバイスその他の非線形デバイスなどの代替可能な種類のスイッチング素子を用いたアレイデバイスにも認識されるものである。

【0006】

ESD破壊を回避する必要性は広く認識されるものであり、種々のアプローチが幾つも開発されている。一例として、個々のTFTのソースライン及びゲートラインの全てを共に結合する、当該TFTアレイを囲む短絡導線を用いるものがある。かかる短絡ラインは、ゲート及びソースラインと同時に製造されるので、当該製造工程中においてゲート及びソース電極を同電位に保つことになる。これにより、トランジスタの電極間において電圧差が生じるのを回避し、もってそのTFTデバイス内のESD破壊を防止している。

【0007】

しかしながら、かかる短絡ラインは、当該スイッチングアレイを用いることができるようになる前に除去されなければならない。これには、切断処理が必要であり、追加の処理工程を招くとともに、当該切断処理から周辺回路をTFTアレイに接続するまでの間はESD保護ができなくなってしまうことになる。

【0008】

機器の動作中においても存在箇所をそのままとしたESD破壊保護回路(サージ保護回路)を提供することも知られている(例えば、特許文献1)。

【0009】

【特許文献1】

特開平11-119256号公報(*¹段落番号[0019]ないし[0021]及び図9、並びに*²段落番号[0029]ないし[0060]及び図1)

【0010】

このような保護回路は、通常、電圧差がある基準を超過したときに放電エレメント(基準電位線)と行又は列ライン(走査線又は信号線)との間に電荷が流れることを許容する。こうした保護回路の問題は、当該機器に見積もられる全電力のうちかなりの割合分を消費してしまう可能性がある、ということである。例えば、低電力アクティブマトリクスLCDの用途においては、見積もられる全表示電力の50%を超える電力をその保護回路が消費してしまう可能性がある。したがって、かかる保護回路は、TFTアレイの製造中の他に周辺回路の接続中にも保護をなすことができるが、容認できないほど多大な消費電力を、その製造された装置の動作中にかけてしまうことになる。

【0011】

この文献には、当該放電エレメントに所定の電圧を供給することにより、その装置の通常動作中における保護回路自身の電力消費を抑制する手法も開示されている(*²)。しかしながら、依然としてその電力消費抑制効果は不十分である。特に、低消費電力であることが製品の品質として極めて重要視されているような、例えば、限られたバッテリー容量で長時間動作することの要求される携帯機器などに用いられる表示装置においては、なお一層の電力消費抑制効果の向上が求められる。このようなタイプの表示装置では、一見して僅かな電力の浪費と思われるものでも、深刻な製品品質上の欠陥とみなされかねない。故に、少しでも無駄な消費電力を省きたいものである。

【0012】

10

20

30

40

50

また、上記文献に記載の技術においては、当該放電エレメントへの電圧供給のために、電源又は電圧供給元からその放電エレメントへと接続する給電用導電線を設ける必要がある。かかる導電線は、一定の値の固定電圧が印加されるとともに、アレイ基板の外縁側から表示領域寄りの放電エレメントへと延びるものであり、経験上電蝕が生じやすいと推察される。

【0013】**【発明が解決しようとする課題】**

本発明は、上述した点に鑑みてなされたものであり、TFTアレイの製造中にも周辺回路の組み込み中にも静電放電破壊保護をなすとともに、製造後の電子装置の通常使用中において消費電力を極力抑えることのできる静電放電保護回路及びこれを有する電子装置を提供することを主たる目的としている。

10

【0014】

本発明はまた、上述したような電蝕の問題を回避することのできる静電放電保護回路及びこれを有する電子装置を提供することも目的としている。

【0015】**【課題を解決するための手段】**

上記目的を達成するため、本発明の一態様は、各々がスイッチング素子を有し基板上行列配置にて設けられた画素のアレイと、各画素をアドレス指定するための複数の行及び列アドレスラインとを有する電子装置であって、当該行及び列アドレスラインの各々は、第1放電デバイスを介して第1放電エレメントに接続され、第2放電デバイスを介して第2放電エレメントに接続され、前記第1放電デバイスは、前記アドレスラインが前記第1放電エレメントの電位を下回る電位にあるときに前記アドレスラインと前記第1放電エレメントとの間の電荷の通過を許容し、前記第2放電デバイスは、前記アドレスラインが前記第2放電エレメントの電位を上回る電位にあるときに前記アドレスラインと前記第2放電エレメントとの間の電荷の通過を許容し、前記第1及び第2放電エレメントの少なくとも一方は、当該電子装置の通常動作において電気的フローティング状態とされる構成を有する、電子装置としている。

20

【0016】

各行及び列には、2つの放電エレメントが係づけられている。その1つは、当該行又は列アドレスラインにおける電圧を上昇させる静電電荷を放電させるのに用いられ、他の1つは、当該行又は列アドレスラインにおける電圧を下降させる静電電荷を放電させるのに用いられる。製造された装置の動作中においてこの2つの放電エレメントの少なくとも一方を電気的フローティングにことよって、当該放電エレメントに結合された放電デバイスが多量の漏れ電流を伴って動作するのを回避することができることが判明された。特に注目すべきは、当該装置の動作中において、行及び列アドレスラインに供給される通常の全動作電圧に対し、放電デバイスの全てが逆バイアスされるよう当該放電エレメントに電圧を供給する形態よりも相当に消費電極が削減されることが分かったのである。しかも、この構成は、別の給電ラインから固定電圧を放電エレメントに供給するための導線を必要としないので、そのような導線の電蝕の問題を生じることがなく極めて好ましいのである。

30

40

【0017】

この態様において、前記第1放電エレメントは、前記行及び列アドレスラインがそれぞれの第1放電デバイスを介して接続される少なくとも1つの導電路を有し、当該導電路は、前記画素アレイの周辺近傍に配されているものとしたり、前記第2放電エレメントは、前記行及び列アドレスラインがそれぞれの第2放電デバイスを介して接続される少なくとも1つの導電路を有し、当該導電路は、前記画素アレイの周辺近傍に配されているものとしてでき、好ましいのは全ての行及び列アドレスラインを当該導電路に結合することである。また、これらに加えて前記導電路は、前記画素アレイの周囲を囲むように延在しているものとしてすることもできる。これによれば、簡単にして効果的な導電路パターンを形成することが可能となる。

50

【0018】

また、各放電デバイスは、少なくとも1つの単方向導電性素子を有するものとされうる。ここでの単方向導電性素子は、代表的にダイオード接続トランジスタとすることができる。当該電子装置の製造の間、放電エレメントには外部電圧が供給されず、有効なダイオードのオン電圧を超えるのに十分な高い電圧のチャージをもたらす静電電荷がダイオード接続トランジスタの順方向バイアスを奏することになるので、一方又は他方の放電エレメントに電荷が放散することが可能となる。但し、当該電子装置の動作中は、かかる静電電荷による高電圧は生じないので、ダイオード接続トランジスタが多量の漏れ電流を伴うような動作が防止される。

【0019】

当該電子装置の製造中は、かかる2つの放電エレメントを共通接続するのが好ましい。これは、第1放電エレメントと第2放電エレメントとの間の一時短絡回路によってなされ、製造された電子装置の動作前に切断するようにすることができる。或いは、前記第1放電エレメントと前記第2放電エレメントとの間に、周辺回路の組込後及び/又は当該電子装置の通常動作時は当該エレメント間を電氣的に絶縁するとともに周辺回路の組込完了前及び/又は当該通常動作時以外は当該エレメント間における電荷の通過を許容する電氣的絶縁/伝導手段が設けられるようにしてもよい。これにより、当該一時短絡回路が切断された場合にも、またそのような切断工程を必要とすることなく、当該電子装置の静電放電保護と通常動作時の放電デバイスの漏れ電流抑制を果たすことができる。ここで、第1放電エレメントと第2放電エレメントとの間にダイオードラダーを設けてもよい。このダイオードラダーは、供給電圧が放電エレメントに印加されたときに当該装置の動作中にダイオードラダーがその場所に残っていても少しの電力消費しか生じないような十分高い抵抗を有することになる。

【0020】

かかるダイオードラダーの如き構成によるもの以外にも、前記電氣的絶縁/伝導手段は、周辺回路の組込後及び/又は当該電子装置の通常動作時にオフとされて前記第1放電エレメントと前記第2放電エレメントとの間に高インピーダンスを呈するとともに周辺回路の組込完了前及び/又は当該通常動作時以外はオンとされて前記第1放電エレメントと前記第2放電エレメントとの間を導通させることの可能なスイッチング素子を有するものとする構成もあり、さらに発展した形として、前記スイッチング素子は、前記第1放電エレメントと前記第2放電エレメントとにそれぞれ接続される2つの入出力電極と制御電極とを有するトランジスタにより構成され、前記電氣的絶縁/伝導手段は、前記制御電極と前記入出力電極の一方又は前記第2放電エレメントとの間に結合する抵抗性要素と、周辺回路の組込完了前及び/又は当該電子装置の通常動作時以外は前記第1放電エレメントと前記第2放電エレメント間に生じた電圧に基づき前記抵抗性要素を介して前記制御電極に前記トランジスタをオンとする電圧を供給する一方周辺回路の組込後及び/又は当該通常動作時は前記制御電極に前記トランジスタをオフとする電圧を供給するよう構成された回路部とをさらに有するものとしてもよい。これによれば、当該絶縁/伝導手段を比較的簡単な回路構成で実現可能となる。そしてさらに簡単な構成の1つとして、前記回路部は、当該通常動作時において前記制御電極と前記入出力電極の他方又は前記第1放電エレメントとの間を短絡する接続部を有するものも可能である。

【0021】

また、上記目的を達成するため、本発明の他の態様は、各々がスイッチング素子を有し基板上に行列配置にて設けられた画素のアレイと、各画素をアドレス指定するための複数の行及び列アドレスラインとを有する電子装置であって、当該行及び列アドレスラインの各々は、第1放電デバイスを介して第1放電エレメントに接続され、第2放電デバイスを介して第2放電エレメントに接続され、前記第1放電デバイスは、前記アドレスラインが前記第1放電エレメントの電位を下回る電位にあるときに前記アドレスラインと前記第1放電エレメントとの間の電荷の通過を許容し、前記第2放電デバイスは、前記アドレスラインが前記第2放電エレメントの電位を上回る電位にあるときに前記アドレスラインと前記

10

20

30

40

50

第2放電エレメントとの間の電荷の通過を許容し、前記第1及び第2放電エレメントの少なくとも一方は、当該電子装置の通常動作において生じる前記放電デバイスの漏れ電流を当該画素アレイの周辺回路において使用可能なように導通させる導電路を有するものとしている。

【0022】

こうすることにより、放電デバイスで生じた漏れ電流を有効活用することができるので、当該電子装置の通常動作における消費電力を削減することに貢献することができる。また、この構成は、給電電圧を放電エレメントに供給するための導電路を必要とするが、この導電路は比較的低電圧を供給するものに留めることが可能なので、上述したような電蝕の問題は軽減される。

10

【0023】

この態様における1つの具体例として、前記導電路は、前記第2放電エレメントと前記列アドレスラインに信号を供給する駆動回路の給電ラインとの間を接続しているものとすることができる。当該通常動作において、行アドレスラインの電位が列アドレスラインへの信号供給駆動回路の電源電圧よりも大きくなる場合に、第2放電デバイスに順方向電圧がかかり、漏れ電流を生じうる。この漏れ電流を当該導電路を通じて当該駆動回路の電源すなわち駆動エネルギーに使うことを実現しているのである。

【0024】

なお、上記態様において、前記行及び列アドレスライン以外の少なくとも1つの導電性ラインも、前記第1放電デバイスを介して前記第1又は第2放電エレメントに接続されるものとしてもよいことは勿論である。かかる導電性ラインの中には、液晶表示装置などで用いられるようないわゆる蓄積キャパシタ接続ラインや共通電極接続ラインなどの補助的ラインが含まれる。

20

【0025】

本発明の装置の代表的なものとして液晶ディスプレイがある。

【0026】

本発明は、TFTを含む画素を有する画素形成装置に特に有益であるが、例えば薄膜ダイオード素子などの2端子非線形デバイスのような代替可能な種類のスイッチングエレメントを用いたアレイ装置にも適用可能である。

【0027】

30

【発明の実施の形態】

以下、上記態様を含む本発明の実施の形態を、添付図面を参照しつつ実施例に基づいて詳しく説明する。

【0028】

なお、図は、概略的なものであって一律の尺度で描かれていない。図面を通して同等又は同様の部分を示すのに同一の符号を用いている。

【0029】

図1は、行14と列16とに配列された画素12のアレイを有する液晶表示装置などの電子装置10を示している。各行14の画素は、共通の行導電体18を共有し、各列16の画素は、共通の列導電体20を共有している。したがって、各画素12は、行及び列導電体18、20の独自の組み合わせに連係付けられ、個々の画素がアドレス指定されることを可能にしている。

40

【0030】

図1に概略的に示されるように、各画素12は、駆動トランジスタ22及び画素電極24を有する。各画素の駆動トランジスタ22のゲートは、対応する行導電体18に接続される。この態様において、行導電体18に供給される信号は、当該画素トランジスタ22をオン又はオフすることを可能にする。駆動トランジスタ22がオンとされると、列導電体20と画素電極24との間に電流が流れることが可能となる。

【0031】

上述した構造は、慣例的なものであり、色々なタイプの電子装置にこうした構造を採用す

50

ることができる。例えば、かかる電子装置には、画素電極 24 を液晶材料の層の対応する一部分を変調するのに用いるアクティブマトリクス型液晶表示装置や、電気泳動表示装置又はトランジスタを LED 表示エレメントを通じる電流を制御するのに用いるアクティブマトリクス型 LED 表示装置などの他のアクティブマトリクス型表示装置が含まれる。或いは、当該電子装置には、画素電極 24 がフォトダイオードその他の光感応部材の受光電極を有しうる放射線画像形成装置のような検出アレイ装置が含まれる。それぞれの適用例において、各画素がキャパシタなどの付加的な構成要素を有するものとしてよく、図 1 に示したものは概略的なものに過ぎない。

【0032】

本発明は、トランジスタ、特に薄膜トランジスタのような能動型のスイッチング素子のアレイが共通の基板に作られる全てのタイプの装置に関連する。この理由として、各画素 12 の各々が駆動トランジスタ 22 及び画素電極 24 として単純に表されるが、他の種類のスイッチングエレメントも用いることができることを認識すべきからである。

10

【0033】

上述したように、このタイプのアレイ装置の製造においては、静電電荷が行及び列導電体 18, 20 に蓄積ないし発生することが可能となるとときに問題が生じる。これは、かかる電荷が駆動トランジスタ 22 を形成する層に破壊を引き起こすことがあるからである。

【0034】

本発明によれば、各行及び列導電体 18, 20 は、画素アレイの周囲を取り囲んで延びる導電性ラインの形態の一对の放電エレメント 30, 32 に結合される。行及び列導電体 18, 20 は、それぞれ、第 1 放電デバイス 34 を介して第 1 放電ライン 30 に結合され、第 2 放電デバイス 36 を介して第 2 放電ライン 32 に結合される。

20

【0035】

各放電デバイス 34, 36 は、ダイオードの様な特性を呈し、したがって行又は列導電体 18, 20 とこれに対応する放電ライン 30, 32 との間の電圧がターンオン閾値を超えたときに電荷の導通を可能とする。

【0036】

図 2 は、図 1 において任意の一对の放電エレメント接続部分を丸で囲んだ領域 38 をより詳しく示している。他の対の放電エレメントも、同様にそれぞれ対応する行及び列導電体と関連付けられている。

30

【0037】

図 2 の左側に示されるように、第 1 放電デバイス 34 は、駆動トランジスタ 22 に必要とされるようなものと同じトランジスタ形成処理工程を用いて形成される薄膜トランジスタ 40 を有する。トランジスタ 40 のドレインは、第 1 放電ライン 30 に接続され、ソースは行導電体 18 に接続される。このドレインは、ゲートに結合されており、ダイオードと同様の動作特性を呈するようにされている。換言すれば、ドレインの電圧がソースの電圧を十分上回るレベルである場合に、トランジスタ 40 は導通する。この態様において、第 1 放電デバイス 34 は、行導電体 18 が第 1 放電ライン 30 の電位を十分下回る電位すなわち少なくとも当該ダイオード接続トランジスタのターンオン電圧だけ下がった電位にあるときに導通する。

40

【0038】

第 2 放電デバイス 36 も、そのゲート及びドレインが行導電体 18 において共通結合されたトランジスタ 42 を有し、上記トランジスタ形成処理工程により形成される。この第 2 トランジスタ 42 は、行導電体 18 が第 2 放電ライン 32 の電位より十分に高い電位にあるときに導通する。図 2 の右側には、ダイオード接続トランジスタを等価ダイオード 44 として表す、この放電エレメント接続部分の等価回路を示している。

【0039】

個々の行又は列導電体 18, 20 に静電電荷が蓄積ないし発生すると、当該導電体の電位が（その他の行及び列導電体の電位に対し）チャージされ、放電ライン 30, 32 の一方へその過剰な電荷が放散又は消散するよう放電デバイス 34, 36 のうちの一方が導通す

50

ることになる。放電ライン 30, 32 間が単にフローティング状態であると、それぞれの行及び列導電体 18, 20 の電圧に差ができてしまうので、これを回避するために、放電ライン 30, 32 は、何らかの形態で連結されてることが望ましい。

【0040】

1つの実現例として、2つの放電ライン 30, 32 を電氣的に接続するものがある。これは、図 3 に示される等価回路を呈する。

【0041】

この場合、行導電体 18 の電圧変化は、ただ単に共有放電ライン 45 に影響を与えるのではない。ここでは放電デバイス 34, 36 が他の行や列の導体と連結されており、それらが導通しているので、共有放電ライン 45 は、常に全ての行及び列導電体 18, 20 に呈する電圧のほぼ平均に保つことになる。但し、図 3 に示されるような単一の放電ライン 45 を使用(残存)したままでいると、当該電子装置の通常動作時に高い消費電力を招来することになる。通常動作中は、行導電体 18 における電圧は駆動トランジスタ 22 の最大ゲート電圧と最小ゲート電圧との間で変化し、また列導電体 20 における電圧は駆動トランジスタ 22 の最大ソース電圧と最小ソース電圧との間で変化することになる。この結果、画素の通常動作によって、放電デバイスに幾分かの電流が流れ、無駄な電力消費が伴うことになる。

【0042】

本発明は、当該アレイの製造中において ESD 破壊保護がなされることを可能とするだけでなく、当該電子装置の使用中には当該保護回路の電力消費を格段に減らすことも可能とするものである。そのために、当該電子装置の動作中においては、放電ライン 30, 32 に所定の固定電圧を印加するのではなく、それぞれを電氣的フローティング状態にしている。このことは、放電ライン 30, 32 に対し、行及び列導電体 18, 20 以外には何らこの放電ライン 30, 32 に電圧を供給する手段を擁しない、すなわち行及び列導電体 18, 20 からの信号による以外は電位の付与がないことを意味する。これを具体的に実現するため、図 1 に示されるように、放電ライン 30, 32 を、放電デバイス 34, 36 を介して行列導電体 18, 20 に結合する以外は、画素アレイを取り囲むよう(本例ではリング状に)延在させるだけでどこにも接続しないようにしている。

【0043】

本発明者らは、当該電子装置の動作中において、放電デバイス 34, 36 が導通しないようこれらに逆バイアスをかけるよう(又はこれに近い状態にするよう)放電ライン 30, 32 に所定の固定電圧を印加するよりも、このように放電ライン 30, 32 をフローティングにしておく方が放電デバイス 34, 36 の消費電力が減ることを見出した。しかも、放電ライン 30, 32 に電圧を供給する手段として別の何らかの給電ラインから放電ライン 30, 32 へ結合するための導線を必要としないので、先述したような、かかる導線の電蝕を防止することにもなって好都合であることを判明せしめたのである。なお、ここで触れた放電ライン 30, 32 に所定の固定電圧を印加する手法は、本出願の先願である英国特許出願第 0119299.6 号明細書に記載されている。

【0044】

他にも、当該導線をなくしたことにより、放電ライン 30, 32 その他の配線レイアウトが容易になるという効果もある。また、当該電子装置の通常動作中において放電ライン 30, 32 に呈される平均的電圧は低い値となることが見込めるので、何らかの原因で放電デバイス 34, 36 が破壊し放電ライン 30, 32 が行又は列導電体 18, 20 と短絡しても、いわゆる線欠陥による表示画像品質の極端な悪化を抑えることが可能となる、という効果も期待することができる。

【0045】

また、本例においては、放電ラインを、画素アレイを完全に取り囲む連続した環状の導電路としたことにより、簡単にして効率的かつ効果的に放電ラインのパターンを形成することができるという利点も奏している。

【0046】

10

20

30

40

50

上述したように、放電ライン30, 32は、当該アレイの製造中においてESD保護を改善するよう共通接続するのが望ましいが、かかる接続は、当該電子装置が用いられようとするときには存続しておかない方がよい。

【0047】

図4に示したように、一時的短絡回路60は、放電ライン30, 32間に設けられ、この2つの放電ラインを共に結合するトラック(導電路)として構成されるようにしてもよい。このトラックは、図4に示した破線64に沿って製造後に除去されるべき当該基板の領域62に延びるものとする事ができる。これにより、トランジスタアレイの製造中に短絡回路が設けられるが、この短絡回路は当該電子装置を動作させようとする前には切断させられる。

【0048】

基板の部分を物理的に除去する必要性を回避するため、2つの放電ライン30, 32を、図5に示されるようにダイオード接続TFTRラダー(梯子型ダイオード接続TFTR)を用いて共に接続してもよい。これは、動作中にそこに流れる電流を最小限に留めるように構成されるものであり、これにより除去の必要性がなくなる。かかるラダーに流れる電流量を最小化するため、各トランジスタの幅対長さの比(縦横比)や直列接続のデバイス数が特定セットの放電ラインについて選定される。

【0049】

このダイオードラダーは、電気的絶縁/伝導手段を担い、当該アレイの製造中は放電ライン間に静電気放電による非常に高い電圧がかかると導通可能となる一方、当該電子装置の動作中は放電ライン間の電圧がそれほど上昇しないことに基づいて非導通状態を保証し当該ライン間に実質的に絶縁された状態に相当する高インピーダンスを呈するものである。

【0050】

一時的短絡回路の使用に当たっての1つの問題は、その短絡回路が一但除去されると、もはや有効に働かなくなる、という点である。通常は、製造処理後ではあるが周辺回路の当該アレイへの接続前に短絡回路が除去されることになる。したがって、製造処理中にESD保護はなされるものの、IC実装(又は組み込み)中は依然として破壊が生じる可能性がある。

【0051】

図6は、放電ライン30, 32間に設けられた追加の保護回路70(電気的絶縁/伝導手段)を示しており、画素アレイと一体的に形成される。或いは、この保護回路はICの実装(又は組み込み)前に独立して作られ当該画素アレイに付属されるものとしてもよい。この保護回路は、一時的短絡回路60が除去された後のIC実装(又は組み込み)中に保護をなすよう当該短絡回路を補助するために用いる事ができる。或いは、この保護回路は、製造中もIC実装(又は組み込み)中もESD破壊保護がなされるよう用いてもよい。この場合、保護回路部分の除去の必要はない。

【0052】

保護回路70は、第1放電ライン30と第2放電ライン32との間に第1パス72と第2パス74とを有する。第1パス72は、第2放電ライン32及び第1放電ライン30にソース電極及びドレイン電極がそれぞれ接続されるトランジスタ83を有する。第2パス74は、第2放電ライン32に一端が接続される抵抗エレメント86と、抵抗エレメント86の他端及び第1放電ライン30にソース電極及びドレイン電極がそれぞれ接続されるトランジスタ84とを有する。抵抗エレメント86とトランジスタ84との接続点は、第1パス72のトランジスタ83のゲート電極に接続される。保護回路70はまた、トランジスタ84のゲート電極とドレイン電極との間に他の抵抗エレメント88を有し、トランジスタ84のゲート電極は保護回路70の出力として引き出されている。

【0053】

ブロック76は、このアレイの周辺回路部分を表しており、周辺回路の組込後及び/又は当該電子装置の通常動作時に放電ライン32とトランジスタ84のゲート電極からの引出線とが電気的に接続されることを示しており、周辺回路の組込完了前及び/又は当該通常

10

20

30

40

50

動作以外は放電ライン 3 2 とトランジスタ 8 4 のゲート電極からの引出線とは電氣的に開放される。

【 0 0 5 4 】

このような構成の保護回路において、アレイ製造中及び周辺 IC の実装中（引出線非接続時）には、トランジスタ 8 4 はオフ状態を保ち、静電電荷により放電ライン 3 2 に放電ライン 3 0 に対し十分高い電圧が発生（又は放電ライン 3 0 に放電ライン 3 2 に対し十分低い電圧が発生）すると、トランジスタ 8 3 はオンとなり抵抗エレメント 8 6 とトランジスタ 8 3 は、ダイオード接続トランジスタとして有効に動作し、放電ライン 3 0 , 3 2 間の結合をなす。これにより静電放電破壊保護がなされる。

【 0 0 5 5 】

一方、周辺 IC の実装後の当該電子装置稼働時（引出線接続時）には、当該稼働時において呈される放電ライン 3 0 , 3 2 の電圧によりトランジスタ 8 4 が常時オンとなり、これに伴いトランジスタ 8 3 がオフとされ、第 1 パス 7 2 は断とされる。ここで抵抗エレメント 8 6 は十分に高いインピーダンスを呈するものとされているので、第 2 パス 7 4 には無視できる程の僅かな電流しか流れず、放電ライン 3 0 と放電ライン 3 2 との間は実質上電氣的に分離された状態となる。

【 0 0 5 6 】

なお、他の抵抗エレメント 8 8 は、オプションであり、トランジスタ 8 4 が正しくオフとなることを確実にするための補助的な役割を担っている。

【 0 0 5 7 】

保護回路 7 0 における全ての構成要素は、薄膜トランジスタを用いて実現可能である。特に、抵抗エレメント 8 6 , 8 8 は、単一又は複数のダイオード接続トランジスタとして形成可能であり、逆バイアス方向における設定可能な抵抗を担う。

【 0 0 5 8 】

図 7 は、図 6 の保護回路 7 0 をさらに簡単にした例を示している。

【 0 0 5 9 】

図 7 における保護回路 7 0 A は、図 6 におけるトランジスタ 8 4 と抵抗エレメント 8 8 を省略した形態を採っており、トランジスタ 8 3 のゲート電極とトランジスタ 8 3 のドレイン電極が当該保護回路 7 0 A の外部周辺回路部分 7 6 に引き出されている。

【 0 0 6 0 】

ここでも同様に、当該引出線非接続時には、静電電荷により放電ライン 3 2 に放電ライン 3 0 に対し十分高い電圧が発生（又は放電ライン 3 0 に放電ライン 3 2 に対し十分低い電圧が発生）すると、抵抗エレメント 8 6 とトランジスタ 8 3 は、ダイオード接続トランジスタとして有効に動作し、放電ライン 3 0 , 3 2 間の結合をなす。これにより静電放電破壊保護がなされる。

【 0 0 6 1 】

一方、周辺 IC の実装後の当該電子装置稼働時（引出線接続時）には、当該稼働時において呈される放電ライン 3 0 , 3 2 の電圧によりトランジスタ 8 3 がオフとされ、パス 7 2 は断とされる。そしてここでも抵抗エレメント 8 6 は十分に高いインピーダンスを呈するものとされているので、抵抗エレメント 8 6 及び当該引出線を含むパスには無視できる程の電流しか流れず、放電ライン 3 0 と放電ライン 3 2 との間は実質上電氣的に分離された状態となる。

【 0 0 6 2 】

図 8 及び図 9 には、図 7 に示した構成をさらに確実性の高いものとした例が示されている。

【 0 0 6 3 】

図 8 における保護回路 7 0 B は、放電ライン 3 0 と放電ライン 3 2 との間に設けられた縦続接続された複数のトランジスタ 8 3 a , 8 3 b , 8 3 c と、これらトランジスタのゲート電極と放電ライン 3 2 との間に接続されたそれぞれの抵抗エレメント 8 6 a , 8 6 b , 8 6 c とを有し、各ゲート電極が周辺回路部 7 6 B に引き出され、当該電子装置の通常動

10

20

30

40

50

作時に相互接続される形態を採っている。

【0064】

図9における保護回路70Cは、放電ライン30と放電ライン32との間に設けられた縦続接続された複数のトランジスタ83a, 83b, 83cと、各トランジスタのゲート電極とソース電極との間に接続された抵抗エレメント86a, 86b, 86cとを有し、各ゲート電極が周辺回路部76Cに引き出され、当該電子装置の通常動作時に相互接続される形態を採っている。

【0065】

このような構成とすることにより、1つのトランジスタが何らかの原因で欠陥となっても、他のトランジスタ及びそれに連係づけられた回路パスによって上述したようなアレイ製造中及び周辺回路形成中の静電放電破壊保護と当該電子装置の通常動作時の放電ライン30, 32の電气的分離をなすことができる。故に、信頼性の高い形態が提供されることになる。

10

【0066】

以上の実施例においては、専ら、図1の如く(放電デバイスからの信号以外には)放電ラインに電圧を供給する手段を持たないことによって、当該電子装置の通常動作中において放電ラインをフローティングにする構成を述べたが、かかる手段を持たないことで放電ラインのフローティングを実現しなくとも、放電ラインが実質的にフローティング状態になるように、例えば、放電ラインを十分大なる抵抗要素を介して電源ラインに結合する形態や、適正な容量要素を介して接地電位に結合する形態なども実現可能である。また、以下の如き別の形態とすることによっても特有の効果を得ることができる。

20

【0067】

図10は、さらに他の実施例を示しており、図1に示したものと同等の部分には同一の符号を付している。

【0068】

ここでは放電ライン32をソースドライバ101の給電線に接続する付加的導線102を設けている。ソースドライバ101は、周知のように、各列導電体20に画素信号を供給するための出力増幅器を備えており、各増幅器には電源103から当該給電線を通じて電力が供給されている。

【0069】

電源103の電圧は、大抵は行導電体18に供給される画素駆動トランジスタのゲート制御信号の最大電圧値よりも低い値を有する。例えば、当該電源電圧は、5V程度の値である一方、当該ゲート制御信号は-10~+15Vとされる。当該ゲート制御信号が電源電圧より高いときには第2放電デバイス36は、順方向に電圧がかかることになり、第2放電ライン32及び付加的導線102を通じて漏れ電流104が当該給電線へと流れることになる。したがって、ソースドライバ101はこの給電線へ流入した電流を再利用することが可能となる。

30

【0070】

なお、本来このように放電デバイス36に漏れ電流が流れ無駄な電力消費の生じてしまうのを防止するためには先述した英国特許出願明細書に示唆されているように放電デバイス36に常時逆バイアスを掛けるよう行導電体18に供給される最大電圧の値以上に大きな値の電圧を放電ライン32に供給しておくべきものとされていた。しかし、本例においては、敢えてこのような逆バイアスをする代わりに、行導電体18に供給される電圧範囲の中間的値の電圧を放電ライン32に結合している。このようにすることにより、ソースドライバ105の電源電圧をそのまま用いることができるとともに、ソースドライバ105の給電線に、放電デバイス36に流れてしまった漏れ電流104をリサイクルさせることに成功したのである。別言すれば、行導電体18に当該中間的値以下の電圧が供給されているときには放電デバイス36は導通しないことを保証するとともに、当該中間的値を超える電圧が供給されているときには当該リサイクルがなされるようにして放電デバイス36の導通電流をソースドライバ105の動作に活用している。

40

50

【0071】

かかる中間的値の電圧を放電ラインに結合することの効果は他にもある。すなわち、当該英国特許出願におけるが如き放電デバイス36を常に逆バイアスさせるような高い電圧を放電ラインに供給しつづけると、その高電圧の給電用導線が電蝕しやすいのに対し、これより低めの当該中間的値の電圧を放電ラインに結合するための導線は、電蝕し難いことが分かったのである。このように、本実施例においても、先の実施例においてなされたような電蝕対策を講じることができる。

【0072】

また、本実施例においても、当該電子装置の通常動作中において放電ライン30、32の電圧が低くなるので、同様に上述したような線欠陥による表示画像品質の極端な悪化への抑制効果を期待することができる。

10

【0073】

上述においては、放電ライン30、32は、全ての行及び列導電体間において共有されるものとして示したが、これ以外にも、分離（又は独立）した行及び列放電線を設けてもよい。図11は、分離された行放電ライン90、92及び列放電ライン94、96が設けられた装置10を示している。これらの放電デバイスは、上述したものと全く同様に動作する回路98として概略的に表されている。但し、かかる分離した行及び列放電ラインを用いることによって、この放電回路は、当該装置の通常動作中に当該行及び列ラインに想定される特定電圧に適合して構成可能である。例えば、液晶表示装置の行ドライバは、その画素トランジスタの必要なオンオフ特性を呈するよう、行導電体に概ね+20Vないし-20Vの電圧レベルを呈するのが普通である。これに対し、列ドライバは、列導電体の電圧に、わずかに約5Vだけ電圧振幅を与えるのが普通である。

20

【0074】

図11に示される例では、放電回路98は行及び列導電体の各々の両端部に設けられる。これにより、個々の画素回路とこれから最短距離にある放電回路との間のパス長を短くすることができるとともに、導電体のどちらの端部で生じた静電電荷も直ちに放電回路を経るようにすることができて好ましい。

【0075】

行の一端における放電ライン94、96の対は、当該行の他端における放電ライン94、96の対に接続してもしなくてもよく、同様に、列の一端における放電ライン90、92の対も、当該列の他端における放電ラインの対に接続してもしなくてもよい。

30

【0076】

なお、上記実施例においては、放電デバイスを、単一のダイオード接続トランジスタとして示したが、各放電デバイス34、36を形成するのに複数のダイオード接続トランジスタを用いてもよいことは勿論である。また、別のタイプの単方向導電性デバイスを用いてもよい。

【0077】

また、上述においては、放電デバイス34、36はアドレスラインたる行及び列導電体18、20に結合しているが、これらアドレスライン以外の導電性ライン、例えば液晶表示装置に用いられる蓄積キャパシタ接続ラインや共通電極接続ラインなど、静電放電保護が必要な他の導電性ラインに同様の放電デバイスを結合するのが望ましい。かかる導電性ラインも、アドレスラインと同じアレイ基板に形成され同様に静電放電破壊を生じる可能性があるからである。

40

【0078】

これまでは、特定の例として、放射線センサや液晶ディスプレイを述べたが、当業者にとっては周知であるのでこれらのタイプの装置の各々の細かい画素配置については詳しく触れていない。本発明は、いずれのアレイ装置の製造中においても破壊を防止するのに用いることが可能である。

【0079】

当業者であれば、色々な変形例を見出すことは可能である。

50

【図面の簡単な説明】

【図 1】本発明の一実施例による電子装置の主要な画素アレイ構造体を示す図。

【図 2】図 1 の電子装置における各行列導電体に連係づけられた第 1 及び第 2 放電デバイスの一例及びその等価回路を示す図。

【図 3】放電エレメントが共に接続された場合の図 2 の等価回路を示す図。

【図 4】第 1 及び第 2 の放電エレメントを結合する第 1 の構成（一時的短絡回路）を示す図。

【図 5】第 1 及び第 2 の放電エレメントを結合する第 2 の構成（電氣的絶縁 / 伝導手段としてのダイオードラダー）を示す図。

【図 6】第 1 及び第 2 の放電エレメントを結合する第 3 の構成（電氣的絶縁 / 伝導手段としての保護回路）を示す図。 10

【図 7】当該第 3 の構成の一改良例を示す図。

【図 8】当該第 3 の構成の他の改良例を示す図。

【図 9】当該第 3 の構成のまたさらに他の改良例を示す図。

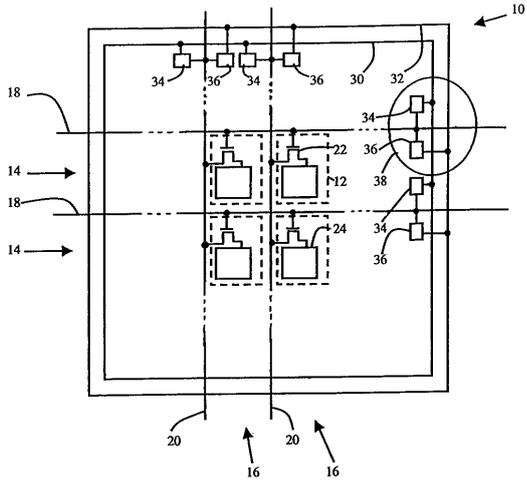
【図 10】本発明の他の実施例による電子装置の主要な画素アレイ構造体を示す図。

【図 11】本発明の実施例の変形形態を示す図。

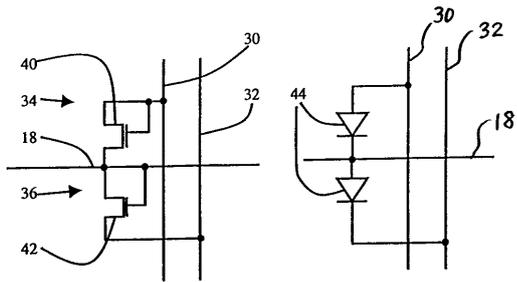
【符号の説明】

1 0 ... 電子装置	
1 2 ... 画素	
1 4 ... 行	20
1 6 ... 列	
1 8 ... 行導電体	
2 0 ... 列導電体	
2 2 ... 駆動トランジスタ	
2 4 ... 画素電極	
3 0 ... 第 1 放電エレメント	
3 2 ... 第 2 放電エレメント	
3 4 ... 第 1 放電デバイス	
3 6 ... 第 2 放電デバイス	
4 0 ... 第 1 トランジスタ	30
4 2 ... 第 2 トランジスタ	
4 4 ... 等価ダイオード	
4 5 ... 共通接続線	
6 0 ... 一時的短絡回路	
7 0 , 7 0 A , 7 0 B , 7 0 C ... 保護回路	
7 2 ... 第 1 パス	
7 4 ... 第 2 パス	
7 6 , 7 6 A , 7 6 B , 7 6 C ... 周辺回路部	
7 8 , 8 0 ... 放電エレメント引出ライン	
8 2 ... ゲート制御信号ライン	40
8 3 , 8 3 a , 8 3 b , 8 3 c , 8 4 ... トランジスタ	
8 6 , 8 6 a , 8 6 b , 8 6 c , 8 8 ... 抵抗エレメント	
1 0 1 ... ソースドライバ	
1 0 2 ... 給電ライン接続用導電路	
1 0 3 ... 電源	
1 0 4 ... 漏れ電流	

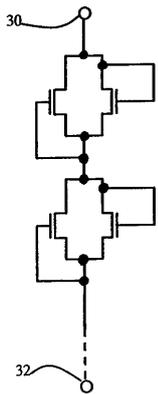
【 図 1 】



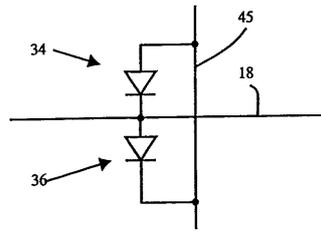
【 図 2 】



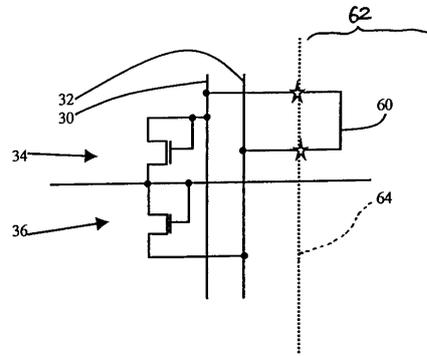
【 図 5 】



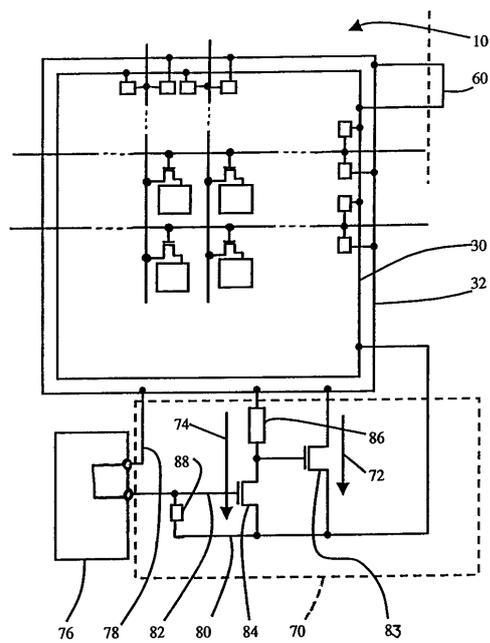
【 図 3 】



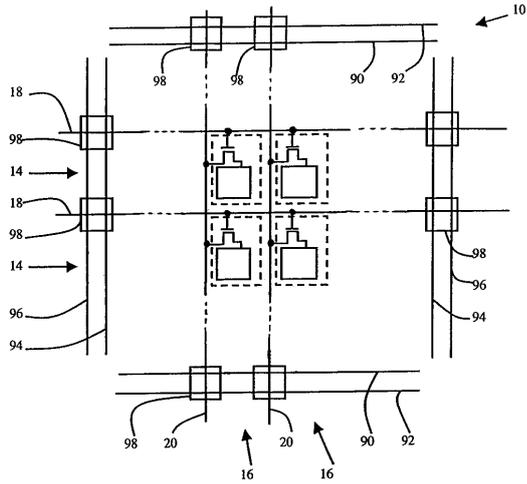
【 図 4 】



【 図 6 】



【 図 1 1 】



【 手続補正書 】

【 提出日 】 平成 15 年 3 月 26 日 (2003.3.26)

【 手続補正 1 】

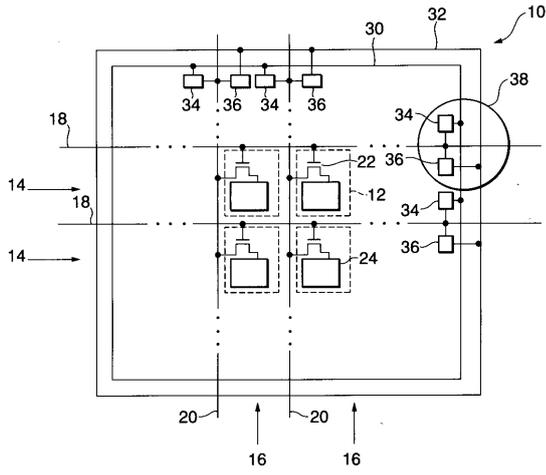
【 補正対象書類名 】 図面

【 補正対象項目名 】 全図

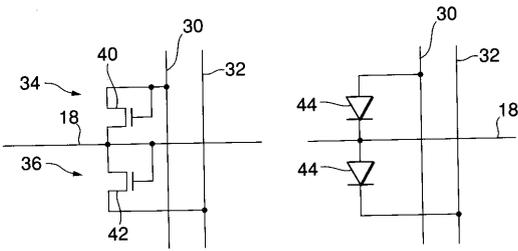
【 補正方法 】 変更

【 補正の内容 】

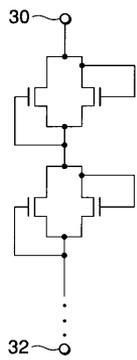
【 図 1 】



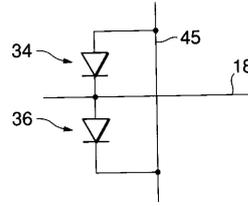
【 図 2 】



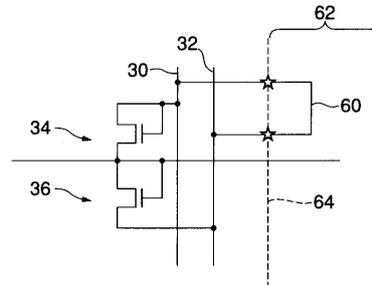
【 図 5 】



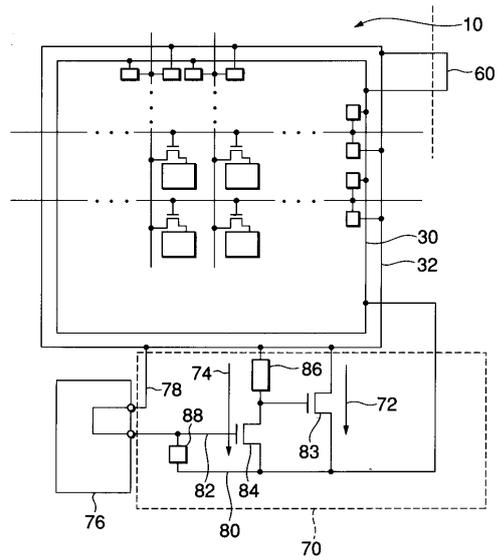
【 図 3 】



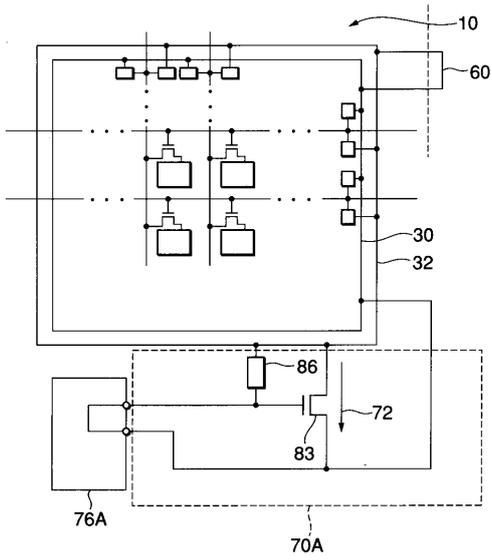
【 図 4 】



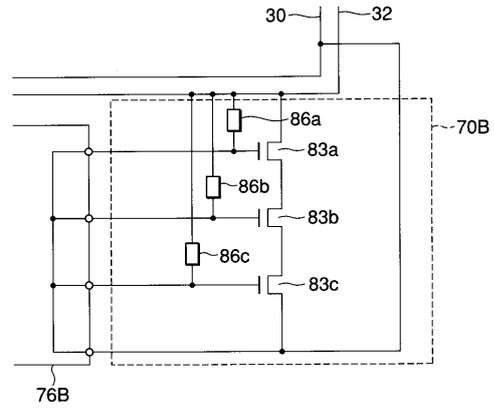
【 図 6 】



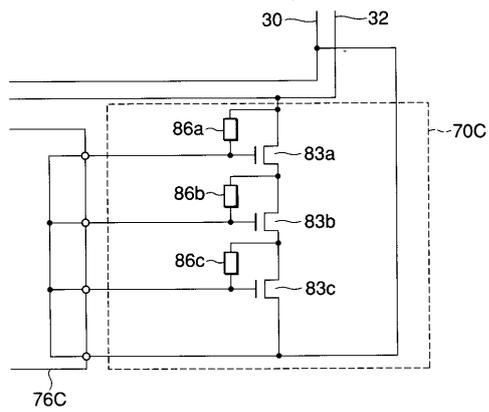
【 図 7 】



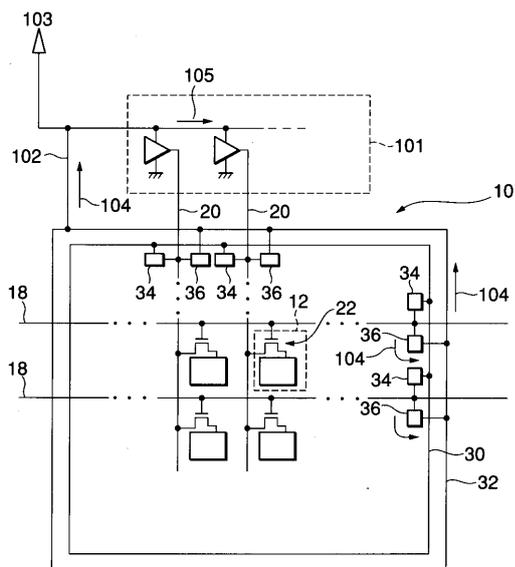
【 図 8 】



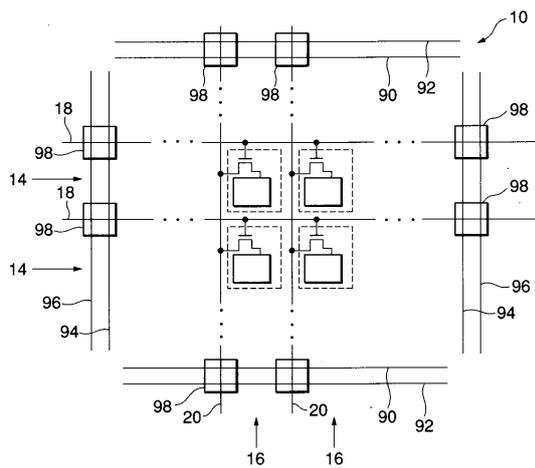
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(74)代理人 100121083

弁理士 青木 宏義

(72)発明者 渡邊 英俊

兵庫県神戸市西区高塚台4丁目3番1号 フィリップスモバイルディスプレイシステムズ神戸株式会社内

(72)発明者 稲田 利弥

兵庫県神戸市西区高塚台4丁目3番1号 フィリップスモバイルディスプレイシステムズ神戸株式会社内

Fターム(参考) 2H093 NA16 NC34 NC41 ND60 NE01 NE03 NE06

5C094 AA22 AA31 AA42 AA43 AA48 BA03 BA43 CA19 DA13 DB01

EA04 FA01

5F038 BH04 BH05 BH13 CD03 DF01 EZ20

5F110 AA09 AA22 BB01 BB10 NN71 NN72 NN74