

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4734126号
(P4734126)

(45) 発行日 平成23年7月27日 (2011.7.27)

(24) 登録日 平成23年4月28日 (2011.4.28)

(51) Int. Cl.	F I	
HO4B 3/23 (2006.01)	HO4B 3/23	
HO3H 17/02 (2006.01)	HO3H 17/02	6O1N
HO3H 17/06 (2006.01)	HO3H 17/06	6I3J
HO4R 3/02 (2006.01)	HO3H 17/06	6I3K
HO4M 1/60 (2006.01)	HO3H 17/06	6I3Z
請求項の数 40 (全 73 頁) 最終頁に続く		

(21) 出願番号	特願2006-9064 (P2006-9064)	(73) 特許権者	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成18年1月17日 (2006.1.17)	(74) 代理人	110000176 一色国際特許業務法人
(65) 公開番号	特開2006-304260 (P2006-304260A)	(72) 発明者	大橋 秀紀 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(43) 公開日	平成18年11月2日 (2006.11.2)	(72) 発明者	奥田 浩三 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
審査請求日	平成20年12月5日 (2008.12.5)	(72) 発明者	井上 健生 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(31) 優先権主張番号	特願2005-84963 (P2005-84963)		
(32) 優先日	平成17年3月23日 (2005.3.23)		
(33) 優先権主張国	日本国 (JP)		
最終頁に続く			

(54) 【発明の名称】 エコー防止回路、デジタル信号処理回路、エコー防止回路のフィルタ係数設定方法、デジタル信号処理回路のフィルタ係数設定方法、エコー防止回路のフィルタ係数を設定するためのプログラム

(57) 【特許請求の範囲】

【請求項1】

第1入力信号が入力される入力端子と、
前記入力端子からの第1入力信号が入力される第1FIRフィルタと、
前記第1入力信号が前記第1FIRフィルタとともに入力される第2FIRフィルタと、
前記第1FIRフィルタの出力信号が出力されるか又は第2入力信号が入力される入力端子と、
前記第1FIRフィルタの出力信号と前記第2入力信号とを合わせた信号から、前記第2FIRフィルタの出力信号を減算する減算回路と、
前記減算回路からの出力信号が出力される出力端子と、を備え、
前記第1FIRフィルタおよび前記第2FIRフィルタは、
前記出力端子からの出力信号が前記第1FIRフィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を有すること、
を特徴とするエコー防止回路。

【請求項2】

前記第2FIRフィルタのフィルタ係数は、前記第1FIRフィルタの出力から前記減算回路の出力までの第1インパルス応答であり、
前記第1FIRフィルタのフィルタ係数は、前記第2FIRフィルタの出力から前記減算回路の出力までの第2インパルス応答を位相反転したものであること、

を特徴とする請求項 1 に記載のエコー防止回路。

【請求項 3】

前記第 2 F I R フィルタのフィルタ係数は、前記第 1 F I R フィルタの出力から前記減算回路の出力までの第 1 インパルス応答を位相反転したものであり、

前記第 1 F I R フィルタのフィルタ係数は、前記第 2 F I R フィルタの出力から前記減算回路の出力までの第 2 インパルス応答であること、

を特徴とする請求項 1 に記載のエコー防止回路。

【請求項 4】

前記入出力端子から出力される前記第 1 F I R フィルタの出力信号は、当該出力された出力信号を音声に変換して出力するとともに、入力される音声を前記第 2 入力信号に変換して出力するイヤホンマイクによって反射されて前記入出力端子に入力可能であり、

前記第 1 インパルス応答は、前記イヤホンマイクが前記入出力端子に接続された状態における、前記第 1 F I R フィルタの出力から前記イヤホンマイクを經由して前記減算回路の出力までのインパルス応答であること、

を特徴とする請求項 2 又は 3 に記載のエコー防止回路。

【請求項 5】

前記第 1 F I R フィルタの出力信号をデジタル・アナログ変換する第 1 D A コンバータと、

前記第 2 F I R フィルタの出力信号をデジタル・アナログ変換する第 2 D A コンバータと、

前記減算回路の出力信号をアナログ・デジタル変換する A D コンバータと、を備え、前記第 1 インパルス応答は、前記第 1 D A コンバータから前記 A D コンバータまでのインパルス応答であり、

前記第 2 インパルス応答は、前記第 2 D A コンバータから前記 A D コンバータまでのインパルス応答であること、

を特徴とする請求項 2 又は 3 に記載のエコー防止回路。

【請求項 6】

前記第 1 インパルス応答は、前記第 1 D A コンバータの出力信号を音声に変換して出力するとともに、入力される音声を前記第 2 入力信号に変換して出力するイヤホンマイクが前記入出力端子に接続された状態における、前記第 1 D A コンバータから前記イヤホンマイクを經由して前記 A D コンバータまでのインパルス応答であること、

を特徴とする請求項 5 に記載のエコー防止回路。

【請求項 7】

前記減算回路の出力と前記 A D コンバータの入力との間に前記減算回路からの出力信号を増幅する増幅回路を備え、

前記第 1 インパルス応答は、前記第 1 D A コンバータから前記減算回路までのインパルス応答および前記減算回路から前記 A D コンバータまでのインパルス応答の積であり、

前記第 2 インパルス応答は、前記第 2 D A コンバータから前記減算回路までのインパルス応答および前記減算回路から前記 A D コンバータまでのインパルス応答の積であること、

を特徴とする請求項 5 に記載のエコー防止回路。

【請求項 8】

前記第 1 インパルス応答は、前記第 1 D A コンバータの出力信号を音声に変換して出力するとともに、入力される音声を前記第 2 入力信号に変換して出力するイヤホンマイクが前記入出力端子に接続された状態における、前記第 1 D A コンバータから前記イヤホンマイクを經由して前記減算回路までのインパルス応答および前記減算回路から前記 A D コンバータまでのインパルス応答の積であること、

を特徴とする請求項 7 に記載のエコー防止回路。

【請求項 9】

前記第 1 インパルス応答に基づいて前記第 2 F I R フィルタのフィルタ係数を設定する

とともに、前記第 2 インパルス応答に基づいて前記第 1 F I R フィルタのフィルタ係数を設定するフィルタ係数設定部を備えたこと、

を特徴とする請求項 5 ~ 8 の何れか一項に記載のエコー防止回路。

【請求項 10】

前記減算回路は、

前記第 1 F I R フィルタの出力信号と前記第 2 入力信号とを合わせた信号と、前記第 2 F I R フィルタの出力信号とが入力される差動増幅回路であること、

を特徴とする請求項 1 ~ 9 の何れか一項に記載のエコー防止回路。

【請求項 11】

前記減算回路は、

前記第 2 F I R フィルタの出力信号を反転する反転回路と、

前記反転回路の出力信号の利得および位相を調整する利得位相調整回路と、

前記第 1 F I R フィルタの出力信号と前記第 2 入力信号とを合わせた信号と、前記利得位相調整回路の出力信号とを加算する加算回路と、を有すること、

を特徴とする請求項 1 ~ 9 の何れか一項に記載のエコー防止回路。

【請求項 12】

前記第 1 インパルス応答は、前記イヤホンマイクが耳に装着された状態のものであること、

を特徴とする請求項 4、6、8 の何れか一項に記載のエコー防止回路。

【請求項 13】

第 1 入力信号が入力される第 1 入力端子と、

前記第 1 入力端子からの第 1 入力信号が入力される第 1 F I R フィルタと、

前記第 1 入力信号が前記第 1 F I R フィルタとともに入力される第 2 F I R フィルタと

、前記第 1 F I R フィルタの出力信号が出力される第 1 出力端子と、

前記第 2 F I R フィルタの出力信号が出力される第 2 出力端子と、

入出力信号共用ライン上において前記第 1 出力端子からの出力信号と第 2 入力信号とを合わせた信号から、前記第 2 出力端子からの出力信号を減算した信号が入力される第 2 入力端子と、

前記第 2 入力端子からの信号が出力される第 3 出力端子と、を備え、

前記第 1 F I R フィルタおよび前記第 2 F I R フィルタは、

前記第 3 出力端子からの出力信号が前記第 1 F I R フィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を有すること、

を特徴とするデジタル信号処理回路。

【請求項 14】

前記第 2 F I R フィルタのフィルタ係数は、前記第 1 出力端子から出力された後の信号をデジタル・アナログ変換する第 1 D A コンバータから、前記第 2 入力端子に入力される前の信号をアナログ・デジタル変換する A D コンバータまでの第 1 インパルス応答であり

、前記第 1 F I R フィルタのフィルタ係数は、前記第 2 出力端子から出力された後の信号をデジタル・アナログ変換する第 2 D A コンバータから、前記 A D コンバータまでの第 2 インパルス応答を位相反転したものであること、

を特徴とする請求項 13 に記載のデジタル信号処理回路。

【請求項 15】

前記第 2 F I R フィルタのフィルタ係数は、前記第 1 出力端子から出力された後の信号をデジタル・アナログ変換する第 1 D A コンバータから、前記第 2 入力端子に入力される前の信号をアナログ・デジタル変換する A D コンバータまでの第 1 インパルス応答を位相反転したものであり、

前記第 1 F I R フィルタのフィルタ係数は、前記第 2 出力端子から出力された後の信号をデジタル・アナログ変換する第 2 D A コンバータから、前記 A D コンバータまでの第 2

10

20

30

40

50

インパルス応答であること、

を特徴とする請求項 13 に記載のデジタル信号処理回路。

【請求項 16】

前記第 1 インパルス応答は、前記第 1 D A コンバータから、前記第 1 D A コンバータの出力信号を音声に変換して出力するとともに、入力される音声を前記第 2 入力信号に変換して出力するイヤホンマイクを經由して、前記 A D コンバータまでのインパルス応答であること、

を特徴とする請求項 14 又は 15 に記載のデジタル信号処理回路。

【請求項 17】

前記第 1 F I R フィルタの出力信号をデジタル・アナログ変換する前記第 1 D A コンバータと、

前記第 2 F I R フィルタの出力信号をデジタル・アナログ変換する前記第 2 D A コンバータと、

前記減算した信号をアナログ・デジタル変換する前記 A D コンバータと、を備え、

前記第 1 インパルス応答は、前記第 1 D A コンバータから前記 A D コンバータまでのインパルス応答であり、

前記第 2 インパルス応答は、前記第 2 D A コンバータから前記 A D コンバータまでのインパルス応答であること、

を特徴とする請求項 14 又は 15 に記載のデジタル信号処理回路。

【請求項 18】

前記第 1 インパルス応答は、前記第 1 D A コンバータから、前記第 1 D A コンバータの出力信号を音声に変換して出力するとともに、入力される音声を前記第 2 入力信号に変換して出力するイヤホンマイクを經由して、前記 A D コンバータまでのインパルス応答であること、

を特徴とする請求項 17 に記載のデジタル信号処理回路。

【請求項 19】

前記第 1 インパルス応答に基づいて前記第 2 F I R フィルタのフィルタ係数を設定するとともに、前記第 2 インパルス応答に基づいて前記第 1 F I R フィルタのフィルタ係数を設定するフィルタ係数設定部を備えたこと、

を特徴とする請求項 14 ~ 18 の何れか一項に記載のデジタル信号処理回路。

【請求項 20】

前記第 1 インパルス応答は、前記イヤホンマイクが耳に装着された状態のものであること、

を特徴とする請求項 16 又は 18 に記載のデジタル信号処理回路。

【請求項 21】

第 1 入力信号が入力される入力端子と、

前記入力端子からの第 1 入力信号が入力される第 1 F I R フィルタと、

前記第 1 入力信号が前記第 1 F I R フィルタとともに入力される第 2 F I R フィルタと

、

前記第 1 F I R フィルタの出力信号が出力されるか又は第 2 入力信号が入力される入出力端子と、

前記第 1 F I R フィルタの出力信号と前記第 2 入力信号とを合わせた信号から、前記第 2 F I R フィルタの出力信号を減算する減算回路と、

前記減算回路からの出力信号が出力される出力端子と、を備えたエコー防止回路のフィルタ係数設定方法であって、

前記第 1 F I R フィルタおよび前記第 2 F I R フィルタに対して、前記出力端子からの出力信号が前記第 1 F I R フィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を設定すること、

を特徴とするエコー防止回路のフィルタ係数設定方法。

【請求項 22】

10

20

30

40

50

前記第2 F I Rフィルタに対して、前記第1 F I Rフィルタの出力から前記減算回路の出力までの第1インパルス応答となるフィルタ係数を設定し、

前記第1 F I Rフィルタに対して、前記第2 F I Rフィルタの出力から前記減算回路の出力までの第2インパルス応答の位相反転となるフィルタ係数を設定すること、

を特徴とする請求項21に記載のエコー防止回路のフィルタ係数設定方法。

【請求項23】

前記第2 F I Rフィルタに対して、前記第1 F I Rフィルタの出力から前記減算回路の出力までの第1インパルス応答の位相反転となるフィルタ係数を設定し、

前記第1 F I Rフィルタに対して、前記第2 F I Rフィルタの出力から前記減算回路の出力までの第2インパルス応答となるフィルタ係数を設定すること、

を特徴とする請求項21に記載のエコー防止回路のフィルタ係数設定方法。

10

【請求項24】

前記入出力端子から出力される前記第1 F I Rフィルタの出力信号は、当該出力された出力信号を音声に変換して出力するとともに、入力される音声を前記第2入力信号に変換して出力するイヤホンマイクによって反射されて前記入出力端子に入力可能であり、

前記第1インパルス応答は、前記イヤホンマイクが前記入出力端子に接続された状態における、前記第1 F I Rフィルタの出力から前記イヤホンマイクを經由して前記減算回路の出力までのインパルス応答であること、

を特徴とする請求項22又は23に記載のエコー防止回路のフィルタ係数設定方法。

【請求項25】

前記第1インパルス応答は、前記イヤホンマイクが耳に装着された状態のものであること、

を特徴とする請求項24に記載のエコー防止回路のフィルタ係数設定方法。

20

【請求項26】

前記第1 F I Rフィルタの出力から前記減算回路の出力までの第1インパルス応答を取得し、

前記第2 F I Rフィルタの出力から前記減算回路の出力までの第2インパルス応答を取得し、

前記第1 F I Rフィルタに対して前記第2インパルス応答の位相反転となるフィルタ係数を設定し、

前記第2 F I Rフィルタに対して前記第1インパルス応答となるフィルタ係数を設定すること、

を特徴とする請求項21に記載のエコー防止回路のフィルタ係数設定方法。

30

【請求項27】

前記第1 F I Rフィルタの出力から前記減算回路の出力までの第1インパルス応答を取得し、

前記第2 F I Rフィルタの出力から前記減算回路の出力までの第2インパルス応答を取得し、

前記第1 F I Rフィルタに対して前記第2インパルス応答となるフィルタ係数を設定し、

前記第2 F I Rフィルタに対して前記第1インパルス応答の位相反転となるフィルタ係数を設定すること、

を特徴とする請求項21に記載のエコー防止回路のフィルタ係数設定方法。

40

【請求項28】

前記第1インパルス応答は、前記第1 F I Rフィルタの出力信号を音声に変換して出力するとともに、入力される音声を前記第2入力信号に変換して出力するイヤホンマイクが前記入出力端子に接続された状態における、前記第1 F I Rフィルタの出力から前記イヤホンマイクを經由して前記減算回路の出力までのインパルス応答であること、

を特徴とする請求項26又は27に記載のエコー防止回路のフィルタ係数設定方法。

【請求項29】

50

前記第 1 インパルス応答は、前記イヤホンマイクが耳に装着された状態のものであること、

を特徴とする請求項 28 に記載のエコー防止回路のフィルタ係数設定方法。

【請求項 30】

第 1 入力信号が入力される第 1 入力端子と、

前記第 1 入力端子からの第 1 入力信号が入力される第 1 F I R フィルタと、

前記第 1 入力信号が前記第 1 F I R フィルタとともに入力される第 2 F I R フィルタと

、前記第 1 F I R フィルタの出力信号が出力される第 1 出力端子と、

前記第 2 F I R フィルタの出力信号が出力される第 2 出力端子と、

入出力信号共用ライン上において前記第 1 出力端子からの出力信号と第 2 入力信号とを合わせた信号から、前記第 2 出力端子からの出力信号を減算した信号が入力される第 2 入力端子と、

前記第 2 入力端子からの信号が出力される第 3 出力端子と、を備えたデジタル信号処理回路のフィルタ係数設定方法であって、

前記第 1 F I R フィルタおよび前記第 2 F I R フィルタに対して、前記第 3 出力端子からの出力信号が前記第 1 F I R フィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を設定すること、

を特徴とするデジタル信号処理回路のフィルタ係数設定方法。

【請求項 31】

前記第 2 F I R フィルタに対して、前記第 1 出力端子から出力された後の信号をデジタル・アナログ変換する第 1 D A コンバータから、前記第 2 入力端子に入力される前の信号をアナログ・デジタル変換する A D コンバータまでの第 1 インパルス応答となるフィルタ係数を設定し、

前記第 1 F I R フィルタに対して、前記第 2 出力端子から出力された後の信号をデジタル・アナログ変換する第 2 D A コンバータから、前記 A D コンバータまでの第 2 インパルス応答の位相反転となるフィルタ係数を設定すること、

を特徴とする請求項 30 に記載のデジタル信号処理回路のフィルタ係数設定方法。

【請求項 32】

前記第 2 F I R フィルタに対して、前記第 1 出力端子から出力された後の信号をデジタル・アナログ変換する第 1 D A コンバータから、前記 2 入力端子に入力される前の信号をアナログ・デジタル変換する A D コンバータまでの第 1 インパルス応答の位相反転となるフィルタ係数を設定し、

前記第 1 F I R フィルタに対して、前記第 2 出力端子から出力された後の信号をデジタル・アナログ変換する第 2 D A コンバータから、前記 A D コンバータまでの第 2 インパルス応答となるフィルタ係数を設定すること、

を特徴とする請求項 30 に記載のデジタル信号処理回路のフィルタ係数設定方法。

【請求項 33】

前記第 1 インパルス応答は、前記第 1 D A コンバータから、前記第 1 D A コンバータの出力信号を音声に変換して出力するとともに、入力される音声を前記第 2 入力信号に変換して出力するイヤホンマイクを経由して、前記 A D コンバータまでのインパルス応答であること、

を特徴とする請求項 31 又は 32 に記載のデジタル信号処理回路のフィルタ係数設定方法。

【請求項 34】

前記第 1 インパルス応答は、前記イヤホンマイクが耳に装着された状態のものであること、

を特徴とする請求項 33 に記載のデジタル信号処理回路のフィルタ係数設定方法。

【請求項 35】

前記第 1 出力端子から出力された後の信号をデジタル・アナログ変換する第 1 D A コン

10

20

30

40

50

バータから、前記第 2 入力端子に入力される前の信号をアナログ・デジタル変換する A D コンバータまでの第 1 インパルス応答を取得し、

前記第 2 出力端子から出力された後の信号をデジタル・アナログ変換する第 2 D A コンバータから、前記 A D コンバータまでの第 2 インパルス応答を取得し、

前記第 1 F I R フィルタに対して前記第 2 インパルス応答の位相反転となるフィルタ係数を設定し、

前記第 2 F I R フィルタに対して前記第 1 インパルス応答となるフィルタ係数を設定すること、

を特徴とする請求項 3 0 に記載のデジタル信号処理回路のフィルタ係数設定方法。

【請求項 3 6】

10

前記第 1 出力端子から出力された後の信号をデジタル・アナログ変換する第 1 D A コンバータから、前記第 2 入力端子に入力される前の信号をアナログ・デジタル変換する A D コンバータまでの第 1 インパルス応答を取得し、

前記第 2 出力端子から出力された後の信号をデジタル・アナログ変換する第 2 D A コンバータから、前記 A D コンバータまでの第 2 インパルス応答を取得し、

前記第 1 F I R フィルタに対して前記第 2 インパルス応答となるフィルタ係数を設定し、

前記第 2 F I R フィルタに対して前記第 1 インパルス応答の位相反転となるフィルタ係数を設定すること、

を特徴とする請求項 3 0 に記載のデジタル信号処理回路のフィルタ係数設定方法。

20

【請求項 3 7】

前記第 1 インパルス応答は、前記第 1 D A コンバータから、前記第 1 D A コンバータの出力信号を音声に変換して出力するとともに、入力される音声を前記第 2 入力信号に変換して出力するイヤホンマイクを経由して、前記 A D コンバータまでのインパルス応答であること、

を特徴とする請求項 3 5 又は 3 6 に記載のデジタル信号処理回路のフィルタ係数設定方法。

【請求項 3 8】

前記第 1 インパルス応答は、前記イヤホンマイクが耳に装着された状態のものであること、

30

を特徴とする請求項 3 7 に記載のデジタル信号処理回路のフィルタ係数設定方法。

【請求項 3 9】

プロセッサと、

第 1 入力信号が入力される入力端子と、

前記入力端子からの第 1 入力信号が入力される第 1 F I R フィルタと、

前記第 1 入力信号が前記第 1 F I R フィルタとともに入力される第 2 F I R フィルタと

、前記第 1 F I R フィルタの出力信号が出力されるか又は第 2 入力信号が入力される入出力端子と、

前記第 1 F I R フィルタの出力信号と前記第 2 入力信号とを合わせた信号から、前記第 2 F I R フィルタの出力信号を減算する減算回路と、

40

前記減算回路からの出力信号が出力される出力端子と、を備えたエコー防止回路のフィルタ係数を設定するためのプログラムであって、

前記プロセッサに、

前記第 1 F I R フィルタおよび前記第 2 F I R フィルタに対して、前記出力端子からの出力信号が前記第 1 F I R フィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を設定する機能を実現させるためのプログラム。

【請求項 4 0】

プロセッサと、

第 1 入力信号が入力される第 1 入力端子と、

50

前記第 1 入力端子からの第 1 入力信号が入力される第 1 F I R フィルタと、
前記第 1 入力信号が前記第 1 F I R フィルタとともに入力される第 2 F I R フィルタと

、
前記第 1 F I R フィルタの出力信号が出力される第 1 出力端子と、
前記第 2 F I R フィルタの出力信号が出力される第 2 出力端子と、

入出力信号共用ライン上において前記第 1 出力端子からの出力信号と第 2 入力信号とを
合わせた信号から、前記第 2 出力端子からの出力信号を減算した信号が入力される第 2 入
力端子と、

前記第 2 入力端子からの信号が出力される第 3 出力端子と、を備えたデジタル信号処理
回路のフィルタ係数を設定するためのプログラムであって、

10

前記プロセッサに、

前記第 1 F I R フィルタおよび前記第 2 F I R フィルタに対して、前記第 3 出力端子か
らの出力信号が前記第 1 F I R フィルタの出力信号のみを除去または減衰した信号となる
フィルタ係数を設定する機能を実現させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エコー防止回路、デジタル信号処理回路、エコー防止回路のフィルタ係数設
定方法、デジタル信号処理回路のフィルタ係数設定方法、エコー防止回路のフィルタ係数
を設定するためのプログラム、デジタル信号処理回路のフィルタ係数を設定するためのプ
ログラムに関する。

20

【背景技術】

【0002】

近年、例えばイヤホンマイクが接続される携帯電話機やハンズフリー電話機などの通信
機器においては、スピーカからマイクに回り込む音響結合や回路上の電気的反射等によっ
て生じるエコーを防止するためのエコー防止回路が組み込まれているものがある。

【0003】

図 4 8 は、エコー防止回路が組み込まれた、例えば 2 線 4 線変換回路を示した図である
。マイク 1 0 4 からの入力信号は、増幅回路 1 0 1 を介して電話回線に出力される。そし
て、電話回線を通して相手側に入力信号が送信されることによって音声を伝えることが可
能となる。しかしながら、増幅回路 1 0 1 を介して伝達される入力信号は、電話回線に出
力される他に、図 4 8 破線で示すように 2 線 4 線回路変換回路の電気的反射等により増幅
回路 1 0 5 を介してスピーカ 1 0 6 に出力される場合がある。この結果、入力信号による
エコーがスピーカ 1 0 6 から発生することとなる。そこで、このようなエコーをキャンセ
ルすべくエコー防止回路が設けられる。エコー防止回路においては、図 4 8 実線で示す
ように、マイク 1 0 4 からの入力信号が増幅回路 1 0 1 の前段で分岐される。そして、入
力信号は反転増幅回路 1 0 7 にて反転増幅される。反転増幅回路 1 0 7 からの信号は、利得
位相調整回路 (G / P) 1 0 8 にて利得および位相の調整が施される。つまり、図 4 8 破
線で示すように伝達される入力信号とは逆位相であって、振幅レベルが等しい信号が生成
されることとなる。この結果、図 4 8 破線で示すように伝達される入力信号と、図 4 8 実
線で示すように伝達される信号とが打ち消しあうことによってエコーを防止することが可
能となる。

30

40

【特許文献 1】特許第 3 2 9 3 0 2 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、前述したエコー防止回路によるエコーのキャンセル量は - 3 0 d B 程度
であった。何故ならば、前述のエコー防止回路においてエコーを高精度にキャンセルする
ためには、各回路素子の回路定数を高精度で設定する必要がある。しかし、実際に各回路

50

素子の回路定数を高精度で設定することは容易ではなく、これらの回路定数が定数値より変化すれば、エコーのキャンセル量が低下するという問題があった。また、利得位相調整回路108による利得および位相の調整誤差などにより、図48破線で示すように伝達される入力信号と、正確に打ち消しあうことが可能な信号を生成することが困難であるという問題があった。この結果、前述のエコー防止回路によるエコーのキャンセル量は-30dB程度となっていた。

【0005】

そこで、本発明は、効果的にエコーを防止することが可能なエコー防止回路、デジタル信号処理回路、エコー防止回路のフィルタ係数設定方法、デジタル信号処理回路のフィルタ係数設定方法、エコー防止回路のフィルタ係数を設定するためのプログラム、デジタル

10

【課題を解決するための手段】

【0006】

前記課題を解決するための本発明のエコー防止回路は、第1入力信号が入力される入力端子と、前記入力端子からの第1入力信号が入力される第1FIRフィルタと、前記第1入力信号が前記第1FIRフィルタとともに入力される第2FIRフィルタと、前記第1FIRフィルタの出力信号が出力されるか又は第2入力信号が入力される入出力端子と、前記第1FIRフィルタの出力信号と前記第2入力信号とを合わせた信号から、前記第2FIRフィルタの出力信号を減算する減算回路と、前記減算回路からの出力信号が出力される出力端子と、を備え、前記第1FIRフィルタおよび前記第2FIRフィルタは、前記出力端子からの出力信号が前記第1FIRフィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を有する、ことを特徴とする。

20

【0007】

また、本発明のデジタル信号処理回路は、第1入力信号が入力される第1入力端子と、前記第1入力端子からの第1入力信号が入力される第1FIRフィルタと、前記第1入力信号が前記第1FIRフィルタとともに入力される第2FIRフィルタと、前記第1FIRフィルタの出力信号が出力される第1出力端子と、前記第2FIRフィルタの出力信号が出力される第2出力端子と、入出力信号共用ライン上において前記第1出力端子からの出力信号と第2入力信号とを合わせた信号から、前記第2出力端子からの出力信号を減算した信号が入力される第2入力端子と、前記第2入力端子からの信号が出力される第3出力端子と、を備え、前記第1FIRフィルタおよび前記第2FIRフィルタは、前記第3出力端子からの出力信号が前記第1FIRフィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を有する、ことを特徴とする。

30

【0008】

また、本発明のエコー防止回路のフィルタ係数設定方法は、第1入力信号が入力される入力端子と、前記入力端子からの第1入力信号が入力される第1FIRフィルタと、前記第1入力信号が前記第1FIRフィルタとともに入力される第2FIRフィルタと、前記第1FIRフィルタの出力信号が出力されるか又は第2入力信号が入力される入出力端子と、前記第1FIRフィルタの出力信号と前記第2入力信号とを合わせた信号から、前記第2FIRフィルタの出力信号を減算する減算回路と、前記減算回路からの出力信号が出力される出力端子と、を備えたエコー防止回路のフィルタ係数設定方法であって、前記第1FIRフィルタおよび前記第2FIRフィルタに対して、前記出力端子からの出力信号が前記第1FIRフィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を設定する、ことを特徴とする。

40

【0009】

また、本発明のデジタル信号処理回路のフィルタ係数設定方法は、第1入力信号が入力される第1入力端子と、前記第1入力端子からの第1入力信号が入力される第1FIRフィルタと、前記第1入力信号が前記第1FIRフィルタとともに入力される第2FIRフィルタと、前記第1FIRフィルタの出力信号が出力される第1出力端子と、前記第2FIRフィルタの出力信号が出力される第2出力端子と、入出力信号共用ライン上において

50

前記第 1 出力端子からの出力信号と第 2 入力信号とを合わせた信号から、前記第 2 出力端子からの出力信号を減算した信号が入力される第 2 入力端子と、前記第 2 入力端子からの信号が出力される第 3 出力端子と、を備えたデジタル信号処理回路のフィルタ係数設定方法であって、前記第 1 F I R フィルタおよび前記第 2 F I R フィルタに対して、前記第 3 出力端子からの出力信号が前記第 1 F I R フィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を設定する、ことを特徴とする。

【 0 0 1 0 】

また、本発明のエコー防止回路のフィルタ係数を設定するためのプログラムは、プロセッサと、第 1 入力信号が入力される入力端子と、前記入力端子からの第 1 入力信号が入力される第 1 F I R フィルタと、前記第 1 入力信号が前記第 1 F I R フィルタとともに入力される第 2 F I R フィルタと、前記第 1 F I R フィルタの出力信号が出力されるか又は第 2 入力信号が入力される入出力端子と、前記第 1 F I R フィルタの出力信号と前記第 2 入力信号とを合わせた信号から、前記第 2 F I R フィルタの出力信号を減算する減算回路と、前記減算回路からの出力信号が出力される出力端子と、を備えたエコー防止回路のフィルタ係数を設定するためのプログラムであって、前記プロセッサに、前記第 1 F I R フィルタおよび前記第 2 F I R フィルタに対して、前記出力端子からの出力信号が前記第 1 F I R フィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を設定する機能を実現させることを特徴とする。

10

【 0 0 1 1 】

また、本発明のデジタル信号処理回路のフィルタ係数を設定するためのプログラムは、プロセッサと、第 1 入力信号が入力される第 1 入力端子と、前記第 1 入力端子からの第 1 入力信号が入力される第 1 F I R フィルタと、前記第 1 入力信号が前記第 1 F I R フィルタとともに入力される第 2 F I R フィルタと、前記第 1 F I R フィルタの出力信号が出力される第 1 出力端子と、前記第 2 F I R フィルタの出力信号が出力される第 2 出力端子と、入出力信号共用ライン上において前記第 1 出力端子からの出力信号と第 2 入力信号とを合わせた信号から、前記第 2 出力端子からの出力信号を減算した信号が入力される第 2 入力端子と、前記第 2 入力端子からの信号が出力される第 3 出力端子と、を備えたデジタル信号処理回路のフィルタ係数を設定するためのプログラムであって、前記プロセッサに、前記第 1 F I R フィルタおよび前記第 2 F I R フィルタに対して、前記第 3 出力端子からの出力信号が前記第 1 F I R フィルタの出力信号のみを除去または減衰した信号となるフィルタ係数を設定する機能を実現させることを特徴とする。

20

30

【 発明の効果 】

【 0 0 1 2 】

本発明によれば、効果的にエコーを防止することが可能なエコー防止回路、デジタル信号処理回路、エコー防止回路のフィルタ係数設定方法、デジタル信号処理回路のフィルタ係数設定方法、エコー防止回路のフィルタ係数を設定するためのプログラム、デジタル信号処理回路のフィルタ係数を設定するためのプログラムを提供することが可能となる。

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

< < 第 1 の実施形態 > >

40

=== エコー防止回路、デジタル信号処理回路の構成例 ===

図 1 を参照しつつ本発明に係るエコー防止回路、デジタル信号処理回路について説明する。図 1 は、本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路 (D S P (Digital Signal Processor) 2) の一例を示すブロック図である。

【 0 0 1 4 】

エコー防止回路は、C P U (Central Processing Unit) 1、D S P 2、A D コンバータ 3、D A コンバータ 5 (第 1 D A コンバータ)、増幅回路 6、入出力端子 7、差動増幅回路 9 (減算回路)、増幅回路 10、A D コンバータ 14、D A コンバータ 15、D A コンバータ 12 (第 2 D A コンバータ)、増幅回路 13 を有している。なお、本実施形態に

50

おいてはCPU1を構成要件としているが、CPU1を構成要件としないことも可能である。

【0015】

さらに、DSP2は、入力端子30（第1入力端子）、FIR（Finite Impulse Response）フィルタ4（第1FIRフィルタ）、出力端子31（第1出力端子）、FIRフィルタ11（第2FIRフィルタ）、出力端子32（第2出力端子）、入力端子33（第2入力端子）、出力端子34（第3出力端子）を有している。

【0016】

ADコンバータ3には、例えば音声信号（第1入力信号）が入力される。そして、ADコンバータ3は、音声信号に対してアナログ・デジタル変換処理したデジタル信号を、入力端子30を介してDSP2に入力させる。

10

【0017】

DSP2に入力されたデジタル信号は、FIRフィルタ4、11にそれぞれ入力される。FIRフィルタ4はデジタル信号に対して、当該FIRフィルタ4のフィルタ係数に基づいて後述する畳み込み演算処理を施して出力端子31に出力する。また同時に、FIRフィルタ11はデジタル信号に対して、当該FIRフィルタ11のフィルタ係数に基づいて後述する畳み込み演算処理を施して出力端子32に出力する。

【0018】

DAコンバータ5は、出力端子31を介して、FIRフィルタ4からの出力信号が入力される。そして、DAコンバータ5は、FIRフィルタ4からの出力信号に対してデジタル・アナログ変換処理したアナログ信号を増幅回路6に出力する。増幅回路6は、所定の増幅率にてアナログ信号を増幅して出力する。

20

【0019】

入出力端子7には、例えばアナログ信号に基づいて音声が発生させる機器（例えばイヤホンマイク、スピーカなど）が接続される。そして、入出力端子7を介して、増幅回路6からのアナログ信号が接続された機器に対して出力される。また、入出力端子7には、例えば音声を音声信号に変換して出力する機器（例えばイヤホンマイク、マイクなど）が接続される。このため、入出力端子7には、接続された機器からの音声信号が入力される。そして、入出力端子7を介して、音声信号が差動増幅回路9の+入力端子に入力される。さらに、入出力端子7を介して出力された信号は、接続された機器を介して反射されて入出力端子7から入力され、差動増幅回路9の+入力端子に入力される。ここで、反射されてくる信号とは、例えば、イヤホンマイク等を通じて戻ってくる信号や、イヤホンマイクから出力された音が耳の中で反射し、その反射音がイヤホンマイクによって音声信号に変換された信号等である。なお、入出力端子7は、出力信号（例えばアナログ信号）と入力信号（例えば音声信号）が排他的に入出力されるものではない。例えば、入出力端子7は、出力信号と入力信号とが同時に入出力される場合もある。なお、入出力信号共用ラインとは、入出力端子7に接続されるラインである。

30

【0020】

DAコンバータ12は、出力端子32を介して、FIRフィルタ11からの出力信号が入力される。そして、DAコンバータ12は、FIRフィルタ11からの出力信号に対してデジタル・アナログ変換処理したアナログ信号を増幅回路13に出力する。増幅回路13は、所定の増幅率にてアナログ信号を増幅して差動増幅回路9の-入力端子に出力する。

40

【0021】

差動増幅回路9は、入出力端子7からの音声信号を増幅回路10に出力する。増幅回路10は、音声信号を所定の増幅率にて増幅してADコンバータ14に出力する。また、差動増幅回路9の+入力端子には、増幅回路6からのアナログ信号が入力される。そして、差動増幅回路9は、+入力端子に入力された増幅回路6からのアナログ信号と、-入力端子に入力された増幅回路13からのアナログ信号との差分を増幅して出力する。

【0022】

50

A/Dコンバータ14は、増幅回路10からの音声信号に対してアナログ・デジタル変換処理したデジタル信号を、入力端子33を介してDSP2に入力させる。入力端子33に入力されたデジタル信号は、出力端子34から出力される。D/Aコンバータ15は、出力端子34を介してDSP2からのデジタル信号が入力される。そして、D/Aコンバータ15は、デジタル信号に対してデジタル・アナログ変換処理したアナログ信号を出力する。

【0023】

CPU1は、エコー防止回路を統括制御する。CPU1は、例えばエコー防止回路をリセットするためのリセット信号が入力されると、後述するインパルス応答取得処理をDSP2にて実行させるべく指示信号を、DSP2に出力する。さらに、CPU1は、インパルス応答取得処理の初期動作として、例えば他方の論理値‘0’をDSP2に出力する。なお、本実施形態においてCPU1は、リセット信号が入力されることによって、インパルス応答取得処理をDSP2にて実行させるための指示信号を出力しているがこれに限るものではない。例えば、エコー防止回路、DSP2を動作させるための電源投入をCPU1が検出したとき、前述の指示信号をDSP2に出力するように設けても良い。また、CPU1は、アナログ回路の電気的变化(例えば増幅回路10の出力の振幅変化)を検出したとき、前述の指示信号をDSP2に出力するように設けても良い。

【0024】

=== DSP2及びFIRフィルタ4、11の構成の詳細 ===

以下、図1～図7を参照しつつDSP2及びDSP2の構成要件であるFIRフィルタ4、11の構成について詳述する。図2は、図1に示すエコー防止回路の経路A、Bを示した図である。図3は、経路Aにイヤホンマイク18が含まれる場合を示した図である。図4(a)は、図2又は図3に示す経路Aのインパルス応答 $IR1'(Z)$ を示した図である。図4(b)は、図2又は図3に示す経路Bのインパルス応答 $IR2'(Z)$ を示した図である。図5は、DSP2の構成の一部を示すブロック図である。詳述すると、経路Aのインパルス応答 $IR1'(Z)$ に基づいてFIRフィルタ11のフィルタ係数を設定するための、DSP2の構成の一部を示すブロック図である。図6は、DSP2の他の構成の一部を示すブロック図である。詳述すると、経路Bのインパルス応答 $IR2'(Z)$ に基づいてFIRフィルタ4のフィルタ係数を設定するための、DSP2の他の構成の一部を示すブロック図である。図7は、FIRフィルタ4、11のその他の一例を示すブロック図である。

【0025】

まず、図5を参照しつつDSP2及びFIRフィルタ11の構成について詳述する。

DSP2は、図1に示すFIRフィルタ11等とともに、インパルス応答格納メモリ43(フィルタ係数設定部)、インパルス用メモリ44、45、フィルタ係数格納メモリ47、レジスタ46、48、49、50(フィルタ係数設定部)、スイッチ回路60A～60E、60G～60I(フィルタ係数設定部)、60N、60Qを有している。

また、FIRフィルタ11は、図5一点鎖線内に示すデジタル信号用メモリ42、乗算回路51、ADD(加算器)52、ACC(Accumulator)53、スイッチ回路60Mを有している。

レジスタ48、49には、CPU1からの前述した他方の論理値‘0’が入力される。

【0026】

インパルス用メモリ44、45はそれぞれ、N個のレジスタ0～N-1から構成されている。そして、後述のインパルス応答取得処理において図2又は図3の実線で示す経路Aのインパルス応答 $IR1'(Z)$ を取得する場合、インパルス用メモリ45のレジスタ0には、例えば一方の論理値‘1’が記憶される。そして、インパルス用メモリ45の他のレジスタ1～N-1には、他方の論理値‘0’が記憶される。また、レジスタ46、インパルス用メモリ44のレジスタ0～N-1には、他方の論理値‘0’が記憶される。

【0027】

また、後述のインパルス応答取得処理において図2又は図3の実線で示す経路Bのインパルス応答 $IR2'(Z)$ を取得する場合、インパルス用メモリ44のレジスタ0には、例えば一方の論理値‘1’が記憶される。そして、インパルス用メモリ44の他のレジスタ

10

20

30

40

50

1 ~ N - 1 には、他方の論理値 ' 0 ' が記憶される。また、レジスタ 4 6、インパルス用メモリ 4 5 のレジスタ 0 ~ N - 1 には、他方の論理値 ' 0 ' が記憶される。

【 0 0 2 8 】

インパルス応答格納メモリ 4 3 は、N 個のレジスタ 0 ~ N - 1 から構成されている。インパルス応答格納メモリ 4 3 のレジスタ 0 ~ N - 1 には、DSP 2 がスイッチ回路 6 0 E を入力端子 3 3 側に切替えることによって、入力端子 3 3 を介して経路 A におけるサンプリング周期単位ごとのインパルス応答 $imp(0) \sim (N - 1) (= IR 1'(Z))$ が記憶される。例えば、先ず入力端子 3 3 を介してインパルス応答 $imp(0)$ がレジスタ N - 1 に記憶される。そして、次のインパルス応答 $imp(1)$ はレジスタ N - 1 に記憶され、レジスタ 0 に記憶されていたインパルス応答 $imp(0)$ はレジスタ N - 2 に記憶される。そして、この処理が繰り返されることによって、インパルス応答格納メモリ 4 3 のレジスタ 0 ~ N - 1 には、インパルス応答 $imp(0) \sim (N - 1) (= IR 1'(Z))$ が記憶されることとなる。なお、サンプリング周期とは、図 4 (a) に示す各インパルス応答 $imp(0) \sim (N - 1)$ 間の時間間隔である。また、インパルス応答格納メモリ 4 3 は、DSP 2 がスイッチ回路 6 0 H をレジスタ 4 9 側に切替え、スイッチ 6 0 G をレジスタ 0 からレジスタ N - 1 へと順次切替えることによって、レジスタ 4 9 に記憶された他方の論理値 ' 0 ' によってクリアされる。

【 0 0 2 9 】

フィルタ係数格納メモリ 4 7 は、N 個のアドレス 0 ~ N - 1 から構成されている。そして、フィルタ係数格納メモリ 4 7 のアドレス 0 ~ N - 1 には、スイッチ回路 6 0 G、6 0 I を順次切替えることによって、レジスタ 5 0 を介したインパルス応答格納メモリ 4 3 のレジスタ 0 ~ N - 1 に記憶されたインパルス応答 $imp(0) \sim (N - 1)$ が順次記憶される。この結果、FIR フィルタ 1 1 のフィルタ係数に、経路 A のインパルス応答 $imp(0) \sim (N - 1) (= IR 1'(Z))$ が設定されることとなる。なお、FIR フィルタ 1 1 のフィルタ係数に、経路 A におけるインパルス応答 $imp(0) \sim (N - 1)$ を設定する理由については、後述の FIR フィルタ 4、1 1 のフィルタ係数において説明する。

【 0 0 3 0 】

レジスタ 5 0 は、インパルス応答格納メモリ 4 3 からのインパルス応答 $imp(0) \sim (N - 1)$ が、フィルタ係数格納メモリ 4 7 のアドレス 0 ~ N - 1 に順次記憶されるべく、当該インパルス応答 $imp(0) \sim (N - 1)$ が一時記憶される。

【 0 0 3 1 】

デジタル信号用メモリ 4 2 は、N 個のレジスタ 0 ~ N - 1 から構成されている。そして、デジタル信号用メモリ 4 2 には、入力端子 3 0 を介して AD コンバータ 3 からのデジタル信号が順次入力される。そして、レジスタ 0 ~ N - 1 にデジタル信号が順次入力されることにより、デジタル信号は 1 サンプル周期単位ずつ遅延されることとなる。例えばデジタル信号を X_n とすると、レジスタ 0 は X_n を 1 サンプル周期遅延させた X_{n-1} をレジスタ 1 に出力し、レジスタ N - 2 は $X_{n-(N-1)}$ を出力する。また、デジタル信号用メモリ 4 2 は、DSP 2 がスイッチ回路 6 0 Q をレジスタ 0 からレジスタ N - 1 へと順次切替えることによって、レジスタ 4 8 に記憶された他方の論理値 ' 0 ' によってクリアされる。

【 0 0 3 2 】

乗算回路 5 1 は、DSP 2 がスイッチ回路 6 0 M、6 0 N をそれぞれ、レジスタ 0、アドレス 0 から順次切替えることによって、デジタル信号用メモリ 4 2 からのデジタル信号 X_n 、 \dots 、 $X_{n-(N-1)}$ と、フィルタ係数格納メモリ 4 7 からのフィルタ係数 $imp(0)$ 、 \dots 、 $(N - 1)$ が順次入力される。そして、乗算回路 5 1 は、デジタル信号 X_n 、 \dots 、 $X_{n-(N-1)}$ とフィルタ係数 $imp(0)$ 、 \dots 、 $(N - 1)$ とを順次乗算した乗算結果を ADD 5 2 に出力する。例えば、乗算回路 5 1 は、デジタル信号用メモリ 4 2 からの X_n とフィルタ係数格納メモリ 4 7 からの $imp(0)$ を乗算した乗算結果を ADD 5 2 に出力する。次に、乗算回路 5 1 は、デジタル信号用メモリ 4 2 からの X_{n-1} とフィルタ係数格納メモリ 4 7 からの $imp(1)$ を乗算した乗算結果を ADD 5 2 に出力する

10

20

30

40

50

。そして、この処理が繰り返されることによって、デジタル信号 X_n 、 \dots 、 $X_{n-(N-1)}$ とフィルタ係数 $imp(0)$ 、 \dots 、 $(N-1)$ とが乗算されることとなる。

【0033】

ACC53は、ADD52からの加算結果が入力されて、この加算結果を保持する。ADD52は、乗算回路51からの乗算結果と、ACC53に記憶されている前回のADD52の加算結果とを加算した結果をACC53に出力する。この結果、ACC53には $X_n \cdot imp(0) + \dots + X_{n-(N-1)} \cdot imp(N-1)$ が記憶されることとなる。この結果、FIRフィルタ11は、フィルタ係数格納メモリ47に記憶されたフィルタ係数に基づき、デジタル信号に対して畳み込み演算処理を施したこととなる。そして、FIRフィルタ11は、畳み込み演算処理を施したデジタル信号を、出力端子32に出力する。

10

【0034】

次に、図6を参照しつつDSP2及びFIRフィルタ4の構成について説明する。なお、前述したDSP2及びFIRフィルタ11と同一の構成については、同一番号を付して説明を省略する。

【0035】

DSP2は、図1に示すFIRフィルタ4等とともに、インパルス応答格納メモリ55（フィルタ係数設定部）、インパルス用メモリ44、45、フィルタ係数格納メモリ56、レジスタ46、48~50、57（フィルタ係数設定部）、乗算回路58（フィルタ係数設定部）、スイッチ回路60A~60D、60F、60J~60L（フィルタ係数設定部）、60P、60Rを有している。

20

【0036】

また、FIRフィルタ4は、図6一点鎖線内に示すデジタル信号用メモリ54、乗算回路51、ADD52、ACC53、スイッチ回路60Oを有している。なお、乗算回路51、ADD52、ACC53は、FIRフィルタ4と共用して用いられる。

【0037】

インパルス応答格納メモリ55は、N個のレジスタ0~N-1から構成されている。インパルス応答格納メモリ55のレジスタ0~N-1には、DSP2がスイッチ回路60Fを入力端子33側に切替えることによって、入力端子33を介して経路Bにおけるサンプリング周期単位ごとのインパルス応答 $imp(0) \sim (N-1)$ ($= IR2'(Z)$) が記憶される。なお、インパルス応答格納メモリ55のレジスタ0~N-1へのインパルス応答 $imp(0) \sim (N-1)$ の記憶は、前述したインパルス応答格納メモリ43と同様である。また、インパルス応答格納メモリ55は、DSP2がスイッチ回路60Kをレジスタ49側に切替え、スイッチ60Jをレジスタ0からレジスタN-1へと順次切替えることによって、レジスタ49に記憶された他方の論理値 '0' によってクリアされる。

30

レジスタ57には、インパルス応答格納メモリ55に記憶されたインパルス応答 $imp(0) \sim (N-1)$ を、乗算回路58にて位相反転させるべく -1 を示すバイナリデータが予め記憶されている。

【0038】

乗算回路58は、レジスタ50の値とレジスタ57の値とを乗算した乗算結果をインパルス応答格納メモリ56に出力する。詳述すると、DSP2がスイッチ回路60Kをレジスタ50側に切替え、スイッチ回路60Jをレジスタ0から順次切替えることによって、レジスタ50にインパルス応答格納メモリ55のレジスタ0~N-1からのインパルス応答 $imp(0) \sim (N-1)$ が順次入力される。そして、乗算回路58が、レジスタ50の値とレジスタ57の値とを順次乗算することによって、位相反転されたインパルス応答 $imp(0) \sim (N-1)$ を示す乗算結果がフィルタ係数格納メモリ56に出力されることとなる。

40

【0039】

フィルタ係数格納メモリ56は、N個のアドレス0~N-1から構成されている。そして、フィルタ係数格納メモリ56のアドレス0~N-1には、スイッチ回路60Lを順次切替えることによって、乗算回路58にて位相反転されたインパルス応答 $imp(0) \sim ($

50

N - 1)が順次記憶される。この結果、F I Rフィルタ4のフィルタ係数として、位相反転された経路Bのインパルス応答 $i m p(0) \sim (N - 1) (= I R 2'(Z))$ が設定されることとなる。なお、F I Rフィルタ4のフィルタ係数に、位相反転した経路Bのインパルス応答 $i m p(0) \sim (N - 1)$ を設定する理由については、後述のF I Rフィルタ4、11のフィルタ係数において説明する。

【0040】

デジタル信号用メモリ54は、N個のレジスタ0 ~ N - 1から構成されている。そして、デジタル信号用メモリ54には、入力端子30を介してA Dコンバータ3からのデジタル信号が順次入力される。そして、レジスタ0 ~ N - 1にデジタル信号が順次入力されることにより、デジタル信号は1サンプリング周期単位ずつ遅延されることとなる。例えばデジタル信号を X_n とすると、レジスタ0は X_n を1サンプリング周期遅延させた X_{n-1} をレジスタ1に出力し、レジスタN - 2は $X_{n-(N-1)}$ を出力する。また、デジタル信号用メモリ54は、D S P 2がスイッチ回路60Rをレジスタ0からレジスタN - 1へと順次切替えることによって、レジスタ48に記憶された他方の論理値 '0' によってクリアされる。

10

【0041】

そして、前述したF I Rフィルタ11と同様の乗算回路51、A D D 52による処理が行われる。この結果、F I Rフィルタ4は、フィルタ係数格納メモリ56に記憶されたフィルタ係数に基づき、デジタル信号に対して畳み込み演算処理を施したこととなる。そして、F I Rフィルタ4は、畳み込み演算処理を施したデジタル信号を、出力端子31に出力する。

20

【0042】

なお、本実施形態においては、F I Rフィルタ4、11を前述した構成にて述べているがこれに限るものではない。例えば、図7に示す構成としても良い。この場合、デジタル信号用メモリ42、54に対応した遅延回路35a1 ~ 35aN - 1、乗算回路51に対応した乗算回路36a0 ~ 36aN - 1、A D D 52、A C C 53に対応した加算回路37を設けても良い。以下、例えばF I Rフィルタ4が図7に示す構成で設けられた場合について説明する。同図に示すように、F I Rフィルタ4は、縦続接続されたN - 1個の遅延回路35a1 ~ 35aN - 1と、入力されるデジタル信号をそれぞれ乗算するN個の乗算回路36a0 ~ 36aN - 1と、乗算回路36a0 ~ 36aN - 1からの出力を合算する加算回路37とを有している。

30

【0043】

遅延回路35a1 ~ 35aN - 1は、入力端子30を介して入力されるデジタル信号 X_n を、サンプリングの周期単位ごとに遅延して出力する。例えば、遅延回路35a1はデジタル信号 X_n を1サンプリング周期位相遅延させたデジタル信号 X_{n-1} を出力し、遅延回路35aN - 1はデジタル信号 $X_{n-(N-1)}$ を出力する。

【0044】

乗算回路36a0 ~ 36aN - 1は、スイッチ回路60P、60Sが順次切替わることにより、フィルタ係数格納メモリ56に記憶されたインパルス応答 $i m p(0) \sim (N - 1)$ が乗算係数としてそれぞれ設定される。そして、乗算回路36a0 ~ 36aN - 1は、入力されるデジタル信号に対して設定された乗算係数で乗算した乗算結果を出力する。

40

加算回路37は、乗算回路36a0 ~ 36aN - 1からの出力を合算する。この結果、前述したF I Rフィルタ4と同様の畳み込み演算を施すことが可能となる。

【0045】

=== F I Rフィルタ4、11のフィルタ係数 ===

図2及び図3を参照しつつF I Rフィルタ4、11のフィルタ係数について詳述する。なお、イヤホンマイク18は入出力端子7に接続することができる。そして、入出力端子7から出力されるアナログ信号がイヤホンマイク18に入力されると、イヤホンマイク18はそのアナログ信号に基づいて振動板(不図示)を振動させることにより音声を出力する。また、イヤホンマイク18は、イヤホンマイク18を耳に装着している者が音声を発

50

したときの鼓膜の振動を振動板でとらえることによりアナログ信号を生成して出力する。そして、イヤホンマイク 18 から出力されるアナログ信号が入出力端子 7 から入力される。

【 0 0 4 6 】

前述したように増幅回路 6 からのアナログ信号は、入出力端子 7 からの出力のみならず、差動増幅回路 9 の + 入力端子にも入力される場合がある。つまり、差動増幅回路 9 の + 入力端子には、増幅回路 6 からのアナログ信号と、入出力端子 7 に入力された信号とを合わせた信号が入力される。なお、入出力端子 7 に入力される信号 (第 2 入力信号) とは、音声信号のみならず、例えば電氣的ノイズ信号や環境ノイズ等の信号も含まれるものとして以下説明する。そして、この場合、当該アナログ信号によるエコーが発生することとなる。或いは、入出力端子 7 から入力される音声信号と増幅回路 6 からのアナログ信号が重畳されて差動増幅回路 9 の + 入力端子に入力されることにより、エコーが発生することとなる。そこで、このエコーを防止すべく FIR フィルタ 4、11 のフィルタ係数を設定する。

10

【 0 0 4 7 】

そこで、図 2 又は図 3 の破線で示す出力端子 31 から差動増幅回路 9 の + 入力端子までのインパルス応答 (伝達関数) を $IR1(Z)$ とする。また、図 2 又は図 3 の破線で示す出力端子 32 から差動増幅回路 9 の - 入力端子までのインパルス応答 (伝達関数) を $IR2(Z)$ とする。また、図 2 又は図 3 の破線で示す差動増幅回路 9 における ± 入力端子の後段から入力端子 33 までのインパルス応答 (伝達関数) を $W(Z)$ とする。

20

【 0 0 4 8 】

この時、図 2 又は図 3 の実線で示す経路 A のインパルス応答 (伝達関数) $IR1'(Z)$ は、 $IR1'(Z) = IR1(Z) \cdot W(Z)$ となる。また、図 2 又は図 3 の実線で示す経路 B のインパルス応答 (伝達関数) $IR2'(Z)$ は、 $IR2'(Z) = -IR2(Z) \cdot W(Z)$ となる。なお、 $IR2(Z)$ が位相反転しているのは、差動増幅回路 9 の - 入力端子に入力されているためである。

【 0 0 4 9 】

今、FIR フィルタ 4 のフィルタ係数を、 $IR2'(Z)$ を位相反転した $-IR2'(Z)$ とすると、FIR フィルタ 4 の入力から入力端子 33 までの特性 $IRall_1(Z)$ は、

$$\begin{aligned} IRall_1(Z) &= -IR2'(Z) \cdot IR1'(Z) \\ &= (-(-IR2(Z) \cdot W(Z))) \cdot (IR1(Z) \cdot W(Z)) \\ &= IR2(Z) \cdot W(Z) \cdot IR1(Z) \cdot W(Z) \end{aligned}$$

30

となる。また、FIR フィルタ 11 のフィルタ係数を $IR1'(Z)$ とすると、FIR フィルタ 11 の入力から入力端子 33 までの特性 $IRall_2(Z)$ は、

$$\begin{aligned} IRall_2(Z) &= IR1'(Z) \cdot IR2'(Z) \\ &= IR1(Z) \cdot W(Z) \cdot (-IR2(Z) \cdot W(Z)) \\ &= IR1(Z) \cdot W(Z) \cdot (-IR2(Z)) \cdot W(Z) \\ &= -IRall_1(Z) \end{aligned}$$

となる。

【 0 0 5 0 】

つまり、FIR フィルタ 4 の入力から入力端子 33 までの特性 $IRall_1(Z)$ と、FIR フィルタ 11 の入力から入力端子 33 までの特性 $IRall_2(Z)$ とは互いに打ち消しあう特性となることがわかる。この結果、FIR フィルタ 4 のフィルタ係数を、 $IR2'(Z)$ を位相反転した $-IR2'(Z)$ とし、FIR フィルタ 11 のフィルタ係数を $IR1'(Z)$ と設定すればよいことがわかる。

40

【 0 0 5 1 】

あるいは、FIR フィルタ 4 のフィルタ係数を、 $IR2'(Z)$ とすると、FIR フィルタ 4 の入力から入力端子 33 までの特性 $IRall_1(Z)$ は、

$$\begin{aligned} IRall_1(Z) &= IR2'(Z) \cdot IR1'(Z) \\ &= (-IR2(Z) \cdot W(Z)) \cdot (IR1(Z) \cdot W(Z)) \end{aligned}$$

50

$$= - I R 2 (Z) \cdot W (Z) \cdot I R 1 (Z) \cdot W (Z)$$

となる。また、F I Rフィルタ 1 1 のフィルタ係数を、 $I R 1 '(Z)$ を位相反転した $- I R 1 '(Z)$ とすると、F I Rフィルタ 1 1 の入力から入力端子 3 3 までの特性 $I R a l l _ 2 (Z)$ は、

$$\begin{aligned} I R a l l _ 2 (Z) &= - I R 1 '(Z) \cdot I R 2 '(Z) \\ &= (- (I R 1 (Z) \cdot W (Z))) \cdot (- I R 2 (Z) \cdot W (Z)) \\ &= I R 1 (Z) \cdot W (Z) \cdot I R 2 (Z) \cdot W (Z) \\ &= - I R a l l _ 1 (Z) \end{aligned}$$

となる。

【 0 0 5 2 】

10

つまり、F I Rフィルタ 4 の入力から入力端子 3 3 までの特性 $I R a l l _ 1 (Z)$ と、F I Rフィルタ 1 1 の入力から入力端子 3 3 までの特性 $I R a l l _ 2 (Z)$ とは互いに打ち消しあう特性となることがわかる。この結果、F I Rフィルタ 4 のフィルタ係数を、 $I R 2 '(Z)$ とし、F I Rフィルタ 1 1 のフィルタ係数を、 $I R 1 '(Z)$ を位相反転した $- I R 1 '(Z)$ と設定すればよいことがわかる。

【 0 0 5 3 】

そして、このようにF I Rフィルタ 4、1 1 のフィルタ係数を設定することによって、差動増幅回路 9 において経路 A を伝達する信号を、経路 B を伝達する信号で打ち消すことが可能となる。この結果、入力端子 3 0 にデジタル信号が入力されたときの、前述のエコーを防止することが可能となる。

20

【 0 0 5 4 】

そして、図 3 に示すように、イヤホンマイク 1 8 が接続された状態でインパルス応答 $I R 1 '(Z)$ を取得し、この $I R 1 '(Z)$ をF I Rフィルタ 1 1 のフィルタ係数に設定することにより、イヤホンマイク 1 8 の伝達特性に応じた効果的なエコー防止が可能となる。

【 0 0 5 5 】

さらに、接続されたイヤホンマイク 1 8 を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態でインパルス応答 $I R 1 '(Z)$ を取得し、この $I R 1 '(Z)$ をF I Rフィルタ 1 1 のフィルタ係数に設定することにより、イヤホンマイク 1 8 の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

【 0 0 5 6 】

30

== インパルス応答取得処理によるF I Rフィルタ 4、1 1 のフィルタ係数設定 ==

以下、図 1 ~ 図 6、図 8 を参照しつつ本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路によるインパルス応答取得処理、F I Rフィルタ 4、1 1 のフィルタ係数設定の動作について説明する。図 8 は、本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の動作の一例を示すフローチャートである。

【 0 0 5 7 】

C P U 1 は、例えば、エコー防止回路をリセットするためのリセット信号が入力されると、インパルス応答取得処理をD S P 2 にて実行させるべく指示信号を、D S P 2 に出力する。また、C P U 1 は、インパルス応答取得処理の初期動作として、他方の論理値 ' 0 ' をD S P 2 出力する。D S P 2 に入力された他方の論理値 ' 0 ' は、レジスタ 4 8、4 9 に入力される。

40

【 0 0 5 8 】

D S P 2 は、スイッチ回路 6 0 R をデジタル信号用メモリ 5 4 のレジスタ 0 ~ レジスタ N - 1 へと順次切替える。この結果、レジスタ 4 8 に記憶された他方の論理値 ' 0 ' によって、デジタル信号用メモリ 5 4 のレジスタ 0 ~ N - 1 の内容がクリアされる (S 1 0 1)。同様に、D S P 2 は、スイッチ回路 6 0 Q をデジタル信号用メモリ 4 2 のレジスタ 0 ~ レジスタ N - 1 へと順次切替える。この結果、レジスタ 4 8 に記憶された他方の論理値 ' 0 ' によって、デジタル信号用メモリ 4 2 のレジスタ 0 ~ N - 1 がクリアされる (S 1 0 2)。そして、D S P 2 は、C P U 1 からの前述の指示信号が入力されたか否かを判別

50

する (S103)。

【0059】

DSP2は、CPU1からの指示信号が入力されたと判別すると (S103・YES)、先ずスイッチ回路60Hをレジスタ49側に切替え、スイッチ回路60Gをレジスタ0～レジスタN-1に順次切替える。この結果、レジスタ49に記憶された他方の論理値‘0’によって、インパルス応答格納メモリ43のレジスタ0～レジスタN-1の内容がクリアされる (S104)。以下、インパルス応答格納メモリ43に記憶させるi番目のインパルス応答を $imp(i)$ ($i = 0, \dots, N-1$) と示して説明する。そして、DSP2は、インパルス応答格納メモリ43のレジスタN-1に記憶させるインパルス応答 $imp(0)$ を取得すべく $i = 0$ とし (S105)、入力端子30をハイインピーダンスとした

10

【0060】

DSP2は、図2又は図3に示した経路Aのインパルス応答 $imp(0)$ を取得するために、当該経路Aへ出力端子31からのインパルス出力が可能であるか否かを判別する (S106)。例えば、このDSP2による判別としては、出力端子31からの信号の出力や入力端子33への信号の入力がされている状態であるか否かを判別することによって行う。仮に、出力端子31からの信号の出力や入力端子33への信号の入力がされている状態でインパルスを出力すると、正確なインパルス応答 $imp(0)$ を取得できない可能性があるためである。

【0061】

20

そして、DSP2は、経路Aへのインパルス出力が可能であると判別すると (S106・YES)、 $i = 0$ であるか否かを判別する (S107)。S105において $i = 0$ であるため、DSP2は $i = 0$ であると判別することとなる (S107・YES)。そして、DSP2は、インパルス用メモリ45のレジスタ0に一方の論理値‘1’を記憶させる。また、DSP2は、インパルス用メモリ45の他のレジスタ1～N-1、レジスタ46、インパルス用メモリ44のレジスタ0～N-1に、他方の論理値‘0’を記憶させる。そして、DSP2は、スイッチ回路60Cをインパルス用メモリ45側に切替え、スイッチ回路60Aをインパルス用メモリ44側に切替え、スイッチ回路60Tをレジスタ46側に切替える。また、DSP2は、スイッチ回路60Eを入力端子33側に切替える。次に、DSP2は、スイッチ回路60D、60Bをそれぞれ、レジスタ0に切替える。この結果、インパルス用メモリ45のレジスタ0に記憶された一方の論理値‘1’によるインパルスが出力端子31から出力されることとなる (S108)。出力端子31から出力されたインパルスは、経路Aを伝達して入力端子33に入力される (S109)。この結果、インパルス応答 $imp(0)$ が取得できたこととなる (図4(a)・ $imp(0)$)。そして、このインパルス応答 $imp(0)$ は、先ずインパルス応答格納メモリ43のレジスタN-1に記憶される。

30

【0062】

次に、インパルス応答 $imp(1)$ を取得するため、DSP2は i をインクリメントして、 $i = i + 1 = 1$ とする (S110)。そして、DSP2は、取得したインパルス応答が未だ $imp(N-1)$ まで達していないため $i = N$ でないと判別し (S111・NO)、前述したS106の処理を再び繰り返すこととなる。さらに、S110において $i = 1 = 0$ となっているため (S107・NO)、DSP2は、スイッチ回路60D、60Bをそれぞれ、レジスタ1に切替える。この結果、出力端子31からはインパルスが出力されない (S112)。そのため、入力端子33には、S108において出力されたインパルスの1サンプリング周期位相遅延したインパルス $imp(1)$ が入力される。そして、このインパルス応答 $imp(1)$ はインパルス応答格納メモリ43のレジスタN-1に記憶され、レジスタN-1に記憶されていたインパルス応答 $imp(0)$ はレジスタN-2に記憶されることとなる。このように、S106からS111の処理を $i = N$ まで繰り返すことによって (S111・YES)、インパルス応答 $imp(0) \sim imp(N-1)$ ($= IR1'(Z)$) が取得される。この結果、インパルス応答格納メモリ43のレジスタ0～N-1に、イ

40

50

ンパルス応答 $imp(0) \sim imp(N-1)$ が記憶されたこととなる。

【0063】

DSP2は、インパルス応答格納メモリ43のレジスタ0～N-1に記憶されているインパルス応答 $imp(0) \sim imp(N-1)$ を、フィルタ係数格納メモリ47のアドレス0～N-1に記憶させるべく、スイッチ回路60Hをレジスタ50側に切替え、スイッチ回路60G、60Iをそれぞれレジスタ0、アドレス0から順次切替える。詳述すると、DSP2は、先ずインパルス応答 $imp(0)$ をアドレス0に記憶させるべく $i=0$ とする(S113)。そして、DSP2は、スイッチ回路60Gをレジスタ0に切替え、スイッチ回路60Iをアドレス0に切替える。この結果、フィルタ係数格納メモリ47のアドレス0にインパルス応答 $imp(0)$ が記憶されることとなる(S114)。次に、DSP2は、フィルタ係数格納メモリ47のアドレス1にインパルス応答 $imp(1)$ を記憶させるべく、 $i=i+1=1$ とする(S115)。そして、DSP2は、フィルタ係数格納メモリ47のアドレスN-1までインパルス応答が記憶されていないため $i=N$ でないと判別し(S116・NO)、前述のS114の処理を再び繰り返すこととなる。つまり、DSP2は、スイッチ回路60Gをレジスタ1に切替え、スイッチ回路60Iをアドレス1に切替える。この結果、アドレス1にインパルス応答 $imp(1)$ が記憶されることとなる(S114)。そして、前述のS114からS116の処理を $i=N$ まで繰り返すことによつて(S116・YES)、フィルタ係数格納メモリ47のアドレス0～N-1にインパルス応答 $imp(0) \sim imp(N-1)$ が記憶されることとなる。つまり、FIRフィルタ11のフィルタ係数が設定されることとなる。

10

20

【0064】

次に、DSP2は、スイッチ回路60Kをレジスタ49側に切替え、スイッチ回路60Jをレジスタ0～レジスタN-1に順次切替える。この結果、レジスタ49に記憶された他方の論理値‘0’によつて、インパルス応答格納メモリ55のレジスタ0～レジスタN-1がクリアされる(S117)。以下、インパルス応答格納メモリ55に記憶させる j 番目のインパルス応答を $imp(j)$ ($j=0, \dots, N-1$) と示して説明する。そして、DSP2は、インパルス応答格納メモリ55のレジスタN-1に記憶させるインパルス応答 $imp(0)$ を取得すべく $j=0$ とし(S118)、以下の処理を実行する。

【0065】

DSP2は、図2又は図3に示した経路Bのインパルス応答 $imp(0)$ を取得するために、当該経路Bへインパルス出力が可能であるか否かを判別する(S119)。このDSP2による判別は、前述したS106と同様である。

30

【0066】

そして、DSP2は、経路Bへのインパルス出力が可能であると判別すると(S119・YES)、 $j=0$ であるか否かを判別する(S120)。S118において $j=0$ であるため、DSP2は $j=0$ であると判別することとなる(S120・YES)。そして、DSP2は、インパルス用メモリ44のレジスタ0に一方の論理値‘1’を記憶させる。また、DSP2は、インパルス用メモリ44の他のレジスタ1～N-1、レジスタ46、インパルス用メモリ45のレジスタ0～N-1に、他方の論理値‘0’を記憶させる。そして、DSP2は、スイッチ回路60Fを入力端子33側に切替える。次に、DSP2は、スイッチ回路60D、60Bをそれぞれ、レジスタ0に切替える。この結果、インパルス用メモリ44のレジスタ0に記憶された一方の論理値‘1’によるインパルスが出力端子32から出力されることとなる(S121)。出力端子32から出力されたインパルスは、経路Bを伝達して入力端子33に入力される(S122)。この結果、インパルス応答 $imp(0)$ が取得できたこととなる(図4(b)・ $imp(0)$)。そして、このインパルス応答 $imp(0)$ は、先ずインパルス応答格納メモリ55のレジスタN-1に記憶される。

40

【0067】

次に、インパルス応答 $imp(1)$ を取得するため、DSP2は j をインクリメントして、 $j=j+1=1$ とする(S123)。そして、DSP2は、取得したインパルス応答が

50

未だ $imp(N - 1)$ まで達していないため $j = N$ でないと判別し (S 1 2 4 · NO)、前述した S 1 1 9 の処理を再び繰り返すこととなる。さらに、S 1 2 3 において $j = 1 - 0$ となっているため (S 1 2 0 · NO)、DSP 2 は、スイッチ回路 6 0 D、6 0 B をそれぞれ、レジスタ 1 に切替える。この結果、出力端子 3 2 からはインパルスが出力されない (S 1 2 5)。そのため、入力端子 3 3 には、S 1 2 1 において出力されたインパルスの 1 サンプリグ周期位相遅延したインパルス $imp(1)$ が入力される。そして、このインパルス応答 $imp(1)$ はインパルス応答格納メモリ 5 5 のレジスタ $N - 1$ に記憶され、レジスタ $N - 1$ に記憶されていたインパルス応答 $imp(0)$ はレジスタ $N - 2$ に記憶されることとなる。このように、S 1 1 9 から S 1 2 4 の処理を $j = N$ まで繰り返すことによって (S 1 2 4 · YES)、インパルス応答 $imp(0) \sim imp(N - 1)$ ($= IR 2'(Z)$) が取得される。この結果、インパルス応答格納メモリ 5 5 のレジスタ 0 ~ $N - 1$ に、インパルス応答 $imp(0) \sim imp(N - 1)$ が記憶されたこととなる。

10

【 0 0 6 8 】

DSP 2 は、インパルス応答格納メモリ 5 5 のレジスタ 0 ~ $N - 1$ に記憶されているインパルス応答 $imp(0) \sim imp(N - 1)$ を、位相反転させてフィルタ係数格納メモリ 5 6 のアドレス 0 ~ $N - 1$ に記憶させるべく、スイッチ回路 6 0 K をレジスタ 5 0 側に切替え、スイッチ回路 6 0 J、6 0 L をそれぞれレジスタ 0、アドレス 0 から順次切替える。DSP 2 は、先ず位相反転されたインパルス応答 $imp(0)$ をアドレス 0 に記憶させるべく $j = 0$ とする (S 1 2 6)。そして、DSP 2 は、スイッチ回路 6 0 J をレジスタ 0 に切替え、スイッチ回路 6 0 L をアドレス 0 に切替える。このときレジスタ 0 からの $imp(0)$ は、乗算回路 5 8 にてレジスタ 5 7 の値と乗算されることによって位相反転される。この結果、フィルタ係数格納メモリ 4 7 のアドレス 0 には、位相反転されたインパルス応答 $imp(0)$ を記憶されることとなる (S 1 2 7)。次に、DSP 2 は、フィルタ係数格納メモリ 4 7 のアドレス 1 にインパルス応答 $imp(1)$ を記憶させるべく、 $j = j + 1 = 1$ とする (S 1 2 8)。そして、DSP 2 は、フィルタ係数格納メモリ 5 6 のアドレス $N - 1$ までインパルス応答が記憶されていないため $j = N$ でないと判別し (S 1 2 9 · NO)、前述の S 1 2 7 の処理を再び繰り返すこととなる。つまり、DSP 2 は、スイッチ回路 6 0 J をレジスタ 1 に切替え、スイッチ回路 6 0 L をアドレス 1 に切替える。そして、レジスタ 1 からの $imp(1)$ は、乗算回路 5 8 にてレジスタ 5 7 の値と乗算されることによって位相反転される。この結果、アドレス 1 に位相反転されたインパルス応答 $imp(1)$ が記憶されることとなる (S 1 2 7)。そして、前述の S 1 2 7 から S 1 2 9 の処理を $j = N$ まで繰り返すことによって (S 1 2 9 · YES)、フィルタ係数格納メモリ 5 6 のアドレス 0 ~ $N - 1$ に、位相反転されたインパルス応答 $imp(0) \sim imp(N - 1)$ が記憶されることとなる。つまり、FIR フィルタ 4 のフィルタ係数が設定されることとなる。

20

30

【 0 0 6 9 】

なお、上述した実施形態によれば、前述した処理についてハードウェア (例えばスイッチ回路 6 0 など) を用いて説明したが、これに限るものではない。例えば、前述した処理をプログラムデータとして ROM (Read Only Memory) などに予め記憶させておき、DSP 2 が備えるプロセッサが当該プログラムデータを読み出して処理することも可能である。

40

【 0 0 7 0 】

<< 第 2 の実施形態 >>

=== エコー防止回路、デジタル信号処理回路の構成例 ===

図 9 は、第 2 の実施形態を示す図である。図 9 は、本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の一例を示すブロック図である。なお、図 9 に示すエコー防止回路において、前述した第 1 の実施形態と同一の構成要件については、同一番号を付して説明を省略する。

【 0 0 7 1 】

エコー防止回路は、CPU 1、DSP 2、AD コンバータ 3、DA コンバータ 5、増幅回路 6、入出力端子 7、加算回路 6 3、増幅回路 1 0、AD コンバータ 1 4、DA コンバ

50

ータ15、DAコンバータ12、反転増幅回路61（反転回路）、利得位相調整回路（G/P）75を有している。

つまり、本実施形態は、第1の実施形態における差動増幅回路9、増幅回路13に代えて、反転増幅回路61、利得位相調整回路75、加算回路63を設けた構成となっている。なお、本実施形態においてもCPU1を構成要件としているが、CPU1を構成要件としないことも可能である。

さらに、DSP2は、入力端子30、FIRフィルタ4、出力端子31、FIRフィルタ11、出力端子32、入力端子33、出力端子34を有している。

【0072】

反転増幅回路61は、DAコンバータ12からのアナログ信号を、所定の増幅率にて反転増幅して利得位相調整回路75に出力する。

利得位相調整回路75は、反転増幅回路61からのアナログ信号に対して、利得および位相の調整を施して加算回路63に出力する。なお、この利得位相調整回路75によるアナログ信号の利得および位相の調整は、入力端子30にデジタル信号が入力されたときの後述する加算回路63の出力をゼロとするため、増幅回路6からのアナログ信号とは位相反転したアナログ信号を生成すべく行われる。

加算回路63は、増幅回路6からのアナログ信号が入力される。そして、加算回路63は、増幅回路6からのアナログ信号と、利得位相調整回路75からのアナログ信号とを加算した加算結果を増幅回路10に出力する。また、加算回路63は、入出力端子7からの音声信号を増幅回路10に出力する。

【0073】

=== FIRフィルタ4、11のフィルタ係数 ===

図10及び図11を参照しつつFIRフィルタ4、11のフィルタ係数について詳述する。図10は、図9に示すエコー防止回路の経路C、Dを示した図である。また、図11は、経路Cにイヤホンマイク18が含まれる場合を示した図である。

【0074】

増幅回路6からのアナログ信号は、入出力端子7からの出力のみならず、加算回路63に入力される場合がある。この場合、当該アナログ信号によるエコーが発生することとなる。或いは、入出力端子7から入力される音声信号と増幅回路6からのアナログ信号が重畳されて加算回路63に入力されることにより、エコーが発生することとなる。そこで、このエコーを防止すべくFIRフィルタ4、11のフィルタ係数を設定する。

【0075】

そこで、図10又は図11の破線で示す出力端子31から加算回路63の入力端子までのインパルス応答（伝達関数）を $IR_3(Z)$ とする。また、図10又は図11の一点鎖線で示す出力端子32から反転増幅回路61の入力までのインパルス応答（伝達関数）を $IR_{4_1}(Z)$ とする。また、図10又は図11の二点鎖線で示す反転増幅回路61の入力から加算回路63の入力端子までのインパルス応答（伝達関数）を $IR_{4_2}(Z)$ とする。また、図10又は図11の破線で示す加算回路63における各入力端子の後段から入力端子33までのインパルス応答（伝達関数）を $W_2(Z)$ とする。

【0076】

この時、図10又は図11の実線で示す経路Cのインパルス応答（伝達関数） $IR_3'(Z)$ は、 $IR_3'(Z) = IR_3(Z) \cdot W_2(Z)$ となる。また、図10又は図11の実線で示す経路Dのインパルス応答（伝達関数） $IR_4'(Z)$ は、 $IR_4'(Z) = -IR_{4_1}(Z) \cdot IR_{4_2}(Z) \cdot W_2(Z)$ となる。なお、 $IR_{4_1}(Z)$ が位相反転しているのは、反転増幅回路61にて反転されるためである。

【0077】

今、FIRフィルタ4のフィルタ係数を、 $IR_4'(Z)$ を位相反転した $-IR_4'(Z)$ とすると、FIRフィルタ4の入力から入力端子33までの特性 $IR_{all_3}(Z)$ は、

$$IR_{all_3}(Z) = -IR_4'(Z) \cdot IR_3'(Z) \\ = (- (- IR_{4_1}(Z) \cdot IR_{4_2}(Z) \cdot W_2(Z))) \cdot$$

10

20

30

40

50

$$(IR_3(Z) \cdot W_2(Z))$$

$$= IR_{4_1}(Z) \cdot IR_{4_2}(Z) \cdot W_2(Z) \cdot IR_3(Z) \cdot W_2(Z)$$
 となる。また、FIRフィルタ11のフィルタ係数を $IR_3'(Z)$ とすると、FIRフィルタ11の入力から入力端子33までの特性 $IRall_4(Z)$ は、

$$\begin{aligned}
 IRall_4(Z) &= IR_3'(Z) \cdot IR_4'(Z) \\
 &= IR_3(Z) \cdot W_2(Z) \cdot (-IR_{4_1}(Z) \cdot \\
 &\quad IR_{4_2}(Z) \cdot W_2(Z)) \\
 &= IR_3(Z) \cdot W_2(Z) \cdot (-IR_{4_1}(Z)) \cdot \\
 &\quad IR_{4_2}(Z) \cdot W_2(Z) \\
 &= -IRall_3(Z)
 \end{aligned}$$

10

となる。

【0078】

つまり、FIRフィルタ4の入力から入力端子33までの特性 $IRall_3(Z)$ と、FIRフィルタ11の入力から入力端子33までの特性 $IRall_4(Z)$ とは互いに打ち消しあう特性となることわかる。この結果、FIRフィルタ4のフィルタ係数を $IR_4'(Z)$ を位相反転した $-IR_4'(Z)$ とし、FIRフィルタ11のフィルタ係数を $IR_3'(Z)$ と設定すればよいことわかる。

【0079】

あるいは、FIRフィルタ4のフィルタ係数を、 $IR_4'(Z)$ とすると、FIRフィルタ4の入力から入力端子33までの特性 $IRall_3(Z)$ は、

20

$$\begin{aligned}
 IRall_3(Z) &= IR_4'(Z) \cdot IR_3'(Z) \\
 &= (-IR_{4_1}(Z) \cdot IR_{4_2}(Z) \cdot W_2(Z)) \cdot \\
 &\quad (IR_3(Z) \cdot W_2(Z)) \\
 &= -IR_{4_1}(Z) \cdot IR_{4_2}(Z) \cdot W_2(Z) \cdot IR_3(Z) \cdot W_2(Z)
 \end{aligned}$$

となる。また、FIRフィルタ11のフィルタ係数を、 $IR_3'(Z)$ を位相反転した $-IR_3'(Z)$ とすると、FIRフィルタ11の入力から入力端子33までの特性 $IRall_4(Z)$ は、

$$\begin{aligned}
 IRall_4(Z) &= -IR_3'(Z) \cdot IR_4'(Z) \\
 &= -(IR_3(Z) \cdot W_2(Z)) \cdot (-IR_{4_1}(Z) \cdot \\
 &\quad IR_{4_2}(Z) \cdot W_2(Z)) \\
 &= IR_3(Z) \cdot W_2(Z) \cdot IR_{4_1}(Z) \cdot IR_{4_2}(Z) \cdot W_2(Z) \\
 &= -IRall_3(Z)
 \end{aligned}$$

30

となる。

【0080】

つまり、FIRフィルタ4の入力から入力端子33までの特性 $IRall_3(Z)$ と、FIRフィルタ11の入力から入力端子33までの特性 $IRall_4(Z)$ とは互いに打ち消しあう特性となることわかる。この結果、FIRフィルタ4のフィルタ係数を $IR_4'(Z)$ とし、FIRフィルタ11のフィルタ係数を、 $IR_3'(Z)$ を位相反転した $-IR_3'(Z)$ と設定すればよいことわかる。

【0081】

40

そして、このようにFIRフィルタ4、11のフィルタ係数を設定することによって、加算回路63において経路Cを伝達する信号を、経路Dを伝達する信号で打ち消すことが可能となる。この結果、入力端子30にデジタル信号が入力されたときの、前述のエコーを防止することが可能となる。

そして、図11に示すように、イヤホンマイク18が接続された状態でインパルス応答 $IR_3'(Z)$ を取得し、この $IR_3'(Z)$ をFIRフィルタ11のフィルタ係数に設定することにより、イヤホンマイク18の伝達特性に応じた効果的なエコー防止が可能となる。

【0082】

さらに、接続されたイヤホンマイク18を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態でインパルス応答 $IR_3'(Z)$ を取得し、この $IR_3'(Z)$ をF

50

I R フィルタ 1 1 のフィルタ係数に設定することにより、イヤホンマイク 1 8 の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

なお、この F I R フィルタ 4 のフィルタ係数に $I R 4'(Z)$ を位相反転した $-I R 4'(Z)$ を設定し、F I R フィルタ 1 1 のフィルタ係数に $I R 3'(Z)$ を設定する処理は、第 1 の実施形態と同様の処理を行うことによって可能となる。

【 0 0 8 3 】

<< 第 3 の実施形態 >>

=== エコー防止回路、デジタル信号処理回路の構成例 ===

図 1 2 は、第 3 の実施形態を示す図である。図 1 2 は、本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路 (D S P 6 4) の一例を示すブロック図である。なお、図 1 2 に示すエコー防止回路において、前述した第 1 の実施形態と同一の構成要件については、同一番号を付して説明を省略する。

エコー防止回路は、C P U 1、D S P 6 4、増幅回路 6、入出力端子 7、差動増幅回路 9、増幅回路 1 0、増幅回路 1 3 を有している。なお、本実施形態においても C P U 1 を構成要件としているが、C P U 1 を構成要件としないことも可能である。

【 0 0 8 4 】

さらに、D S P 6 4 は、入力端子 6 5 (第 1 入力端子)、A D コンバータ 6 6、F I R フィルタ 4、D A コンバータ 6 7 (第 1 D A コンバータ)、出力端子 6 8 (第 1 出力端子)、入力端子 6 9 (第 2 入力端子)、A D コンバータ 7 0、D A コンバータ 7 1、出力端子 7 2 (第 3 出力端子)、F I R フィルタ 1 1、D A コンバータ 7 3 (第 2 D A コンバータ)、出力端子 7 4 (第 2 出力端子) を有している。

つまり、本実施形態は、第 1 の実施形態における A D コンバータ 3、1 4、D A コンバータ 5、1 2、1 5 が D S P 6 4 内部に設けられた構成となっている。

【 0 0 8 5 】

A D コンバータ 6 6 には、入力端子 6 5 を介して、例えば音声信号が入力される。そして、A D コンバータ 6 6 は、音声信号に対してアナログ・デジタル変換処理したデジタル信号を、F I R フィルタ 4、1 1 に出力する。

F I R フィルタ 4 はデジタル信号に対して、当該 F I R フィルタ 4 のフィルタ係数に基づいて畳み込み演算処理を施して D A コンバータ 6 7 に出力する。また同時に、F I R フィルタ 1 1 はデジタル信号に対して、当該 F I R フィルタ 1 1 のフィルタ係数に基づいて畳み込み演算処理を施して D A コンバータ 7 3 に出力する。

D A コンバータ 6 7 は、デジタル信号に対してデジタル・アナログ変換処理したアナログ信号を、出力端子 6 8 を介して出力させる。この結果、増幅回路 6 には、D A コンバータ 6 7 からのアナログ信号が入力される。

D A コンバータ 7 3 は、デジタル信号に対してデジタル・アナログ変換処理したアナログ信号を、出力端子 7 4 を介して出力させる。この結果、増幅回路 1 3 には、D A コンバータ 7 3 からのアナログ信号が入力される。

A D コンバータ 7 0 には、入力端子 6 9 を介して、増幅回路 1 0 からの音声信号が入力される。そして、A D コンバータ 7 0 は、音声信号に対してアナログ・デジタル変換処理したデジタル信号を、D A コンバータ 7 1 に出力する。

D A コンバータ 7 1 は、デジタル信号に対してデジタル・アナログ変換処理したアナログ信号を、出力端子 7 2 を介して出力させる。

【 0 0 8 6 】

=== F I R フィルタ 4、1 1 のフィルタ係数 ===

図 1 3 及び図 1 4 を参照しつつ F I R フィルタ 4、1 1 のフィルタ係数について詳述する。図 1 3 は、図 1 2 に示すエコー防止回路の経路 E、F を示した図である。また、図 1 4 は、経路 E にイヤホンマイク 1 8 が含まれる場合を示した図である。

【 0 0 8 7 】

増幅回路 6 からのアナログ信号は、入出力端子 7 からの出力のみならず、差動増幅回路 9 に入力される場合がある。この場合、当該アナログ信号によるエコーが発生することと

10

20

30

40

50

なる。或いは、入出力端子 7 から入力される音声信号と増幅回路 6 からのアナログ信号が重畳されて差動増幅回路 9 に入力されることにより、エコーが発生することとなる。そこで、このエコーを防止すべく F I R フィルタ 4、11 のフィルタ係数を設定する。

【0088】

そこで、図 13 又は図 14 の破線で示す D A コンバータ 67 の入力から差動増幅回路 9 の + 入力端子までのインパルス応答 (伝達関数) を $I R 5 (Z)$ とする。また、図 13 又は図 14 の破線で示す D A コンバータ 73 の入力から差動増幅回路 9 の - 入力端子までのインパルス応答 (伝達関数) を $I R 6 (Z)$ とする。また、図 13 又は図 14 の破線で示す差動増幅回路 9 の + 入力端子の後段から A D コンバータ 70 の出力までのインパルス応答 (伝達関数) を $W 3 (Z)$ とする。

10

【0089】

この時、図 13 又は図 14 の実線で示す経路 E のインパルス応答 (伝達関数) $I R 5 '(Z)$ は、 $I R 5 '(Z) = I R 5 (Z) \cdot W 3 (Z)$ となる。また、図 13 又は図 14 の実線で示す経路 F のインパルス応答 (伝達関数) $I R 6 '(Z)$ は、 $I R 6 '(Z) = - I R 6 (Z) \cdot W 3 (Z)$ となる。なお、 $I R 6 (Z)$ が位相反転しているのは、差動増幅回路 9 の - 入力端子に入力されているためである。

【0090】

今、F I R フィルタ 4 のフィルタ係数を、 $I R 6 '(Z)$ を位相反転した $- I R 6 '(Z)$ とすると、F I R フィルタ 4 の入力から A D コンバータ 70 の出力までの特性 $I R a l l _ 5 (Z)$ は、

20

$$\begin{aligned} I R a l l _ 5 (Z) &= - I R 6 '(Z) \cdot I R 5 '(Z) \\ &= (- (- I R 6 (Z) \cdot W 3 (Z))) \cdot (I R 5 (Z) \cdot W 3 (Z)) \\ &= I R 6 (Z) \cdot W 3 (Z) \cdot I R 5 (Z) \cdot W 3 (Z) \end{aligned}$$

となる。また、F I R フィルタ 11 のフィルタ係数を $I R 5 '(Z)$ とすると、F I R フィルタ 11 の入力から A D コンバータ 70 の出力までの特性 $I R a l l _ 6 (Z)$ は、

$$\begin{aligned} I R a l l _ 6 (Z) &= I R 5 '(Z) \cdot I R 6 '(Z) \\ &= I R 5 (Z) \cdot W 3 (Z) \cdot (- I R 6 (Z) \cdot W 3 (Z)) \\ &= I R 5 (Z) \cdot W 3 (Z) \cdot (- I R 6 (Z)) \cdot W 3 (Z) \\ &= - I R a l l _ 5 (Z) \end{aligned}$$

となる。

30

【0091】

つまり、経路 E の特性 $I R a l l _ 5 (Z)$ と経路 F の特性 $I R a l l _ 6 (Z)$ とは互いに打ち消しあう特性となることわかる。この結果、F I R フィルタ 4 のフィルタ係数を $I R 6 '(Z)$ を位相反転した $- I R 6 '(Z)$ とし、F I R フィルタ 11 のフィルタ係数を $I R 5 '(Z)$ と設定すればよいことわかる。

【0092】

あるいは、F I R フィルタ 4 のフィルタ係数を $I R 6 '(Z)$ とすると、F I R フィルタ 4 の入力から A D コンバータ 70 の出力までの特性 $I R a l l _ 5 (Z)$ は、

$$\begin{aligned} I R a l l _ 5 (Z) &= I R 6 '(Z) \cdot I R 5 '(Z) \\ &= (- I R 6 (Z) \cdot W 3 (Z)) \cdot (I R 5 (Z) \cdot W 3 (Z)) \\ &= - I R 6 (Z) \cdot W 3 (Z) \cdot I R 5 (Z) \cdot W 3 (Z) \end{aligned}$$

40

となる。また、F I R フィルタ 11 のフィルタ係数を、 $I R 5 '(Z)$ を位相反転した $- I R 5 '(Z)$ とすると、F I R フィルタ 11 の入力から A D コンバータ 70 の出力までの特性 $I R a l l _ 6 (Z)$ は、

$$\begin{aligned} I R a l l _ 6 (Z) &= - I R 5 '(Z) \cdot I R 6 '(Z) \\ &= (- (I R 5 (Z) \cdot W 3 (Z))) \cdot (- I R 6 (Z) \cdot W 3 (Z)) \\ &= I R 5 (Z) \cdot W 3 (Z) \cdot I R 6 (Z) \cdot W 3 (Z) \\ &= - I R a l l _ 5 (Z) \end{aligned}$$

となる。

【0093】

50

つまり、経路 E の特性 $IRa11_5(Z)$ と経路 F の特性 $IRa11_6(Z)$ とは互いに打ち消しあう特性となることわかる。この結果、FIR フィルタ 4 のフィルタ係数を $IR6'(Z)$ とし、FIR フィルタ 11 のフィルタ係数を、 $IR5'(Z)$ を位相反転した $-IR5'(Z)$ と設定すればよいことわかる。

【0094】

そして、このように FIR フィルタ 4、11 のフィルタ係数を設定することによって、差動増幅回路 9 において経路 E を伝達する信号を、経路 F を伝達する信号で打ち消すことが可能となる。この結果、入力端子 65 に音声信号が入力されたときの、前述のエコーを防止することが可能となる。

そして、図 14 に示すように、イヤホンマイク 18 が接続された状態でインパルス応答 $IR5'(Z)$ を取得し、この $IR5'(Z)$ を FIR フィルタ 11 のフィルタ係数に設定することにより、イヤホンマイク 18 の伝達特性に応じた効果的なエコー防止が可能となる。

【0095】

さらに、接続されたイヤホンマイク 18 を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態でインパルス応答 $IR5'(Z)$ を取得し、この $IR5'(Z)$ を FIR フィルタ 11 のフィルタ係数に設定することにより、イヤホンマイク 18 の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

なお、この FIR フィルタ 4 のフィルタ係数に $IR6'(Z)$ を位相反転した $-IR6'(Z)$ を設定し、FIR フィルタ 11 のフィルタ係数に $IR5'(Z)$ を設定する処理は、第 1 の実施形態と同様の処理を行うことによって可能となる。

【0096】

<< 第 4 の実施形態 >>

=== エコー防止回路、デジタル信号処理回路の構成例 ===

図 15 は、第 4 の実施形態を示す図である。図 15 は、本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路 (DSP 64) の一例を示すブロック図である。

なお、図 15 に示すように第 4 の実施形態におけるエコー防止回路は、前述した第 2 の実施形態 (図 9)、第 3 の実施形態 (図 12) を組み合わせた構成となっており、同一の構成要件については同一番号を付して説明を省略する。

【0097】

=== FIR フィルタ 4、11 のフィルタ係数 ===

図 16 及び図 17 を参照しつつ FIR フィルタ 4、11 のフィルタ係数について詳述する。図 16 は、図 15 に示すエコー防止回路の経路 G、H を示した図である。また、図 17 は、経路 G にイヤホンマイク 18 が含まれる場合を示した図である。

【0098】

増幅回路 6 からのアナログ信号は、入出力端子 7 からの出力のみならず、加算回路 63 に入力される場合がある。この場合、当該アナログ信号によるエコーが発生することとなる。或いは、入出力端子 7 から入力される音声信号と増幅回路 6 からのアナログ信号が重畳されて加算回路 63 に入力されることにより、エコーが発生することとなる。そこで、このエコーを防止すべく FIR フィルタ 4、11 のフィルタ係数を設定する。

【0099】

そこで、図 16 又は図 17 の破線で示す DA コンバータ 67 の入力から加算回路 63 の入力端子までのインパルス応答 (伝達関数) を $IR7(Z)$ とする。また、図 16 又は図 17 の一点鎖線で示す DA コンバータ 73 の入力から反転増幅回路 61 の入力までのインパルス応答 (伝達関数) を $IR8_1(Z)$ とする。また、図 16 又は図 17 の二点鎖線で示す反転増幅回路 61 の入力から加算回路 63 入力端子までのインパルス応答 (伝達関数) を $IR8_2(Z)$ とする。また、図 16 又は図 17 の破線で示す加算回路 63 における各入力端子の後段から AD コンバータ 70 の出力までのインパルス応答 (伝達関数) を $W4(Z)$ とする。

【0100】

10

20

30

40

50

この時、図16又は図17の実線で示す経路Gのインパルス応答(伝達関数) $I R 7'(Z)$ は、 $I R 7'(Z) = I R 7(Z) \cdot W 4(Z)$ となる。また、図16又は図17の実線で示す経路Hのインパルス応答(伝達関数) $I R 8'(Z)$ は、 $I R 8'(Z) = - I R 8_1(Z) \cdot I R 8_2(Z) \cdot W 4(Z)$ となる。なお、 $I R 8_1(Z)$ が位相反転しているのは、反転増幅回路61にて反転されるためである。

【0101】

今、FIRフィルタ4のフィルタ係数を、 $I R 8'(Z)$ を位相反転した $- I R 8'(Z)$ とすると、FIRフィルタ4の入力からADコンバータ70の出力までの特性 $I R a l l_7(Z)$ は、

$$\begin{aligned} I R a l l_7(Z) &= - I R 8'(Z) \cdot I R 7'(Z) & 10 \\ &= (- (- I R 8_1(Z) \cdot I R 8_2(Z) \cdot W 4(Z))) \cdot \\ &\quad (I R 7(Z) \cdot W 4(Z)) \\ &= I R 8_1(Z) \cdot I R 8_2(Z) \cdot W 4(Z) \cdot I R 7(Z) \cdot W 4(Z) \end{aligned}$$

となる。また、FIRフィルタ11のフィルタ係数を $I R 7'(Z)$ とすると、FIRフィルタ11の入力からADコンバータ70の出力までの特性 $I R a l l_8(Z)$ は、

$$\begin{aligned} I R a l l_8(Z) &= I R 7'(Z) \cdot I R 8'(Z) \\ &= I R 7(Z) \cdot W 4(Z) \cdot (- I R 8_1(Z) \cdot \\ &\quad I R 8_2(Z) \cdot W 4(Z)) \\ &= I R 7(Z) \cdot W 4(Z) \cdot (- I R 8_1(Z)) \cdot \\ &\quad I R 8_2(Z) \cdot W 4(Z) & 20 \\ &= - I R a l l_7(Z) \end{aligned}$$

となる。

【0102】

つまり、FIRフィルタ4の入力からADコンバータ70の出力までの特性 $I R a l l_7(Z)$ と、FIRフィルタ11の入力からADコンバータ70の出力までの特性 $I R a l l_8(Z)$ とは互いに打ち消しあう特性となることがわかる。この結果、FIRフィルタ4のフィルタ係数を $I R 8'(Z)$ を位相反転した $- I R 8'(Z)$ とし、FIRフィルタ11のフィルタ係数を $I R 7'(Z)$ と設定すればよいことがわかる。

【0103】

あるいは、FIRフィルタ4のフィルタ係数を、 $I R 8'(Z)$ とすると、FIRフィルタ4の入力からADコンバータ70の出力までの特性 $I R a l l_7(Z)$ は、

$$\begin{aligned} I R a l l_7(Z) &= I R 8'(Z) \cdot I R 7'(Z) \\ &= (- I R 8_1(Z) \cdot I R 8_2(Z) \cdot W 4(Z)) \cdot \\ &\quad (I R 7(Z) \cdot W 4(Z)) \\ &= - I R 8_1(Z) \cdot I R 8_2(Z) \cdot W 4(Z) \cdot I R 7(Z) \cdot W 4(Z) \end{aligned}$$

となる。また、FIRフィルタ11のフィルタ係数を、 $I R 7'(Z)$ を位相反転した $- I R 7'(Z)$ とすると、FIRフィルタ11の入力からADコンバータ70の出力までの特性 $I R a l l_8(Z)$ は、

$$\begin{aligned} I R a l l_8(Z) &= - I R 7'(Z) \cdot I R 8'(Z) \\ &= (- (I R 7(Z) \cdot W 4(Z))) \cdot (- I R 8_1(Z) \cdot \\ &\quad I R 8_2(Z) \cdot W 4(Z)) & 40 \\ &= I R 7(Z) \cdot W 4(Z) \cdot I R 8_1(Z) \cdot \\ &\quad I R 8_2(Z) \cdot W 4(Z) \\ &= - I R a l l_7(Z) \end{aligned}$$

となる。

【0104】

つまり、FIRフィルタ4の入力からADコンバータ70の出力までの特性 $I R a l l_7(Z)$ と、FIRフィルタ11の入力からADコンバータ70の出力までの特性 $I R a l l_8(Z)$ とは互いに打ち消しあう特性となることがわかる。この結果、FIRフィルタ4のフィルタ係数を $I R 8'(Z)$ とし、FIRフィルタ11のフィルタ係数を、 $I R 7'(Z)$ を位

相反転した $-IR7'(Z)$ と設定すればよいことがわかる。

【0105】

そして、このように FIR フィルタ 4、11 のフィルタ係数を設定することによって、加算回路 63 において経路 G を伝達する信号を、経路 H を伝達する信号で打ち消すことが可能となる。この結果、入力端子 65 に音声信号が入力されたときの、前述のエコーを防止することが可能となる。

そして、図 17 に示すように、イヤホンマイク 18 が接続された状態でインパルス応答 $IR7'(Z)$ を取得し、この $IR7'(Z)$ を FIR フィルタ 11 のフィルタ係数に設定することにより、イヤホンマイク 18 の伝達特性に応じた効果的なエコー防止が可能となる。

【0106】

さらに、接続されたイヤホンマイク 18 を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態でインパルス応答 $IR7'(Z)$ を取得し、この $IR7'(Z)$ を FIR フィルタ 11 のフィルタ係数に設定することにより、イヤホンマイク 18 の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

なお、この FIR フィルタ 4 のフィルタ係数に $IR8'(Z)$ を位相反転した $-IR8'(Z)$ を設定し、FIR フィルタ 11 のフィルタ係数に $IR7'(Z)$ を設定する処理は、第 1 の実施形態と同様の処理を行うことによって可能となる。

【0107】

<< 第 5 の実施形態 >>

=== エコー防止回路、デジタル信号処理回路の構成例 ===

図 18 は、第 5 の実施形態を示す図である。図 18 は、本発明に係るエコー防止回路、当該エコー防止回路に含まれるデジタル信号処理回路 (DSP 83) の一例を示すブロック図である。なお、図 18 に示すエコー防止回路において、前述した第 1 の実施形態と同一の構成要件については、同一番号を付して説明を省略する。図 19 は、図 18 に示す ADF (Adaptive Digital Filter・適応デジタルフィルタ) 76 の詳細図である。

【0108】

DSP 83 は、入力端子 30、FIR フィルタ 4、ADF 76、出力端子 31、FIR フィルタ 11、出力端子 32、入力端子 33、減算回路 77、出力端子 34 を有している。

減算回路 77 の + 入力端子には、入力端子 33 を介して、AD コンバータ 14 からデジタル信号が入力される。また、減算回路 77 の - 入力端子には、ADF 76 からの出力信号が入力される。そして、減算回路 77 は、AD コンバータ 14 からデジタル信号と ADF 76 からの出力信号とを減算して出力する。以下、減算回路 77 からの出力信号を誤差信号という。

【0109】

ADF 76 は、図 19 破線内に示すとおり、参照信号入出力部 78、フィルタ係数部 79、乗算部 80、フィルタ係数更新部 81、加算部 82 を有している。

参照信号入出力部 78 は、FIR フィルタ 4 からデジタル信号 (以下、参照信号入出力部 78 に入力されるデジタル信号を参照信号という) が入力されて、当該参照信号を保持する。そして、参照信号入出力部 78 は、乗算部 80、フィルタ係数更新部 81 に対し参照信号を出力する。

【0110】

フィルタ係数部 79 は、フィルタ係数更新部 81 からのフィルタ係数が入力されて、当該フィルタ係数を保持する。そして、フィルタ係数部 79 は、前述した参照信号入出力部 78 から乗算部 80 への参照信号の出力とともに、当該乗算部 80 に対しフィルタ係数を出力する。また、フィルタ係数部 79 は、フィルタ係数更新部 81 に対しフィルタ係数を出力する。

乗算部 80 は、参照信号とフィルタ係数を順次乗算した乗算結果を加算部 82 に出力する。加算部 82 は、乗算部 80 からの出力信号を順次加算した結果を減算回路 77 に出力する。

10

20

30

40

50

【 0 1 1 1 】

フィルタ係数更新部 8 1 には、減算回路 7 7 からの誤差信号が入力される。そして、フィルタ係数更新部 8 1 は、誤差信号、参照信号、フィルタ係数に基づいて、例えば L M S (Least Mean Square) アルゴリズムや N L M S (Normalized Least Mean Square: 学習同定法) 等の推定アルゴリズムによりフィルタ係数を算出してフィルタ係数部 7 9 に出力する。なお、このフィルタ係数更新部 8 1 によるフィルタ係数の算出は、入力端子 3 0 にデジタル信号が入力されたときの、減算回路 7 7 からの誤差信号の平均値が一定値以下となるように行われる。なお、この一定値とは、例えば誤差信号の平均値が一定値以下となった時の、D A コンバータ 1 5 から出力されるアナログ信号に基づいて発生する音声から、人がエコーを聴覚できないレベルとなるように定まる値である。

10

【 0 1 1 2 】

D A コンバータ 1 5 は、出力端子 3 4 を介して、減算回路 7 7 からのデジタル信号が入力される。そして、D A コンバータ 1 5 は、デジタル信号に対してデジタル・アナログ変換処理したアナログ信号を出力する。

【 0 1 1 3 】

=== フィルタ係数部 7 9 のフィルタ係数更新 ===

図 1 9、図 2 0 を参照しつつ、フィルタ係数部 7 9 のフィルタ係数を更新するための処理動作の一例について説明する。図 2 0 は、本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の処理動作の一例を示すフローチャートである。なお、以下の説明においては、入力端子 3 0 にデジタル信号が入力された時刻 t において、減算回路 7 7 の + 入力端子に入力されるデジタル信号を Y_t 、参照信号入出力部 7 8 に入力される参照信号を $X_t (= \{X_t(0), X_t(1), \dots, X_t(N-1)\})$ と示す。また、フィルタ係数部 7 9 のフィルタ係数を $H_t (= \{H_t(0), H_t(1), \dots, H_t(N-1)\})$ と示す。また、フィルタ係数更新部 8 1 にて算出されるフィルタ係数を $H_{t+1} (= \{H_{t+1}(0), H_{t+1}(1), \dots, H_{t+1}(N-1)\})$ と示して説明する。そして、 i 番目の参照信号を $X_t(i)$ 、フィルタ係数を $H_t(i)$ 、 $H_{t+1}(i)$ と示す。

20

【 0 1 1 4 】

D S P 8 3 は、参照信号入出力部 7 8 に参照信号 X_t を入力させると (S 2 0 1)、減算回路 7 7 の - 入力端子に入力させる信号 $Y't$ を生成すべく、以下の処理を行う。D S P 8 3 は、まず $i = 0$ として (S 2 0 2)、参照信号入出力部 7 8 の $X_t(0)$ とフィルタ係数部 7 9 の $H_t(0)$ をそれぞれ乗算部 8 0 に出力させる。乗算部 8 0 は、 $X_t(0)$ と $H_t(0)$ を乗算した乗算結果を (S 2 0 3)、加算部 8 2 に出力する。加算部 8 2 は、乗算部 8 0 からの出力信号 $X_t(0) \cdot H_t(0)$ とゼロを加算する。

30

【 0 1 1 5 】

次に、D S P 8 3 は、 i をインクリメントして $i = i + 1 = 1$ とする (S 2 0 4)。そして、D S P 8 3 は、乗算部 8 0 の乗算結果が $X_t(N-1) \cdot H_t(N-1)$ まで達していないため $i = N$ でないと判別し (S 2 0 5・N O)、参照信号入出力部 7 8 の $X_t(1)$ とフィルタ係数部 7 9 の $H_t(1)$ をそれぞれ乗算部 8 0 に出力させる。乗算部 8 0 は、 $X_t(1)$ と $H_t(1)$ を乗算した乗算結果を (S 2 0 3)、加算部 8 2 に出力する。加算部 8 2 は、乗算部 8 0 からの出力信号 $X_t(1) \cdot H_t(1)$ と $X_t(0) \cdot H_t(0)$ を加算する。このように、S 2 0 3 から S 2 0 5 の処理を $i = N$ まで繰り返すことによって (S 2 0 5・Y E S)、加算部 8 2 の加算結果は、 $Y't (= X_t(0) \cdot H_t(0) + \dots + X_t(N-1) \cdot H_t(N-1))$ となる。そして、加算部 8 2 から減算回路 7 7 の - 入力端子へ $Y't$ が出力される (S 2 0 6)。

40

【 0 1 1 6 】

減算回路 7 7 は、+ 入力端子に入力された Y_t と、- 入力端子に入力された $Y't$ を減算して出力する (S 2 0 7)。そして、減算回路 7 7 からの誤差信号が、フィルタ係数更新部 8 1 に入力される。なお、この減算回路 7 7 からの誤差信号を $E_t (= Y_t - Y't)$ と示して以下説明する。

【 0 1 1 7 】

50

フィルタ係数更新部 81 は、フィルタ係数部 79 のフィルタ係数を更新すべく以下の処理を実行する。まず、フィルタ係数更新部 81 は、 $H_{t+1}(0)$ を算出すべく $i=0$ とする (S208)。 $H_{t+1}(0)$ は、所定定数であるステップゲインを、参照信号 X_t のノルム (つまり二乗和) を X_t^2 とすると、

$$H_{t+1}(0) = H_t(0) + (\cdot E_t \cdot X_t(0)) / X_t^2$$

となる。そのため、フィルタ係数更新部 81 が、参照信号入出力部 78 からの $X_t(0)$ 、フィルタ係数部 79 からの $H_t(0)$ 、減算回路 77 からの E_t に基づいて、上式を演算することによって、 $H_{t+1}(0)$ が算出される (S209)。次に、フィルタ係数更新部 81 は、 $H_{t+1}(1)$ を算出すべく i をインクリメントして $i=i+1=1$ とする (S210)。そして、フィルタ係数更新部 81 は、算出したフィルタ係数が $H_{t+1}(N-1)$ に達していないため $i=N$ でないと判別する (S211・NO)。そして前述と同様に、 $H_{t+1}(1)$ は、

$$H_{t+1}(1) = H_t(1) + (\cdot E_t \cdot X_t(1)) / X_t^2$$

から算出される。このように、S209 から S211 の処理を $i=N$ まで繰り返すことによって (S211・YES)、 $H_{t+1}(=\{H_{t+1}(0)、\dots、H_{t+1}(N-1)\})$ が算出されることとなる。そして、フィルタ係数更新部 81 は、フィルタ係数部 79 のフィルタ係数 $H_t(=\{H_t(0)、\dots、H_t(N-1)\})$ を $H_{t+1}(=\{H_{t+1}(0)、\dots、H_{t+1}(N-1)\})$ に更新すべく、当該 H_{t+1} をフィルタ係数部 79 に出力する。

【0118】

DSP83 は、まずフィルタ係数部 79 の $H_t(0)$ を $H_{t+1}(0)$ に更新すべく $i=0$ とする (S212)。この結果、フィルタ係数部 79 の $H_t(0)$ が $H_{t+1}(0)$ に更新される (S213)。次に、DSP83 は、 $H_t(1)$ を $H_{t+1}(1)$ に更新すべく i をインクリメントして $i=i+1=1$ とする (S214)。そして、DSP83 は、 $H_t(N-1)$ が $H_{t+1}(N-1)$ に未だ更新されていないため $N-i$ でないと判別する (S215・NO)。そして、DSP83 は、 $H_t(1)$ を $H_{t+1}(1)$ に更新する (S213)。このように、S213 から S215 の処理を $N-i$ まで繰り返すことによって (S215・YES)、フィルタ係数部 79 のフィルタ係数 $H_t(=\{H_t(0)、\dots、H_t(N-1)\})$ が $H_{t+1}(=\{H_{t+1}(0)、\dots、H_{t+1}(N-1)\})$ に更新される。

【0119】

そして、再び前述した S202 から S205 の処理が行われる。この結果、フィルタ係数 $H_{t+1}(=\{H_{t+1}(0)、\dots、H_{t+1}(N-1)\})$ に基づく出力信号 Y'_t が、加算部 82 から減算回路 77 の - 入力端子に入力される。

【0120】

このように、減算回路 77 からの誤差信号に基づいて、フィルタ係数部 79 のフィルタ係数を、当該誤差信号が反映されたフィルタ係数に更新することが可能となる。そして、この処理を繰り返すことによって、入力端子 30 にデジタル信号が入力されたときの、減算回路 77 からの誤差信号の平均値を一定値以下とすることが可能となる。つまり、エコーを防止することが可能となる。なお、フィルタ係数部 79 のフィルタ係数を更新するアルゴリズムは、これに限るものではない。前述したように LMS アルゴリズムや NLMS アルゴリズム等の周知技術である推定アルゴリズムを用いることが可能である。また、例えば特開 2002-246880 号に記載による処理でフィルタ係数部 79 のフィルタ係数を更新することも可能である。

【0121】

なお、上述した実施形態によれば、前述した処理についてハードウェア (例えば減算回路 77、乗算部 80 など) を用いて説明したが、これに限るものではない。例えば、前述した処理をプログラムデータとして ROM などに予め記憶させておき、DSP83 が備えるプロセッサが当該プログラムデータを読み出して処理することも可能である。

【0122】

なお、本実施形態における FIR フィルタ 4 のフィルタ係数、FIR フィルタ 11 のフ

10

20

30

40

50

フィルタ係数は、前述の第 1 の実施形態と同様の処理を行うことにより設定することが可能である。そして、イヤホンマイク 1 8 が接続された状態で取得されたインパルス応答に基づいて F I R フィルタ 1 1 のフィルタ係数を設定することにより、イヤホンマイク 1 8 の伝達特性に応じた効果的なエコー防止が可能となる。また、接続されたイヤホンマイク 1 8 を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態で取得されたインパルス応答に基づいて F I R フィルタ 1 1 のフィルタ係数を設定することにより、イヤホンマイク 1 8 の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

【 0 1 2 3 】

また、本実施形態は、前述の第 1 の実施形態に A D F 7 6、減算回路 7 7 を設けたものであるがこれに限るものではない。前述の第 2 の実施形態～第 4 の実施形態にも同様に、A D F 7 6、減算回路 7 7 を設けることも可能である。詳述すると第 2 の実施形態においては、本実施形態と同様に A D F 7 6、減算回路 7 7 を設ける。また、第 3、第 4 の実施形態においては、減算回路 7 7 を A D コンバータ 7 0、D A コンバータ 7 1 間に設ける。そして、減算回路 7 7、D A コンバータ 7 1 間の信号線に現れる誤差信号を A D F 7 6 に入力させ、A D コンバータ 6 6 からのデジタル信号を参照信号として A D F 7 6 に入力されるように設ける。

【 0 1 2 4 】

そして、例えばインパルス応答の測定誤差等により、差動増幅回路 9 (加算回路 6 3) において経路 A を伝達する信号を、経路 B を伝達する信号で打ち消したときの結果が、エコーを十分に防止できないレベルとなる場合がある。この場合、上述した第 5 の実施形態によれば、減算回路 7 7 において差動増幅回路 9 (加算回路 6 3) からの出力を、加算部 8 2 からの出力信号 Y ' t で打ち消すことが可能となる。この結果、入力端子 3 0 (6 5) にデジタル信号 (音声信号) が入力されたときの、前述のエコーをより確実に防止することが可能となる。

【 0 1 2 5 】

<< 第 6 の実施形態 >>

=== エコー防止回路、デジタル信号処理回路の構成例 ===

図 2 1 は、第 6 の実施形態を示す図である。図 2 1 は、エコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路 (D S P 2 0 2) の一例を示すブロック図である。

【 0 1 2 6 】

エコー防止回路は、C P U 2 0 1、D S P 2 0 2、A D コンバータ 2 0 3、D A コンバータ 2 0 5、増幅回路 2 0 6、入出力端子 2 0 7、差動増幅回路 2 0 9、増幅回路 2 1 0、A D コンバータ 2 1 4、D A コンバータ 2 1 5、D A コンバータ 2 1 2、増幅回路 2 1 3 を有している。なお、本実施形態においては C P U 2 0 1 を構成要件としているが、C P U 2 0 1 を構成要件としないことも可能である。

さらに、D S P 2 0 2 は、入力端子 2 3 0、出力端子 2 3 1、デジタルフィルタ (A R A M : Auto-Regressive Moving Average) 2 1 1 (3 0 0) (以下、デジタルフィルタ 2 1 1 という) 2 1 1、出力端子 2 3 2、入力端子 2 3 3、出力端子 2 3 4 を有している。

【 0 1 2 7 】

A D コンバータ 2 0 3 には、例えば音声信号が入力される。そして、A D コンバータ 2 0 3 は、音声信号に対してアナログ・デジタル変換処理したデジタル信号を、入力端子 2 3 0 を介して D S P 2 0 2 に入力させる。

D S P 2 0 2 に入力されたデジタル信号は、出力端子 2 3 1 を介して出力されるとともに、デジタルフィルタ 2 1 1 に入力される。デジタルフィルタ 2 1 1 はデジタル信号に対して、当該デジタルフィルタ 2 1 1 のフィルタ係数に基づいてフィルタ処理を施して出力端子 2 3 2 に出力する。

D A コンバータ 2 0 5 は、出力端子 2 3 1 を介して D S P 2 0 2 からのデジタル信号が入力される。そして、D A コンバータ 2 0 5 は、デジタル信号に対してデジタル・アナロ

10

20

30

40

50

グ変換処理したアナログ信号を増幅回路206に出力する。増幅回路206は、所定の増幅率にてアナログ信号を増幅して出力する。

【0128】

入出力端子207には、例えばアナログ信号に基づいて音声を発生させる機器（例えばイヤホンマイク、スピーカなど）が接続される。そして、入出力端子207を介して、増幅回路206からのアナログ信号が、接続された機器に対して出力される。また、入出力端子207には、例えば音声を音声信号に変換して出力する機器（例えばイヤホンマイク、マイクなど）が接続される。そして、入出力端子207には、接続された機器からの音声信号が入力される。この結果、入出力端子207を介して、音声信号が差動増幅回路209の+入力端子に入力される。さらに、入出力端子207を介して出力された信号は、接続された機器を介して反射されて入出力端子207から入力され、差動増幅回路209の+入力端子に入力される。ここで、反射されてくる信号とは、例えば、イヤホンマイク等を通じて戻ってくる信号や、イヤホンマイクから出力された音が耳の中で反射し、その反射音がイヤホンマイクによって音声信号に変換された信号等である。なお、入出力端子207は、出力信号（例えばアナログ信号）と入力信号（例えば音声信号）が排他的に入出力されるものではない。例えば、入出力端子207は、出力信号と入力信号とが同時に入出力される場合もある。なお、入出力信号共用ラインとは、入出力端子207に接続されるラインである。

10

【0129】

DAコンバータ212は、出力端子232を介して、デジタルフィルタ211からの出力信号が入力される。そして、DAコンバータ212は、デジタルフィルタ211からの出力信号に対してデジタル・アナログ変換処理したアナログ信号を増幅回路213に出力する。増幅回路213は、所定の増幅率にてアナログ信号を増幅して差動増幅回路209の-入力端子に出力する。

20

【0130】

差動増幅回路209は、入出力端子207からの音声信号を増幅回路210に出力する。増幅回路210は、音声信号を所定の増幅率にて増幅してADコンバータ214に出力する。また、差動増幅回路209の+入力端子には、増幅回路206からのアナログ信号が入力される。そして、差動増幅回路209は、+入力端子に入力された増幅回路206からのアナログ信号と、-入力端子に入力された増幅回路213からのアナログ信号との差分を増幅して出力する。

30

【0131】

ADコンバータ214は、増幅回路210からの音声信号に対してアナログ・デジタル変換処理したデジタル信号を、入力端子233を介してDSP202に入力させる。入力端子233に入力されたデジタル信号は、出力端子234から出力される。DAコンバータ215は、出力端子234を介してDSP202からのデジタル信号が入力される。そして、DAコンバータ215は、デジタル信号に対してデジタル・アナログ変換処理したアナログ信号を出力する。

【0132】

CPU201は、エコー防止回路を統括制御する。CPU201は、例えばエコー防止回路をリセットするためのリセット信号が入力されると、後述するインパルス応答取得処理をDSP202にて実行させるべく指示信号を、DSP202に出力する。さらに、CPU201は、インパルス応答取得処理の初期動作として、例えば他方の論理値‘0’をDSP202に出力する。なお、本実施形態においてCPU201は、リセット信号が入力されることによって、インパルス応答取得処理をDSP202にて実行させるための指示信号を出力しているがこれに限るものではない。例えば、エコー防止回路、DSP202を動作させるための電源投入をCPU201が検出したとき、前述の指示信号をDSP202に出力するように設けても良い。また、CPU201は、アナログ回路の電気的変化（例えば増幅回路210の出力の振幅変化）を検出したとき、前述の指示信号をDSP202に出力するように設けても良い。

40

50

【 0 1 3 3 】

＝ ＝ デジタルフィルタ 2 1 1 のフィルタ係数 ＝ ＝

以下、図 2 2 及び図 2 3 を参照しつつデジタルフィルタ 2 1 1 のフィルタ係数について詳述する。図 2 2 は、図 2 1 に示すエコー防止回路の経路 I、J を示した図である。また、図 2 3 は、経路 I にイヤホンマイク 1 8 が含まれる場合を示した図である。なお、イヤホンマイク 1 8 は、入出力端子 2 0 7 に接続することができる。そして、入出力端子 2 0 7 から出力されるアナログ信号がイヤホンマイク 1 8 に入力されると、イヤホンマイク 1 8 はそのアナログ信号に基づいて振動板（不図示）を振動させることにより音声を出力する。また、イヤホンマイク 1 8 は、イヤホンマイク 1 8 を耳に装着している者が音声を発したときの鼓膜の振動を振動板でとらえることによりアナログ信号を生成して出力する。そして、イヤホンマイク 1 8 から出力されるアナログ信号が入出力端子 2 0 7 から入力される。

10

【 0 1 3 4 】

前述したように増幅回路 2 0 6 からのアナログ信号は、入出力端子 2 0 7 からの出力のみならず、差動増幅回路 2 0 9 の + 入力端子にも入力される場合がある。つまり、差動増幅回路 2 0 9 の + 入力端子には、増幅回路 2 0 6 からのアナログ信号と、入出力端子 2 0 7 に入力された信号とを合わせた信号が入力される。なお、入出力端子 2 0 7 に入力される信号（第 2 入力信号）とは、音声信号のみならず、例えば電氣的ノイズ信号や環境ノイズ等の信号も含まれるものとして以下説明する。そして、この場合、当該アナログ信号によるエコーが発生することとなる。或いは、入出力端子 2 0 7 から入力される音声信号と増幅回路 2 0 6 からのアナログ信号が重畳されて差動増幅回路 2 0 9 の + 入力端子に入力されることにより、エコーが発生することとなる。そこで、このエコーを防止すべくデジタルフィルタ 2 1 1 のフィルタ係数を設定する。

20

【 0 1 3 5 】

そこで、図 2 2 又は図 2 3 の破線で示す出力端子 2 3 1 から差動増幅回路 2 0 9 の + 入力端子までのインパルス応答（伝達関数）を $I R 9 (Z)$ とする。また、図 2 2 又は図 2 3 の破線で示す出力端子 2 3 2 から差動増幅回路 2 0 9 の - 入力端子までのインパルス応答（伝達関数）を $I R 1 0 (Z)$ とする。また、図 2 2 又は図 2 3 の破線で示す差動増幅回路 2 0 9 における ± 入力端子の後段から入力端子 2 3 3 までのインパルス応答（伝達関数）を $W 5 (Z)$ とする。

30

【 0 1 3 6 】

今、デジタルフィルタ 2 1 1 のフィルタ係数を $Q (Z)$ とした場合、差動増幅回路 2 0 9 の + 入力端子に入力される信号を - 入力端子に入力される信号で打ち消すためには、

$$I R 9 (Z) = I R 1 0 (Z) \cdot Q (Z)$$

の式が成り立つように $Q (Z)$ を設けることとなる。つまり、 $Q (Z)$ は、

$$Q (Z) = I R 9 (Z) / I R 1 0 (Z)$$

となるように設ければよい。しかしながら、DSP 2 0 2 が取得可能なインパルス応答は、図 2 2 又は図 2 3 の実線で示す経路 I のインパルス応答（伝達関数） $I R 9 '(Z)$ ($= I R 9 (Z) \cdot W 5 (Z)$) と、経路 J のインパルス応答（伝達関数） $I R 1 0 '(Z)$ ($= - I R 1 0 (Z) \cdot W 5 (Z)$) である。なお、 $I R 1 0 (Z)$ が位相反転されているのは、差動増幅回路 2 0 9 の - 入力端子に入力されているためである。

40

【 0 1 3 7 】

この場合、経路 I を伝達する信号と経路 J を伝達する信号とが互いに打ち消しあうことを可能とする式は、

$$- I R 9 '(Z) = I R 1 0 '(Z) \cdot Q (Z)$$

となる。つまり、 $Q (Z)$ を、

$$Q (Z) = - I R 9 '(Z) / I R 1 0 '(Z)$$

と設ければよいことがわかる。つまり、デジタルフィルタ 2 1 1 の特性は、伝達特性 $I R 9 '(Z)$ を位相反転したものに、 $I R 1 0 '(Z)$ の逆フィルタの特性を加えた特性とすることで実現可能となる。そして、このようにデジタルフィルタ 2 1 1 のフィルタ係数を設定

50

することによって、差動増幅回路209において経路Iを伝達する信号を、経路Jを伝達する信号で打ち消すことが可能となる。この結果、入力端子230にデジタル信号が入力されたときの、前述のエコーを防止することが可能となる。

【0138】

そして、図23に示すように、イヤホンマイク18が接続された状態でインパルス応答 $IR9'(Z)$ を取得し、この $IR9'(Z)$ を位相反転したものに、 $IR10'(Z)$ の逆フィルタの特性を加えたフィルタ係数をデジタルフィルタ211に設定することにより、イヤホンマイク18の伝達特性に応じた効果的なエコー防止が可能となる。

さらに、接続されたイヤホンマイク18を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態でインパルス応答 $IR9'(Z)$ を取得し、この $IR9'(Z)$ を位相反転したものに、 $IR10'(Z)$ の逆フィルタの特性を加えたフィルタ係数をデジタルフィルタ211に設定することにより、イヤホンマイク18の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

そして、前述したフィルタ係数をデジタルフィルタ211に設定すべく、DSP202、デジタルフィルタ211は下記の構成となっている。

【0139】

=== DSP202及びデジタルフィルタ211の構成の詳細 ===

以下、図21～図26を参照しつつDSP202及びDSP202の構成要件であるデジタルフィルタ211の構成について詳述する。図24(a)は、図22又は図23に示す経路Iのインパルス応答 $IR9'(Z)$ を示した図である。図24(b)は、図22又は図23に示す経路Jのインパルス応答 $IR10'(Z)$ を示した図である。図25は、DSP202の構成の一部を示すブロック図である。詳述すると、インパルス応答 $IR9'(Z)$ 、 $IR10'(Z)$ に基づいてデジタルフィルタ211のフィルタ係数を設定するための、DSP202の構成の一部を示すブロック図である。図26は、デジタルフィルタ211の一例として示すARMAフィルタ300の構成を示すブロック図である。詳述すると、ARMAフィルタ300は、 $IR9'(Z)$ を位相反転したものに、 $IR10'(Z)$ の逆フィルタの特性を加えた特性をもつフィルタの一例である。なお、本実施形態においては、ARMAフィルタを用いているがこれに限るものではない。前述したフィルタ係数が設定可能なデジタルフィルタであれば良い。

【0140】

DSP202は、図25に示すようにインパルス応答格納メモリ243、255、インパルス用メモリ244、245、レジスタ246、249、250、257、スイッチ回路260A～260K、乗算回路258を有している。

また、ARMAフィルタ300は、図26に示すように遅延回路235a1～235aN-1、乗算回路236a0～236aN-1、301b1～301bN-1、加算回路237a0～237aN-1、302b0～302bN-1、スイッチ回路260L、260Mを有している。

レジスタ249には、CPU201からの前述した他方の論理値‘0’が入力される。

【0141】

インパルス用メモリ244、245はそれぞれ、N個のレジスタ0～N-1から構成されている。そして、後述のインパルス応答取得処理において図22又は図23の実線で示す経路Iのインパルス応答 $IR9'(Z)$ を取得する場合、インパルス用メモリ245のレジスタ0には、例えば一方の論理値‘1’が記憶される。そして、インパルス用メモリ245の他のレジスタ1～N-1には、他方の論理値‘0’が記憶される。また、レジスタ246、インパルス用メモリ244のレジスタ0～N-1には、他方の論理値‘0’が記憶される。

【0142】

また、後述のインパルス応答取得処理において図22又は図23の実線で示す経路Jのインパルス応答 $IR10'(Z)$ を取得する場合、インパルス用メモリ244のレジスタ0には、例えば一方の論理値‘1’が記憶される。そして、インパルス用メモリ244の他

のレジスタ 1 ~ N - 1 には、他方の論理値 ' 0 ' が記憶される。また、レジスタ 2 4 6、インパルス用メモリ 2 4 5 のレジスタ 0 ~ N - 1 には、他方の論理値 ' 0 ' が記憶される。

【 0 1 4 3 】

インパルス応答格納メモリ 2 4 3 は、N 個のレジスタ 0 ~ N - 1 から構成されている。インパルス応答格納メモリ 2 4 3 のレジスタ 0 ~ N - 1 には、DSP 2 0 2 がスイッチ回路 2 6 0 F を入力端子 2 3 3 側に切替え、スイッチ回路 2 6 0 G を当該インパルス応答格納メモリ 2 4 3 側に切替えることによって、入力端子 2 3 3 を介して経路 I におけるサンプリング周期単位ごとのインパルス応答 $imp(0) \sim (N - 1)$ ($= IR 9'(Z)$) が記憶される。例えば、まず入力端子 2 3 3 を介してインパルス応答 $imp(0)$ がレジスタ N - 1 に記憶される。そして、次のインパルス応答 $imp(1)$ はレジスタ N - 1 に記憶され、レジスタ 0 に記憶されていたインパルス応答 $imp(0)$ はレジスタ N - 2 に記憶される。そして、この処理が繰り返されることによって、インパルス応答格納メモリ 2 4 3 のレジスタ 0 ~ N - 1 には、インパルス応答 $imp(0) \sim (N - 1)$ ($= IR 9'(Z)$) が記憶されることとなる。なお、サンプリング周期とは、図 2 4 (a) に示す各インパルス応答 $imp(0) \sim (N - 1)$ 間の時間間隔である。また、インパルス応答格納メモリ 2 4 3 は、DSP 2 0 2 がスイッチ回路 2 6 0 H をレジスタ 0 からレジスタ N - 1 へと順次切替えることによって、レジスタ 2 4 9 に記憶された他方の論理値 ' 0 ' によってクリアされる。

10

【 0 1 4 4 】

また、インパルス応答格納メモリ 2 5 5 は、N 個のレジスタ 0 ~ N - 1 から構成されている。インパルス応答格納メモリ 2 5 5 のレジスタ 0 ~ N - 1 には、DSP 2 0 2 がスイッチ回路 2 6 0 F を入力端子 2 3 3 側に切替え、スイッチ回路 2 6 0 G を当該インパルス応答格納メモリ 2 5 5 側に切替えることによって、入力端子 2 3 3 を介して経路 J におけるサンプリング周期単位ごとのインパルス応答 $imp(0) \sim (N - 1)$ ($= IR 1 0'(Z)$) が記憶される。なお、インパルス応答格納メモリ 2 5 5 のレジスタ 0 ~ N - 1 へのインパルス応答 $imp(0) \sim (N - 1)$ の記憶は、前述したインパルス応答格納メモリ 2 4 3 と同様である。また、インパルス応答格納メモリ 2 5 5 は、DSP 2 0 2 がスイッチ回路 2 6 0 I をレジスタ 0 からレジスタ N - 1 へと順次切替えることによって、レジスタ 2 4 9 に記憶された他方の論理値 ' 0 ' によってクリアされる。

20

【 0 1 4 5 】

レジスタ 2 5 0 には、インパルス応答格納メモリ 2 4 3 からのインパルス応答 $imp(0) \sim (N - 1)$ が一時記憶される。また、レジスタ 2 5 4 には、インパルス応答格納メモリ 2 5 5 からのインパルス応答 $imp(0) \sim (N - 1)$ が一時記憶される。

30

レジスタ 2 5 7 には、インパルス応答格納メモリ 2 4 3 に記憶されたインパルス応答 $imp(0) \sim (N - 1)$ を、乗算回路 2 5 8 にて位相反転させるべく - 1 を示すバイナリデータが予め記憶されている。

【 0 1 4 6 】

乗算回路 2 5 8 は、レジスタ 2 5 0 の値とレジスタ 2 5 7 の値とを乗算した乗算結果を ARMA フィルタ 3 0 0 に出力する。詳述すると、DSP 2 0 2 がスイッチ回路 2 6 0 K をレジスタ 0 から順次切替えることによって、レジスタ 2 5 0 にインパルス応答格納メモリ 2 4 3 のレジスタ 0 ~ N - 1 からのインパルス応答 $imp(0) \sim (N - 1)$ が順次入力される。そして、乗算回路 2 5 8 が、レジスタ 2 5 0 の値とレジスタ 2 5 7 の値とを順次乗算することによって、インパルス応答 $imp(0) \sim (N - 1)$ が位相反転されたインパルス応答 $-imp(0) \sim (N - 1)$ が ARMA フィルタ 3 0 0 に出力されることとなる。

40

【 0 1 4 7 】

遅延回路 2 3 5 a 1 ~ 2 3 5 a N - 1 は、入力端子 2 3 0 を介して入力されるデジタル信号 X_n を、サンプリングの周期単位ごとに遅延して出力する。例えば、遅延回路 2 3 5 a 1 はデジタル信号 X_n を 1 サンプル周期位相遅延させたデジタル信号 X_{n-1} を乗算回路 2 3 6 a 1、3 0 1 b 1、遅延回路 2 3 5 a 2 に出力する。また、遅延回路 2 3 5 a N - 1 はデジタル信号 $X_{n-(N-1)}$ を、乗算回路 2 3 6 a N - 1、3 0 1 a N - 1 に

50

出力する。

【0148】

乗算回路301b1~301bN-1、減算回路302b0~302bN-1は、前述したIR10'(Z)の逆フィルタを構成するものである。

乗算回路301b1~301bN-1は、インパルス応答格納メモリ255のレジスタ1~N-1に保持されているインパルス応答imp(1)~(N-1)が乗算係数としてそれぞれ設定される。詳述すると、DSP202がスイッチ回路260Jをレジスタ1から順次切替え、スイッチ回路260Mを乗算回路301b1から順次切替えることによって、インパルス応答imp(1)~(N-1)が順次入力され、乗算回路301b1~301bN-1の乗算係数が設定されることとなる。そして、乗算回路301b1~301bN-1は、遅延回路235a1~235aN-1からのデジタル信号Xn-1~Xn-(N-1)に対して設定された乗算係数で乗算し、乗算結果を減算回路302b1~302bN-1に出力する。

10

【0149】

減算回路302b1~302bN-1は、乗算回路301b1~301bN-1から入力されるデジタル信号を減算した減算結果を、図26矢印に示す方向へ出力する。また、減算回路302b0は、減算回路302b1からの減算結果と入力端子230を介して入力されるデジタル信号とを減算する。この結果、減算回路302b0の減算結果は、入力端子230を介して入力されるデジタル信号を、乗算回路301b1~301bN-1の乗算結果で減算したものとなる。

20

【0150】

乗算回路236a0~236aN-1は、乗算回路258からの位相反転されたインパルス応答-imp(0)~(N-1)が乗算係数としてそれぞれ設定される。詳述すると、DSP202がスイッチ回路260Lを乗算回路236a0から順次切替えることによって、位相反転されたインパルス応答-imp(0)~(N-1)が順次入力され、乗算回路236a0~236aN-1の乗算係数が設定されることとなる。そして、乗算回路236a1~236aN-1は、遅延回路235a1~235aN-1からのデジタル信号Xn-1~Xn-(N-1)に対して設定された乗算係数で乗算し、乗算結果を加算回路237a1237aN-1に出力する。また、乗算回路236a0には、前述した減算回路302b0からの減算結果が入力され、当該減算結果に対して乗算係数(-imp(0))で乗算した乗算結果を加算回路237a0に出力する。

30

【0151】

加算回路237a1~237aN-1は、乗算回路236a1~236aN-1から入力されるデジタル信号を加算した加算結果を、図26矢印に示す方向へ出力する。また、加算回路237a0は、加算回路237a1からの加算結果と、乗算回路236a0からの乗算結果とを加算する。この結果、加算回路237a0の加算結果は、入力端子230にデジタル信号が入力されたときの、前述したフィルタ係数が設定されたARMAフィルタ300にてフィルタ処理がなされた結果となる。

【0152】

==インパルス応答取得処理によるARAM300のフィルタ係数設定==

40

以下、図21~図27を参照しつつエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路によるインパルス応答取得処理、ARAM300のフィルタ係数設定の動作について説明する。なお、本実施形態においては、デジタルフィルタ211のフィルタ係数設定の一例として、前述したARMAフィルタ300の乗算回路236a0~236aN-1、301b1~301bN-1の乗算係数設定を用いて説明する。図27は、エコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の動作の一例を示すフローチャートである。

【0153】

CPU201は、例えば、エコー防止回路をリセットするためのリセット信号が入力されると、インパルス応答取得処理をDSP202にて実行させるべく指示信号を、DSP

50

202に出力する。また、CPU201は、インパルス応答取得処理の初期動作として、他方の論理値‘0’をDSP202出力する。DSP202に入力された他方の論理値‘0’は、レジスタ249に入力される。

【0154】

DSP202は、CPU201からの前述の指示信号が入力されたか否かを判別する(S301)。そして、DSP202は、CPU201からの指示信号が入力されたと判別すると(S301・YES)、先ずスイッチ回路260Hをレジスタ0～レジスタN-1に順次切替える。この結果、レジスタ249に記憶された他方の論理値‘0’によって、インパルス応答格納メモリ243のレジスタ0～レジスタN-1の内容がクリアされる(S302)。以下、インパルス応答格納メモリ243に記憶させるi番目のインパルス応答を $imp(i)$ ($i = 0, \dots, N-1$)と示して説明する。そして、DSP202は、インパルス応答格納メモリ243のレジスタN-1に記憶させるインパルス応答 $imp(0)$ を取得すべく $i = 0$ とし(S303)、入力端子230をハイインピーダンスとした上で、以下の処理を実行する。

10

【0155】

DSP202は、図22又は図23に示した経路Iのインパルス応答 $imp(0)$ を取得するために、当該経路Iへ出力端子231からのインパルス出力が可能であるか否かを判別する(S304)。例えば、このDSP202による判別としては、出力端子231からの信号の出力や入力端子233への信号の入力がされている状態であるか否かを判別することによって行う。仮に、出力端子231からの信号の出力や入力端子233への信号の入力がされている状態でインパルスを出力すると、正確なインパルス応答 $imp(0)$ を取得できない可能性があるためである。

20

【0156】

そして、DSP202は、経路Iへのインパルス出力が可能であると判別すると(S304・YES)、 $i = 0$ であるか否かを判別する(S305)。S303において $i = 0$ であるため、DSP202は $i = 0$ であると判別することとなる(S305・YES)。そして、DSP202は、インパルス用メモリ245のレジスタ0に一方の論理値‘1’を記憶させる。また、DSP202は、インパルス用メモリ245の他のレジスタ1～N-1、レジスタ246、インパルス用メモリ244のレジスタ0～N-1に、他方の論理値‘0’を記憶させる。そして、DSP202は、スイッチ回路260Cをインパルス用メモリ245側に切替え、スイッチ回路260Aをインパルス用メモリ244側に切替え、スイッチ回路260Eをレジスタ246側に切替える。また、DSP202は、スイッチ回路260Fを入力端子233側に切替え、スイッチ回路260Gをインパルス応答格納メモリ243側に切替える。次に、DSP202は、スイッチ回路260D、260Bをそれぞれ、レジスタ0に切替える。この結果、インパルス用メモリ245のレジスタ0に記憶された一方の論理値‘1’によるインパルスが出力端子231から出力されることとなる(S306)。出力端子231から出力されたインパルスは、経路Iを伝達して入力端子233に入力される(S307)。この結果、インパルス応答 $imp(0)$ が取得できたこととなる(図24(a)・ $imp(0)$)。そして、このインパルス応答 $imp(0)$ は、先ずインパルス応答格納メモリ243のレジスタN-1に記憶される。

30

40

【0157】

次に、インパルス応答 $imp(1)$ を取得するため、DSP202は i をインクリメントして、 $i = i + 1 = 1$ とする(S308)。そして、DSP202は、取得したインパルス応答が未だ $imp(N-1)$ まで達していないため $i = N$ でないと判別し(S309・NO)、前述したS304の処理を再び繰り返すこととなる。さらに、S308において $i = 1 = 0$ となっているため(S305・NO)、DSP202は、スイッチ回路260D、260Bをそれぞれ、レジスタ1に切替える。この結果、出力端子231からはインパルスが出力されない(S310)。そのため、入力端子233には、S306において出力されたインパルスの1サンプリング周期位相遅延したインパルス $imp(1)$ が入力される。そして、このインパルス応答 $imp(1)$ はインパルス応答格納メモリ243のレジス

50

タN - 1に記憶され、レジスタN - 1に記憶されていたインパルス応答imp(0)はレジスタN - 2に記憶されることとなる。このように、S304からS309の処理をi Nまで繰り返すことによって(S309・YES)、インパルス応答imp(0)~imp(N - 1)(=IR9'(Z))が取得される。この結果、インパルス応答格納メモリ243のレジスタ0~N - 1に、インパルス応答imp(0)~imp(N - 1)が記憶されたこととなる。

【0158】

次に、DSP202は、スイッチ回路260Iをレジスタ0~レジスタN - 1に順次切替える。この結果、レジスタ249に記憶された他方の論理値'0'によって、インパルス応答格納メモリ255のレジスタ0~レジスタN - 1がクリアされる(S311)。以下、インパルス応答格納メモリ255に記憶させるj番目のインパルス応答をimp(j)(j = 0、・・・、N - 1)と示して説明する。そして、DSP202は、インパルス応答格納メモリ255のレジスタN - 1に記憶させるインパルス応答imp(0)を取得すべくj = 0とし(S312)、以下の処理を実行する。

10

【0159】

DSP202は、図22又は図23に示した経路Jのインパルス応答imp(0)を取得するために、当該経路Jへインパルス出力が可能であるか否かを判別する(S313)。このDSP202による判別は、前述したS304と同様である。

【0160】

そして、DSP202は、経路Jへのインパルス出力が可能であると判別すると(S313・YES)、j = 0であるか否かを判別する(S314)。S312においてj = 0であるため、DSP202はj = 0であると判別することとなる(S314・YES)。そして、DSP202は、インパルス用メモリ244のレジスタ0に一方の論理値'1'を記憶させる。また、DSP202は、インパルス用メモリ244の他のレジスタ1~N - 1、レジスタ246、インパルス用メモリ245のレジスタ0~N - 1に、他方の論理値'0'を記憶させる。そして、DSP202は、スイッチ回路260Gをインパルス応答格納メモリ255側に切替える。次に、DSP202は、スイッチ回路260D、260Bをそれぞれ、レジスタ0に切替える。この結果、インパルス用メモリ244のレジスタ0に記憶された一方の論理値'1'によるインパルスが出力端子232から出力されることとなる(S315)。出力端子232から出力されたインパルスは、経路Jを伝達して入力端子233に入力される(S316)。この結果、インパルス応答imp(0)が取得できたこととなる(図24(b)・imp(0))。そして、このインパルス応答imp(0)は、先ずインパルス応答格納メモリ255のレジスタN - 1に記憶される。

20

30

【0161】

次に、インパルス応答imp(1)を取得するため、DSP202はjをインクリメントして、j = j + 1 = 1とする(S317)。そして、DSP202は、取得したインパルス応答が未だimp(N - 1)まで達していないためj < Nでないと判別し(S318・NO)、前述したS313の処理を再び繰り返すこととなる。さらに、S317においてj = 1 < 0となっていないため(S314・NO)、DSP202は、スイッチ回路260D、260Bをそれぞれ、レジスタ1に切替える。この結果、出力端子232からはインパルスが出力されない(S319)。そのため、入力端子233には、S315において出力されたインパルスの1サンプリング周期位相遅延したインパルスimp(1)が入力される。そして、このインパルス応答imp(1)はインパルス応答格納メモリ255のレジスタN - 1に記憶され、レジスタN - 1に記憶されていたインパルス応答imp(0)はレジスタN - 2に記憶されることとなる。このように、S313からS318の処理をj < Nまで繰り返すことによって(S318・YES)、インパルス応答imp(0)~imp(N - 1)(=IR10'(Z))が取得される。この結果、インパルス応答格納メモリ255のレジスタ0~N - 1に、インパルス応答imp(0)~imp(N - 1)が記憶されたこととなる。

40

【0162】

50

DSP202は、インパルス応答格納メモリ243のレジスタ0～N-1に記憶されているインパルス応答 $imp(0) \sim imp(N-1)$ を位相反転させるべく、スイッチ回路260Kをレジスタ0から順次切替える。この結果、インパルス応答格納メモリ243のレジスタ0～N-1からのインパルス応答 $imp(0) \sim imp(N-1)$ が、レジスタ250を介して順次乗算回路258に入力される。乗算回路258は、レジスタ250の値とレジスタ257の値とを順次乗算した乗算結果をARMAフィルタ300に出力する。この結果、インパルス応答 $imp(0) \sim (N-1)$ が位相反転されたインパルス応答 $-imp(0) \sim (N-1)$ が乗算回路258からARMAフィルタ300に順次出力されることとなる。

【0163】

そして、DSP202は、乗算回路258からのインパルス応答 $-imp(0) \sim (N-1)$ を乗算回路236a0～236aN-1の乗算係数に設定すべく以下の処理を行う。まず、DSP202は、乗算回路258からのインパルス応答 $-imp(0)$ を乗算回路260a0の乗算係数に設定すべく $i=0$ とし(S320)、スイッチ回路260Lを乗算回路236a0側へ切替える。この結果、乗算回路236a0の乗算係数にインパルス応答 $-imp(0)$ が設定される(S321)。次に、DSP202は、乗算回路258からのインパルス応答 $-imp(1)$ を乗算回路260a1の乗算係数に設定すべく i をインクリメントして、 $i=i+1=1$ とする(S322)。そして、DSP202は、乗算回路236aN-1まで乗算係数を設定していないため $i=N$ でないと判別し(S323・NO)、スイッチ回路260Lを乗算回路236a1側へ切替える。この結果、乗算回路236a1の乗算係数にインパルス応答 $-imp(1)$ が設定される(S321)。このようにS321からS323の処理を $i=N$ まで繰り返すことによって(S323・YES)、乗算回路258からのインパルス応答 $-imp(0) \sim (N-1)$ が乗算回路236a0～236aN-1の乗算係数に設定されることとなる。

【0164】

また、DSP202は、インパルス応答格納メモリ255のレジスタ1～N-1に記憶されているインパルス応答 $imp(1) \sim (N-1)$ をARMAフィルタ300に出力させるべく、スイッチ回路260Jをレジスタ1から順次切替える。この結果、インパルス応答格納メモリ255のレジスタ1～N-1からのインパルス応答 $imp(1) \sim (N-1)$ が、ARMAフィルタ300に順次出力されることとなる。

【0165】

そして、DSP202は、インパルス応答格納メモリ255からのインパルス応答 $imp(1) \sim (N-1)$ を乗算回路301b1～301bN-1の乗算係数に設定すべく以下の処理を行う。まず、DSP202は、インパルス応答格納メモリ255からのインパルス応答 $imp(1)$ を乗算回路301b1の乗算係数に設定すべく $j=1$ とし(S324)、スイッチ回路260Mを乗算回路301b1側へ切替える。この結果、乗算回路301b1の乗算係数にインパルス応答 $imp(1)$ が設定される(S325)。次に、DSP202は、インパルス応答格納メモリ255からのインパルス応答 $imp(2)$ を乗算回路301b2の乗算係数に設定すべく j をインクリメントして、 $j=j+1=2$ とする(S326)。そして、DSP202は、乗算回路301bN-1まで乗算係数を設定していないため $j=N$ でないと判別し(S327・NO)、スイッチ回路260Mを乗算回路301b2側へ切替える。この結果、乗算回路301b2の乗算係数にインパルス応答 $imp(2)$ が設定される(S325)。このようにS325からS327の処理を $j=N$ まで繰り返すことによって(S327・YES)、インパルス応答格納メモリ255からのインパルス応答 $imp(1) \sim (N-1)$ が乗算回路301b1～301bN-1の乗算係数に設定されることとなる。

【0166】

なお、上述した実施形態によれば、前述した処理についてハードウェア(例えばスイッチ回路260など)を用いて説明したが、これに限るものではない。例えば、前述した処理をプログラムデータとしてROMなどに予め記憶させておき、DSP202が備えるプロ

10

20

30

40

50

セッサが当該プログラムデータを読み出して処理することも可能である。

【0167】

<<第7の実施形態>>

===エコー防止回路、デジタル信号処理回路の構成例===

以下、図28～図32を参照して第7の実施形態について説明する。なお、本実施形態は、前述した第6の実施形態において取得したインパルス応答 $IR9'(Z)$ 、 $IR10'(Z)$ に基づく、デジタルフィルタ211のフィルタ係数設定についての他の形態を示すものである。そして、本実施形態においては、デジタルフィルタ211の一例としてFIRフィルタ303を用いたときの、フィルタ係数設定について説明する。本実施形態において第6の実施形態と同一の構成要件については同一番号を付して説明を省略する。

10

【0168】

図28は、FIRフィルタ303を用いた場合の、エコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路(DSP202)の一例を示すブロック図である。図29は、インパルス応答 $IR9'(Z)$ 、 $IR10'(Z)$ に基づいてFIRフィルタ303のフィルタ係数を設定するためのDSP295の一例を示すブロック図である。図30は、図29に示すADF284の詳細図である。図31は、DSP202の構成の一部を示すブロック図である。図32は、FIRフィルタ303のその他の一例を示す図である。なお、本実施形態においては、DSP295をDSP202とは別途に設けて、FIRフィルタ303のフィルタ係数を設定するための処理を行っているがこれに限るものではない。例えば、DSP295の後述する処理を、DSP202の内部にて行うように設けることも可能である。

20

【0169】

DSP295は、白色ノイズ生成回路287、入力端子296、297、FIRフィルタ285、286、減算回路288、ADF284、出力端子298を有している。

【0170】

白色ノイズ生成回路287は、全周波数帯のレベルがほぼ一定となる白色ノイズを生成する。例えば、白色ノイズ生成回路287は、線形フィードバックレジスタ方式によって、白色ノイズとしてのM(Maximum length sequenceの頭文字)系列乱数を生成する。なお、このM系列乱数の生成については、例えば特開平5-241795等の周知技術を用いることが可能である。また、本実施形態においては白色ノイズを用いているがこれに限るものではない。周期性のないノイズであれば可能であり、例えば有色ノイズを用いることも可能である。そして、白色ノイズ生成回路287は、生成したM系列乱数 $L(N)$ (Nはサンプル数であり、FIRフィルタ285、286のタップ数と同数である)をFIRフィルタ285、286に出力する。

30

【0171】

FIRフィルタ285は、スイッチ回路260Nをレジスタ0から順次切替えることによって、入力端子296を介して、レジスタ0～N-1に記憶されている経路Jのインパルス応答 $imp(0) \sim (N-1)$ (= $IR10'(Z)$)が順次入力される。この結果、FIRフィルタ285のフィルタ係数として、経路Jのインパルス応答 $imp(0) \sim (N-1)$ が設定される。そして、FIRフィルタ285は、設定されたフィルタ係数に基づいて、白色ノイズ生成回路287からのM系列乱数 $L(N)$ に対して畳み込み演算を施してADF284に出力する。なお、本実施形態においては、FIRフィルタ285からの出力信号を、参照信号 X_t (= $\{X_t(0), \dots, X_t(N-1)\}$ 、i番目を $X_t(i)$ と示す)と示して以下説明する。

40

【0172】

また、FIRフィルタ286は、スイッチ回路260Kをレジスタ0から順次切替えることによって、入力端子297を介して、インパルス応答格納メモリ243のレジスタ0～N-1に記憶されている経路Iのインパルス応答 $imp(0) \sim (N-1)$ (= $IR9'(Z)$)が順次入力される。この結果、FIRフィルタ286のフィルタ係数として、経路Iのインパルス応答 $imp(0) \sim (N-1)$ が設定される。そして、FIRフィルタ286は

50

、設定されたフィルタ係数に基づいて、白色ノイズ生成回路 287 からの M 系列乱数 $L(N)$ に対して畳み込み演算を施して減算回路 288 に出力する。なお、本実施形態においては、FIR フィルタ 286 による畳み込み演算結果を Y_t と示して以下説明する。なお、前述した FIR フィルタ 285、286 は、周知の FIR フィルタを用いることが可能である。

【0173】

減算回路 288 の + 入力端子には、FIR フィルタ 286 からの Y_t が入力される。また、減算回路 288 の - 入力端子には、後述する ADF 284 からの出力信号 $Y't$ が入力される。そして、減算回路 288 は、FIR フィルタ 286 からの Y_t と ADF 284 からの $Y't$ とを減算して出力する。以下、減算回路 288 からの出力信号を誤差信号 E_t と示して以下説明する。

10

【0174】

ADF 284 は、図 30 一点鎖線内に示すとおり、参照信号入出力部 289、フィルタ係数部 290、乗算部 291、フィルタ係数更新部 292、加算部 293、レジスタ 294、スイッチ回路 260Q ~ 260U を有している。

【0175】

参照信号入出力部 289 は、FIR フィルタ 285 からの参照信号 X_t が入力されて、当該参照信号 X_t を保持する。そして、参照信号入出力部 289 は、乗算部 291、フィルタ係数更新部 292 に対し参照信号 X_t を出力する。

【0176】

フィルタ係数部 290 は、N 個のレジスタ 0 ~ N - 1 から構成されている。そして、フィルタ係数部 290 のレジスタ 0 ~ N - 1 には、スイッチ回路 260Q、260R をフィルタ係数更新部 292 側に切替え、スイッチ回路 260S を乗算部 291 側に切替え、スイッチ回路 260T をレジスタ 0 から順次切替えることによって、当該フィルタ係数更新部 292 からのフィルタ係数が順次入力される。レジスタ 0 ~ N - 1 は、順次入力されたフィルタ係数を保持する。そして、フィルタ係数部 290 は、スイッチ回路 260R を乗算部 291 側に切替え、スイッチ回路 260T をレジスタ 0 から順次切替えることによって、レジスタ 0 ~ N - 1 のフィルタ係数を乗算部 291 に順次出力する。また、フィルタ係数部 290 は、スイッチ回路 260U をレジスタ 0 から順次切替えることによって、レジスタ 0 ~ N - 1 のフィルタ係数をフィルタ係数更新部 292 に順次出力する。なお、本実施形態においては、フィルタ係数部 290 のフィルタ係数を $H_t (= \{H_t(0), \dots, H_t(N-1)\})$ 、i 番目を $H_t(i)$ と示すと示し、レジスタ 0 ~ N - 1 にはフィルタ係数 $H_t(0) \sim H_t(N-1)$ が保持されているものとして以下説明する。

20

30

【0177】

乗算回路 291 は、参照信号入出力部 289 からの参照信号 X_t とフィルタ係数部 290 からのフィルタ係数 H_t を順次乗算した乗算結果を加算部 293 に出力する。

加算部 293 は、乗算部 291 からの出力信号を順次加算した結果を減算回路 288 に出力する。なお、この加算部 293 からの出力信号が前述した $Y't$ となる。

【0178】

フィルタ係数更新部 292 には、減算回路 288 からの誤差信号 E_t が入力される。そして、フィルタ係数更新部 292 は、誤差信号 E_t 、参照信号 X_t 、フィルタ係数 H_t に基づいて、後述する例えば LMS アルゴリズムや NLMS アルゴリズム等によりフィルタ係数 $H_{t+1} (= \{H_{t+1}(0), \dots, H_{t+1}(N-1)\})$ 、i 番目を $H_{t+1}(i)$ と示す) を算出してフィルタ係数部 290 に出力する。なお、このフィルタ係数更新部 292 によるフィルタ係数の算出は、減算回路 288 からの誤差信号 E_t の平均値が一定値以下となるように行われる。なお、この一定値とは、例えば誤差信号の平均値が一定値以下となった時の、DA コンバータ 215 (図 22) から出力されるアナログ信号に基づいて発生する音声から、人がエコーを聴覚できないレベルとなるように定まる値である。

40

レジスタ 294 は、DSP 295 からの例えば他方の論理値 '0' の論理値が入力されて、当該他方の論理値 '0' を保持する。

50

【 0 1 7 9 】

D S P 2 0 2 は、第 6 の実施形態で示した構成の他に、図 2 8、図 3 1 に示すように F I R フィルタ 3 0 3、フィルタ係数格納メモリ 2 4 7、レジスタ 2 4 8、スイッチ回路 2 6 0 N、2 6 0 P ~ 2 6 0 R を有している。

また、F I R フィルタ 3 0 3 は、図 3 1 一点鎖線内に示すデジタル信号用メモリ 2 4 2 (破線)、乗算回路 2 5 1、A D D 2 5 2、A C C 2 5 3、スイッチ回路 2 6 0 O を有している。

レジスタ 2 4 8 には、C P U 2 0 1 からの前述した他方の論理値 ' 0 ' が入力される。

【 0 1 8 0 】

フィルタ係数格納メモリ 2 4 7 は、N 個のアドレス 0 ~ N - 1 から構成されている。そして、フィルタ係数格納メモリ 2 4 7 のアドレス 0 ~ N - 1 には、スイッチ回路 2 6 0 Q をアドレス 0 から順次切替えることによって、A D F 2 8 4 からのフィルタ係数 ($H_t(0)$)、 \dots 、 $H_t(N - 1)$) が順次記憶される。詳述すれば、前述した A D F 2 8 4 のスイッチ回路 2 6 0 T がレジスタ 0 から順次切替わるとともに、スイッチ回路 2 6 0 Q がアドレス 0 から順次切替わることによって、アドレス 0 から順次フィルタ係数 ($H_t(0)$)、 \dots 、 $H_t(N - 1)$) が順次記憶されることとなる。

【 0 1 8 1 】

デジタル信号用メモリ 2 4 2 は、N 個のレジスタ 0 ~ N - 1 から構成されている。そして、デジタル信号用メモリ 2 4 2 には、入力端子 2 3 0 を介して A D コンバータ 2 0 3 (図 2 2) からのデジタル信号が順次入力される。そして、レジスタ 0 ~ N - 1 にデジタル信号が順次入力されることにより、デジタル信号は 1 サンプリグ周期単位ずつ遅延されることとなる。例えばデジタル信号を X_n とすると、レジスタ 0 は X_n を 1 サンプリグ周期遅延させた X_{n-1} をレジスタ 1 に出力する。また、デジタル信号用メモリ 2 4 2 は、D S P 2 0 2 がスイッチ回路 2 6 0 R をレジスタ 0 からレジスタ N - 1 へと順次切替えることによって、レジスタ 2 4 8 に記憶された他方の論理値 ' 0 ' によってクリアされる。

【 0 1 8 2 】

乗算回路 2 5 1 は、D S P 2 0 2 がスイッチ回路 2 6 0 O、2 6 0 P をそれぞれ、レジスタ 0、アドレス 0 から順次切替えることによって、デジタル信号用メモリ 2 4 2 からのデジタル信号 (X_n 、 \dots 、 $X_{n-(N-1)}$) と、フィルタ係数格納メモリ 2 4 7 からのフィルタ係数 ($H_t(0)$)、 \dots 、 $H_t(N - 1)$) が順次入力される。そして、乗算回路 2 5 1 は、デジタル信号 (X_n 、 \dots 、 $X_{n-(N-1)}$) とフィルタ係数 ($H_t(0)$)、 \dots 、 $H_t(N - 1)$) とを順次乗算した乗算結果を A D D 2 5 2 に出力する。例えば、乗算回路 2 5 1 は、デジタル信号用メモリ 2 4 2 からの X_n と、フィルタ係数格納メモリ 2 4 7 からのフィルタ係数 $H_t(0)$ を乗算した乗算結果を A D D 2 5 2 に出力する。次に、乗算回路 2 5 1 は、デジタル信号用メモリ 2 4 2 からの X_{n-1} と、フィルタ係数格納メモリ 2 4 7 からのフィルタ係数 $H_t(1)$ を乗算した乗算結果を A D D 2 5 2 に出力する。そして、この処理が繰り返されることによって、デジタル信号 (X_n 、 \dots 、 $X_{n-(N-1)}$) とフィルタ係数 $H_t(= \{H_t(0), \dots, H_t(N - 1)\})$ とが順次乗算されることとなる。

【 0 1 8 3 】

A C C 2 5 3 は、A D D 2 5 2 からの加算結果が入力されて、この加算結果を保持する。A D D 2 5 2 は、乗算回路 2 5 1 からの乗算結果と、A C C 2 5 3 に記憶されている前回の A D D 2 5 2 の加算結果とを加算した結果を A C C 2 5 3 に出力する。この結果、A C C 2 5 3 には ($X_n \cdot H_t(0) + \dots + (X_{n-(N-1)}) \cdot (H_t(N - 1))$) が記憶されることとなる。この結果、F I R フィルタ 3 0 3 は、フィルタ係数格納メモリ 2 4 7 に記憶されたフィルタ係数に基づき、デジタル信号に対して畳み込み演算処理を施したこととなる。そして、F I R フィルタ 3 0 3 は、畳み込み演算処理を施したデジタル信号を、出力端子 2 3 2 に出力する。

【 0 1 8 4 】

10

20

30

40

50

そして、このようにFIRフィルタ303のフィルタ係数を設定することによって、差動増幅回路209において経路Iを伝達する信号を、経路Jを伝達する信号で打ち消すことが可能となる。この結果、入力端子230にデジタル信号が入力されたときの、前述のエコーを防止することが可能となる。

【0185】

なお、本実施形態においては、FIRフィルタ303を前述した構成にて述べているがこれに限るものではない。例えば、図32に示す構成としても良い。この場合、デジタル信号用メモリ242に対応した遅延回路335a1~335aN-1、乗算回路251に対応した乗算回路336a0~336aN-1、ADD252、ACC253に対応した加算回路337を設けても良い。以下、FIRフィルタ303が図26に示す構成で設けられた場合について説明する。同図に示すように、FIRフィルタ303は、縦続接続されたN-1個の遅延回路335a1~335aN-1と、入力されるデジタル信号をそれぞれ乗算するN個の乗算回路336a0~336aN-1と、乗算回路336a0~336aN-1からの出力を合算する加算回路337とを有している。

10

【0186】

遅延回路335a1~335aN-1は、入力端子230を介して入力されるデジタル信号 X_n を、サンプリングの周期単位ごとに遅延して出力する。例えば、遅延回路335a1はデジタル信号 X_n を1サンプリング周期位相遅延させたデジタル信号 X_{n-1} を出力し、遅延回路335aN-1はデジタル信号 $X_{n-(N-1)}$ を出力する。

【0187】

乗算回路336a0~336aN-1は、スイッチ回路260P、260Nが順次切替わることにより、フィルタ係数格納メモリ247に記憶されたフィルタ係数($H_t(0)$ 、 \dots 、 $H_t(N-1)$)が乗算係数としてそれぞれ設定される。そして、乗算回路336a0~336aN-1は、入力されるデジタル信号に対して設定された乗算係数で乗算した乗算結果を出力する。

20

加算回路337は、乗算回路336a0~336aN-1からの出力信号を合算する。この結果、前述したFIRフィルタ303と同様の畳み込み演算を施すことが可能となる。

【0188】

=== FIRフィルタ303のフィルタ係数設定 ===

図28~図33を参照しつつ、FIRフィルタ303のフィルタ係数を設定するための処理動作の一例について説明する。図33は、FIRフィルタ303のフィルタ係数を設定する処理動作の一例を示すフローチャートである。

30

【0189】

DSP295は、例えばCPU201からの指示信号により、先ずフィルタ係数部290のフィルタ係数をクリアさせるべく、レジスタ294に他方の論理値'0'を入力させる。そして、DSP295は、スイッチ回路260Sをレジスタ294側に切替え、スイッチ回路260Tをレジスタ0から順次切替える。この結果、レジスタ294に保持されている他方の論理値'0'によって、フィルタ係数部290のレジスタ0~N-1がクリアされる(S401)。

【0190】

そして、DSP295は、入力端子296を介して入力される、インパルス応答格納メモリ255からの経路Jのインパルス応答 $imp(0) \sim (N-1)$ ($=IR10'(Z)$)をFIRフィルタ285のフィルタ係数に設定する(S402)。また、DSP295は、入力端子297を介して入力される、インパルス応答格納メモリ243からの経路Iのインパルス応答 $imp(0) \sim (N-1)$ ($=IR9'(Z)$)をFIRフィルタ286のフィルタ係数に設定する(S403)。

40

【0191】

白色ノイズ生成回路287は、例えば線形フィードバックレジスタ方式によって、白色ノイズとしてのM系列乱数 $L(N)$ を生成して、FIRフィルタ285、FIRフィルタ286に出力する(S404)。

50

F I Rフィルタ285は、設定されたフィルタ係数に基づいて、白色ノイズ生成回路287からのM系列乱数L(N)に対して畳み込み演算を施して、演算結果である参照信号X_t(={X_t(0)、・・・、X_t(N-1)})をADF284に出力する(S405)。

また、F I Rフィルタ286は、設定されたフィルタ係数に基づいて、白色ノイズ生成回路287からのM系列乱数L(N)に対して畳み込み演算を施して、演算結果であるY_tを減算回路288の+入力端子に出力する(S406)。

【0192】

D S P 2 9 5 は、減算回路288の-入力端子に入力させるY'_tを生成すべく、以下の処理を行う。D S P 2 9 5 は、先ずi=0として(S407)、スイッチ回路260R、260Sを乗算回路291側に切替え、スイッチ回路260Tをレジスタ0側に切替え 10

そして、D S P 2 9 5 は、参照信号入出力部289のX_t(0)とフィルタ係数部290のH_t(0)をそれぞれ乗算部291に出力させる。乗算部291は、X_t(0)とH_t(0)を乗算し(S408)、乗算結果X_t(0)・H_t(0)を加算部293に出力する。

【0193】

次に、D S P 2 9 5 は、iをインクリメントしてi=i+1=1とする(S409)。そして、D S P 2 9 5 は、乗算部291の乗算結果がX_t(N-1)・H_t(N-1)まで達していないためi=Nでないと判別する(S410・NO)。そして、D S P 2 9 5 は、スイッチ回路260Tをレジスタ1側に切替えてフィルタ係数部290のH_t(1)を出力させるとともに、参照信号入出力部289のX_t(1)をそれぞれ乗算部291に出力させる。 20

乗算部291は、X_t(1)とH_t(1)を乗算し(S408)、乗算結果X_t(1)・H_t(1)を加算部293に出力する。このように、S408からS410の処理をi=Nまで繰り返すことによって(S410・YES)、乗算部291の乗算結果X_t(0)・H_t(0)・・・X_t(N-1)・H_t(N-1)が加算部293に順次出力されることとなる。加算部293が乗算部291からの乗算結果を順次加算することによって(S411)、加算部293の加算結果は、Y'_t(=X_t(0)・H_t(0)+・・・+X_t(N-1)・H_t(N-1))となる。そして、加算部293から減算回路288の-入力端子へY'_tが出力される。

減算回路288は、+入力端子に入力されたY_tと、-入力端子に入力されたY'_tを減算し(S412)、減算結果である誤差信号E_tをフィルタ係数更新部292に出力する。

【0194】

そして、フィルタ係数更新部292は、誤差信号E_tに基づくフィルタ係数を算出すべく以下の処理を実行する。先ず、フィルタ係数更新部292は、H_{t+1}(0)を算出すべくi=0とする(S413)。H_{t+1}(0)は、所定定数であるステップゲインを、参照信号X_tのノルム(つまり二乗和)を|X_t|²とすると、 30

$$H_{t+1}(0) = H_t(0) + (\alpha \cdot E_t \cdot X_t(0)) / |X_t|^2$$

となる。そのため、フィルタ係数更新部292が、参照信号入出力部289からのX_t(0)、フィルタ係数部290からのH_t(0)、減算回路288からのE_tに基づいて、上式を演算することによって、H_{t+1}(0)が算出される(S414)。次に、フィルタ係数更新部292は、H_{t+1}(1)を算出すべくiをインクリメントしてi=i+1=1とする(S415)。そして、フィルタ係数更新部292は、算出したフィルタ係数がH_{t+1}(N-1)に達していないためi=Nでないと判別する(S416・NO)。前述と同様に、H_{t+1}(1)は、 40

$$H_{t+1}(1) = H_t(1) + (\alpha \cdot E_t \cdot X_t(1)) / |X_t|^2$$

から算出される。このように、S414からS416の処理をi=Nまで繰り返すことによって(S416・YES)、H_{t+1}(N)(={H_{t+1}(0)、・・・、H_{t+1}(N-1)})が算出されることとなる。次に、D S P 2 9 5 は、誤差信号E_tの平均値が一定値未満であるか否かを判別する(S417)。そして、D S P 2 9 5 は、誤差信号E_tの平均値が一定値未満でないと判別すると(S417・NO)、前述したS404以降の処理を再び繰り返すこととなる。

【0195】

このように、減算回路 288 からの誤差信号 E_t の平均値が一定値未満でない場合、当該誤差信号 E_t に基づいたフィルタ係数 H_{t+1} が算出されることとなる。そして、この処理を繰り返すことによって、FIR フィルタ 285 のフィルタ係数に経路 J のインパルス応答が設定され、FIR フィルタ 286 のフィルタ係数に経路 I のインパルス応答が設定された状態において、白色ノイズ生成回路 287 から M 系列乱数 $L(N)$ が FIR フィルタ 285、286 に入力されたときの、減算回路 288 からの誤差信号 E_t を一定値未満とすることが可能となる。そして、誤差信号 E_t が一定値未満である場合のフィルタ係数 $H_{t+1}(N)$ は、経路 I を伝達する信号と、経路 J を伝達する信号とが互いに打ち消しあうことを可能とするフィルタ係数であることがわかる。つまり、エコーを防止することが可能となる。

10

【0196】

そして、DSP 295 は、誤差信号 E_t の平均値が一定値未満であると判別すると (S417・YES)、フィルタ係数部 290 のフィルタ係数を更新すべく以下の処理を実行する。DSP 295 は、先ずフィルタ係数部 290 のレジスタ 0 のフィルタ係数 $H(0)$ を、 $H_{t+1}(0)$ に更新すべく $i=0$ とする (S418)。そして、DSP 295 は、スイッチ回路 260R をフィルタ係数更新部 292 側へ切替え、スイッチ回路 260T をレジスタ 0 側に切替える。この結果、フィルタ係数部 290 のレジスタ 0 に保持されているフィルタ係数 $H_t(0)$ が $H_{t+1}(0)$ に更新される (S419)。次に、DSP 295 は、 $H_t(1)$ を $H_{t+1}(1)$ に更新すべく i をインクリメントして $i=i+1=1$ とする (S420)。そして、DSP 295 は、レジスタ $N-1$ のフィルタ係数 $H_t(N-1)$ が $H_{t+1}(N-1)$ に未だ更新されていないため $N-i$ でないと判別する (S421・NO)。そして、スイッチ回路 260T をレジスタ 1 側に切替えることによって、前述したようにレジスタ 1 に保持されているフィルタ係数 $H_t(1)$ を $H_{t+1}(1)$ に更新する (S419)。このように、S419 から S421 の処理を $N-i$ まで繰り返すことによって (S421・YES)、フィルタ係数部 290 のレジスタ 0 ~ $N-1$ のフィルタ係数 $H_t(=\{H_t(0), \dots, H_t(N-1)\})$ が、 $H_{t+1}(N)(=\{H_{t+1}(0), \dots, H_{t+1}(N-1)\})$ に更新されることとなる。

20

【0197】

そして、DSP 295 は、スイッチ回路 260Q を出力端子 298 側へ切替え、スイッチ回路 260T をレジスタ 0 側から順次切替えることによって、フィルタ係数部 290 のフィルタ係数 $H_t(=\{H_t(0), \dots, H_t(N-1)\})$ を、出力端子 298 を介してフィルタ係数格納メモリ 247 に出力することが可能となる。そして、DSP 202 がスイッチ回路 260Q をアドレス 0 から順次切替えることによって、FIR フィルタ 303 のフィルタ係数に、フィルタ係数部 290 のフィルタ係数 $H_t(=\{H_t(0), \dots, H_t(N-1)\})$ を設定することが可能となる。

30

【0198】

なお、前述したフィルタ係数部 290 のフィルタ係数 $H(N)$ を更新するアルゴリズムは、これに限るものではない。前述したように LMS アルゴリズムや NLMS アルゴリズム等の周知技術である推定アルゴリズムを用いることが可能である。また、例えば特開 2002-246880 号に記載による処理でフィルタ係数部 290 のフィルタ係数 $H(N)$ を更新することも可能である。

40

【0199】

なお、上述した実施形態によれば、前述した処理についてハードウェア (例えば減算回路 288、乗算部 291 など) を用いて説明したが、これに限るものではない。例えば、前述した処理をプログラムデータとして ROM などに予め記憶させておき、DSP 202 が備えるプロセッサが当該プログラムデータを読み出して処理することも可能である。

【0200】

<< 第 8 の実施形態 >>

=== エコー防止回路、デジタル信号処理回路の構成例 ===

図 34 は、第 8 の実施形態を示す図である。図 34 は、エコー防止回路、当該エコー防

50

止回路に含まれているデジタル信号処理回路の一例を示すブロック図である。なお、図34に示すエコー防止回路において、前述した第6、第7の実施形態と同一の構成要件については、同一番号を付して説明を省略する。

【0201】

エコー防止回路は、CPU201、DSP202、ADコンバータ203、DAコンバータ205、増幅回路206、入出力端子207、加算回路263、増幅回路210、ADコンバータ214、DAコンバータ215、DAコンバータ212、反転増幅回路261、利得位相調整回路(G/P)275を有している。

つまり、本実施形態は、第6、第7の実施形態における差動増幅回路209、増幅回路213に代えて、反転増幅回路261、利得位相調整回路275、加算回路263を設けた構成となっている。なお、本実施形態においてもCPU201を構成要件としているが、CPU201を構成要件としないことも可能である。

さらに、DSP202は、入力端子230、出力端子231、デジタルフィルタ211、出力端子232、入力端子233、出力端子234を有している。

反転増幅回路261は、DAコンバータ212からのアナログ信号を、所定の増幅率にて反転増幅して利得位相調整回路275に出力する。

【0202】

利得位相調整回路275は、反転増幅回路261からのアナログ信号に対して、利得および位相の調整を施して加算回路263に出力する。なお、この利得位相調整回路275によるアナログ信号の利得および位相の調整は、入力端子230にデジタル信号が入力されたときの後述する加算回路263の出力をゼロとするため、増幅回路206からのアナログ信号とは位相反転したアナログ信号を生成すべく行われる。

【0203】

加算回路263は、増幅回路206からのアナログ信号が入力される。そして、加算回路263は、増幅回路206からのアナログ信号と、利得位相調整回路275からのアナログ信号とを加算した加算結果を増幅回路210に出力する。また、加算回路263は、入出力端子207からの音声信号を増幅回路210に出力する。

【0204】

=== デジタルフィルタ211のフィルタ係数 ===

図35及び図36を参照しつつデジタルフィルタ211のフィルタ係数について詳述する。図35は、図34に示すエコー防止回路の経路K、Lを示した図である。また、図36は、経路Kにイヤホンマイク18が含まれる場合を示した図である。

【0205】

前述したように増幅回路206からのアナログ信号は、入出力端子207からの出力のみならず、加算回路263にも入力される場合がある。この場合、当該アナログ信号によるエコーが発生することとなる。或いは、入出力端子207から入力される音声信号と増幅回路206からのアナログ信号が重畳されて加算回路263に入力されることにより、エコーが発生することとなる。そこで、このエコーを防止すべくデジタルフィルタ211のフィルタ係数を設定する。

【0206】

そこで、図35又は図36の破線で示す出力端子231から加算回路263の入力端子までのインパルス応答(伝達関数)を $IR_{11}(Z)$ とする。また、図35又は図36の一点鎖線で示す出力端子232から反転増幅回路261の入力までのインパルス応答(伝達関数)を $IR_{12_1}(Z)$ とする。また、図35又は図36の二点鎖線で示す反転増幅回路261の入力から加算回路263の入力端子までのインパルス応答(伝達関数)を $IR_{12_2}(Z)$ とする。そして、 $IR_{12}(Z) = -IR_{12_1}(Z) \cdot IR_{12_2}(Z)$ とする。また、図35又は図36の破線で示す加算回路263における各入力端子の後段から入力端子233までのインパルス応答(伝達関数)を $W_6(Z)$ とする。

【0207】

今、デジタルフィルタ211のフィルタ係数を $Q(Z)$ とした場合、加算回路263にお

10

20

30

40

50

いて、増幅回路206からの信号を利得位相調整回路275からの信号で打ち消すためには、

$$I R 1 1 (Z) = I R 1 2 (Z) \cdot Q (Z)$$

の式が成り立つように $Q(Z)$ を設けることとなる。つまり、 $Q(Z)$ は、

$$Q (Z) = I R 1 1 (Z) / I R 1 2 (Z)$$

となるように設ければよい。しかしながら、DSP202が取得可能なインパルス応答は、図35又は図36の実線で示す経路Kのインパルス応答(伝達関数) $I R 1 1 '(Z)$ ($= I R 1 1 (Z) \cdot W 6 (Z)$)と、経路Lのインパルス応答(伝達関数) $I R 1 2 '(Z)$ ($= - I R 1 2 _ 1 (Z) \cdot I R 1 2 _ 2 (Z) \cdot W 6 (Z)$)である。なお、 $I R 1 2 _ 1 (Z)$ が位相反転されているのは、反転増幅回路261にて反転されるためである。

10

【0208】

この場合、経路Kを伝達する信号と経路Lを伝達する信号とが互いに打ち消しあうことを可能とする式は、

$$- I R 1 1 '(Z) = I R 1 2 '(Z) \cdot Q (Z)$$

となる。つまり、 $Q(Z)$ を、

$$Q (Z) = - I R 1 1 '(Z) / I R 1 2 '(Z)$$

と設ければよいことがわかる。つまり、デジタルフィルタ211の特性は、伝達特性 $I R 1 1 '(Z)$ を位相反転したものに、 $I R 1 2 '(Z)$ の逆フィルタの特性を加えた特性とすることで実現可能となる。そして、このようにデジタルフィルタ211のフィルタ係数を設定することによって、加算回路263において経路Kを伝達する信号を、経路Lを伝達する信号で打ち消すことが可能となる。この結果、入力端子230にデジタル信号が入力されたときの、前述のエコーを防止することが可能となる。

20

【0209】

そして、図36に示すように、イヤホンマイク18が接続された状態でインパルス応答 $I R 1 1 '(Z)$ を取得し、この $I R 1 1 '(Z)$ を位相反転したものに、 $I R 1 2 '(Z)$ の逆フィルタの特性を加えたフィルタ係数をデジタルフィルタ211に設定することにより、イヤホンマイク18の伝達特性に応じた効果的なエコー防止が可能となる。

【0210】

さらに、接続されたイヤホンマイク18を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態でインパルス応答 $I R 1 1 '(Z)$ を取得し、この $I R 1 1 '(Z)$ を位相反転したものに、 $I R 1 2 '(Z)$ の逆フィルタの特性を加えたフィルタ係数をデジタルフィルタ211に設定することにより、イヤホンマイク18の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

30

【0211】

なお、このデジタルフィルタ211の特性を、伝達特性 $I R 1 1 '(Z)$ を位相反転したものに、 $I R 1 2 '(Z)$ の逆フィルタの特性を加えた特性とする処理は、第6の実施形態と同様の処理を行うことによって可能となる。

【0212】

また、経路Kのインパルス応答 $I R 1 1 '(Z)$ をFIRフィルタ286(図29)のフィルタ係数に設定し、経路Lのインパルス応答 $I R 1 2 '(Z)$ をFIRフィルタ285(図29)のフィルタ係数に設定して、第7の実施形態と同様の処理を行うことにより、デジタルフィルタ211のフィルタ係数を設定することも可能である。

40

【0213】

<<第9の実施形態>>

===エコー防止回路、デジタル信号処理回路の構成例===

図37は、第9の実施形態を示す図である。図37は、エコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路(DSP264)の一例を示すブロック図である。なお、図37に示すエコー防止回路において、前述した第6、第7の実施形態と同一の構成要件については、同一番号を付して説明を省略する。

【0214】

50

エコー防止回路は、CPU 201、DSP 264、増幅回路 206、入出力端子 207、差動増幅回路 209、増幅回路 210、増幅回路 213を有している。なお、本実施形態においてもCPU 201を構成要件としているが、CPU 201を構成要件としないことも可能である。

さらに、DSP 264は、入力端子 265、ADコンバータ 266、DAコンバータ 267、出力端子 268、入力端子 269、ADコンバータ 270、DAコンバータ 271、出力端子 272、デジタルフィルタ 211、DAコンバータ 273、出力端子 274を有している。

つまり、本実施形態は、第6、第7の実施形態におけるADコンバータ 203、214、DAコンバータ 205、212、215がDSP 264内部に設けられた構成となっている。

10

【0215】

ADコンバータ 266には、入力端子 265を介して、例えば音声信号が入力される。そして、ADコンバータ 266は、音声信号に対してアナログ・デジタル変換処理したデジタル信号を、DAコンバータ 267、デジタルフィルタ 211に出力する。

デジタルフィルタ 211はデジタル信号に対して、当該デジタルフィルタ 211のフィルタ係数に基づいてフィルタ処理を施してDAコンバータ 273に出力する。

DAコンバータ 267は、デジタル信号に対してデジタル・アナログ変換処理したアナログ信号を、出力端子 268を介して出力させる。この結果、増幅回路 206には、DAコンバータ 267からのアナログ信号が入力される。

20

DAコンバータ 273は、デジタルフィルタ 211からのデジタル信号に対してデジタル・アナログ変換処理したアナログ信号を、出力端子 274を介して出力させる。この結果、増幅回路 213には、DAコンバータ 273からのアナログ信号が入力される。

ADコンバータ 270には、入力端子 269を介して、増幅回路 210からの音声信号が入力される。そして、ADコンバータ 270は、音声信号に対してアナログ・デジタル変換処理したデジタル信号を、DAコンバータ 271に出力する。

DAコンバータ 271は、デジタル信号に対してデジタル・アナログ変換処理したアナログ信号を、出力端子 272を介して出力させる。

【0216】

=== デジタルフィルタ 211のフィルタ係数 ===

30

図38及び図39を参照しつつデジタルフィルタ 211のフィルタ係数について詳述する。図38は、図37に示すエコー防止回路の経路M、Nを示した図である。また、図39は、経路Mにイヤホンマイク 18が含まれる場合を示した図である。

【0217】

前述したように増幅回路 206からのアナログ信号は、入出力端子 207からの出力のみならず、差動増幅回路 209の+入力端子にも入力される場合がある。この場合、当該アナログ信号によるエコーが発生することとなる。或いは、入出力端子 207から入力される音声信号と増幅回路 206からのアナログ信号が重畳されて差動増幅回路 209の+入力端子に入力されることにより、エコーが発生することとなる。そこで、このエコーを防止すべくデジタルフィルタ 211のフィルタ係数を設定する。

40

【0218】

そこで、図38又は図39の破線で示すDAコンバータ 267の入力から差動増幅回路 209の+入力端子までのインパルス応答(伝達関数)をIR13(Z)とする。また、図38又は図39の破線で示すDAコンバータ 273の入力から差動増幅回路 209の-入力端子までのインパルス応答(伝達関数)をIR14(Z)とする。また、図38又は図39の破線で示す差動増幅回路 209の±入力端子の後段からADコンバータ 270の出力までのインパルス応答(伝達関数)をW7(Z)とする。

【0219】

今、デジタルフィルタ 211のフィルタ係数をQ(Z)とした場合、差動増幅回路 209において、増幅回路 206からの信号を増幅回路 213からの信号で打ち消すためには、

50

$$I R 1 3 (Z) = I R 1 4 (Z) \cdot Q (Z)$$

の式が成り立つように $Q(Z)$ を設けることとなる。つまり、 $Q(Z)$ は、

$$Q (Z) = I R 1 3 (Z) / I R 1 4 (Z)$$

となるように設ければよい。しかしながら、DSP 264が取得可能なインパルス応答は、図38又は図39の実線で示す経路Mのインパルス応答(伝達関数) $I R 1 3 '(Z)$ ($= I R 1 3 (Z) \cdot W 7 (Z)$)と、経路Nのインパルス応答(伝達関数) $I R 1 4 '(Z)$ ($= - I R 1 4 (Z) \cdot W 7 (Z)$)である。なお、 $I R 1 4 (Z)$ が位相反転されているのは、差動増幅回路209の-入力端子に入力されているためである。

【0220】

この場合、経路Mを伝達する信号と経路Nを伝達する信号とが互いに打ち消しあうことを可能とする式は、

$$- I R 1 3 '(Z) = I R 1 4 '(Z) \cdot Q (Z)$$

となる。つまり、 $Q(Z)$ を、

$$Q (Z) = - I R 1 3 '(Z) / I R 1 4 '(Z)$$

と設ければよいことがわかる。つまり、デジタルフィルタ211の特性は、伝達特性 $I R 1 3 '(Z)$ を位相反転したものに、 $I R 1 4 '(Z)$ の逆フィルタの特性を加えた特性とすることで実現可能となる。そして、このようにデジタルフィルタ211のフィルタ係数を設定することによって、差動増幅回路209において経路Mを伝達する信号を、経路Nを伝達する信号で打ち消すことが可能となる。この結果、入力端子265に音声信号が入力されたときの、前述のエコーを防止することが可能となる。

【0221】

そして、図39に示すように、イヤホンマイク18が接続された状態でインパルス応答 $I R 1 3 '(Z)$ を取得し、この $I R 1 3 '(Z)$ を位相反転したものに、 $I R 1 4 '(Z)$ の逆フィルタの特性を加えたフィルタ係数をデジタルフィルタ211に設定することにより、イヤホンマイク18の伝達特性に応じた効果的なエコー防止が可能となる。

【0222】

さらに、接続されたイヤホンマイク18を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態でインパルス応答 $I R 1 3 '(Z)$ を取得し、この $I R 1 3 '(Z)$ を位相反転したものに、 $I R 1 4 '(Z)$ の逆フィルタの特性を加えたフィルタ係数をデジタルフィルタ211に設定することにより、イヤホンマイク18の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

【0223】

なお、このデジタルフィルタ211の特性を、伝達特性 $I R 1 3 '(Z)$ を位相反転したものに、 $I R 1 4 '(Z)$ の逆フィルタの特性を加えた特性とする処理は、第6の実施形態と同様の処理を行うことによって可能となる。

【0224】

また、経路Mのインパルス応答 $I R 1 3 '(Z)$ をFIRフィルタ286(図29)のフィルタ係数に設定し、経路Nのインパルス応答 $I R 1 4 '(Z)$ をFIRフィルタ285(図29)のフィルタ係数に設定して、第7の実施形態と同様の処理を行うことにより、デジタルフィルタ211のフィルタ係数を設定することも可能である。

【0225】

<<第10の実施形態>>

===エコー防止回路、デジタル信号処理回路の構成例===

図40は、第10の実施形態を示す図である。図40は、エコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路(DSP 264)の一例を示すブロック図である。

【0226】

なお、図40に示すように第10の実施形態におけるエコー防止回路は、前述した第8の実施形態(図34)、第9の実施形態(図37)を組み合わせた構成となっており、同一の構成要件については同一番号を付して説明を省略する。

10

20

30

40

50

【 0 2 2 7 】

=== デジタルフィルタ 2 1 1 のフィルタ係数その 1 ===

図 4 1 及び図 4 2 を参照しつつデジタルフィルタ 2 1 1 のフィルタ係数について詳述する。図 4 1 は、図 4 0 に示すエコー防止回路の経路 O、P を示した図である。また、図 4 2 は、経路 O にイヤホンマイク 1 8 が含まれる場合を示した図である。

【 0 2 2 8 】

前述したように増幅回路 2 0 6 からのアナログ信号は、入出力端子 2 0 7 からの出力のみならず、加算回路 2 6 3 にも入力される場合がある。この場合、当該アナログ信号によるエコーが発生することとなる。或いは、入出力端子 2 0 7 から入力される音声信号と増幅回路 2 0 6 からのアナログ信号が重畳されて加算回路 2 6 3 に入力されることにより、エコーが発生することとなる。そこで、このエコーを防止すべデジタルフィルタ 2 1 1 のフィルタ係数を設定する。

10

【 0 2 2 9 】

そこで、図 4 1 又は図 4 2 の破線で示す D A コンバータ 2 6 7 の入力から加算回路 2 6 3 の入力端子までのインパルス応答（伝達関数）を $I R 1 5 (Z)$ とする。また、図 4 1 又は図 4 2 の一点鎖線で示す D A コンバータ 2 7 3 の入力から反転増幅回路 2 6 1 の入力までのインパルス応答（伝達関数）を $I R 1 6_1 (Z)$ とする。また、図 4 1 又は図 4 2 の二点鎖線で示す反転増幅回路 2 6 1 の入力から加算回路 2 6 3 の入力端子までのインパルス応答（伝達関数）を $I R 1 6_2 (Z)$ とする。そして、 $I R 1 6 (Z) = - I R 1 6_1 (Z) \cdot I R 1 6_2 (Z)$ とする。また、図 4 1 又は図 4 2 の破線で示す加算回路 2 6 3 の各入力端子の後段から A D コンバータ 2 7 0 の出力までのインパルス応答（伝達関数）を $W 8 (Z)$ とする。

20

【 0 2 3 0 】

今、デジタルフィルタ 2 1 1 のフィルタ係数を $Q (Z)$ とした場合、加算回路 2 6 3 において、増幅回路 2 0 6 からの信号を利得位相調整回路 2 7 5 からの信号で打ち消すためには、

$$I R 1 5 (Z) = I R 1 6 (Z) \cdot Q (Z)$$

の式が成り立つように $Q (Z)$ を設けることとなる。つまり、 $Q (Z)$ は、

$$Q (Z) = I R 1 5 (Z) / I R 1 6 (Z)$$

となるように設ければよい。しかしながら、D S P 2 6 4 が取得可能なインパルス応答は、図 4 1 又は図 4 2 の実線で示す経路 O のインパルス応答（伝達関数） $I R 1 5 '(Z)$ ($= I R 1 5 (Z) \cdot W 8 (Z)$) と、経路 P のインパルス応答（伝達関数） $I R 1 6 '(Z)$ ($= - I R 1 6_1 (Z) \cdot I R 1 6_2 (Z) \cdot W 8 (Z)$) である。なお、 $I R 1 6_1 (Z)$ が位相反転されているのは、反転増幅回路 2 6 1 にて反転されるためである。

30

【 0 2 3 1 】

この場合、経路 O を伝達する信号と経路 P を伝達する信号とが互いに打ち消しあうことを可能とする式は、

$$- I R 1 5 '(Z) = I R 1 6 '(Z) \cdot Q (Z)$$

となる。つまり、 $Q (Z)$ を、

$$Q (Z) = - I R 1 5 '(Z) / I R 1 6 '(Z)$$

と設ければよいことがわかる。つまり、デジタルフィルタ 2 1 1 の特性は、伝達特性 $I R 1 5 '(Z)$ を位相反転したものに、 $I R 1 6 '(Z)$ の逆フィルタの特性を加えた特性とすることで実現可能となる。そして、このようにデジタルフィルタ 2 1 1 のフィルタ係数を設定することによって、加算回路 2 6 3 において経路 O を伝達する信号を、経路 P を伝達する信号で打ち消すことが可能となる。この結果、入力端子 2 6 5 に音声信号が入力されたときの、前述のエコーを防止することが可能となる。

40

【 0 2 3 2 】

そして、図 4 2 に示すように、イヤホンマイク 1 8 が接続された状態でインパルス応答 $I R 1 5 '(Z)$ を取得し、この $I R 1 5 '(Z)$ を位相反転したものに、 $I R 1 6 '(Z)$ の逆フィルタの特性を加えたフィルタ係数をデジタルフィルタ 2 1 1 に設定することにより、

50

イヤホンマイク 18 の伝達特性に応じた効果的なエコー防止が可能となる。

【0233】

さらに、接続されたイヤホンマイク 18 を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態でインパルス応答 $IR15'(Z)$ を取得し、この $IR15'(Z)$ を位相反転したものに、 $IR16'(Z)$ の逆フィルタの特性を加えたフィルタ係数をデジタルフィルタ 211 に設定することにより、イヤホンマイク 18 の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

【0234】

なお、このデジタルフィルタ 211 の特性を、伝達特性 $IR15'(Z)$ を位相反転したものに、 $IR16'(Z)$ の逆フィルタの特性を加えた特性とする処理は、第 6 の実施形態と同様の処理を行うことにより可能となる。

10

【0235】

また、経路 O のインパルス応答 $IR15'(Z)$ を FIR フィルタ 286 (図 29) のフィルタ係数に設定し、経路 P のインパルス応答 $IR16'(Z)$ を FIR フィルタ 285 (図 29) のフィルタ係数に設定して、第 7 の実施形態と同様の処理を行うことにより、デジタルフィルタ 211 のフィルタ係数を設定することも可能である。

【0236】

<< 第 11 の実施形態 >>

=== エコー防止回路、デジタル信号処理回路の構成例 ===

図 43 は、第 11 の実施形態を示す図である。図 43 は、エコー防止回路、当該エコー防止回路に含まれるデジタル信号処理回路 (DSP 283) の一例を示すブロック図である。なお、図 43 に示すエコー防止回路において、前述した第 6 の実施形態と同一の構成要件については、同一番号を付して説明を省略する。図 44 は、図 43 に示す ADF 276 の詳細図である。

20

【0237】

DSP 283 は、入力端子 230、ADF 276、出力端子 231、デジタルフィルタ 211、出力端子 232、入力端子 233、減算回路 277、出力端子 234 を有している。

減算回路 277 の + 入力端子には、入力端子 233 を介して、AD コンバータ 214 からのデジタル信号が入力される。また、減算回路 277 の - 入力端子には、ADF 276 からの出力信号が入力される。そして、減算回路 277 は、AD コンバータ 214 からのデジタル信号と ADF 276 からの出力信号とを減算して出力する。以下、減算回路 277 からの出力信号を誤差信号という。

30

ADF 276 は、図 44 破線内に示すとおり、参照信号入出力部 278、フィルタ係数部 279、乗算部 280、フィルタ係数更新部 281、加算部 282 を有している。

参照信号入出力部 278 は、入力端子 230 を介して AD コンバータ 203 からのデジタル信号 (以下、参照信号入出力部 278 に入力されるデジタル信号を参照信号という) が入力されて、当該参照信号を保持する。そして、参照信号入出力部 278 は、乗算部 280、フィルタ係数更新部 281 に対し参照信号を出力する。

【0238】

フィルタ係数部 279 は、フィルタ係数更新部 281 からのフィルタ係数が入力されて、当該フィルタ係数を保持する。そして、フィルタ係数部 279 は、前述した参照信号入出力部 278 から乗算部 280 への参照信号の出力とともに、当該乗算部 280 に対しフィルタ係数を出力する。また、フィルタ係数部 279 は、フィルタ係数更新部 281 に対しフィルタ係数を出力する。

40

乗算部 280 は、参照信号とフィルタ係数を順次乗算した乗算結果を加算部 282 に出力する。

加算部 282 は、乗算部 280 からの出力信号を順次加算した結果を減算回路 277 に出力する。

【0239】

50

フィルタ係数更新部 281 には、減算回路 277 からの誤差信号が入力される。そして、フィルタ係数更新部 281 は、誤差信号、参照信号、フィルタ係数に基づいて、例えば LMS アルゴリズムや NLMS アルゴリズム等の推定アルゴリズムによりフィルタ係数を算出してフィルタ係数部 279 に出力する。なお、このフィルタ係数更新部 281 によるフィルタ係数の算出は、入力端子 230 にデジタル信号が入力されたときの、減算回路 277 からの誤差信号の平均値が一定値以下となるように行われる。なお、この一定値とは、例えば誤差信号の平均値が一定値以下となった時の、DA コンバータ 215 から出力されるアナログ信号に基づいて発生する音声から、人がエコーを聴覚できないレベルとなるように定まる値である。

DA コンバータ 215 は、出力端子 234 を介して、減算回路 277 からのデジタル信号が入力される。そして、DA コンバータ 215 は、デジタル信号に対してデジタル・アナログ変換処理したアナログ信号を出力する。

【0240】

=== フィルタ係数部 279 のフィルタ係数更新 ===

図 44、図 45 を参照しつつ、フィルタ係数部 279 のフィルタ係数を更新するための処理動作の一例について説明する。図 45 は、エコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の処理動作の一例を示すフローチャートである。なお、以下の説明においては、入力端子 230 にデジタル信号が入力された時刻 t において、減算回路 277 の + 入力端子に入力されるデジタル信号を Y_t 、参照信号入出力部 278 に入力される参照信号を $X_t (= \{X_t(0), X_t(1), \dots, X_t(N-1)\})$ と示す。また、フィルタ係数部 279 のフィルタ係数を $H_t (= \{H_t(0), H_t(1), \dots, H_t(N-1)\})$ と示す。また、フィルタ係数更新部 281 にて算出されるフィルタ係数を $H_{t+1} (= \{H_{t+1}(0), H_{t+1}(1), \dots, H_{t+1}(N-1)\})$ と示して説明する。そして、 i 番目の参照信号を $X_t(i)$ 、フィルタ係数を $H_t(i)$ 、 $H_{t+1}(i)$ と示す。

【0241】

DSP 283 は、参照信号入出力部 278 に参照信号 X_t を入力させると (S501)、減算回路 277 の - 入力端子に入力させる信号 Y'_t を生成すべく、以下の処理を行う。DSP 283 は、まず $i=0$ として (S502)、参照信号入出力部 278 の $X_t(0)$ とフィルタ係数部 279 の $H_t(0)$ をそれぞれ乗算部 280 に出力させる。乗算部 280 は、 $X_t(0)$ と $H_t(0)$ を乗算した乗算結果を (S503)、加算部 282 に出力する。加算部 282 は、乗算部 280 からの出力信号 $X_t(0) \cdot H_t(0)$ とゼロを加算する。

【0242】

次に、DSP 283 は、 i をインクリメントして $i=i+1=1$ とする (S504)。そして、DSP 283 は、乗算部 280 の乗算結果が $X_t(N-1) \cdot H_t(N-1)$ まで達していないため $i=N$ でないと判別し (S505・NO)、参照信号入出力部 278 の $X_t(1)$ とフィルタ係数部 279 の $H_t(1)$ をそれぞれ乗算部 280 に出力させる。乗算部 280 は、 $X_t(1)$ と $H_t(1)$ を乗算した乗算結果を (S503)、加算部 282 に出力する。加算部 282 は、乗算部 280 からの出力信号 $X_t(1) \cdot H_t(1)$ と $X_t(0) \cdot H_t(0)$ を加算する。このように、S503 から S505 の処理を $i=N$ まで繰り返すことによって (S505・YES)、加算部 282 の加算結果は、 $Y'_t (= X_t(0) \cdot H_t(0) + \dots + X_t(N-1) \cdot H_t(N-1))$ となる。そして、加算部 282 から減算回路 277 の - 入力端子へ Y'_t が出力される (S506)。

【0243】

減算回路 277 は、+ 入力端子に入力された Y_t と、- 入力端子に入力された Y'_t を減算して出力する (S507)。そして、減算回路 277 からの誤差信号が、フィルタ係数更新部 281 に入力される。なお、この減算回路 277 からの誤差信号を $E_t (= Y_t - Y'_t)$ と示して以下説明する。

【0244】

フィルタ係数更新部 281 は、フィルタ係数部 279 のフィルタ係数を更新すべく以下の処理を実行する。まず、フィルタ係数更新部 281 は、 $H_{t+1}(0)$ を算出すべく $i=$

10

20

30

40

50

0とする(S508)。H_{t+1}(0)は、所定定数であるステップゲインを、参照信号X_tのノルム(つまり二乗和)をX_t²とすると、

$$H_{t+1}(0) = H_t(0) + (\cdot E_t \cdot X_t(0)) / X_t^2$$

となる。そのため、フィルタ係数更新部281が、参照信号入出力部782からのX_t(0)、フィルタ係数部279からのH_t(0)、減算回路277からのE_tに基づいて、上式を演算することによって、H_{t+1}(0)が算出される(S509)。次に、フィルタ係数更新部281は、H_{t+1}(1)を算出するべくiをインクリメントしてi=i+1=1とする(S510)。そして、フィルタ係数更新部281は、算出したフィルタ係数がH_{t+1}(N-1)に達していないためi=Nでないと判別する(S511・NO)。そして前述と同様に、H_{t+1}(1)は、

$$H_{t+1}(1) = H_t(1) + (\cdot E_t \cdot X_t(1)) / X_t^2$$

から算出される。このように、S509からS511の処理をi=Nまで繰り返すことによって(S511・YES)、H_{t+1}(={H_{t+1}(0)、 $\cdot \cdot \cdot$ 、H_{t+1}(N-1)})が算出されることとなる。そして、フィルタ係数更新部281は、フィルタ係数部279のフィルタ係数H_t(={H_t(0)、 $\cdot \cdot \cdot$ 、H_t(N-1)})をH_{t+1}(={H_{t+1}(0)、 $\cdot \cdot \cdot$ 、H_{t+1}(N-1)})に更新すべく、当該H_{t+1}をフィルタ係数部279に出力する。

【0245】

DSP283は、先ずフィルタ係数部279のH_t(0)をH_{t+1}(0)に更新すべくi=0とする(S512)。この結果、フィルタ係数部279のH_t(0)がH_{t+1}(0)に更新される(S513)。次に、DSP283は、H_t(1)をH_{t+1}(1)に更新すべくiをインクリメントしてi=i+1=1とする(S514)。そして、DSP283は、H_t(N-1)がH_{t+1}(N-1)に未だ更新されていないためN-iでないと判別する(S515・NO)。そして、DSP283は、H_t(1)をH_{t+1}(1)に更新する(S513)。このように、S513からS515の処理をN-iまで繰り返すことによって(S515・YES)、フィルタ係数部279のフィルタ係数H_t(={H_t(0)、 $\cdot \cdot \cdot$ 、H_t(N-1)})がH_{t+1}(={H_{t+1}(0)、 $\cdot \cdot \cdot$ 、H_{t+1}(N-1)})に更新される。

【0246】

そして、再び前述したS502からS505の処理が行われる。この結果、フィルタ係数H_{t+1}(={H_{t+1}(0)、 $\cdot \cdot \cdot$ 、H_{t+1}(N-1)})に基づく出力信号Y'_tが、加算部282から減算回路277の-入力端子に入力される。

【0247】

このように、減算回路277からの誤差信号に基づいて、フィルタ係数部279のフィルタ係数を、当該誤差信号が反映されたフィルタ係数に更新することが可能となる。そして、この処理を繰り返すことによって、入力端子230にデジタル信号が入力されたときの、減算回路277からの誤差信号の平均値を一定値以下とすることが可能となる。つまり、エコーを防止することが可能となる。なお、フィルタ係数部279のフィルタ係数を更新するアルゴリズムは、これに限るものではない。前述したようにLMSアルゴリズムやNLMSアルゴリズム等の周知技術である推定アルゴリズムを用いることが可能である。また、例えば特開2002-246880号に記載による処理でフィルタ係数部279のフィルタ係数を更新することも可能である。

【0248】

なお、上述した実施形態によれば、前述した処理についてハードウェア(例えば減算回路277、乗算部280など)を用いて説明したが、これに限るものではない。例えば、前述した処理をプログラムデータとしてROMなどに予め記憶させておき、DSP283が備えるプロセッサが当該プログラムデータを読み出して処理することも可能である。

【0249】

なお、本実施形態におけるデジタルフィルタ211のフィルタ係数は、前述の第6の実施形態~第10の実施形態と同様の処理を行うことにより設定することが可能である。そして、イヤホンマイク18が接続された状態で取得されたインパルス応答に基づいてF I

10

20

30

40

50

Rフィルタ211のフィルタ係数を設定することにより、イヤホンマイク18の伝達特性に応じた効果的なエコー防止が可能となる。また、接続されたイヤホンマイク18を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態で取得されたインパルス応答に基づいてFIRフィルタ211のフィルタ係数を設定することにより、イヤホンマイク18の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

【0250】

また、本実施形態は、前述の第6の実施形態にADF276、減算回路277を設けたものであるがこれに限るものではない。前述の第7の実施形態～第10の実施形態にも同様に、ADF276、減算回路277を設けることも可能である。詳述すると第7、第8の実施形態においては、本実施形態と同様にADF276、減算回路277を設ける。また、第9、第10の実施形態においては、減算回路277をADコンバータ270、DAコンバータ271間に設ける。そして、減算回路277、DAコンバータ271間の信号線に現れる誤差信号をADF276に入力させ、ADコンバータ266からのデジタル信号を参照信号としてADF276に入力されるように設ける。

10

【0251】

そして、例えばインパルス応答の測定誤差等により、差動増幅回路209（加算回路263）において経路Iを伝達する信号を、経路Jを伝達する信号で打ち消したときの結果が、エコーを十分に防止できないレベルとなる場合がある。この場合、上述した第11の実施形態によれば、減算回路277において差動増幅回路209（加算回路263）からの出力を、加算部282からの出力信号Y'tで打ち消すことが可能となる。この結果、入力端子230（265）にデジタル信号（音声信号）が入力されたときの、前述のエコーをより確実に防止することが可能となる。

20

【0252】

<<エコー防止回路、デジタル信号処理回路のエコー防止適用例>>

図1、図2、図5、図6、図46、図47を参照しつつ、本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の適用例について説明する。なお、本実施形態においては、例えば第1の実施形態におけるエコー防止回路、当該エコー防止に含まれるデジタル信号処理回路(DSP2)を、仮に図46に示す携帯電話機19に適用した場合における構成および動作について説明する。図46は、本発明に係るエコー防止回路41が適用される携帯電話機19の模式図である。図47は、図46に示す携帯電話機19の構成の一例を示すブロック図である。なお、携帯電話機19には、図46、図47に示すようにイヤホンマイク18が接続されている。このイヤホンマイク18は、携帯電話機19が受信した音声信号に基づいて、振動板(不図示)を振動させることにより音声を発生するスピーカ機能を有する。また、イヤホンマイク18は、当該イヤホンマイク18を装着している者が音声を発したときの鼓膜の振動を振動板の振動に換えることにより音声信号を生成して出力するマイク機能も有するものである。なお、このイヤホンマイク18は周知の技術であり、例えば特開2003-9272等に記載されている。また、イヤホンマイク18と携帯電話機19は接続されて有線通信するように設けられているが、無線通信(HomeRF(Radio Frequency)等)するように設けても良い。

30

40

【0253】

携帯電話機19は、アンテナ20、RF(Radio Frequency)部21、ベースバンド処理部22、CPU24、表示部23、入力部25、ADコンバータ26、DAコンバータ27、マイク28、スピーカ29、エコー防止回路41を有する。なお、図47に示す携帯電話機19の構成は一例であり、エコー防止回路41、デジタル信号処理回路(DSP2)が適用される携帯電話機は、これらの構成からなる携帯電話機に限るものではない。

【0254】

アンテナ20は携帯電話機19に対して送信される音声信号を受信する。また、アンテナ20は、RF部21からの音声信号を送信する。

【0255】

50

R F 部 2 1 は、アンテナ 2 0 が受信した音声信号のうち、所定周波数帯域の音声信号に対する復調処理などのデコード処理を行う。また、R F 部 2 1 は、ベースバンド処理部 2 2 からの音声信号に対する変調処理、例えば T D M A 方式 (Time Division Multiplex Access) によるエンコード処理などを行う。

【 0 2 5 6 】

ベースバンド処理部 2 2 は、R F 部 2 1 にてベースバンド信号まで復調された音声信号について所定の信号処理を施して、C P U 1 に出力する。また、ベースバンド処理部 2 2 は、C P U 1 からの音声信号に対して所定の信号処理を施して R F 部 2 1 に出力する。

【 0 2 5 7 】

C P U 2 4 は、携帯電話機 1 9 を統括制御する。C P U 2 4 は、ベースバンド処理部 2 2 からの音声信号に応じた音声をスピーカ 2 9 或いはイヤホンマイク 1 8 にて再生すべく、当該音声信号を D A コンバータ 2 7 に出力する。また、C P U 2 4 は、A D コンバータ 2 6 からの、マイク 2 8 或いはイヤホンマイク 1 8 からの音声信号をベースバンド処理部 2 2 に出力する。また、C P U 2 4 は、例えば携帯電話機 1 9 がパケット通信を行っている場合、受信したパケットデータに基づく画像を表示すべく表示部 2 3 に信号を出力する。また、C P U 2 4 は、入力部 2 5 にて入力された入力データを表示部 2 3 に表示させたり、パケット通信にて当該入力データを送信すべく所定の処理を施して、ベースバンド処理部 2 2 に出力する。

【 0 2 5 8 】

A D コンバータ 2 6 は、マイク 2 8 或いはイヤホンマイク 1 8 からの音声信号対しアナログ・デジタル変換処理したデジタル信号を C P U 2 4 に出力する。D A コンバータ 2 7 は、C P U 2 4 からの音声信号に対しデジタル・アナログ変換処理したアナログ信号をスピーカ 2 9 或いはエコー防止回路 4 1 に出力する。なお、本実施形態においては、イヤホンマイク 1 8 が携帯電話機 1 9 に接続されている場合、D A コンバータ 2 7 からのアナログ信号はエコー防止回路 4 1 に入力されるものとして以下説明する。

【 0 2 5 9 】

次に、エコー防止回路 4 1 の動作について説明する。なお、本適用例においては、第 1 の実施形態において説明したとおりの F I R フィルタ 4、1 1 のフィルタ係数の設定が既に施されているものとして以下説明する。

【 0 2 6 0 】

アンテナ 2 0 が受信した音声信号は、携帯電話機 1 9 の各構成による前述した処理が行われて D A コンバータ 2 7 からエコー防止回路 4 1 の A D コンバータ 3 に出力される。

A D コンバータ 3 に入力された音声信号は、当該 A D コンバータ 3 にてアナログ・デジタル信号処理が施されてデジタル信号となり、入力端子 3 0 を介して、F I R フィルタ 4、1 1 に入力される。この結果、A D コンバータ 3 からのデジタル信号は、F I R フィルタ 4、1 1 を構成するデジタル信号用メモリ 4 2、5 4 に入力されることとなる。

【 0 2 6 1 】

以下、先ず F I R フィルタ 4 に入力されるデジタル信号について説明する。デジタル信号用メモリ 5 4 に入力されたデジタル信号 (X_n と示す) は、レジスタ 0 ~ $N - 1$ に順次入力されることによって、1 サンプリング周期単位ずつ遅延される。そして、D S P 2 がスイッチ回路 6 0 0 をレジスタ 0 から順次切替えることによって、デジタル信号用メモリ 5 4 からのデジタル信号 $X_n \sim X_{n - (N - 1)}$ が、乗算回路 5 1 に順次入力される。また、D S P 2 がスイッチ回路 6 0 P をアドレス 0 から順次切替えることによって、フィルタ係数格納メモリ 5 6 に記憶された位相反転されたインパルス応答 $imp(0) \sim imp(N - 1) (= -IR 2'(Z))$ が、乗算回路 5 1 に順次入力される。乗算回路 5 1 は、順次入力されるデジタル信号 $X_n \sim X_{n - (N - 1)}$ と位相反転されたインパルス応答 $imp(0) \sim imp(N - 1)$ とを順次乗算した乗算結果を A D D 5 2 に出力する。

【 0 2 6 2 】

A D D 5 2 に入力された乗算回路 5 1 の乗算結果は、A C C 5 3 に記憶されている前回の A D D 5 2 の加算結果と加算されて、当該 A C C 5 3 に出力される。この結果、フィル

10

20

30

40

50

タ係数格納メモリ56に記憶されている位相反転されたインパルス応答 $imp(0) \sim imp(N-1)$ とデジタル信号 $X_n \sim X_{n-(N-1)}$ との畳み込み演算が、FIRフィルタ4にて施されたこととなる。つまり、後述のFIRフィルタ11からの出力信号と差動増幅回路9にて互いに打ち消しあう信号がFIRフィルタ4から出力されることとなる。

【0263】

FIRフィルタ4から出力される出力信号は、出力端子31を介してDAコンバータ5に入力される。そして、出力信号は、DAコンバータ5にてデジタル・アナログ変換処理が施されてアナログ信号となり増幅回路6に入力される。増幅回路6に入力されたアナログ信号は、所定の増幅率にて増幅されて出力される。増幅回路6からのアナログ信号は、入出力端子7を介してイヤホンマイク18に出力される。この結果、イヤホンマイク18のスピーカ機能により、振動板が振動して音声が発生する。しかしながら、増幅回路6からのアナログ信号が差動増幅回路9の+入力端子に入力される場合がある。この差動増幅回路9の+端子に入力されるアナログ信号を打ち消すべく以下の処理がなされる。

10

【0264】

FIRフィルタ11のデジタル信号用メモリ42に入力されるデジタル信号は、前述したようにFIRフィルタ4と同様に、レジスタ0~N-1に入力されることによって、1サンプリング周期単位ずつ遅延される。そして、DSP2がスイッチ回路60Mをレジスタ0から順次切替えることによって、デジタル信号用メモリ42からのデジタル信号 $X_n \sim X_{n-(N-1)}$ が、乗算回路51に順次入力される。また、DSP2がスイッチ回路60Nをアドレス0から順次切替えることによって、フィルタ係数格納メモリ47に記憶されたインパルス応答 $imp(0) \sim imp(N-1)$ ($=IR1'(Z)$)が、乗算回路51に順次入力される。乗算回路51は、順次入力されるデジタル信号 $X_n \sim X_{n-(N-1)}$ とインパルス応答 $imp(0) \sim imp(N-1)$ とを順次乗算した乗算結果をADD52に出力する。

20

【0265】

ADD52に入力された乗算回路51の乗算結果は、ACC53に記憶されている前回のADD52の加算結果と加算されて、当該ACC53に出力される。この結果、フィルタ係数格納メモリ47に記憶されているインパルス応答 $imp(0) \sim imp(N-1)$ とデジタル信号 $X_n \sim X_{n-(N-1)}$ との畳み込み演算が、FIRフィルタ11にて施されたこととなる。つまり、前述のFIRフィルタ4からの出力信号と差動増幅回路9にて互いに打ち消しあう信号がFIRフィルタ11から出力されることとなる。

30

【0266】

FIRフィルタ11から出力される出力信号は、出力端子32を介してDAコンバータ12に入力される。そして、出力信号は、DAコンバータ12にてデジタル・アナログ変換処理が行われてアナログ信号となり増幅回路13に入力される。増幅回路13に入力されたアナログ信号は、所定の増幅率にて増幅されて、差動増幅回路9の-入力端子に入力される。

【0267】

よって、差動増幅回路9において、+入力端子に入力された増幅回路6からのアナログ信号を、-入力端子に入力されることによって反転される増幅回路13からのアナログ信号で打ち消すことが可能となる。この結果、入力端子30にデジタル信号が入力されたときの、エコーを防止することが可能となる。また、イヤホンマイク18のマイク機能による音声信号と、増幅回路6からのアナログ信号とが重畳して差動増幅回路9の+入力端子に入力された場合であっても、-入力端子にFIRフィルタ11からの信号が入力されることによって、重畳された信号からエコーの原因となる信号分(つまり、増幅回路6からのアナログ信号)のみを差し引くことが可能となる。

40

【0268】

なお、前述した適用例においては、第1の実施形態におけるエコー防止回路、当該エコー防止回路に含まれるデジタル信号処理回路を適用した場合について説明したが、これに限るものではない。第2の実施形態~第11の実施形態において説明したエコー防止回路

50

、当該エコー防止回路に含まれているデジタル信号処理回路においても、エコーを同様に防止することが可能となる。

【0269】

また、前述した適用例においては、エコー防止回路、当該エコー防止回路に含まれるデジタル信号処理回路を携帯電話機19に適用した場合について説明したがこれに限るものではない。前述したエコーが発生する可能性のあるものに対して、本発明に係るエコー防止回路、デジタル信号処理回路は適用可能である。例えば、IT (Information Technology) 通信機器 (例えばPC (Personal Computer) など)、通話機器 (電話機、トランシーバー、車載機など) に適用することが可能である。

【0270】

上述した実施形態によれば、入力端子30 (65) にデジタル信号 (音声信号) が入力されたとき、差動増幅回路9 (または加算回路63) において、FIRフィルタ4の出力信号と入出力端子7に入力された信号とを合わせた信号を、FIRフィルタ11の出力信号で打ち消すことが可能となる。つまり、イヤホンマイク使用者が発声していない場合は、差動増幅回路9 (または加算回路63) の出力信号がゼロとなるようにFIRフィルタ4、11のフィルタ係数を設定することによって打ち消しあうことが可能となる。そして、DSP2 (64、83) の出力端子34 (72) から出力される出力信号を、FIRフィルタ4の出力信号を除去または減衰した信号とすることが可能となる。この結果、入力端子30 (65) にデジタル信号 (音声信号) が入力されたときの、エコーを防止することが可能となる。

【0271】

FIRフィルタ4、11のフィルタ係数の一例として、FIRフィルタ11の出力から差動増幅回路9 (または加算回路63) の出力までのインパルス応答を位相反転したものをFIRフィルタ4のフィルタ係数に設定し、FIRフィルタ4の出力から差動増幅回路9 (または加算回路63) の出力までのインパルス応答をFIRフィルタ11のフィルタ係数に設定することが可能となる。また、FIRフィルタ11の出力から差動増幅回路9 (または加算回路63) の出力までのインパルス応答をFIRフィルタ4のフィルタ係数に設定し、FIRフィルタ4の出力から差動増幅回路9 (または加算回路63) の出力までのインパルス応答を位相反転したものをFIRフィルタ11のフィルタ係数に設定することとしてもよい。この結果、入力端子30 (65) にデジタル信号 (音声信号) が入力されたときの、エコーを確実に防止することが可能となる。

【0272】

さらに、DAコンバータ12 (73) の入力からADコンバータ14 (70) の出力までのインパルス応答を位相反転したものをFIRフィルタ4のフィルタ係数に設定し、DAコンバータ5 (67) の入力からADコンバータ14 (70) の出力までのインパルス応答をFIRフィルタ11のフィルタ係数に設定することが可能となる。また、DAコンバータ12 (73) の入力からADコンバータ14 (70) の出力までのインパルス応答をFIRフィルタ4のフィルタ係数に設定し、DAコンバータ5 (67) の入力からADコンバータ14 (70) の出力までのインパルス応答を位相反転したものをFIRフィルタ11のフィルタ係数に設定することとしてもよい。この結果、入力端子30 (65) にデジタル信号 (音声信号) が入力されたときの、エコーを確実に防止することが可能となる。

【0273】

さらに、DAコンバータ12 (73) の入力から差動増幅回路9 (または加算回路63) の入力までのインパルス応答と、差動増幅回路9 (または加算回路63) の入力からADコンバータ14 (70) の出力までのインパルス応答の積 (畳み込み) を位相反転したものをFIRフィルタ4のフィルタ係数に設定し、DAコンバータ5 (67) の入力から差動増幅回路9 (加算回路63) の入力までのインパルス応答と、差動増幅回路9 (または加算回路63) の入力からADコンバータ14 (70) の出力までのインパルス応答の積 (畳み込み) をFIRフィルタ11のフィルタ係数に設定することが可能となる。また

10

20

30

40

50

、D Aコンバータ12(73)の入力から差動増幅回路9(または加算回路63)の入力までのインパルス応答と、差動増幅回路9(または加算回路63)の入力からA Dコンバータ14(70)の出力までのインパルス応答の積(畳み込み)をF I Rフィルタ4のフィルタ係数に設定し、D Aコンバータ5(67)の入力から差動増幅回路9(加算回路63)の入力までのインパルス応答と、差動増幅回路9(または加算回路63)の入力からA Dコンバータ14(70)の出力までのインパルス応答の積(畳み込み)を位相反転したものをF I Rフィルタ11のフィルタ係数に設定することとしてもよい。この結果、差動増幅回路9(または加算回路63)とA Dコンバータ14(70)の間に設けられた増幅回路10の特性を含んだフィルタ係数をF I Rフィルタ4、11に設定することが可能となる。よって、入力端子30(65)にデジタル信号(音声信号)が入力されたときの、エコーをより確実に防止することが可能となる。

10

【0274】

そして、イヤホンマイク18が接続された状態で取得されたインパルス応答に基づいてF I Rフィルタ11のフィルタ係数を設定することにより、イヤホンマイク18の伝達特性に応じた効果的なエコー防止が可能となる。

【0275】

さらに、接続されたイヤホンマイク18を、耳孔に挿入したり、耳介を覆ったりすることにより耳に装着した状態で取得されたインパルス応答に基づいてF I Rフィルタ11のフィルタ係数を設定することにより、イヤホンマイク18の伝達特性及び使用者の耳の中の伝達特性に応じた効果的なエコー防止が可能となる。

20

【0276】

さらに、エコー防止回路を構成するインパルス応答格納メモリ43、55、レジスタ50、57、スイッチ回路60G~60I、60I~60L、乗算回路58によってF I Rフィルタ4、11のフィルタ係数を確実に設定することが可能となる。

【0277】

さらに、入力端子30(65)にデジタル信号(音声信号)が入力されたときの、増幅回路6からのアナログ信号とF I Rフィルタ11からの出力信号とを差動増幅回路9にて確実に減算することが可能となる。

【0278】

また、入力端子30(65)にデジタル信号(音声信号)が入力されたときの、増幅回路6からのアナログ信号とF I Rフィルタ11からの出力信号とを、反転増幅回路61、利得位相調整回路75を介して加算回路63にて確実に減算することが可能となる。

30

【0279】

なお、前述したエコー防止回路およびデジタル信号処理回路(D S P 2、64、83)の動作を制御するためのプログラムをメモリに記憶させて提供することも可能である。

【0280】

また、上述した実施形態によれば、差動増幅回路9、加算回路63を用いて経路A(C、E、G)を伝達する信号と、経路B(D、F、H)を伝達する信号とを打ち消しあっているがこれに限るものではない。経路A(C、E、G)のインパルス応答 $I R 1'(Z)$ ($I R 3'(Z)$ 、 $I R 5'(Z)$ 、 $I R 7'(Z)$)と、経路B(D、F、H)のインパルス応答 $I R 2'(Z)$ ($I R 4'(Z)$ 、 $I R 6'(Z)$ 、 $I R 8'(Z)$)とが打ち消しあうアナログ回路であればよい。

40

【0281】

以上、本発明に係るエコー防止回路、デジタル信号処理回路、エコー防止回路のフィルタ係数設定方法、デジタル信号処理回路のフィルタ係数設定方法、エコー防止回路のフィルタ係数を設定するためのプログラム、デジタル信号処理回路のフィルタ係数を設定するためのプログラムについて説明したが、上記の説明は、本発明の理解を容易とするためのものであり、本発明を限定するものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得る。

【図面の簡単な説明】

50

【 0 2 8 2 】

- 【図 1】本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の第 1 の実施形態を示すブロック図である。
- 【図 2】図 1 に示すエコー防止回路の経路 A、B を示す図である。
- 【図 3】図 2 に示す経路 A にイヤホンマイク 1 8 が含まれる場合を示す図である。
- 【図 4】図 2 又は図 3 に示す経路 A、B のインパルス応答を示す図である。
- 【図 5】DSP 2 の構成の一部を示す図である。
- 【図 6】DSP 2 の構成の他の一部を示す図である。
- 【図 7】FIR フィルタ 4、11 のその他の一例を示す図である。
- 【図 8】本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の処理動作を示すフローチャートである。 10
- 【図 9】本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の第 2 の実施形態を示すブロック図である。
- 【図 10】図 9 に示すエコー防止回路の経路 C、D を示す図である。
- 【図 11】図 10 に示す経路 C にイヤホンマイク 1 8 が含まれる場合を示す図である。
- 【図 12】本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の第 3 の実施形態を示すブロック図である。
- 【図 13】図 12 に示すエコー防止回路の経路 E、F を示す図である。
- 【図 14】図 13 に示す経路 E にイヤホンマイク 1 8 が含まれる場合を示す図である。
- 【図 15】本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の第 4 の実施形態を示すブロック図である。 20
- 【図 16】図 15 に示すエコー防止回路の経路 G、H を示す図である。
- 【図 17】図 16 に示す経路 G にイヤホンマイク 1 8 が含まれる場合を示す図である。
- 【図 18】本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の第 5 の実施形態を示すブロック図である。
- 【図 19】図 18 に示す ADF 76 の詳細図である。
- 【図 20】本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の処理動作を示すフローチャートである。
- 【図 21】第 6 の実施形態を示すブロック図である。
- 【図 22】図 21 に示す第 6 の実施形態の経路 I、J を示す図である。 30
- 【図 23】図 22 に示す経路 I にイヤホンマイク 1 8 が含まれる場合を示す図である。
- 【図 24】図 22 又は図 23 に示す経路 I、J のインパルス応答を示す図である。
- 【図 25】DSP 202 の構成の一部を示す図である。
- 【図 26】デジタルフィルタ 211 の一例として示す ARMA フィルタ 300 の構成を示すブロック図である。
- 【図 27】第 6 の実施形態における処理動作を示すフローチャートである。
- 【図 28】FIR フィルタ 303 を用いた場合の、エコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の一例を示すブロック図である。
- 【図 29】第 7 の実施形態を示すブロック図である。
- 【図 30】図 24 に示す ADF 284 の詳細図である。 40
- 【図 31】DSP 202 の構成の一部を示す図である。
- 【図 32】FIR フィルタ 303 のその他の一例を示す図である。
- 【図 33】第 7 の実施形態における処理動作を示すフローチャートである。
- 【図 34】第 8 の実施形態を示すブロック図である。
- 【図 35】図 34 に示す第 8 の実施形態の経路 K、L を示す図である。
- 【図 36】図 35 に示す経路 K にイヤホンマイク 1 8 が含まれる場合を示す図である。
- 【図 37】第 9 の実施形態を示すブロック図である。
- 【図 38】図 37 に示す第 9 の実施形態の経路 M、N を示す図である。
- 【図 39】図 38 に示す経路 M にイヤホンマイク 1 8 が含まれる場合を示す図である。
- 【図 40】第 10 の実施形態を示すブロック図である。 50

【図 4 1】図 4 0 に示す第 1 0 の実施形態の経路 O、P を示す図である。

【図 4 2】図 4 1 に示す経路 O にイヤホンマイク 1 8 が含まれる場合を示す図である。

【図 4 3】エコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の第 1 1 の実施形態を示すブロック図である。

【図 4 4】図 4 3 に示す A D F 2 7 6 の詳細図である。

【図 4 5】エコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路の処理動作を示すフローチャートである。

【図 4 6】本発明に係るエコー防止回路、当該エコー防止回路に含まれているデジタル信号処理回路を適用する携帯電話機 1 9 の模式図である。

【図 4 7】図 4 6 に示す携帯電話機 1 9 の構成の一例を示すブロック図である。

10

【図 4 8】従来のエコー防止回路を示す図である。

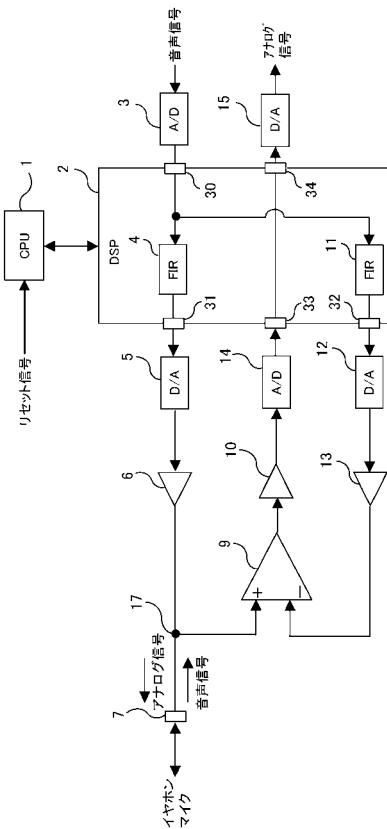
【符号の説明】

【 0 2 8 3 】

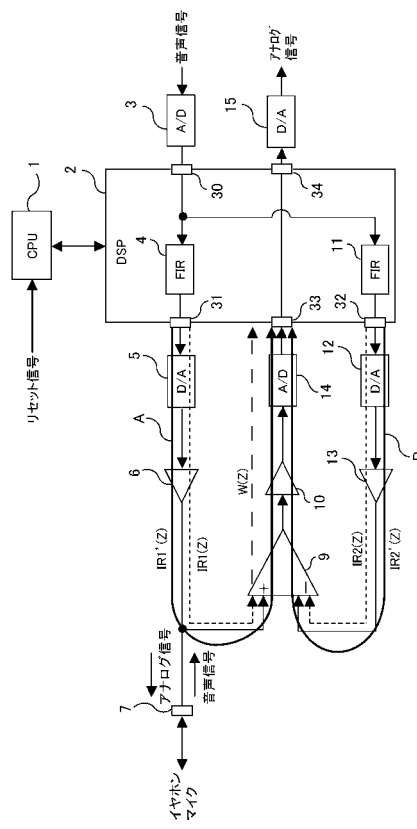
1、24、201	CPU	
2、64、83、202、264、283、295	DSP	
3、14、26、66、70	ADコンバータ	
203、214、266、270	ADコンバータ	
4、11、286、287、303	FIRフィルタ	
5、12、15、27、67、71、73	DAコンバータ	
205、212、215、267、271、273	DAコンバータ	20
6、10、13、101、105、206、210、213	増幅回路	
7、207	入出力端子	
9、209	差動増幅回路	
18	イヤホンマイク	
19	携帯電話機	
20	アンテナ	
21	RF部	
22	ベースバンド処理部	
23	表示部	
25	入力部	30
28	マイク	
29	スピーカ	
30、33、65、69	入力端子	
230、233、265、269、296、297	入力端子	
31、32、34、68、72、74	出力端子	
231、232、234、268、272、274、298	出力端子	
35、235、335	遅延回路	
36、51、58、236、251、258、301、336	乗算回路	
37、63、237、263、302、337	加算回路	
41	エコー防止回路	40
42、54、242	デジタル信号用メモリ	
43、55、243、255	インパルス応答格納メモリ	
44、45、244、245	インパルス用メモリ	
46、48、49、50、57	レジスタ	
246、248、249、250、257、294	レジスタ	
47、56、247	フィルタ係数格納メモリ	
52、252	ADD	
53、253	ACC	
60、260	スイッチ回路	
61、107、261	反転増幅回路	50

- 75、108、275 利得位相調整回路
- 76、276、284 ADF
- 77、277、288 減算回路
- 78、278、289 参照信号入出力部
- 79、279、290 フィルタ係数部
- 80、280、291 乗算部
- 81、281、292 フィルタ係数更新部
- 82、282、293 加算部
- 104 マイク
- 106 スピーカ
- 211 デジタルフィルタ
- 287 白色ノイズ生成回路
- 300 ARMAフィルタ

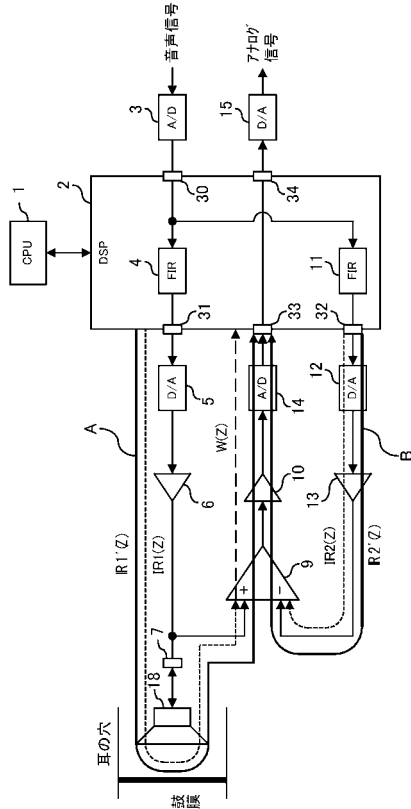
【図1】



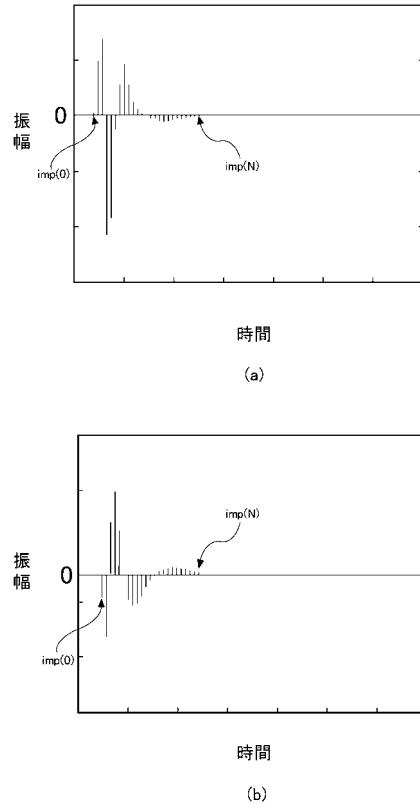
【図2】



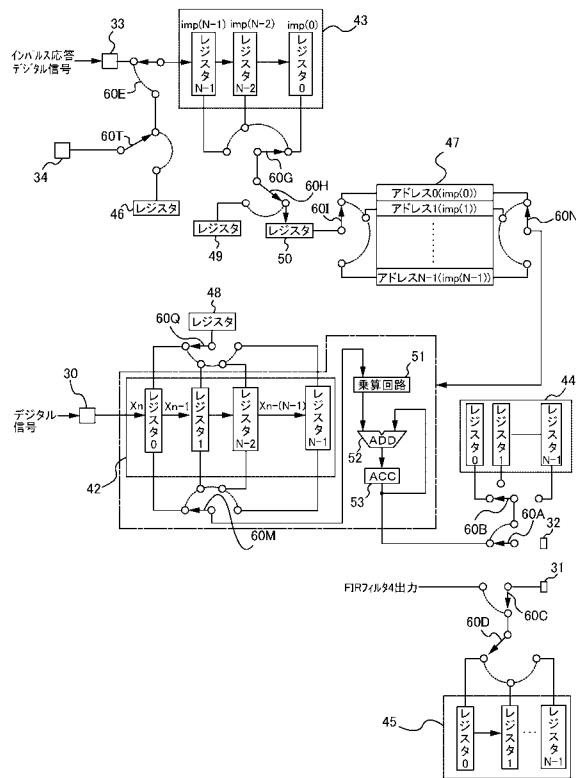
【図3】



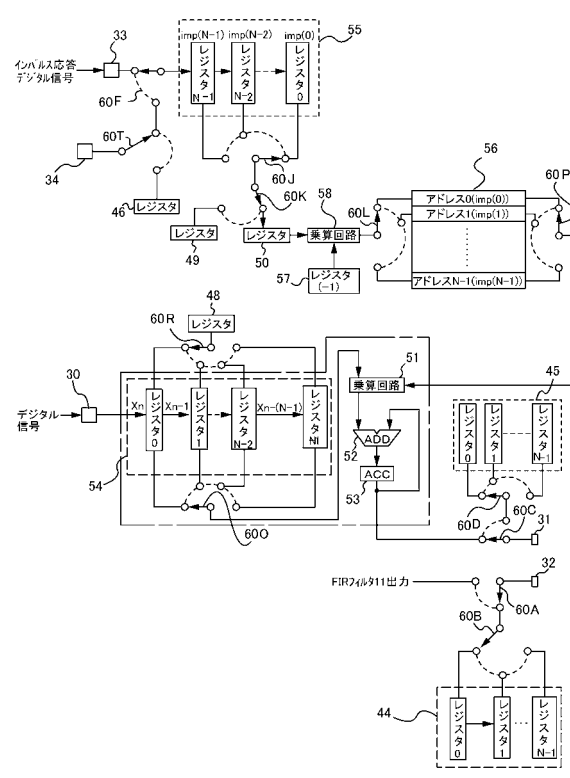
【図4】



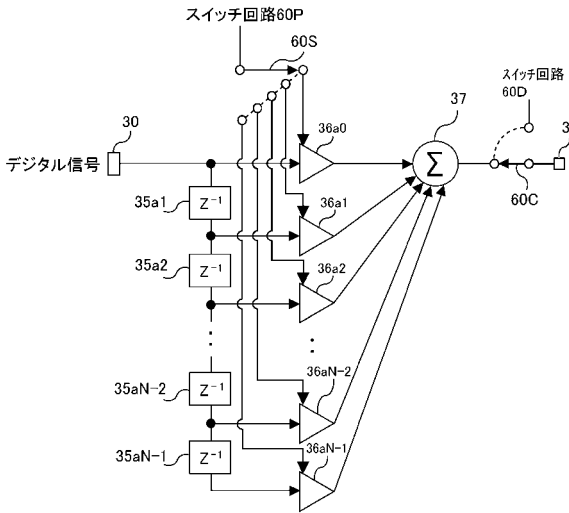
【図5】



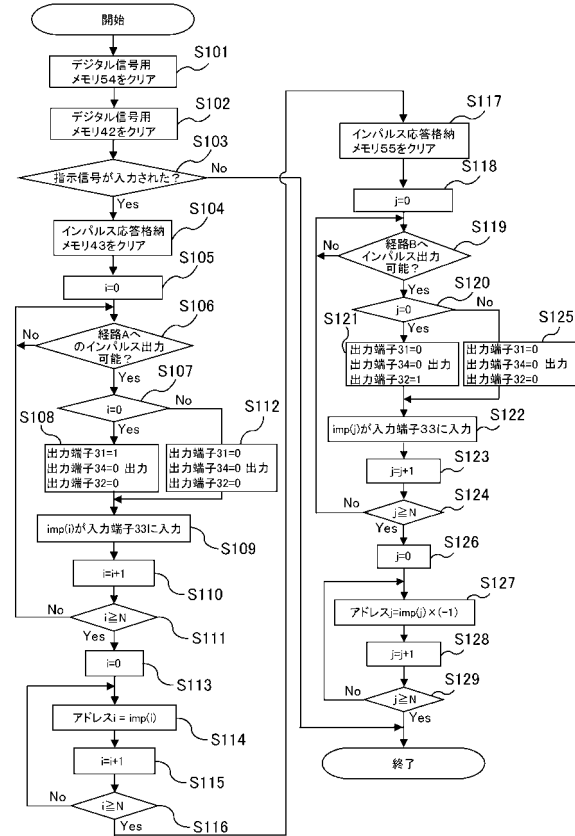
【図6】



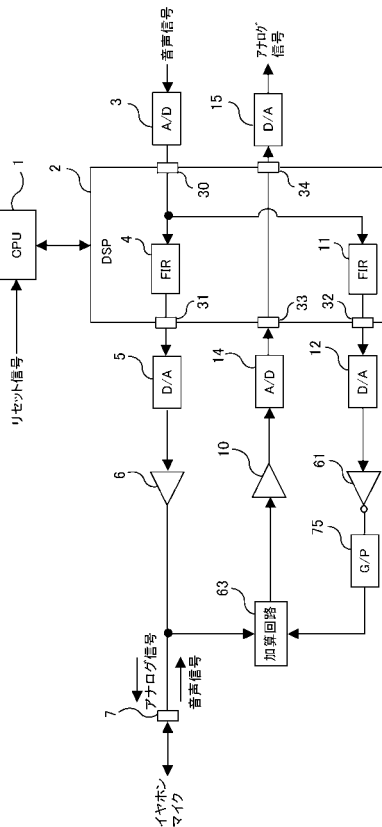
【図7】



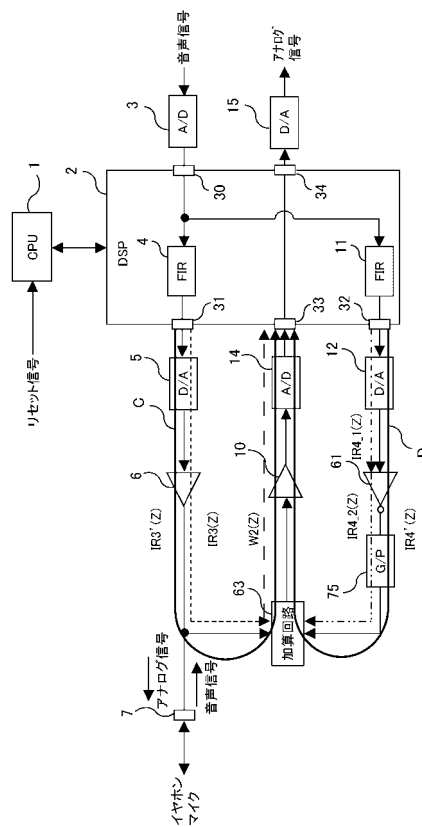
【図8】



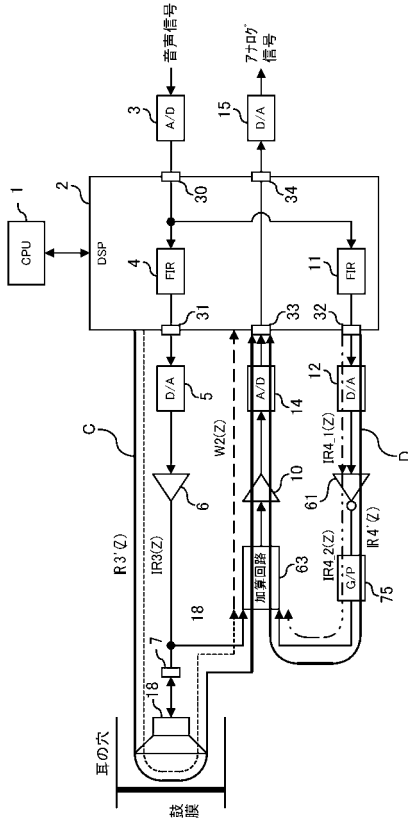
【図9】



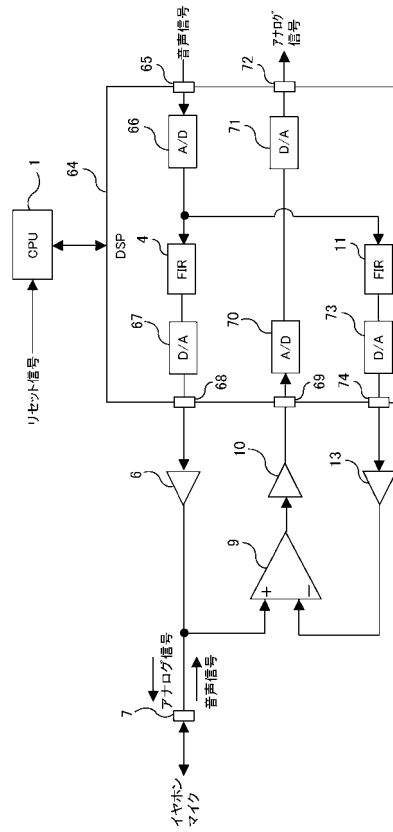
【図10】



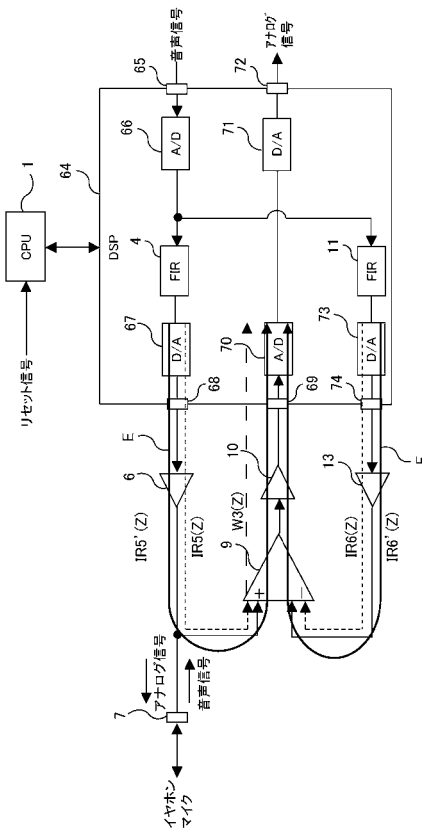
【図11】



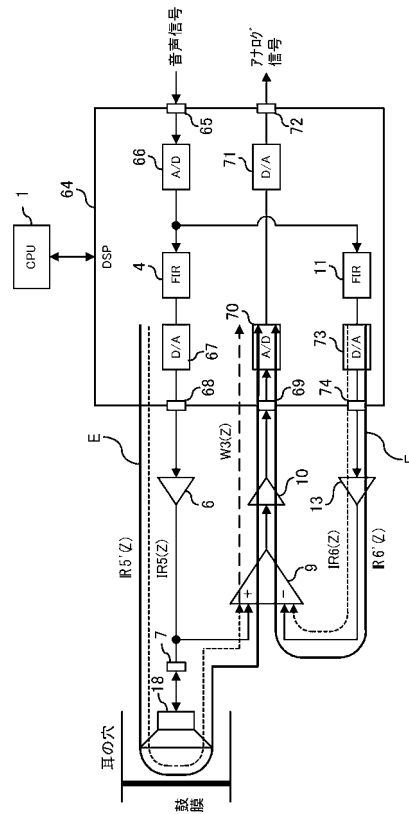
【図12】



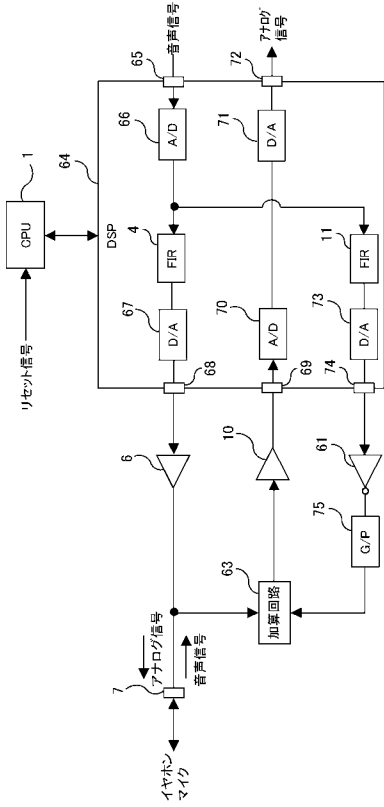
【図13】



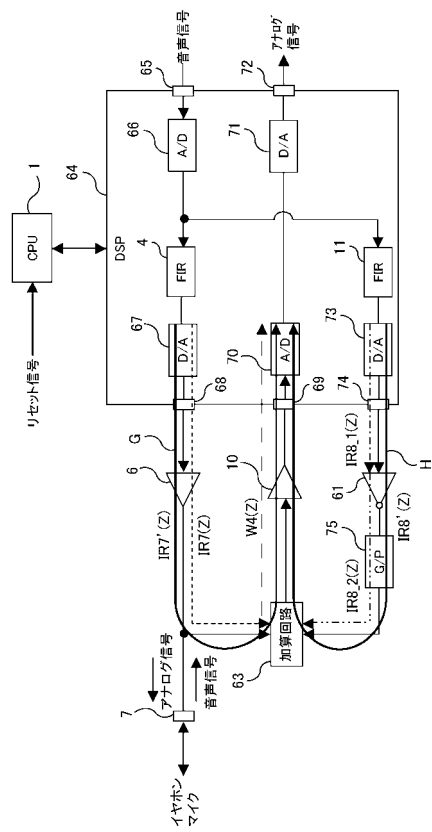
【図14】



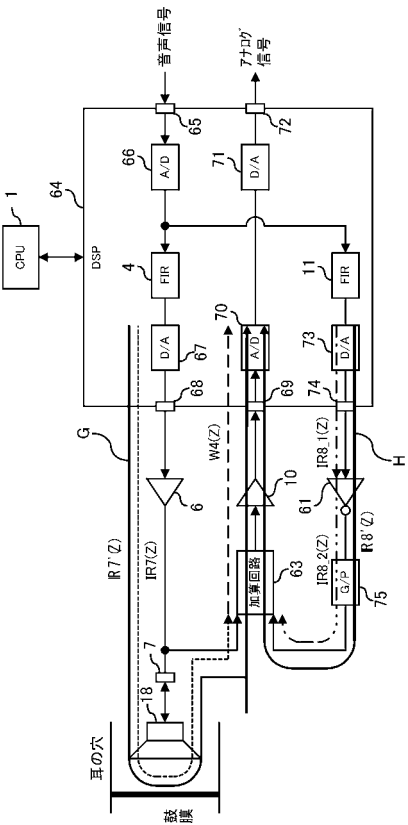
【図15】



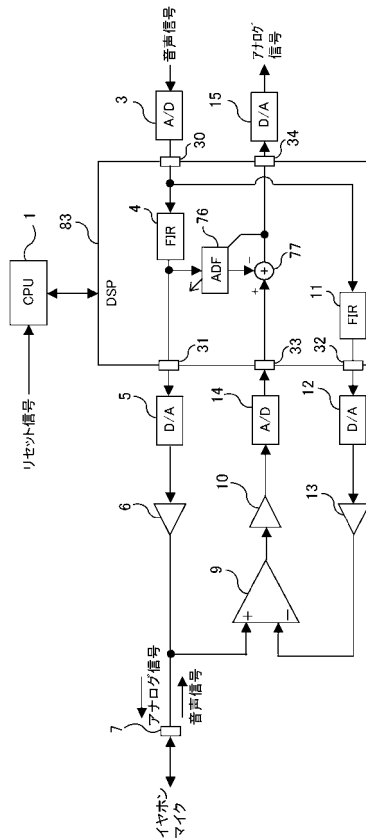
【図16】



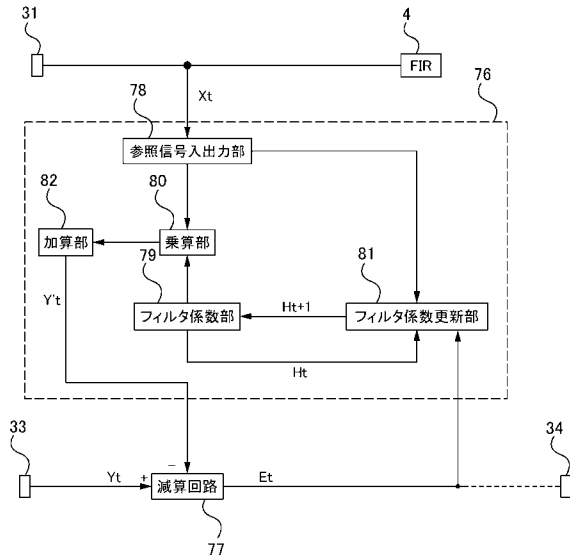
【図17】



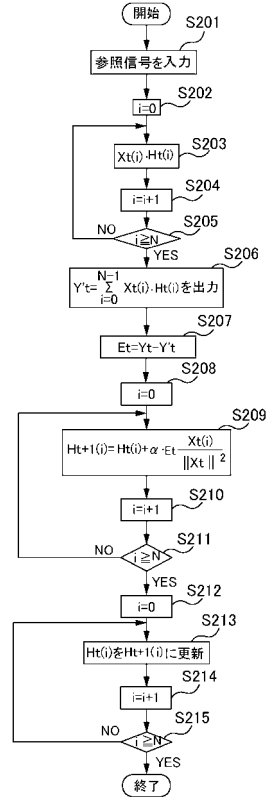
【図18】



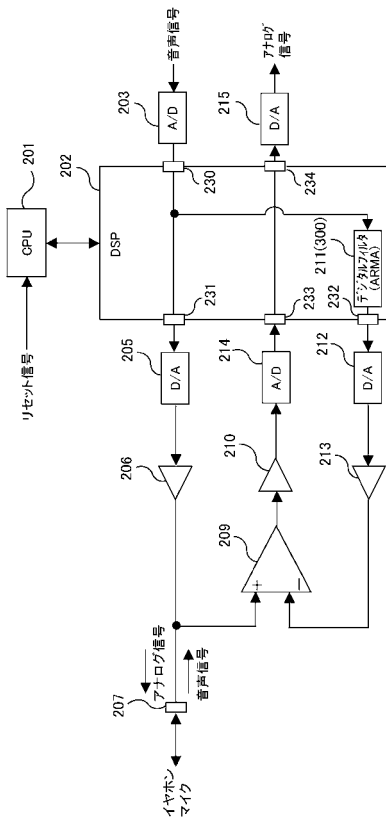
【図19】



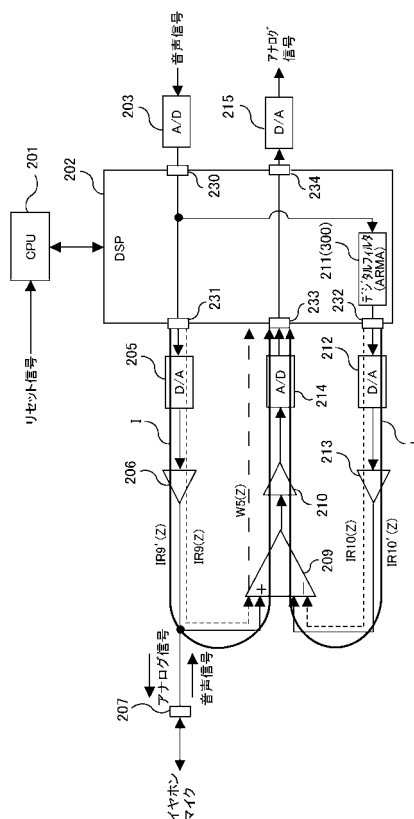
【図20】



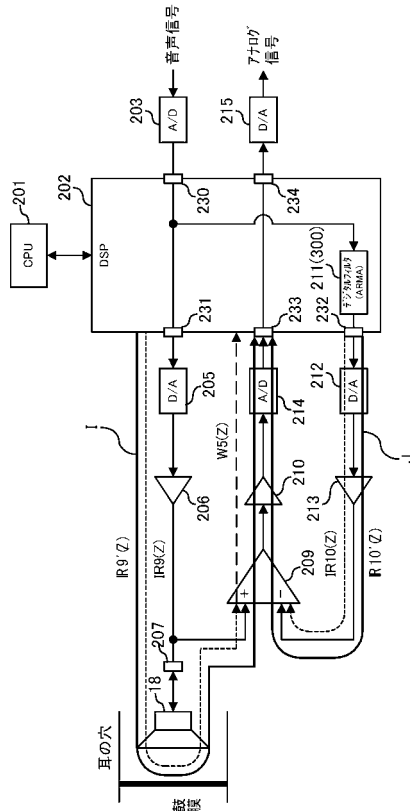
【図21】



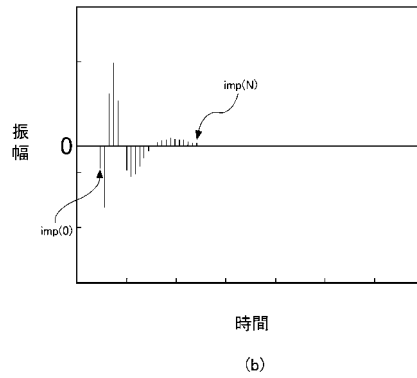
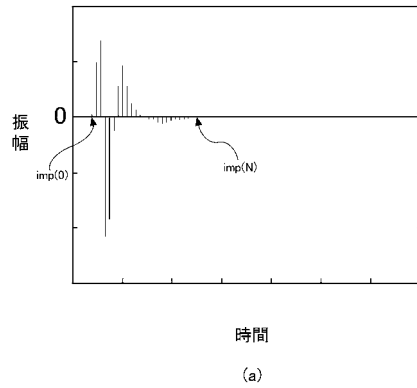
【図22】



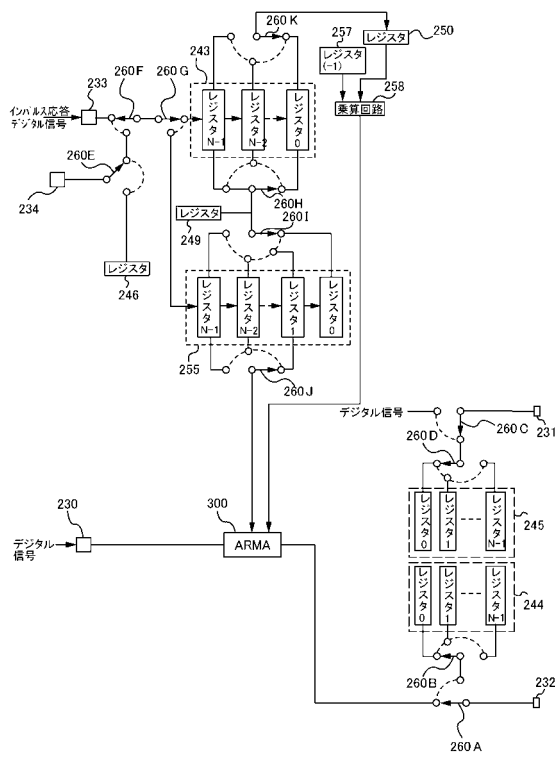
【図23】



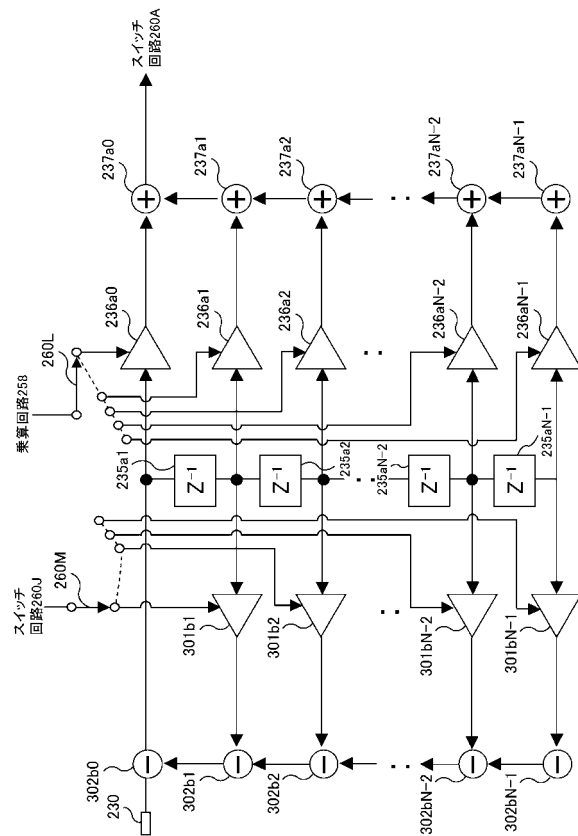
【図24】



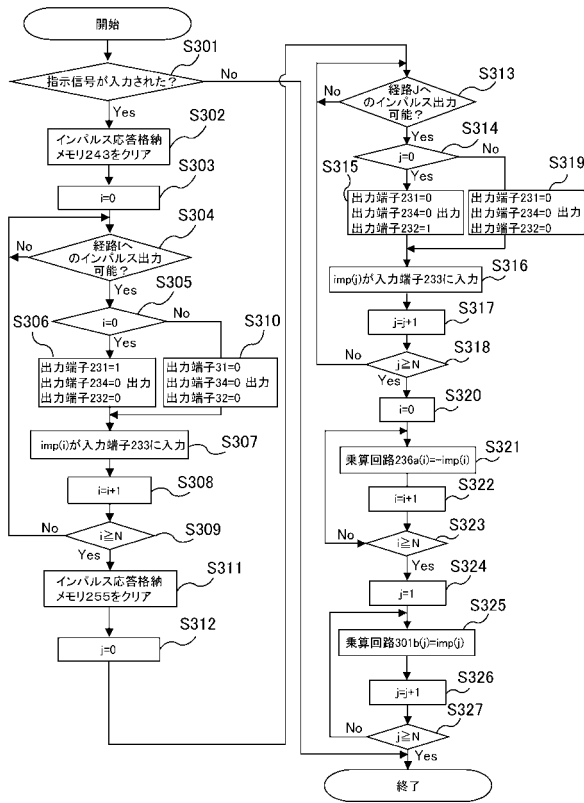
【図25】



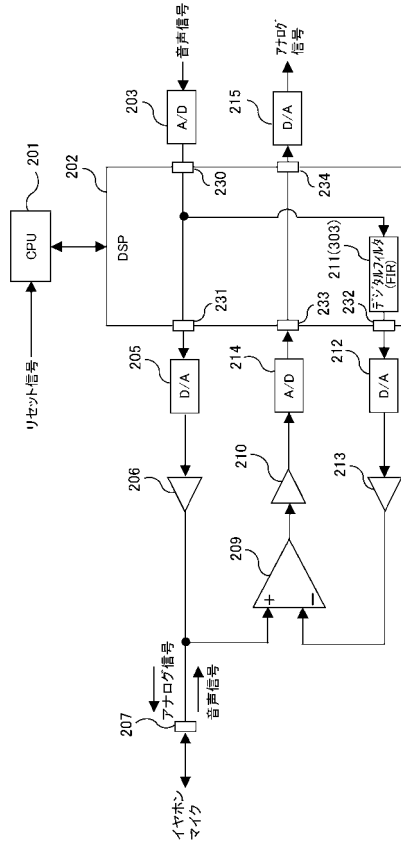
【図26】



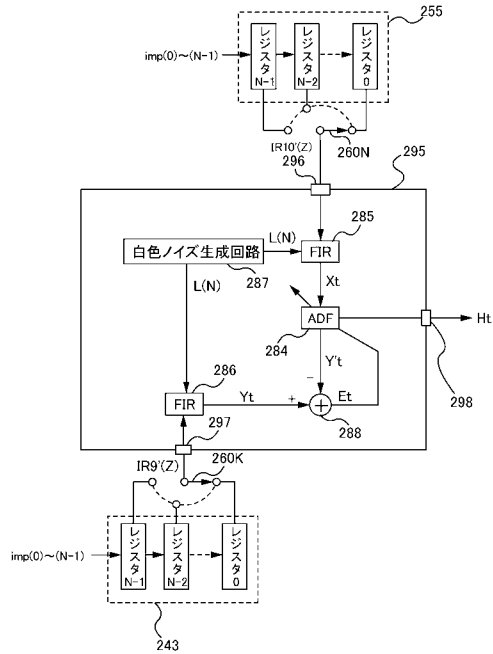
【図 27】



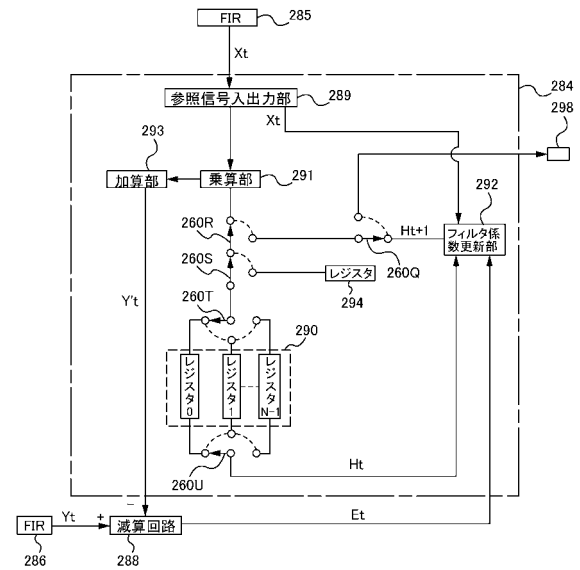
【図 28】



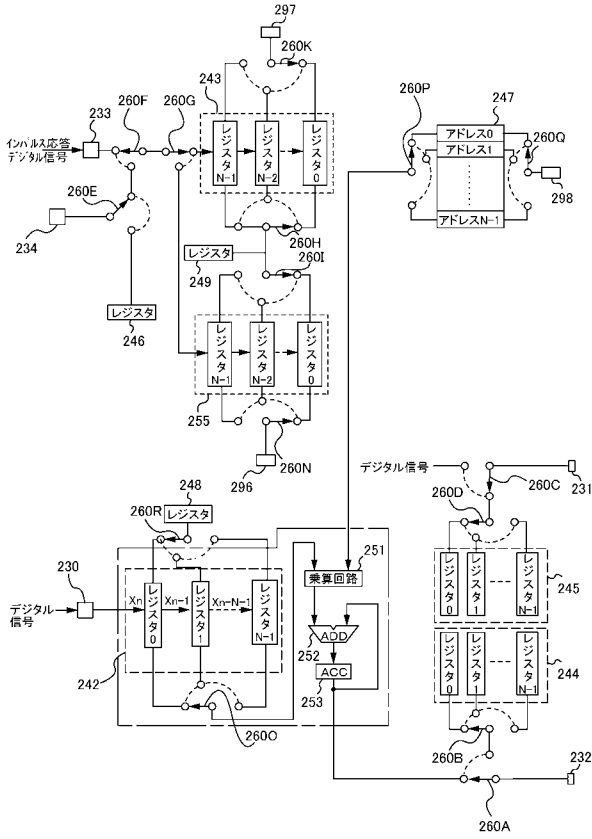
【図 29】



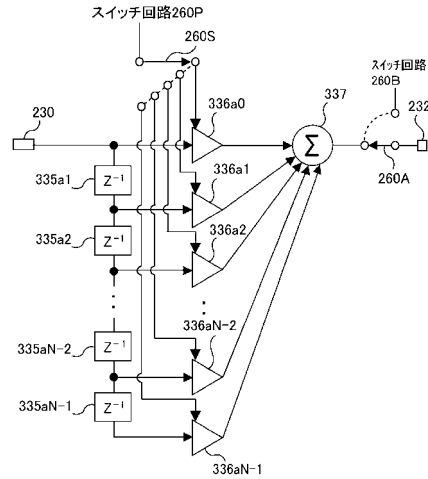
【図 30】



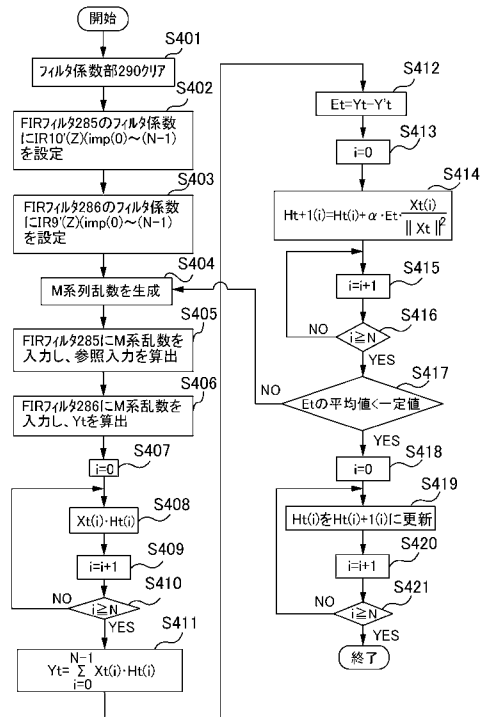
【図31】



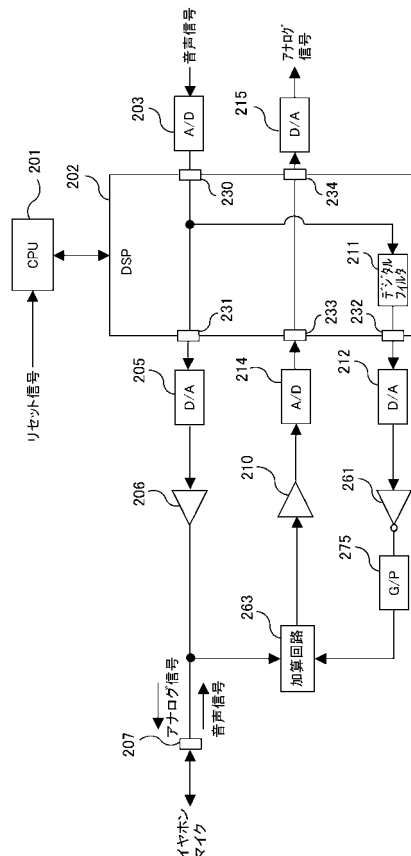
【図32】



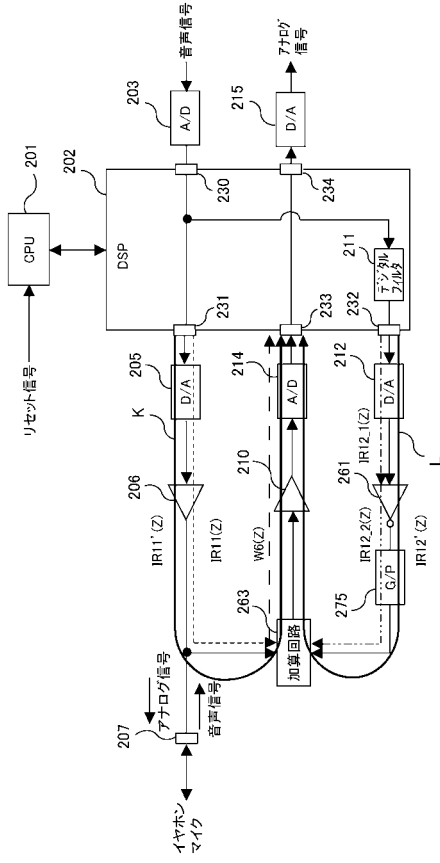
【図33】



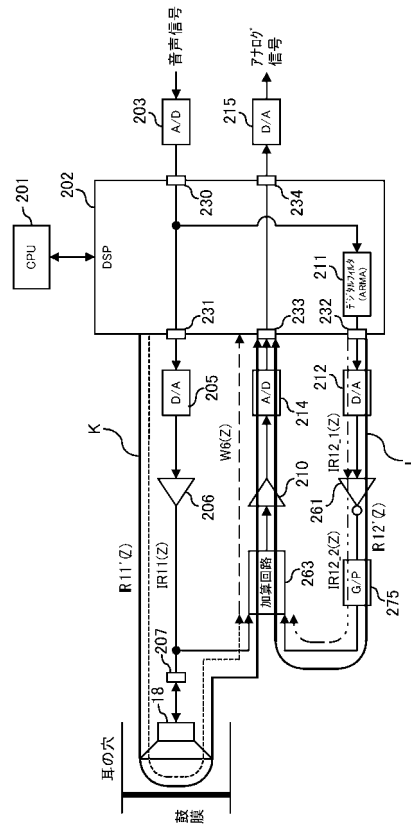
【図34】



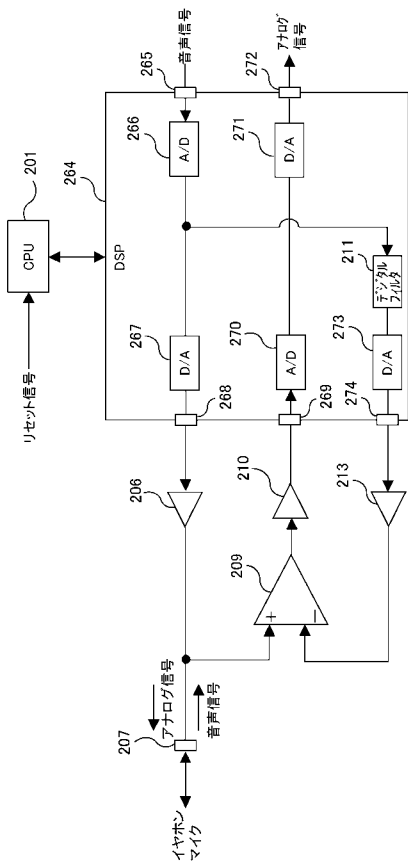
【図 35】



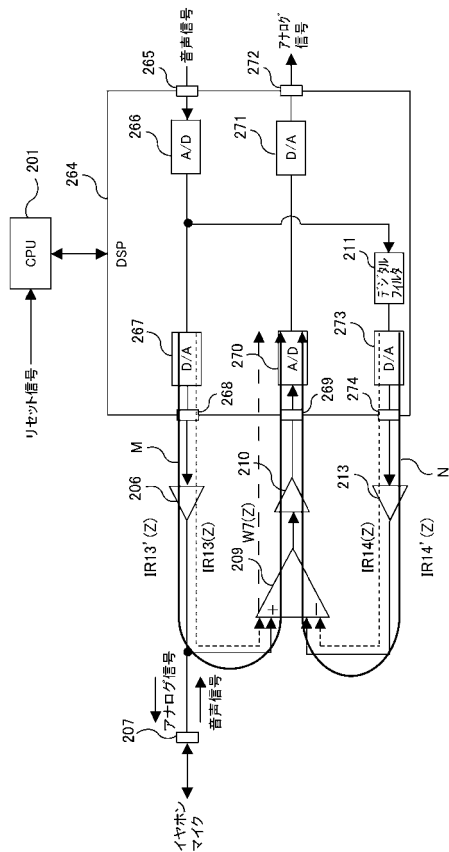
【図 36】



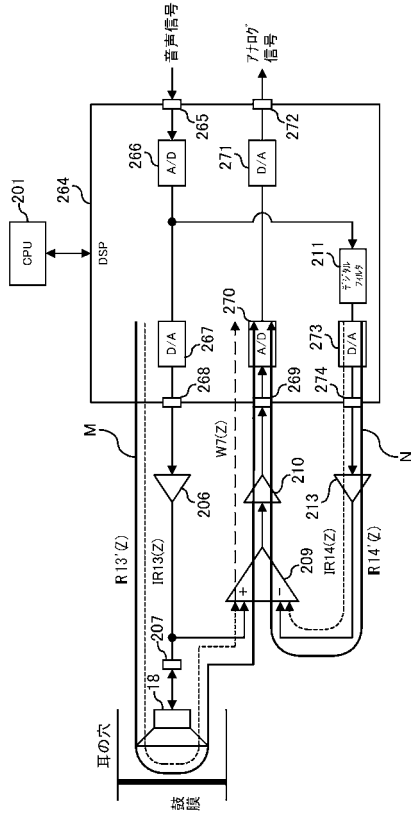
【図 37】



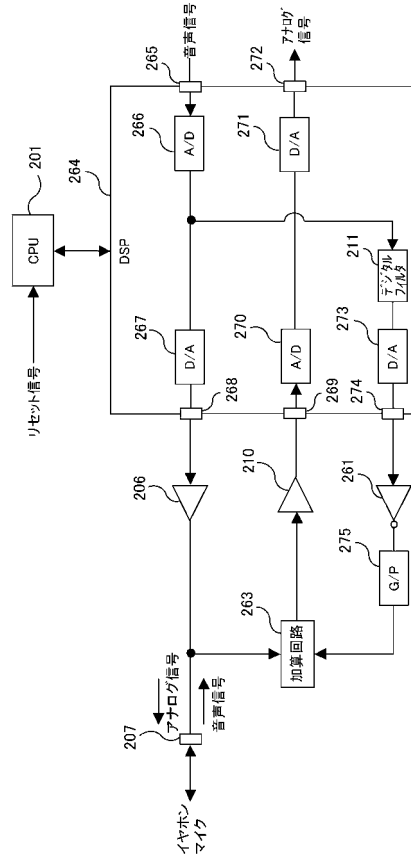
【図 38】



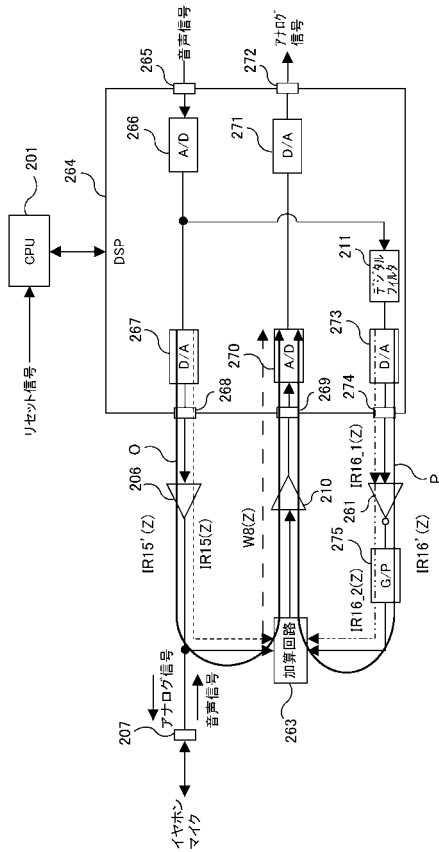
【図39】



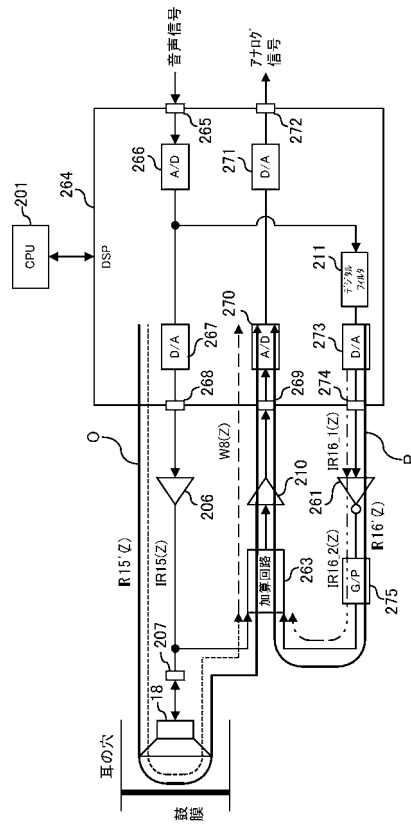
【図40】



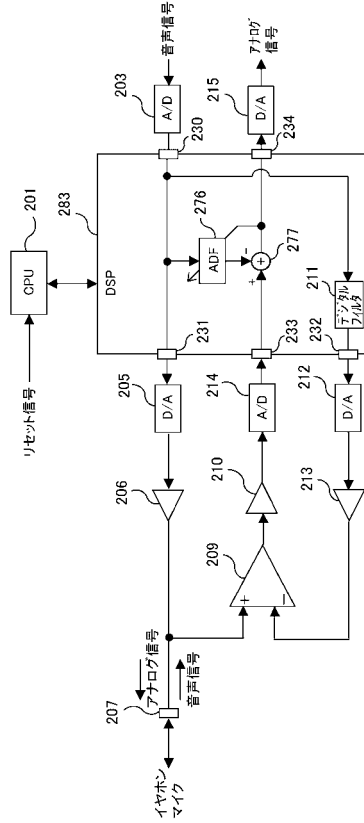
【図41】



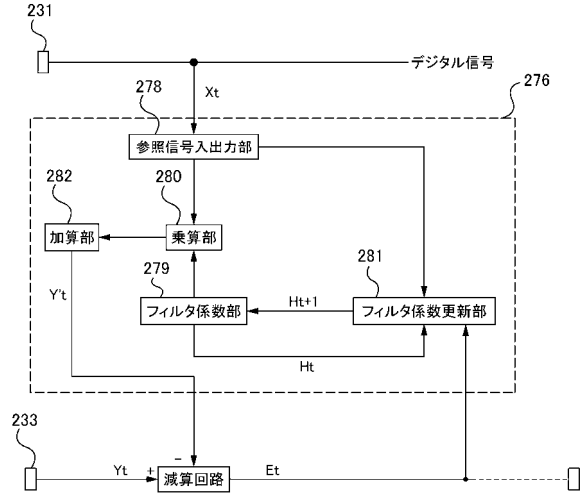
【図42】



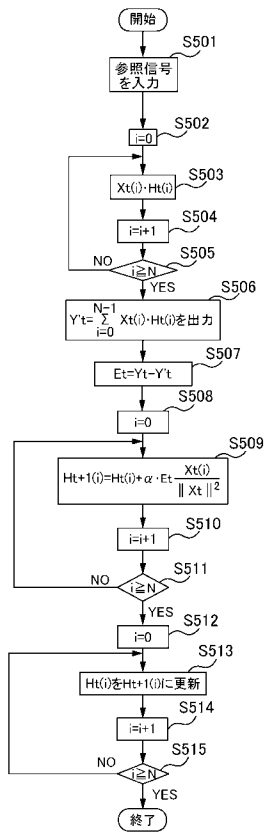
【図43】



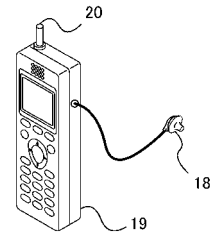
【図44】



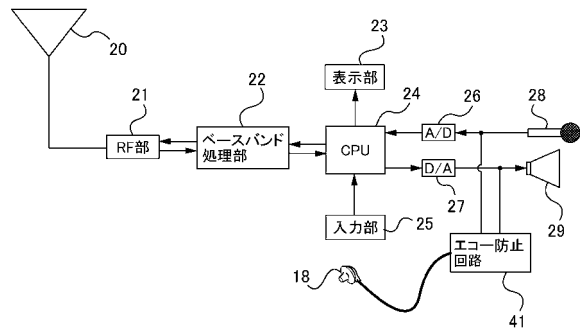
【図45】



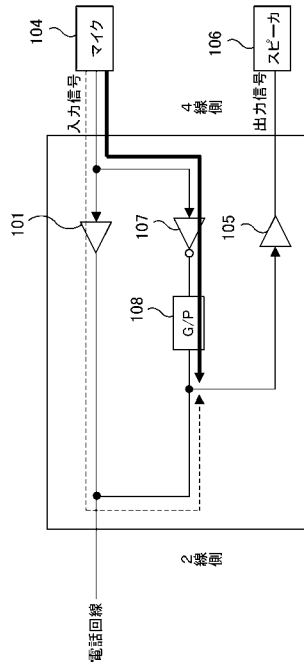
【図46】



【図47】



【図48】



フロントページの続き

(51) Int.Cl. F I
H 0 3 H 17/06 6 3 5 A
H 0 4 R 3/02
H 0 4 M 1/60 C

審査官 木下 直哉

(56) 参考文献 特開昭 5 8 - 0 6 0 8 3 5 (J P , A)
特開 2 0 0 1 - 0 6 0 8 9 5 (J P , A)
特開昭 6 3 - 2 7 4 2 2 6 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)
H 0 4 B 3 / 2 0 - 3 / 2 3
H 0 3 H 1 7 / 0 2
H 0 3 H 1 7 / 0 6
H 0 4 M 1 / 6 0
H 0 4 R 3 / 0 2

(54) 【発明の名称】 エコー防止回路、デジタル信号処理回路、エコー防止回路のフィルタ係数設定方法、デジタル信号処理回路のフィルタ係数設定方法、エコー防止回路のフィルタ係数を設定するためのプログラム、デジタル信号処理回路のフィルタ係数を設定するためのプログラム