



(12) 发明专利

(10) 授权公告号 CN 102656699 B

(45) 授权公告日 2016. 05. 04

(21) 申请号 201080059031. 4

(51) Int. Cl.

(22) 申请日 2010. 11. 18

H01L 29/80(2006. 01)

H01L 21/335(2006. 01)

(30) 优先权数据

12/646477 2009. 12. 23 US

(56) 对比文件

US 2006278915 A1, 2006. 12. 14,

US 2008050883 A1, 2008. 02. 28,

US 2007187716 A1, 2007. 08. 16,

US 2005184316 A1, 2005. 08. 25,

(85) PCT国际申请进入国家阶段日

2012. 06. 25

(86) PCT国际申请的申请数据

PCT/US2010/057276 2010. 11. 18

(87) PCT国际申请的公布数据

W02011/087570 EN 2011. 07. 21

(73) 专利权人 英特尔公司

地址 美国加利福尼亚州

审查员 刘中涛

(72) 发明人 R. 皮拉里塞蒂 J. T. 卡瓦列罗斯

W. 雷奇马迪 U. 沙 B. 楚-孔

M. 拉多沙夫耶维奇 N. 穆克赫吉

G. 德维 B. Y. 金 R. S. 乔

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 汤春龙 朱海煜

权利要求书2页 说明书7页 附图7页

(54) 发明名称

非平面锗量子阱装置

(57) 摘要

公开用于形成非平面锗量子阱结构的技术。具体来说,量子阱结构能够采用 IV 或 III-V 族半导体材料来实现,并且包括锗鳍式结构。在一个示例情况下,提供一种非平面量子阱装置,该装置包括具有衬底(例如硅上的 SiGe 或 GaAs 缓冲部分)、IV 或 III-V 材料势垒层(例如 SiGe 或 GaAs 或 AlGaAs)、掺杂层(例如  $\delta$  掺杂/调制掺杂)和未掺杂锗量子阱层的量子阱结构。未掺杂锗鳍式结构在量子阱结构中形成,并且顶部势垒层在鳍式结构之上沉积。栅金属能够跨鳍式结构来沉积。漏区/源区能够在鳍式结构的相应端部形成。

|   |
|---|
| 盖层<br>(例如 SiGe 或 Si)                          |
| 锗量子阱<br>(沟道)                                  |
| 分隔层   |
| 掺杂层<br>(例如硼或铍)                                |
| IV 或 III-V 材料势垒层<br>(例如 SiGe 或 GaAs 或 AlGaAs) |
| 核化和缓冲层<br>(例如 SiGe 或 GaAs 缓冲部分)               |
| 衬底<br>(例如 Si 衬底)                              |

1. 一种用于形成非平面量子阱结构的方法,所述方法包括:  
接收具有衬底、IV 或 III-V 材料势垒层、掺杂层和未掺杂锗量子阱层的量子阱结构;  
有选择地蚀刻所述量子阱结构,以便形成鳍式结构;  
在所述鳍式结构之上沉积半导体材料的顶部势垒层,其中所述鳍式结构具有顶部以及从所述顶部向所述衬底延伸的相反侧壁部分,并且所述顶部势垒层覆盖所述鳍式结构的所述顶部和所述侧壁部分;以及  
跨所述鳍式结构沉积栅金属。
2. 如权利要求 1 所述的方法,其中,有选择地蚀刻所述量子阱结构包括:  
在所述量子阱结构上对硬掩模形成图案用于浅沟槽隔离 (STI) 形成图案;  
将浅沟槽隔离 (STI) 蚀刻到所述量子阱结构中;  
将介电材料沉积到所述浅沟槽隔离 (STI) 中;以及  
平面化所述介电材料。
3. 如权利要求 2 所述的方法,其中,所述浅沟槽隔离 (STI) 中的所述介电材料向下凹进到所述锗量子阱层的底部。
4. 如权利要求 1 所述的方法,还包括:  
在所述鳍式结构的相应端部形成漏区和源区。
5. 如权利要求 1 所述的方法,还包括:  
去除所述量子阱结构的盖层,以便暴露所述锗量子阱结构。
6. 如权利要求 1 所述的方法,其中,在所述鳍式结构之上沉积顶部势垒层之后但在跨所述鳍式结构沉积栅金属之前,所述方法还包括:  
在所述顶部势垒层之上沉积高 k 栅介电层。
7. 如权利要求 1 所述的方法,其中,所述量子阱结构是外延生长的异质结构。
8. 如权利要求 1 所述的方法,其中,所述掺杂层包括对所述未掺杂锗量子阱层进行调制掺杂的  $\delta$  掺杂。
9. 如权利要求 3 所述的方法,其中,所述鳍式结构具有顶部以及从所述顶部延伸到所述凹进的介电材料的相反侧壁部分,以及  
其中所述顶部势垒层覆盖所述鳍式结构的所述顶部和所述侧壁部分。
10. 一种非平面量子阱装置,包括:  
具有衬底、IV 或 III-V 材料势垒层、掺杂层和未掺杂锗量子阱层的量子阱结构;  
在所述量子阱结构中形成的未掺杂锗鳍式结构;  
在所述鳍式结构之上沉积的半导体材料的顶部势垒层,其中所述鳍式结构具有顶部以及从所述顶部向所述衬底延伸的相反侧壁部分,并且所述顶部势垒层覆盖所述鳍式结构的所述顶部和所述侧壁部分;以及  
跨所述鳍式结构沉积的栅金属。
11. 如权利要求 10 所述的装置,还包括:  
所述鳍式结构附近的浅沟槽隔离 (STI) 中的凹进的介电材料。
12. 如权利要求 11 所述的装置,其中,所述浅沟槽隔离 (STI) 中的所述介电材料向下凹进到所述锗量子阱层的底部。
13. 如权利要求 10 所述的装置,还包括:

在所述鳍式结构的相应端部形成的漏区和源区。

14. 如权利要求 10 所述的装置,还包括:

在所述顶部势垒层与栅金属之间沉积的高 k 栅电介质。

15. 如权利要求 10 所述的装置,其中,所述装置包括 FinFET 装置。

16. 如权利要求 10 所述的装置,其中,所述 IV 或 III-V 材料势垒层采用硅锗或砷化镓或砷化铝镓来实现,并且所述衬底包括硅上的硅锗或砷化镓缓冲部分。

17. 如权利要求 10 所述的装置,其中,所述 IV 或 III-V 材料势垒层包括 III-V 材料。

18. 如权利要求 10 所述的装置,其中,所述掺杂层包括对所述未掺杂锗量子阱层进行调制掺杂的  $\delta$  掺杂。

19. 如权利要求 12 所述的装置,其中,所述鳍式结构具有顶部以及从所述顶部延伸到所述凹进的介电材料的相反侧壁部分,以及

其中所述顶部势垒层覆盖所述鳍式结构的所述顶部和所述侧壁部分。

20. 一种非平面量子阱装置,包括:

具有衬底、IV 或 III-V 材料势垒层、掺杂层和未掺杂锗量子阱层的量子阱结构;

在所述量子阱结构中形成的未掺杂锗鳍式结构;

在所述鳍式结构之上沉积的半导体材料的顶部势垒层,其中所述鳍式结构具有顶部以及从所述顶部向所述衬底延伸的相反侧壁部分,并且所述顶部势垒层覆盖所述鳍式结构的所述顶部和所述侧壁部分;

跨所述鳍式结构沉积的栅金属;

在所述鳍式结构的相应端部形成的漏区和源区;以及

在所述顶部势垒层与栅金属之间沉积的高 k 栅电介质。

## 非平面锗量子阱装置

### 背景技术

[0001] 在外延生长的半导体异质结构中、通常在 III-V 或硅锗 / 锗 (SiGe/Ge) 材料系统中形成的量子阱晶体管装置因低有效质量连同因  $\delta$  掺杂引起的已降低杂质散射而在晶体管沟道中提供异常高的载流子迁移率。另外, 这些装置提供异常高的驱动电流性能。但是, 由于量子阱晶体管在外延生长的异质结构中形成, 所以所产生的结构由若干垂直外延层组成, 从而仅允许形成平面类型的量子阱装置。

### 附图说明

[0002] 图 1 示出按照本发明的一个实施例、能够用于产生非平面锗量子阱装置的示例量子阱生长结构的截面侧视图。

[0003] 图 2 示出按照本发明的一个实施例、从图 1 的量子阱生长结构中去除盖层 (capping layer)。

[0004] 图 3 示出按照本发明的一个实施例、图 2 的量子阱生长结构上硬掩模的沉积和形成图案。

[0005] 图 4 示出按照本发明的一个实施例、在图 3 的量子阱生长结构上形成锗鳍式结构的浅沟槽隔离 (STI) 蚀刻。

[0006] 图 5 示出按照本发明的一个实施例、在图 4 的量子阱生长结构的锗鳍式结构周围介电材料的沉积和平面化。

[0007] 图 6 示出按照本发明的一个实施例、使图 5 的量子阱生长结构的 STI 介电材料凹进的蚀刻。

[0008] 图 7 示出按照本发明的一个实施例、图 6 的量子阱生长结构的锗鳍式结构上的栅电极形成。

[0009] 图 8 示出按照本发明的一个实施例所配置的、图 7 所示的装置的透视图。

[0010] 图 9 示出按照本发明的一个实施例、用于形成基于锗鳍 (fin) 的调制掺杂量子阱结构的方法。

### 具体实施方式

[0011] 公开用于形成非平面锗量子阱结构的技术。具体来说, 该量子阱结构能够采用 IV 或 III-V 族半导体材料来实现, 并且包括锗鳍式结构, 以使得有效地提供混合结构。这些技术例如能够用于改进调制掺杂 /  $\delta$  掺杂非平面装置中的短沟道效应和栅极长度 ( $L_g$ ) 可缩放性。实现基于鳍的装置的静电益处, 而同时保留调制 /  $\delta$  掺杂装置的高迁移率益处。

#### [0012] 一般概述

[0013] 如前面所述, 在外延生长的半导体异质结构中、通常在 III-V 材料系统中形成的量子阱晶体管装置因低有效质量连同因调制  $\delta$  掺杂引起的已降低杂质散射而在晶体管沟道中提供极高的载流子迁移率。这些常规装置提供异常高的驱动电流性能。这类量子阱系统通常采用平面架构来制造。

[0014] 非平面晶体管架构、例如 FinFET 结构（例如双栅结构、三栅结构和环绕栅结构）能够用于改进静电效应和短沟道效应，并且因此实现  $L_g$  可缩放性。但是，这类非平面架构一般被认为与外延生长的异质结构中形成的高质量、高迁移率、掺杂量子阱晶体管不兼容。

[0015] 因此，并且按照本发明的一个实施例，提供一种调制掺杂非平面 Ge 量子阱晶体管装置。该装置可由诸如 Ge、SiGe、Si 和 / 或砷化镓 (GaAs)、或砷化铝 (AlAs) 之类的半导体异质结构来形成。采用 IV 或 III-V 族材料所制造的任何数量的外延生长的异质结构能够配置有基于锗鳍的沟道。该装置可包括例如调制掺杂较低带隙材料的、较大带隙材料中的  $\delta$  掺杂。较低带隙材料在较大带隙材料和  $\delta$  掺杂之后外延生长。该异质结构能够被形成图案并且蚀刻为一个或多个窄鳍，并且那些鳍中的  $\delta$  掺杂 / 调制掺杂的较低带隙材料形成装置的有源主体。

[0016] 用于制造该装置的工艺流程能够例如按照与制造常规的硅基非平面装置中使用的相似方式来实现，包括浅沟槽隔离 (STI)、栅叠层、源区 / 漏区和触点形成。但是，与在装置的有源主体中包含高掺杂等级的常规非平面装置相反，锗鳍式结构的有源主体没有包含掺杂剂（因为该装置经过调制 /  $\delta$  掺杂），这因改进的库仑散射而提供对载流子迁移率的显著增强。

[0017] 非平面未掺杂基于 Ge 鳍的装置一般而言相对于半导体异质结构中形成的常规调制掺杂平面量子阱装置呈现改进的装置静电，包括显著  $L_g$  和阈值电压 ( $V_t$ ) 可缩放性。根据本公开，其它优点将是显而易见的。例如，按照本发明的一个实施例所配置的 III-V/Ge 混合系统的一个优点在于，III-V 材料（在势垒层中）与 Ge（在鳍式结构中）之间的蚀刻选择性可用于浅沟槽隔离 (STI) 工艺，其中仅对 Ge/III-V 界面进行 STI 蚀刻。

[0018] 因此，在给定预期 Ge 量子阱结构的情况下，鳍式结构（连同栅区、源区和漏区以及触点等一起）能够按照本发明的一个实施例来形成。因此，按照一个示例实施例，调制掺杂非平面 Ge 量子阱晶体管装置的形成一般而言可包括在 Ge 鳍式结构的形成之前基础量子阱结构（或者其任何部分）的生长。一个备选实施例假定量子阱结构提前预先形成，并且 Ge 鳍式结构随后在其中形成。

[0019] 量子阱结构

[0020] 图 1 示出按照本发明的一个实施例、能够用于产生非平面锗量子阱装置的示例 Ge 量子阱生长结构的截面侧视图。量子阱生长结构能够是例如具有盖层的常规 SiGe/Ge 或 GaAs/Ge 量子阱结构。但是，如前面所述，要注意，按照本发明的一个实施例所形成的调制 /  $\delta$  掺杂非平面 Ge 量子阱晶体管装置能够采用配置有各种 IV 或 III-V 材料、掺杂层和缓冲层的、任何数量的量子阱生长结构来实现，这根据本公开将是显而易见的。要求保护的本发明并不是要局限于任何特定量子阱生长配置。

[0021] 在图 1 中能够看到，量子阱生长结构包括衬底，衬底上形成核化和缓冲层。该结构还包括 IV 或 III-V 族材料势垒层，势垒层上形成掺杂层，在掺杂层上形成分隔层，在分隔层上形成 Ge 量子阱层。盖层设置在 Ge 量子阱层上。将依次论述这些示例层中的每个层。其它实施例可包括更少层（例如更少缓冲层和 / 或没有盖层）或更多层（例如量子阱层之下的附加分隔和 / 或掺杂层）或者不同层（例如采用不同半导体材料、配方和 / 或掺杂剂来形成）。这些层可采用任何适当的层厚度和其它预期层参数、使用已建立的半导体工艺（例如金属有机化学气相沉积、分子束外延、光刻或其它这类适当工艺）来实现，并且可渐变（例

如按照线性或步进方式)以改进原本晶格相异材料的相邻层之间的晶格常数匹配。一般来说,该结构的特定层和尺寸将取决于诸如预期装置性能、制造能力以及所使用的半导体材料之类的因素。

[0022] 该衬底可按典型情况下所做的那样来实现,并且在这里能够使用任何数量的适当衬底类型和材料(例如 p 型、n 型、中性型、硅、锗、高或低电阻率、不标准尺寸(off-cut)或者非不标准尺寸、块体、绝缘体上硅等)。在一个示例实施例中,该衬底是块体 Si 衬底。在另一个示例实施例中,该衬底是块体 Ge 衬底。其它实施例可使用绝缘体上半导体配置,例如绝缘体上硅(SOI)或绝缘体上锗(GeOI)或绝缘体上 SiGe(SiGeOI)。

[0023] 核化和缓冲层在衬底上形成,并且也可按典型情况下所做的那样来实现。在一个具体示例实施例中,核化和缓冲层由 SiGe(例如 60% 的 Ge)或 GaAs 来制成,并且总厚度为大约 0.5  $\mu\text{m}$  至 2.0  $\mu\text{m}$ (例如大约 25 nm 至 50 nm 厚的核化层以及大约 0.3  $\mu\text{m}$  至 1.9  $\mu\text{m}$  厚的缓冲层)。大家知道,核化和缓冲层能够用于填充具有例如 III-V 材料、诸如 GaAs 材料的原子双层的最低衬底阶地(substrate terrace)。核化层能够用于创建反相无领域虚拟极衬底(anti-phase domain-free virtual polar substrate),并且缓冲层可用于提供位错滤波缓冲部分,位错滤波缓冲部分能够提供量子阱结构的压缩应变和/或对衬底与势垒层之间的晶格失配的控制。缓冲层还可包括渐变缓冲部分,渐变缓冲部分也能够按常规上所做的那样来实现。大家知道,通过形成渐变缓冲层,位错可沿其中的相对对角平面滑动,以使得有效控制衬底与 IV/III-V 材料势垒层(和/或任何中间层)之间的晶格失配。将会显而易见,这类渐变层能够用于量子阱结构或叠层的其它位置或量子阱结构或叠层内的其它位置。注意,能够获益于本发明的一个实施例的其它量子阱结构可在没有核化和/或缓冲层的情况下实现。例如,具有采用具有充分相似晶格常数的材料来实现的衬底和势垒层的实施例可在没有渐变缓冲部分的情况下实现。

[0024] 在这个示例实施例中,IV/III-V 势垒层在核化和缓冲层上形成,并且也能够按常规上所做的那样来实现。在一个具体示例实施例中,势垒层采用  $\text{Si}_{1-x}\text{Ge}_x$ (其中 x 在 40 至 80 的范围之内,例如 60)或 GaAs 或  $\text{Al}_{1-x}\text{Ga}_x\text{As}$ (其中 x 在 50 至 90 的范围之内,例如 70)来实现,并且厚度在 4 nm 至 120 nm 的范围之内(例如 100 nm,  $\pm 20$  nm)。一般来说,势垒层由其带隙比形成覆盖量子阱层的材料的带隙要高的材料来形成,并且具有充分厚度以对晶体管沟道中的电荷载流子提供电位势垒。将会理解,势垒层的实际构成和厚度将取决于诸如衬底和量子阱层材料和/或厚度之类的因素。在这里能够使用许多这类势垒材料和配置,这是根据本公开将会理解的。

[0025] 在这个示例量子阱生长结构中,掺杂层在势垒层上(或之内)形成,并且也能够按常规所做的那样来实现。一般来说,能够通过掺杂层来掺杂势垒层,以便向量子阱层提供载流子。掺杂层能够是例如  $\delta$  掺杂的(或调制掺杂的)。对于利用 SiGe 材料势垒层的 n 型装置,该掺杂可例如使用硼和/或碲杂质来实现,而对于 p 型装置,该掺杂层可例如使用铍(Be)和/或碳来实现。掺杂层的厚度将取决于诸如掺杂的类型以及所使用的材料之类的因素。例如,在一个示例实施例中,掺杂层是厚度在大约 3  $\text{\AA}$  至 15  $\text{\AA}$  之间的硼  $\delta$  掺杂  $\text{Si}_{40}\text{Ge}_{60}$  的层。在另一个实施例中,掺杂层是厚度在大约 15  $\text{\AA}$  至 60  $\text{\AA}$  之间的 Be 调制掺杂 GaAs 的层。该掺杂能够例如基于在 Ge 量子阱层的沟道中有用的表面载流子浓度来选择。根据本公开将会理解,本发明的一个实施例可采用具有一个或多

个任何类型适当掺杂层的量子阱结构来实现。

[0026] 分隔层在掺杂层上（或之上）形成，并且也能够按常规所做的那样来实现。在一个具体示例实施例中，分隔层采用  $\text{Si}_{1-x}\text{Ge}_x$ （其中  $x$  在 40 至 80 的范围之内，例如 60）或 GaAs 或  $\text{Al}_{1-x}\text{Ga}_x\text{As}$ （其中  $x$  在 50 至 90 的范围之内，例如 70）来实现，并且厚度在 0.2 nm 至 70 nm 的范围之内（例如 5 nm）。一般来说，分隔层能够配置成向量子阱层提供压缩应变（在它充当导电沟道时）。注意，能够获益于本发明的一个实施例的其它量子阱结构可在没有分隔层的情况下实现。

[0027] 量子阱层也能够按常规所做的那样来实现。一般来说，量子阱层采用示例厚度大约为 20 Å 至 500 Å 的未掺杂锗来实现。在这里能够使用许多其它量子阱层配置，这是将会理解的。在更一般的意义上，量子阱层具有比 IV/III-V 势垒层的带隙更小的带隙，是未掺杂的，并且具有充分厚度以便为给定应用、例如存储器单元或逻辑电路的晶体管提供足够的沟道电导。可由势垒层、上势垒层或者两者引起量子阱层的应变。

[0028] 在如前面所述通过量子阱层来形成一般包括衬底的装置叠层之后，盖层能够在量子阱层之上形成。在一个具体示例实施例中，盖层采用 SiGe 或 Si 来实现，并且厚度在 2 nm 至 10 nm 的范围之内（例如 6 nm）。将会理解，其它适当盖层材料可用于保护基础锗量子阱层。

[0029] 基于 Ge 鳍且调制掺杂的量子阱装置

[0030] 图 2 至图 8 以截面和透视图来示出按照本发明的一个实施例所配置的基于 Ge 鳍的量子阱结构的形成。将会理解，基于鳍的结构能够在图 1 所示的装置叠层或者具有未掺杂 Ge 沟道的任何数量的其它调制 /  $\delta$  掺杂量子阱生长结构上形成。注意，中间处理、例如平面化（例如化学机械抛光或 CMP）和后续清洁工艺可包含在整个形成工艺中，即使这种处理可能没有明确论述也是如此。

[0031] 图 2 示出按照本发明的一个实施例、从图 1 的量子阱生长结构中去除盖层。在一个这种实施例中，盖层是 SiGe（例如 60% 的 Ge）或 Si。在任何情况下，能够例如通过蚀刻（湿式蚀刻和 / 或干式蚀刻）去除盖层，以暴露基础 Ge 量子阱层。

[0032] 图 3 示出按照本发明的一个实施例、图 2 的量子阱生长结构上硬掩模的沉积和形成图案。用于浅沟道隔离（STI）形成的这种形成图案能够使用标准光刻来执行，包括硬掩模材料（例如，诸如二氧化硅、氮化硅和 / 或其它适当的硬掩模材料）的沉积、在硬掩模的将暂时保留以保护基础鳍式结构（本例中为 Ge 沟道）的一部分上对抗蚀剂形成图案、蚀刻以去除硬掩模的未遮蔽（无抗蚀剂）部分（例如使用干式蚀刻或者其它适当的硬掩模去除工艺）以及然后剥离形成图案的抗蚀剂。在图 3 所示的示例实施例中，所产生的硬掩模是装置叠层的中心并且在一个位置中形成，但是在其它实施例中，硬掩模可偏移至叠层的一侧和 / 或位于叠层上的多个地方，这取决于特定有源装置。

[0033] 图 4 示出按照本发明的一个实施例、在图 3 的量子阱生长结构上形成锗鳍式结构的浅沟槽隔离（STI）蚀刻，以及图 5 示出按照本发明的一个实施例的锗鳍式结构周围的介电材料的沉积和平面化。这也能够使用标准光刻来执行，包括用于去除叠层的没有受到硬掩模保护的部分的蚀刻（例如湿式蚀刻或干式蚀刻）以及介电材料（例如，诸如  $\text{SiO}_2$  或其它适当的介电材料）的沉积。STI 蚀刻的深度可以改变，但在一些示例实施例中是在 Ge 量子阱层的底部之下 0 Å 至 5000 Å 的范围之内。在这个示例实施例中，蚀刻深度几乎到达势垒

层的底部。一般来说,该蚀刻应当到达允许量子阱沟道(例如与相邻组件或其它电位干扰源)电隔离的充分深度。在形成 STI 和沉积介电材料之后,沉积的介电材料能够经过抛光/平面化(例如使用 CMP)。注意,硬掩模能够保留,以便保护鳍沟道。

[0034] 图 6 示出按照本发明的一个实施例、使图 5 的量子阱生长结构的 STI 介电材料凹进(recess)的蚀刻。这也能够使用标准光刻来执行,包括用于去除介电材料的蚀刻(例如使用湿式蚀刻,但是也可使用干式蚀刻)。凹进蚀刻的深度可以改变,但是一般而言在锗量子阱层(沟道)的底部与掺杂层的上方之间。能够看到,在这个示例实施例中,凹进蚀刻深度到达锗量子阱层(沟道)的底部。注意,硬掩模仍然在适当位置,以便保护 Ge 鳍式结构(或沟道)。

[0035] 图 7 示出按照本发明的一个实施例、图 6 的量子阱生长结构的鳍式结构上的栅电极形成。图 8 的透视图所示的所产生结构实际上是配置为 FinFET 装置的 Ge 量子阱结构(因此是非平面的)。大家知道,FinFET 是在半导体材料的细带(一般称作鳍)周围构建的晶体管。FinFET 装置包括标准场效应晶体管(FET)结点,包括栅极、栅电介质(通常为高 k)、源区和漏区(图 8 中仅概括性地示出源区/漏区之一)。装置的导电沟道驻留在栅电介质下面的鳍的外侧。具体来说,电流沿鳍的两个侧壁(与衬底表面垂直的侧面)以及沿鳍的顶部(与衬底表面并行的侧面)流动。由于这类配置的导电沟道基本上沿鳍的三个不同外部平面区域存在,所以这种 FinFET 设计有时称作三栅 FinFET。其它类型的 FinFET 配置也是可用的,例如所谓的双栅 FinFET,其中导电沟道主要仅沿鳍的两个侧壁(而没有沿鳍的顶部)存在。

[0036] 在图 7 中能够看到,去除硬掩模(例如湿式蚀刻或干式蚀刻),并且顶部势垒沉积在未借助掺杂层掺杂的 Ge 沟道之上。这个顶部势垒能够是例如沉积的层 Si/SiGe。顶部势垒层的厚度能够是例如 10 nm 至 100 nm(例如 50 nm)。一般来说,顶部势垒层能够由其带隙比形成基础量子阱沟道的 Ge 材料的带隙要高的任何适当材料来形成,并且具有充分厚度以对晶体管沟道中的电荷载流子提供电位势垒。沉积在顶部势垒上的高 k 栅电介质能够是例如厚度在 10 nm 至 50 nm(例如 20 nm)的范围之内的膜,并且能够例如采用氧化铪、矾土、五氧化二钽、氧化锆、铝酸镧、钽酸钪、氧化钪硅、氧化镧、氧化镧铝、氧化锆硅、氧化钽、氧化钛、氧化钡锶钛、氧化钡钛、氧化锶钛、氧化钪、氧化铝、氧化钪钽、铋酸铅锌或者介电常数比例如二氧化硅的介电常数要大的其它这类材料来实现。沉积在高 k 栅电介质之上的栅金属能够是例如镍、金、铂、铝、钛、钪、钛镍或其它适当栅金属或合金。能够按照对于 FinFET 结构常规所做的那样来形成源区和漏区,并且源区和漏区可配置有与栅极相同的金属或其它适当触点金属。根据本公开将会理解,顶部势垒、高 k 栅电介质、栅金属和源/漏区能够使用标准 FinFET 处理来实现。

[0037] 因此,本文所提供的技术在非平面架构的上下文中采用通常用于制造平面量子阱叠层的调制掺杂技术来提供具有未掺杂 Ge 沟道的 FinFET 装置。该装置能够使用诸如 SiGe、GaAs 或 AlGaAs 之类的若干适当 IV/III-V 材料来实现。所示的所产生集成电路装置能够用作可安装在诸如中央处理器、存储器阵列、芯片上高速缓存或逻辑门之类的多种微电子装置的任一个中的晶体管。同样,许多系统级应用能够采用本文所述的集成电路。

[0038] 方法

[0039] 图 9 示出按照本发明的一个实施例、用于形成基于鳍的调制/ $\delta$  掺杂量子阱结



构的方法。量子阱结构能够根据需要来配置,并且一般包括如下叠层,该叠层包括衬底、IV/III-V 势垒层、掺杂层(调制/ $\delta$  掺杂)和量子阱层。

[0040] 该方法包括去除 901 量子阱结构的盖层(若适用的话),以便暴露基础 Ge 量子阱结构。能够例如使用湿式蚀刻或干式蚀刻去除盖层。该方法继续进行对硬掩模形成图案 903,用于浅沟槽隔离(STI)形成图案。形成图案可包括例如沉积硬掩模材料,在硬掩模的将暂时保留以便在 STI 蚀刻期间保护装置的基础鳍式结构的一部分上对抗蚀剂形成图案,蚀刻以去除硬掩模的未遮蔽(无抗蚀剂)部分(例如使用干式蚀刻或其它适当硬掩模去除工艺),以及然后剥离形成图案的抗蚀剂,以便提供形成图案的 STI 硬掩模。

[0041] 该方法继续进行将 STI 蚀刻 905 到 Ge 量子阱结构中,由此形成鳍式结构。在一个示例情况下,并且如前面所述,沟槽形成能够使用一个或多个干式蚀刻和/或湿式蚀刻来执行。该方法继续进行将介电材料沉积 907 到 STI 中,并且平面化介电材料。该方法继续进行蚀刻 909 以便使 STI 材料凹进(例如向下至 Ge 量子阱层的底部,而在掺杂层之前)。蚀刻能够例如采用湿式蚀刻来实现。

[0042] 该方法继续进行在鳍式结构之上沉积 911 顶部势垒和可选高 k 栅电介质。如前面所述,顶部势垒能够由其带隙比形成基础量子阱沟道的 Ge 材料的带隙要高的任何适当材料(例如 Si/SiGe)来形成,并且具有充分厚度以对晶体管沟道中的电荷载流子提供电位势垒。高 k 栅电介质能够是例如具有充分隔离金属栅的适当厚度并且介电常数比例如二氧化硅的介电常数要高的膜。在这里也能够使用其它适当栅电介质,并且在顶部势垒靠自己来提供充分隔离的一些实施例中,可以不需要栅电介质。该方法继续进行在顶部势垒之上并且跨形成装置沟道的隔离 Ge 鳍式结构来沉积 913 栅金属,以及在鳍式结构(沟道)的相应端部形成 915 漏区和源区。栅金属和源/漏区能够使用标准处理(沉积、遮蔽、蚀刻、平面化等)来实现。

[0043] 因此,提供配置有未掺杂锗沟道的非平面调制/ $\delta$  掺杂量子阱结构。该结构能够例如用作适合用于许多应用(例如处理器、存储器等)的 FinFET 装置(例如双栅 FinFET 或三栅 FinFET)。

[0044] 按照本公开,许多实施例和配置将是显而易见的。例如,本发明的一个示例实施例提供一种用于形成非平面量子阱结构的方法。该方法包括接收具有衬底、IV 或 III-V 材料势垒层、掺杂层和未掺杂锗量子阱层的量子阱结构。该方法还包括有选择地蚀刻量子阱结构以形成锗鳍式结构,在鳍式结构之上沉积顶部势垒层,以及跨鳍式结构来沉积栅金属。在一个特定情况下,有选择地蚀刻量子阱结构包括在量子阱结构上对硬掩模形成图案用于浅沟槽隔离(STI)形成图案,将 STI 蚀刻到量子阱结构中,将介电材料沉积到 STI 中,以及平面化介电材料。在一个这种情况下,STI 中的介电材料向下凹进到锗量子阱层的底部。该方法可包括在鳍式结构的相应端部形成漏区和源区。该方法可包括去除量子阱结构的盖层,以便暴露锗量子阱结构。在另一个特定情况下,在鳍式结构之上沉积顶部势垒层之后但在跨鳍式结构沉积栅金属之前,该方法还包括在顶部势垒层之上沉积高 k 栅介电层。量子阱结构能够是例如外延生长的异质结构。掺杂层可包括例如对未掺杂锗量子阱层进行调制掺杂的  $\delta$  掺杂。在另一个特定情况下,未掺杂锗量子阱层能够在掺杂层之后外延生长。

[0045] 本发明的另一个示例实施例提供一种非平面量子阱装置。该装置包括具有衬底、IV 或 III-V 材料势垒层、掺杂层和未掺杂锗量子阱层的量子阱结构。该装置还包括在量子

阱结构中形成的未掺杂锗鳍式结构、沉积在鳍式结构之上的顶部势垒层以及跨鳍式结构沉积的栅金属。该装置可包括例如鳍式结构附近的浅沟槽隔离 (STI) 中的凹进介电材料。在一个这种情况下, STI 中的介电材料向下凹进到锗量子阱层的底部。该装置可包括在鳍式结构的相应端部所形成的漏区和源区。该装置可包括在顶部势垒层与栅金属之间沉积的高 k 栅电介质。在一个示例情况下, 非平面量子阱结构包括 FinFET 装置。在另一个示例情况下, IV 或 III-V 材料势垒层采用硅锗或砷化镓或砷化铝镓来实现, 并且衬底包括硅上的硅锗或砷化镓缓冲部分。在另一个示例情况下, 量子阱结构是外延生长的异质结构。在另一个示例情况下, 掺杂层包括对未掺杂锗量子阱层进行调制掺杂的  $\delta$  掺杂。在另一个示例情况下, 未掺杂锗量子阱层在掺杂层 (在势垒层上或之内) 之后外延生长。

[0046] 本发明的另一个示例实施例提供一种非平面量子阱装置。在这个示例中, 该装置包括具有衬底、IV 或 III-V 材料势垒层、掺杂层和未掺杂锗量子阱层的量子阱结构。量子阱结构是外延生长的异质结构, 其中未掺杂锗量子阱层在掺杂层之后外延生长, 并且掺杂层对未掺杂锗量子阱层进行调制掺杂。该装置还包括在量子阱结构中形成的未掺杂锗鳍式结构、沉积在鳍式结构之上的顶部势垒层以及跨鳍式结构沉积的栅金属。另外, 该装置包括在鳍式结构的相应端部所形成的漏区和源区以及在顶部势垒层与栅金属之间沉积的高 k 栅电介质。

[0047] 为了便于说明和描述而提供了本发明的示例实施例的以上描述。不是意在作为详尽的描述或者将本发明局限于所公开的准确形式。根据本公开, 许多修改及变更都是可能的。预计本发明的范围不受本详细描述限制, 而是受到所附权利要求书限制。



图 1



图 2



图 3

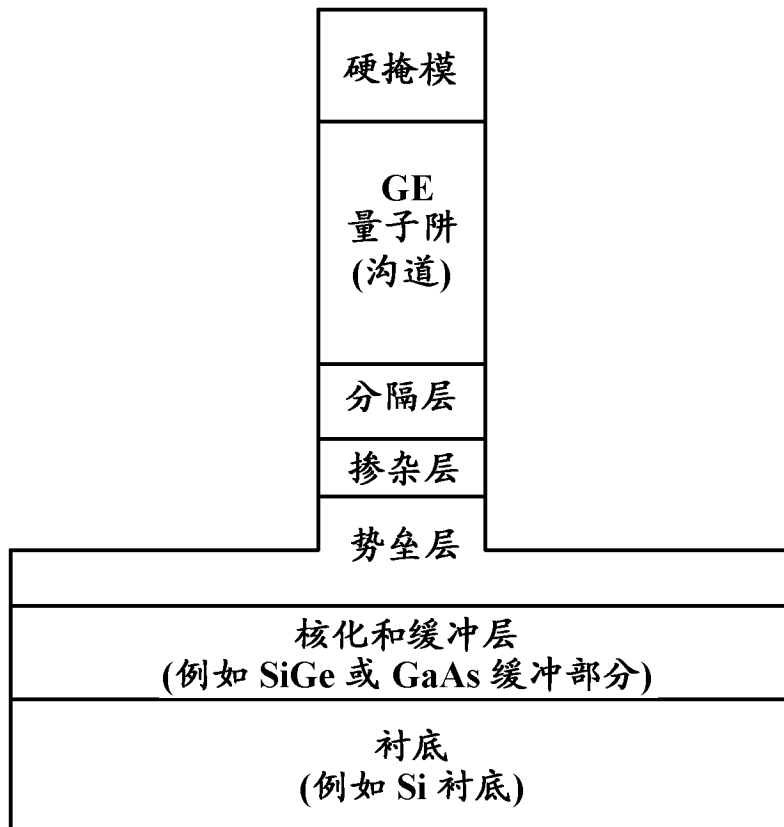


图 4

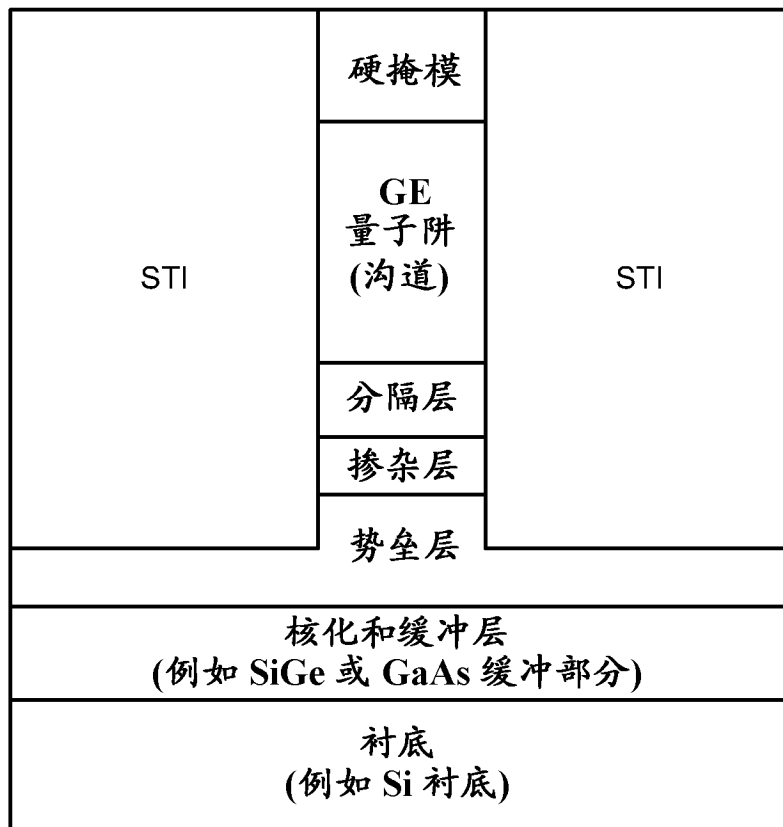


图 5

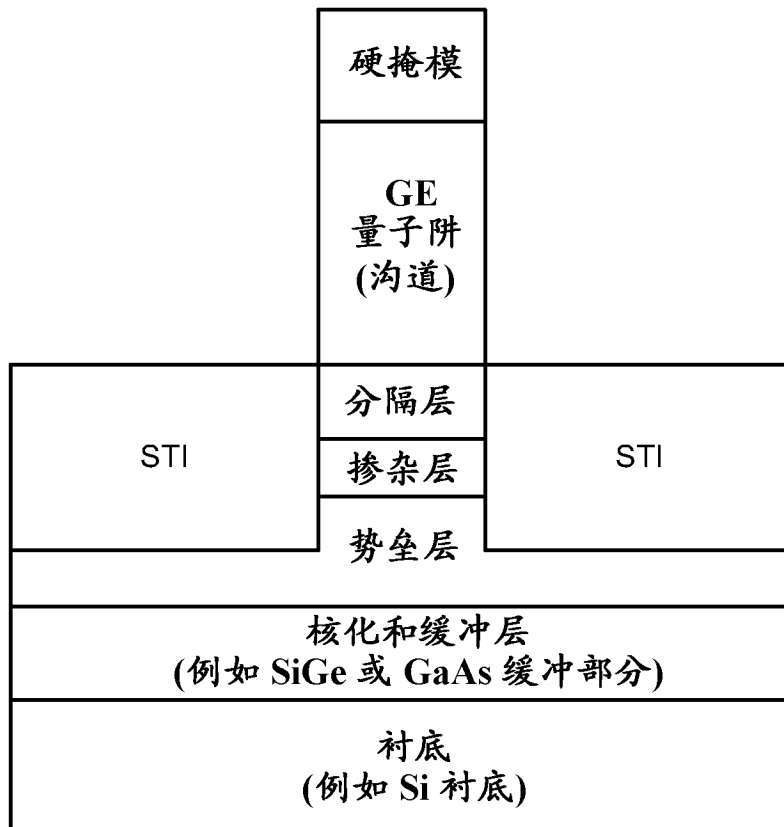


图 6

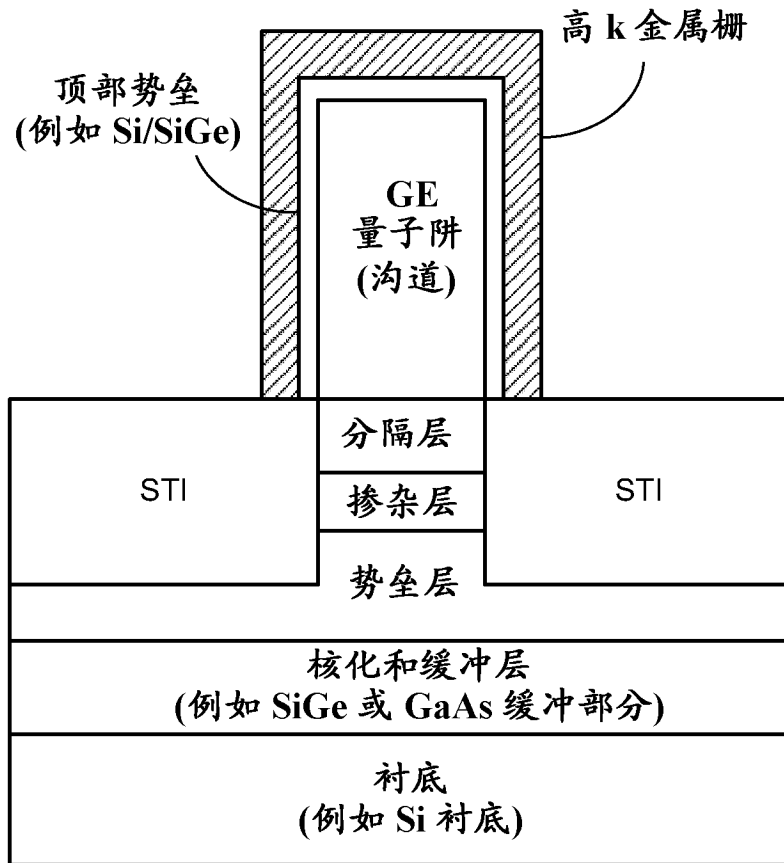


图 7

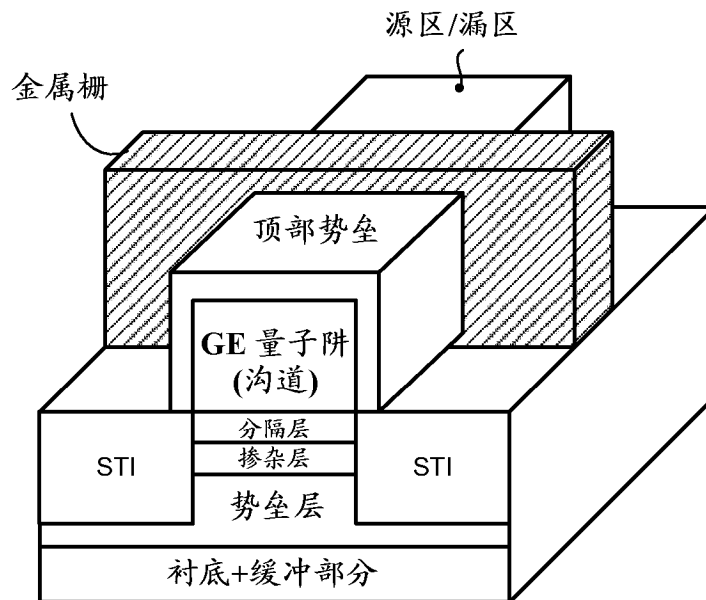


图 8



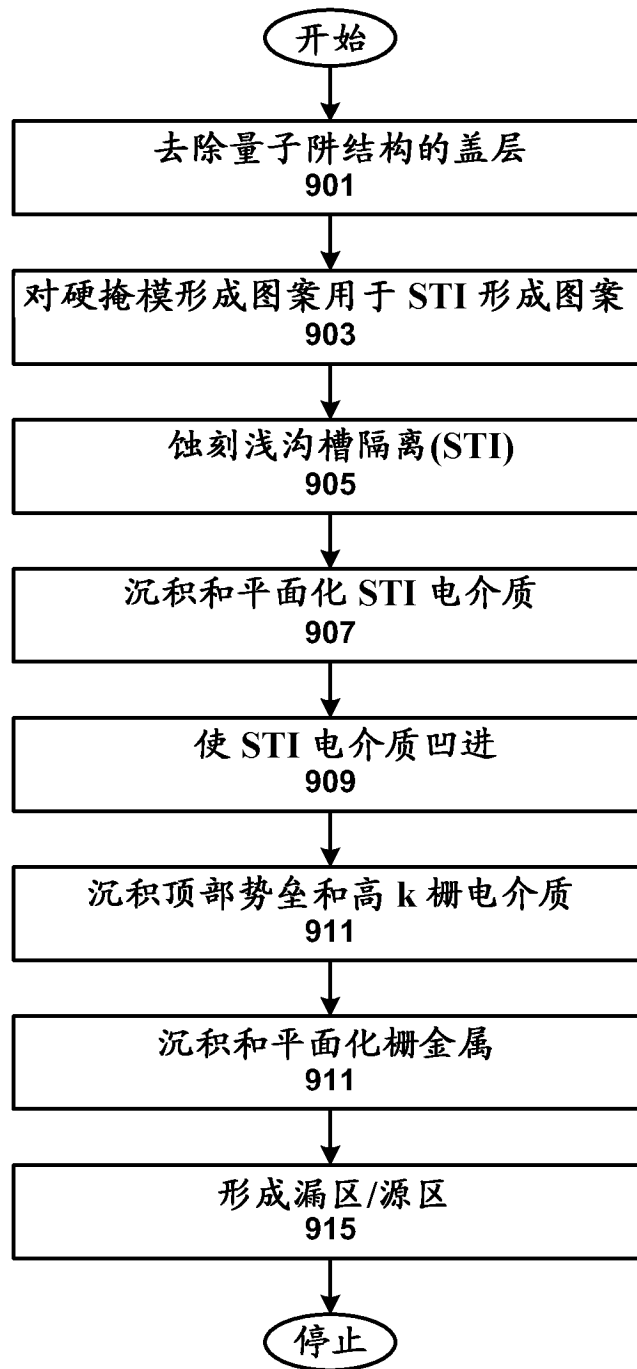


图 9