



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 10 2007 018 237 A1 2008.10.23

(12)

Offenlegungsschrift

(21) Aktenzeichen: 10 2007 018 237.8

(22) Anmeldetag: 18.04.2007

(43) Offenlegungstag: 23.10.2008

(51) Int Cl.⁸: H01L 23/60 (2006.01)

(71) Anmelder:

Robert Bosch GmbH, 70469 Stuttgart, DE

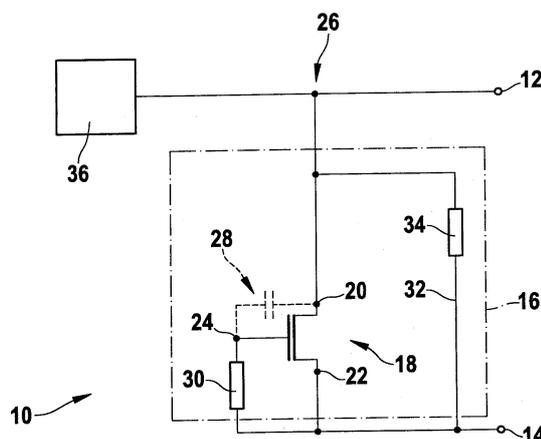
(72) Erfinder:

Wilkening, Wolfgang, 72793 Pfullingen, DE;
Geffke, Tomas, 72800 Eningen, DE; Mager,
Thomas, 72793 Pfullingen, DE; Schmid, Roland,
72116 Mössingen, DE; Huebl, Jochen, 71701
Schwieberdingen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Schaltung mit verbessertem ESD-Schutz bei repetierender Pulsbelastung**

(57) Zusammenfassung: Vorgestellt wird eine Schaltung (10) mit einem Anschluss-Pin (12), einem Bezugspotenzialanschluss (14) und einer zwischen den Anschluss-Pin (12) und den Bezugspotenzialanschluss (14) geschalteten ESD-Schutzschaltung (16), die einen ESD-Transistor (18) mit einem ersten Stromanschluss (20), einem zweiten Stromanschluss (22) und einem Steueranschluss (24) aufweist, wobei der ESD-Transistor (18) im aufgesteuerten Zustand einen vom Anschluss-Pin (12) über den ersten Stromanschluss (20) und den zweiten Stromanschluss (22) zum Bezugspotenzialanschluss (14) verlaufenden ersten Strompfad (26) schließt und wobei der Steueranschluss (24) mit dem ersten Stromanschluss (20) durch eine Kapazität (28) und mit dem zweiten Stromanschluss (22) resistiv gekoppelt ist. Die Schaltung (10) zeichnet sich dadurch aus, dass der erste Stromanschluss (20) zusätzlich über einen zweiten Strompfad (32), der ein resistives Bauelement (34) aufweist, mit dem Bezugspotenzialanschluss (14) gekoppelt ist.



Beschreibung

Stand der Technik

[0001] Die Erfindung betrifft eine Schaltung nach dem Oberbegriff des Anspruchs 1. Eine solche Schaltung weist einen Anschluss-Pin, einen Bezugspotenzialanschluss, und eine zwischen den Anschluss-Pin und den Bezugspotenzialanschluss geschaltete ESD-Schutzschaltung auf, die einen ESD-Transistor mit einem ersten Stromanschluss, einem zweiten Stromanschluss und einem Steueranschluss besitzt. Der ESD-Transistor schließt im aufgesteuerten Zustand einen vom Anschluss-Pin über den ersten Stromanschluss und den zweiten Stromanschluss zum Bezugspotenzialanschluss verlaufenden ersten Strompfad. Der Steueranschluss ist mit dem ersten Stromanschluss kapazitiv und mit dem zweiten Stromanschluss resistiv gekoppelt.

[0002] Eine solche Schaltung ist per se bekannt. Die Abkürzung ESD steht hier für elektrostatische Entladungen (electrostatic discharge). Der ESD-Transistor hat in diesem Zusammenhang die Aufgabe, an dem Anschluss-Pin auftretende, von außen eingestreute oder induzierte Entladungsströme an Schaltungskomponenten einer Schaltung vorbei zum Bezugspotenzialanschluss abzuleiten, um die Schaltungskomponenten, die in der Regel in integrierter Form (d. h. als Teil einer Integrierten Schaltung) realisiert sind, vor einer möglichen Schädigung durch unzulässig große Ströme und/oder Spannungen zu schützen. Grundsätzlich muss eine ESD-Schaltung die zu schützende Schaltung sicher vor Überspannungen und unzulässig hohen ESD-Strömen schützen und darf dabei aber die reguläre Funktion der Schaltung nicht stören.

[0003] Insbesondere für Automobil-Anwendungen müssen auch Pins geschützt werden, an denen bereits im regulären Betrieb Spannungen im Bereich von typischerweise 40–60 V auftreten. Solche Spannungen treten zum Beispiel in 40-V Bordnetzen und/oder beim Treiben induktiver Lasten in 12 V-Bordnetzen auf.

[0004] In diesem Umfeld werden Schutzschaltungen in Smart-Power-(Smart Power: Integration von Power-MOSFETs und ESD-Schutzschaltungen auf einem Chip) und Hochvolt-MOS Technologien Verwendung verwendet, die im Kern aus einem Hochvolt-MOS-(HVMOS-) Transistor (MOS-Transistor, bei dem zwischen Source und Drain ein Driftgebiet in Reihe mit dem Kanal liegt) als ESD-Transistor bestehen, der eine Spannungsfestigkeit von typisch 20–80V besitzt. Er muss so dimensioniert werden, dass er den Strompuls bei einer Pulsbelastung sicher nach Masse als Bezugspotenzial abführen kann.

[0005] Beim Entwurf Integrierter Schaltungen sind

unterschiedliche Normen und daran anknüpfende kundenspezifische Erprobungsvorschriften zu berücksichtigen, mit denen die ESD-Festigkeit von Integrierten Schaltungen und von elektronischen Steuergeräten spezifiziert wird. Insbesondere in der Automobilindustrie, aber nicht nur dort, wird neben einem Schutz vor Einzelpulsen auch ein ESD-Schutz bei einer Belastung mit mehreren Pulsen gleicher Polarität verlangt, die zum Beispiel mit einer Wiederholfrequenz von 1 Hz aufeinander folgen. Eine Belastung mit mehreren aufeinander folgenden Pulsen gleicher Polarität wird im Folgenden auch als repetierende Pulsbelastung bezeichnet.

[0006] Dabei hat sich gezeigt, dass ESD-Schutzstrukturen mit ESD-Transistoren, die einen sicheren Schutz vor einzelnen Pulsen bieten, bei einer repetierenden Pulsbelastung keine ausreichende Schutzwirkung entfalten. Die bekannte Lösung für dieses Problem bestand darin, die ESD-Transistoren einfach größer zu dimensionieren, also zum Beispiel ESD-MOSFET-Transistoren mit größeren Kanalflächen zu verwenden. Diese Lösung steht aber im Gegensatz zu dem weiter bestehenden Trend nach einer Verkleinerung von Schaltungen und Steuergeräten und einer Verringerung von Kosten, die mit sinkendem Flächenbedarf der Schaltungskomponenten ebenfalls sinken.

Offenbarung der Erfindung

[0007] Vor diesem Hintergrund besteht die Aufgabe der Erfindung in der Angabe einer Schaltung, die einen geforderten Schutz vor einer repetierenden Pulsbelastung mit einem verringerten Chip-Flächenaufwand für die ESD-Transistoren bietet.

[0008] Diese Aufgabe wird mit den Merkmalen des Anspruchs 1 gelöst. Durch die zusätzliche resistive Kopplung des ersten Stromanschlusses mit dem Bezugspotenzialanschluss können Aufladungen des ersten Stromanschlusses, die aus einem vorangehenden Puls resultieren, ausreichend schnell abgebaut werden. Durch die Erfindung wird die maximal nutzbare Schutzfunktion des ESD-Transistors auch bei Mehrfachpulsen so gut ausgenutzt wie bei Einfachpulsen. Diese Schutzfunktion ist durch die maximale Stromtragfähigkeit des Transistors bei voller Aufsteuerung beschränkt. Im Gegensatz zum Stand der Technik ergibt sich bei der Erfindung auch bei einer repetierenden Pulsbelastung eine zur Aufsteuerung bei einem einzelnen Puls vergleichbare Aufsteuerung. Dadurch wird die ESD-Festigkeit bei einer repetierenden Pulsbelastung verbessert. Dies bedeutet, dass vorbestimmte Anforderungen an die ESD-Festigkeit bei repetierender Pulsbelastung mit verringerter Chip-Fläche und damit verringerten Kosten erfüllt werden können.

[0009] Die Schaltung kann sowohl in integrierter

Form realisiert sein oder aus diskreten Bauelementen aufgebaut sein. Bei einer Realisierung in integrierter Form kann sie als einzelne Integrierte Schaltung (IC) oder als Teilschaltung auf einem Chip realisiert sein, der zusätzlich weitere Schaltungskomponenten wie Teilschaltungen und/oder Bauelemente, zum Beispiel vor ESD-Einflüssen zu schützende Schaltungskomponenten aufweist.

[0010] Eine besondere Bedeutung entfalten diese Vorteile bei Schaltungen mit IC-Pins, bei denen besonders hohe ESD-Anforderungen gestellt werden. Bei Steuergeräten in Kraftfahrzeugen sind dies zum Beispiel IC-Pins für die Versorgung des Steuergeräts mit einer Bordnetzspannung oder für Busleitungen, da diese aus dem Steuergerät herausführen. Hier ist die eingesparte Fläche im Vergleich zu den bekannten Lösungen besonders groß.

[0011] Weitere Vorteile ergeben sich aus den abhängigen Ansprüchen, der Beschreibung und den beigefügten Figuren.

[0012] Es versteht sich, dass die vorstehend genannten und die nachstehend noch zu erläuternden Merkmale nicht nur in der jeweils angegebenen Kombination, sondern auch in anderen Kombinationen oder in Alleinstellung verwendbar sind, ohne den Rahmen der vorliegenden Erfindung zu verlassen.

Kurze Beschreibung der Zeichnungen

[0013] Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und werden in der nachfolgenden Beschreibung näher erläutert. Es zeigen, jeweils in schematischer Form:

[0014] [Fig. 1](#) ein erstes Ausführungsbeispiel einer erfindungsgemäßen Schaltung;

[0015] [Fig. 2](#) ein zweites Ausführungsbeispiel;

[0016] [Fig. 3](#) ein drittes Ausführungsbeispiel; und

[0017] [Fig. 4](#) ein viertes Ausführungsbeispiel.

Ausführungsform(en) der Erfindung

[0018] Im Einzelnen zeigt die [Fig. 1](#) eine Schaltung **10** mit einem Anschluss-Pin **12**, einem Bezugspotenzialanschluss **14** und einer zwischen den Anschluss-Pin **12** und den Bezugspotenzialanschluss **14** geschalteten ESD-Schutzschaltung **16**. Die ESD-Schutzschaltung **16** weist einen ESD-Transistor **18** mit einem ersten Stromanschluss **20**, einem zweiten Stromanschluss **22** und einem Steueranschluss **24** auf. Der ESD-Transistor **18** schließt im aufgesteuerten Zustand einen vom Anschluss-Pin **12** über den ersten Stromanschluss **20** und den zweiten Stromanschluss **22** zum Bezugspotenzialanschluss **14**

verlaufenden ersten Strompfad **26**. Der Steueranschluss **24** ist mit dem ersten Stromanschluss **20** kapazitiv und mit dem zweiten Stromanschluss **22** resistiv gekoppelt.

[0019] Dabei wird die kapazitive Kopplung in dieser Ausgestaltung durch eine parasitäre Kapazität **28** des ESD-Transistors **18** gebildet. Die resistive Kopplung wird zum Beispiel über ein resistives Bauelement, zum Beispiel einen Ohm'schen Widerstand **30** realisiert, der zwischen den Steueranschluss **24** und den zweiten Stromanschluss **22** geschaltet ist. Die ESD-Schutzschaltung **16** weist in der Ausgestaltung der [Fig. 1](#) ferner einen zweiten Strompfad **32** auf, der den ersten Stromanschluss **20** zusätzlich über ein resistives Bauelement, in einer Ausgestaltung über einen Ohm'schen Widerstand **34**, mit dem Bezugspotenzialanschluss **14** koppelt. An den Anschluss-Pin **12** ist ferner eine Integrierte Schaltung **36** angeschlossen, die gegen ESD-Einflüsse geschützt werden muss.

[0020] Für die Schilderung der Problematik, die der Erfindung zu Grunde liegt, wird zunächst ein NMOS (n-channel metal Oxide semiconductor)-Transistor als ESD-Transistor **18** betrachtet, der positive ESD-Impulse von dem Anschluss-Pin **12** an der Integrierten Schaltung **36** vorbei zu einem Massepotenzial am Bezugspotenzialanschluss **14** der Schaltung **10** ableiten soll. Ein solcher NMOS-ESD-Transistor **18** weist bekanntlich einen Source-Anschluss, einen Drain-Anschluss und einen Gate-Anschluss auf. Der Drain-Anschluss bildet den ersten Stromanschluss **20**, der Source-Anschluss bildet den zweiten Stromanschluss **22** und der Gate-Anschluss bildet den Steueranschluss **24**. Die kapazitive Kopplung wird bei diesem Beispiel durch die parasitäre Drain-Gate-Kapazität **28** des NMOS-ESD-Transistors **18** gebildet. Die resistive Kopplung über den Ohm'schen Widerstand **30** erfolgt in dieser Ausgestaltung zwischen Gate und Source des NMOS-ESD-Transistors **18**.

[0021] Bei einer elektrostatischen Entladung mit positiver Polarität des Anschluss-Pins **12** gegen den Bezugspotenzialanschluss **14** wird der NMOS-ESD-Transistor **18** aber die eigene parasitäre Drain-Gate Kapazität **28** aufgesteuert. Die Aufsteuerung erfolgt dabei als Folge des Potenzialanstiegs am Drain-Anschluss **20** des ESD-Transistors **18**, der bei einer steigenden Flanke eines positiven ESD-Impulses am Anschluss-Pin **12** auftritt. Die parasitäre Kapazität **28** bildet zusammen mit dem Widerstand **30** einen Hochpass. Das Eingangssignal des Hochpasses ist die Drain-Source-Spannung $U_{DS} = U_{Drain_Source}$; sein Ausgangssignal ist die Gate-Source-Spannung $U_{GS} = U_{Gate_Source}$. Ein erster Puls, der ein positives Potenzial U_{DS} am Drain-Anschluss erzeugt, bildet sich wegen der Hochpass-Charakteristik sofort in voller Höhe am

Gate ab, so dass der NMOS mit UGS mit 100% von UDS aufgesteuert wird. Wenn man zusätzlich die Gate-Source-Kapazität berücksichtigt, ergibt sich zwar ein etwas geringeres Gate-Potenzial als Folge des relevanten kapazitiven Spannungsteilers aus der Drain-Gate Kapazität **28** und der Gate-Source-Kapazität, die Funktionsweise ändert sich jedoch nicht wesentlich: In jedem Fall wird das Potenzial des Gate-Anschlusses **24** gegenüber der Source **22** angehoben. Als Folge wird der NMOS **18** aufgesteuert, was ein weiteres Ansteigen der Spannung des ESD-Impulses am Anschluss-Pin **12** zunächst bremst und den positiven ESD-Impuls im Folgenden über den Kanal des aufgesteuerten NMOS-ESD-Transistors **18** zum Bezugspotenzialanschluss **14** abfließen lässt.

[0022] Soweit wie bisher beschrieben, entspricht die Schaltung **10** dem Stand der Technik und weist den beschriebenen Nachteil einer im Vergleich zum Schutz gegen einzelne Entladungen verringerten Schutz bei repetierender Pulsbelastung auf. Die Erfindung basiert auf der Erkenntnis, dass der eingeschränkte Schutz bei repetierender Pulsbelastung mit dem Ladezustand der parasitären Kapazität **28** zusammenhängt. Dieser Ladezustand hängt von der Vorgeschichte und insbesondere davon ab, ob kurz vor einem Puls bereits ein anderer Puls aufgetreten ist, der den Ladungszustand der parasitären Kapazität **28** und damit die Aufladung des ersten Stromanschlusses **20** verändert hat. Diese Aufladung entsteht auf die folgende Weise: Sobald der NMOS-ESD-Transistor **18** aufgesteuert ist, wirkt die ESD-Quelle, also die Ladungsquelle, die den unerwünschten ESD-Puls verursacht, als Strom-Quelle (d. h.: der Innenwiderstand der ESD-Quelle ist größer als der Lastwiderstand des eingeschalteten ESD-Transistors **18**). Bei flächenoptimaler Auslegung des ESD-Transistors **18** treibt der ESD-Entladestrom die Spannung am Drain des ESD-Transistors auf Werte etwas unterhalb der maximalen Betriebsspannung (bei 40 V-Transistor also z. B. 30 V).

[0023] Einerseits nimmt der ESD-Belastungsstrom mit der Zeit ab, andererseits wird die Gate-Source-Spannung über zwei parallele Mechanismen verringert: Es erfolgt ein Entladen des Gates über den Widerstand zwischen Gate und Source: Eine positive Gate-Source-Spannung UGS treibt einen Strom durch den Widerstand **30**, der die Drain-Gate-Kapazität **28** auflädt und damit das Gate-Potenzial nach und nach verringert: Für UGS bleibt nur noch ein kleiner Teil von UDS übrig, da UDS die Summe der Spannungsabfälle an der Kapazität **28** und dem Widerstand **30** ist. Bei weiter anliegendem ersten Puls reduziert dies die Aufsteuerung des NMOS-ESD-Transistors **18**.

[0024] Wenn die Drainspannung wegen eines nachlassenden ESD-Entladestroms abfällt, bildet sich der

Abfall wegen der Hochpasswirkung sofort in UGS ab, was den den NMOS-ESD-Transistor **18** wieder schließt. Bei geschlossenem NMOS-ESD-Transistor kann die Ladung der Kapazität **28**, wenn man von Leckströmen absieht, nicht weiter abfließen. Beim Stand der Technik, der keinen zweiten Strompfad **32** aufweist, wird die Kapazität **28** dann lediglich über Leckströme, zum Beispiel über einen Drain-Bulk-Leckstrom, entladen. Bei kurzzeitig hintereinander auftretenden Pulsen, insbesondere dann, wenn der zeitliche Abstand der Pulse kleiner als eine Sekunde ist, wird die Kapazität **28** zwischen zwei Pulsen dann nicht mehr vollständig entladen.

[0025] Damit bleibt auch eine positive Spannung UDS erhalten, wobei UGS aber Umstände, zum Beispiel aufgrund der Entladung über den Widerstand **30**, gleich Null ist.

[0026] Tritt jetzt ein zweiter Puls auf, steigt UDS wieder an, was sich wegen der Hochpass-Charakteristik sofort in UGS abbildet. Allerdings bildet sich nur die Änderung, also nur der Anstieg ab. Daher ist UGS beim zweiten Puls nicht 100% von UDS, sondern kleiner. Der NMOS-ESD-Transistor **18** wird daher nicht voll aufgesteuert, der zweite Puls wird daher mit kleinerer Stromstärke über den ESD-Transistor **18** abgeführt. Im Ergebnis wird die Energie des zweiten Pulses auch dann, wenn sie der Energie des ersten Pulses entspricht, in geringerem Maße über den ESD-Transistor **18** abgeleitet. Dadurch kann es beim Stand der Technik zu unzulässig hohen Bauteilbelastungen, zum Beispiel zu einer Überlastung der Durchbruchspannung des ESD-Transistors **18** kommen. Daraus resultiert eine verminderte ESD-Festigkeit.

[0027] Nehmen wir zur Verdeutlichung des Effektes ein zulässiges Potenzial von 30 V am ersten Stromanschluss **20** an, wie es bei 40 V Kfz-Anwendungen auftreten kann. Sobald die Gatespannung bei geladener Kapazität **28** abnimmt, beginnt der ESD-Transistor **18** wieder zu sperren. Daher fließt die Ladung der Kapazität **28**, also die Aufladung am ersten Stromanschluss **20**, nicht vollständig ab und das Potenzial am ersten Stromanschluss bleibt auf einem höheren Wert als zuvor, im genannten Beispiel wenig unterhalb von 30 V, stehen. Die Aufladung des ersten Stromanschlusses **20** entlädt sich nach dem Abschalten des ESD-Transistors **18** nur noch über den Drain-Bulk Leckstrom. Die zugeordneten Zeitkonstanten liegen jedoch um mehrere Größenordnungen oberhalb der Wiederholrate bei ESD-Mehrfachpulsen. Daher tritt der zweite Puls am Anschluss-Pin **12** bei einem höheren Potential am ersten Stromanschluss **20** auf als der vorangehende erste Puls. Entsprechend kleiner ist die Potenzialänderung am ersten Stromanschluss. Daher wird der ESD-Transistor **18** weniger aufgesteuert. Er kann dann weniger Strom tragen und wird daher früher

zerstört.

[0028] Bei der erfindungsgemäßen Schaltung **10** erfolgt dagegen eine vergleichsweise schnelle Entladung der Kapazität **28** über das resistive Bauelement **34** des zweiten Strompfades **32** zum Bezugspotenzialanschluss **14**. Es versteht sich, dass der Widerstandswert des resistiven Bauelements **34** mit Blick auf einen Kompromiß zwischen den Forderungen nach einer möglichst schnellen Entladung der Kapazität **28** und einer möglichst geringen Beeinträchtigung von Nutzsignalen zwischen dem Anschluss-Pin **12** und der Integrierten Schaltung **36** festzulegen ist. Ein solcher Kompromiss ergibt sich bei den beschriebenen Forderungen an eine verbesserte ESD-Festigkeit bei mehreren, mit einem zeitlichen Abstand in der Größenordnung einer Sekunde aufeinander folgenden Pulsen bei Werten des Widerstands **34**, die nur so hoch ist, dass die Kapazität **28** bei nicht aufgesteuertem ESD-Transistor **18** mit einer Zeitkonstante entladen wird, die kleiner als eine Sekunde ist. Im Allgemeinen ist der Widerstand so zu dimensionieren, dass die Zeitkonstante der Entladung etwa dem zu erwartenden Zeitabstand zwischen zwei Pulsen einer repetierenden Pulsbelastung entspricht.

[0029] Dann wird die Kapazität **28** vor jedem neuen Puls jeweils soweit entladen, dass nicht nur der erste, sondern auch die folgenden Pulse einer am Anschluss-Pin **12** auftretenden Pulsfolge jeweils die Kapazität umladen und damit den NMOS-ESD-Transistor **18** aufsteuern. Die oben beschriebene, nachteilige Verringerung der Aufsteuerung durch eine vorhergehende Aufladung der Kapazität **28** wird verhindert oder zumindest verringert.

[0030] Im Folgenden werden noch verschiedene Ausgestaltungen vorgestellt: Anstelle des Ohm'schen Widerstandes **30** kann auch ein als Widerstand geschalteter Steuertransistor für die resistive Kopplung von Steueranschluss **24** und zweitem Stromanschluss **22** verwendet werden. Dies kann zum Beispiel ein selbstleitender NMOS sein, dessen Source zusammen mit dessen Gate ($U_{GS} = 0$) an den zweiten Stromanschluss **22** angeschlossen ist und dessen Drain an den Steueranschluss **24** angeschlossen ist. Analog kann auch der Ohm'sche Widerstand **34**, beziehungsweise das resistive Bauelement **34**, durch einen als Widerstand geschalteten Transistor realisiert werden.

[0031] **Fig. 2** zeigt eine weitere Ausgestaltung, bei der eine erste Diode **D1** in Flussrichtung in dem ersten Strompfad **26** zwischen dem Anschluss-Pin **12** und dem ersten Stromanschluss **20** angeordnet ist, und/oder eine zweite Diode **D2** in Sperrrichtung in einem dritten Strompfad **38** zwischen dem Anschluss-Pin **12** und dem Bezugspotenzial **14** angeordnet ist, und/oder eine dritte Diode **D3** in Sperrrichtung in einem vierten Strompfad zwischen dem Steu-

eranschluss **24** des ESD-Transistors **18** und dem Bezugspotenzialanschluss **14** angeordnet ist, und/oder wenigstens eine weitere Diode **D4** in Sperrrichtung in einem fünften Strompfad zwischen dem ersten Stromanschluss **20** und dem Steueranschluss **24** des ESD-Transistors **18** angeordnet ist.

[0032] Bei einem ESD-Puls, also einem in den Anschluss-Pin **12** von außen eingespeisten Entladestrom mit positiver Polarität gegen das Bezugspotenzial am Bezugspotenzialanschluss **18** fließt der Strom über die in Vorwärtsrichtung gepolte Diode **D1** und den in der dargestellten Ausgestaltung über die eigene parasitäre Drain-Gate Kapazität **28** aufgesteuerten ESD-Transistor **18**. Zusätzlich zur parasitären Drain-Gate-Kapazität **28** kann auch eine separate Kapazität zur Vergrößerung der zwischen Drain und Gate wirksamen Kapazität vorgesehen werden.

[0033] Der ESD-Transistor **18** kann, mit den notwendigen Änderungen, auch als PMOS oder Bipolartransistor ausgeführt sein und in unterschiedlicher Art und Weise angesteuert werden, z. B. allein über Widerstände am Gate, über RC-Glieder oder über weitere, vorgeschaltete Transistoren.

[0034] Das Beispiel aus **Abb. 2** nutzt zur ergänzenden Ansteuerung des ESD-Transistors **18** die Diode **D4**, die im Falle von drohender Überspannung im Durchbruch arbeitet und dann das Gate am Steueranschluss **24** mit Strom versorgt und den ESD-Transistor **18** damit zusätzlich aufsteuert. Gleichzeitig begrenzt die Diode **D4** auch die Drain-Gate-Spannung des ESD-Transistors **18**. Die Diode **D4** entfaltet diese erwünschten Wirkungen aufgrund ihres Innenwiderstands jedoch erst bei vergleichsweise langsameren Pulsen. Im Gegensatz zu der resistiven Kopplung **30** zwischen dem Steueranschluss **24** und dem zweiten Stromanschluss **22** kann die Diode **D4** auch entfallen. Dies hängt vom Einsatzzweck und der Auslegung der ESD-Schaltung **16** und der Schaltung **10** ab.

[0035] Die Diode **D3** begrenzt die Gate-Source-Spannung oder Steuerspannung des ESD-Transistors **18**. Bei einer Stromeinprägung mit negativer Polarität von Anschluss-Pin **12** gegen den Bezugspotenzialanschluss **14** fließt der Strom über die in Vorwärtsrichtung gepolte Diode **D2**. Sofern der ESD-Transistor **18** und die Dioden **D1** und **D2** ausreichend groß dimensioniert sind, wird die Spannung unter Pulsbelastung hinreichend begrenzt, so dass keine Schädigungen auftreten. Mit dem ersten Stromanschluss **20** kann auch ein Versorgungspfad kontaktiert sein, was in den Figuren nicht explizit dargestellt ist.

[0036] **Fig. 3** zeigt eine weitere Ausgestaltung, bei der die Diode **D4** aus der **Fig. 2** durch eine Reihenschaltung mehrerer Dioden **D4.1** bis **D4.x** ersetzt

worden ist. Dann ergibt sich an Stelle der Durchbruchspannung der Diode D4 in der **Fig. 2** die Summe der Durchbruchspannungen der Dioden D4.1 bis D4.x. Die Ausgestaltung der **Fig. 3** weist ferner eine fünfte Diode D5 auf, die in Sperrrichtung in Reihe mit dem resistiven Bauelement **34** im zweiten Strompfad **32** liegt. Dabei kann die in der **Fig. 3** dargestellte Anordnung der fünften Diode D5 und des Bauelements **34** auch vertauscht sein. Diese Anordnung vermindert einen Fluss von Sperrströmen vom Anschluss-Pin **12** über die erste Diode D1 und das resistive Bauelement **34**. Solange nur die Sperrspannung der Diode D5 niedriger liegt als die Summe der Sperrspannungen der Dioden D3 und D4.1 bis D4.x, liefert diese Anordnung einen Vorteil. Der Grund hierfür ist, dass der Pfad über D5 das Ladungsniveau der Kapazität **28** verringert. An Stelle einer einzelnen fünften Diode D5 kann auch eine Reihenschaltung aus mehreren fünften Dioden verwendet werden, die in Sperrrichtung in Reihe mit dem resistiven Bauelement (**34**) zwischen dem ersten Stromanschluss (**20**) und dem Bezugspotenzialanschluss (**14**) angeordnet ist.

[0037] Wie in der **Fig. 4** dargestellt ist, kann auch ein Teil der Dioden D3, D4.1 bis D4.x an Stelle von D5 genutzt werden, so dass das resistive Bauelement (**34**) in Reihe mit der Spannungsbegrenzungsdiode (D3) oder mit einer Reihenschaltung aus der Spannungsbegrenzungsdiode (D3) und wenigstens einer weiteren Diode (D4; D4.1, ..., D4.x) in dem Strompfad zwischen dem ersten Stromanschluss (**20**) und dem Bezugspotenzialanschluss (**14**) liegt.

[0038] In der Ausgestaltung der **Fig. 4** ist das Bauelement **34** zwischen dem ersten Stromanschluss **20** und zwei der in Serie geschalteten Dioden (D3, D4.1, ..., D4.x) angeordnet. Als weitere Abwandlung der in der **Fig. 4** dargestellten Ausgestaltung kann das resistive Bauelement **34** auch gegen Masse, beziehungsweise gegen das Bezugspotenzial geschaltet werden, also zum Beispiel parallel zu den Dioden D3 und D4.1.

[0039] Bei dem Anschluss-Pin **12** kann es sich um einen Eingang oder einen Ausgang der Schaltung **10** handeln. Mehrere Anschluss-Pins **12** können an einen ESD-Transistor **18** angeschlossen sein. Mehrere ESD-Transistoren **18** können an einen Anschluss-Pin **12** angeschlossen sein.

Patentansprüche

1. Schaltung (**10**) mit einem Anschluss-Pin (**12**), einem Bezugspotenzialanschluss (**14**), und einer zwischen dem Anschluss-Pin (**12**) und dem Bezugspotenzialanschluss (**14**) geschalteten ESD-Schutzschaltung (**16**), die einen ESD-Transistor (**18**) mit einem ersten Stromanschluss (**20**), einem

zweiten Stromanschluss (**22**) und einem Steueranschluss (**24**) aufweist, wobei der ESD-Transistor (**18**) im aufgesteuerten Zustand einen vom Anschluss-Pin (**12**) über den ersten Stromanschluss (**20**) und den zweiten Stromanschluss (**22**) zum Bezugspotenzialanschluss (**14**) verlaufenden ersten Strompfad (**26**) schließt, und wobei der Steueranschluss (**24**) mit dem ersten Stromanschluss (**20**) durch eine Kapazität (**28**) und mit dem zweiten Stromanschluss (**22**) resistiv gekoppelt ist, **dadurch gekennzeichnet**, dass der erste Stromanschluss (**20**) zusätzlich über einen zweiten Strompfad (**32**), der ein resistives Bauelement (**34**) aufweist, mit dem Bezugspotenzialanschluss (**14**) gekoppelt ist.

2. Schaltung (**10**) nach Anspruch 1, dadurch gekennzeichnet, dass der Widerstand des resistiven Bauelements (**34**) nur so hoch ist, dass die Kapazität (**28**) bei nicht aufgesteuertem ESD-Transistor (**18**) mit einer Zeitkonstante entladen wird, die kleiner als eine Sekunde ist.

3. Schaltung (**10**) nach einem der vorhergehenden Ansprüche, gekennzeichnet durch einen Ohm'schen Widerstand (**30**), der zwischen dem Steueranschluss (**24**) und dem zweiten Stromanschluss (**22**) des ESD-Transistors (**18**) liegt und der die resistive Kopplung bewirkt.

4. Schaltung (**10**) nach Anspruch 1 oder 2, gekennzeichnet durch einen Steuertransistor, der als Widerstand geschaltet ist, der zwischen dem Steueranschluss (**24**) und dem zweiten Stromanschluss (**22**) des ESD-Transistors (**18**) liegt, und der die resistive Kopplung bewirkt.

5. Schaltung (**10**) nach einem der vorhergehenden Ansprüche, gekennzeichnet durch eine erste Diode (D1), die in Flussrichtung in dem ersten Strompfad (**26**) zwischen dem Anschluss-Pin (**12**) und dem ersten Stromanschluss (**20**) angeordnet ist.

6. Schaltung (**10**) nach einem der vorhergehenden Ansprüche, gekennzeichnet durch eine in Sperrrichtung in einem zweiten Strompfad (**32**) zwischen dem Anschluss-Pin (**12**) und dem Bezugspotenzial (**14**) angeordnete zweite Diode (D2).

7. Schaltung (**10**) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet dass die Kapazität (**28**) eine parasitäre Kapazität des ESD-Transistors (**18**) ist.

8. Schaltung (**10**) nach einem der vorhergehenden Ansprüche, gekennzeichnet durch eine in Sperrrichtung in einem dritten Strompfad zwischen dem Steueranschluss (**24**) des ESD-Transistors (**18**) und dem Bezugspotenzialanschluss (**14**) angeordnete Spannungsbegrenzungsdiode (D3).

9. Schaltung (**10**) nach einem der vorhergehenden Anschlüsse, gekennzeichnet durch wenigstens eine in Sperrrichtung in einem vierten Strompfad zwischen dem ersten Stromanschluss (**20**) und dem Steueranschluss (**24**) des ESD-Transistors (**18**) angeordnete weitere Diode (D4; D41, ..., D4x).

10. Schaltung (**10**) nach einem der vorhergehenden Anschlüsse, gekennzeichnet durch eine in Sperrrichtung in Reihe mit dem resistiven Bauelement (**34**) zwischen dem ersten Stromanschluss (**20**) und dem Bezugspotenzialanschluss (**14**) angeordnete fünfte Diode (D5).

11. Schaltung (**10**) nach einem der Ansprüche 1–9, gekennzeichnet durch eine in Sperrrichtung in Reihe mit dem resistiven Bauelement (**34**) zwischen dem ersten Stromanschluss (**20**) und dem Bezugspotenzialanschluss (**14**) angeordnete Reihenschaltung von fünften Dioden (D5).

12. Schaltung nach einem der Ansprüche 1–9, dadurch gekennzeichnet, dass das resistive Bauelement (**34**) in Reihe mit der Steuerspannungsbegrenzungsdiode (D3) oder mit einer Reihenschaltung aus der Steuerspannungsbegrenzungsdiode (D3) und wenigstens einer weiteren Diode (D4; D4.1, ..., D4.x) in dem Strompfad zwischen dem ersten Stromanschluss (**20**) und dem Bezugspotenzialanschluss (**14**) liegt.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

