



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0075369  
(43) 공개일자 2009년07월08일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0001205

(22) 출원일자 2008년01월04일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

장종웅

충남 천안시 불당동 대동 다숲아파트 107동 104호

이병준

충남 천안시 두정동 1013-3 402호

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 20 항

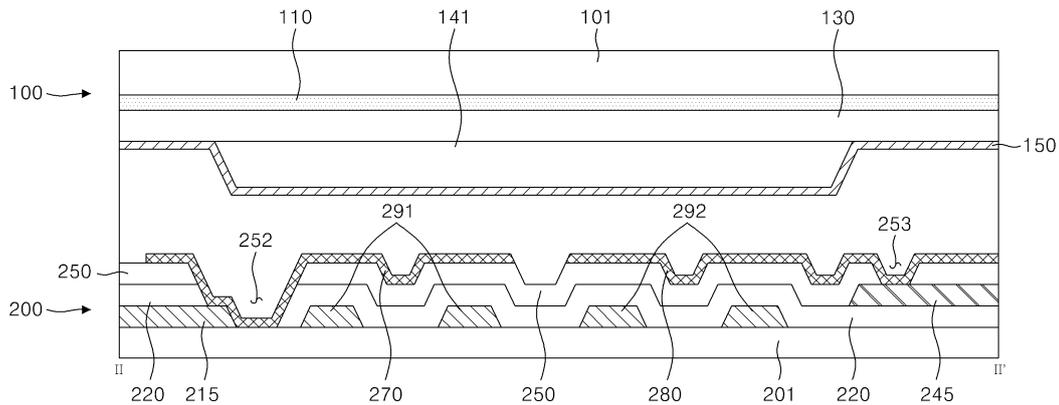
(54) 표시 패널

(57) 요약

본 발명은 입력 감도를 향상시켜 좌표 검출 불량을 방지하는 표시 패널에 관한 것이다.

본 발명에 따른 표시 패널은 제1 기판 상에 형성되는 터치용 스페이서, 터치용 스페이서 상부의 공통 전극 및 제1 기판과 마주보는 제2 기판 상에 형성되고 공통 전극에 대응하는 센싱 전극을 포함하며, 센싱 전극은 표면이 단차를 이루도록 형성된다.

대표도 - 도3a



**특허청구의 범위**

**청구항 1**

제1 기관 상에 형성되는 터치용 스페이서;  
 상기 터치용 스페이서 상부의 공통 전극; 및  
 상기 제1 기관과 마주보는 제2 기관 상에 형성되고 상기 공통 전극에 대응하는 센싱 전극을 포함하며,  
 상기 센싱 전극은 표면이 단차를 이루도록 형성되는 표시 패널.

**청구항 2**

제1 항에 있어서,  
 상기 센싱 전극은 엠보싱 형태로 형성되어 상기 공통 전극에 복수의 면이 접촉되는 것을 특징으로 하는 표시 패널.

**청구항 3**

제1 항에 있어서,  
 상기 센싱 전극의 하부에 형성되는 하부 전극을 더 포함하는 것을 특징으로 하는 표시 패널.

**청구항 4**

제3 항에 있어서,  
 상기 하부 전극은 원형, 타원형, 다각형 중 적어도 어느 하나의 형태로 형성되는 것을 특징으로 하는 표시 패널.

**청구항 5**

제3 항에 있어서,  
 상기 제2 기관은  
 게이트 전극을 포함하여 상기 제1 센싱 라인과 동일층에 형성되는 게이트 라인;  
 상기 제1 센싱 라인 및 게이트 라인의 상부에 형성되는 게이트 절연막;  
 상기 게이트 절연막의 상부에 상기 게이트 전극과 중첩되게 형성되는 반도체층;  
 상기 반도체층의 상부에 상기 제2 센싱 라인과 동일층에 형성되는 데이터 라인;  
 상기 데이터 라인의 상부에 형성되며, 상기 데이터 라인의 일부를 노출시키는 콘택홀을 포함하는 보호막; 및  
 상기 보호막의 상부에서 콘택홀을 통해 상기 데이터 라인에 접속되는 화소 전극을 더 포함하는 것을 특징으로 하는 표시 패널.

**청구항 6**

제5 항에 있어서,  
 상기 하부 전극은 각각 게이트 라인, 데이터 라인, 반도체층 중 적어도 하나 이상과 같은 재질로 형성되는 것을 특징으로 하는 표시 패널.

**청구항 7**

제1 기관 상에 형성되는 터치용 스페이서;  
 상기 터치용 스페이서 상부의 공통 전극;  
 상기 제1 기관과 마주보는 제2 기관 상에 형성된 제1 및 제2 센싱 라인; 및

상기 제1 및 제2 센싱 라인에 각각 연결되고, 상기 공통 전극을 향해 용출한 엠보싱 형태의 표면을 갖는 제1 및 제2 센싱 전극을 포함하는 것을 특징으로 하는 표시 패널.

**청구항 8**

제7 항에 있어서,

상기 제1 및 제2 센싱 전극은 엠보싱 형태로 형성되어 상기 공통 전극에 복수의 면이 접촉되는 것을 특징으로 하는 표시 패널.

**청구항 9**

제7 항에 있어서,

상기 제1 및 제2 센싱 전극의 하부에 형성되는 제1 및 제2 하부 전극을 더 포함하는 것을 특징으로 하는 표시 패널.

**청구항 10**

제9 항에 있어서,

상기 제1 및 제2 하부 전극은 원형, 타원형, 다각형 중 적어도 어느 하나의 형태로 형성되는 것을 특징으로 하는 표시 패널.

**청구항 11**

제10 항에 있어서,

상기 제1 및 제2 하부 전극은 동일층에 형성되거나, 서로 다른 층에 형성되는 것을 특징으로 하는 표시 패널.

**청구항 12**

제9 항에 있어서,

상기 제2 기관은

게이트 전극을 포함하여 상기 제1 센싱 라인과 동일층에 형성되는 게이트 라인;

상기 제1 센싱 라인 및 게이트 라인의 상부에 형성되는 게이트 절연막;

상기 게이트 절연막의 상부에 상기 게이트 전극과 중첩되게 형성되는 반도체층;

상기 반도체층의 상부에 상기 제2 센싱 라인과 동일층에 형성되는 데이터 라인;

상기 데이터 라인의 상부에 형성되며, 상기 데이터 라인의 일부를 노출시키는 콘택홀을 포함하는 보호막; 및

상기 보호막의 상부에서 콘택홀을 통해 상기 데이터 라인에 접속되는 화소 전극을 더 포함하는 것을 특징으로 하는 표시 패널.

**청구항 13**

제12 항에 있어서,

상기 하부 전극은 각각 게이트 라인, 데이터 라인, 반도체층 중 적어도 하나 이상과 같은 재질로 형성되는 것을 특징으로 하는 표시 패널.

**청구항 14**

제13 항에 있어서,

상기 제1 및 제2 센싱 전극은 서로 대향하는 면이 다면으로 형성되는 것을 특징으로 하는 표시 패널.

**청구항 15**

제1 기관 상에 형성되는 터치용 스페이서;

상기 터치용 스페이서 상부의 공통 전극;

상기 제1 기관과 마주보는 제2 기관 상에서 형성된 제1 및 제2 센싱 라인; 및

상기 센싱 라인과 연결되며, 상기 공통 전극을 향해 용출하여 상기 공통 전극과 접촉하는 면이 복수의 모서리를 갖도록 형성되는 센싱 전극을 포함하는 것을 특징으로 하는 표시 패널.

**청구항 16**

제15 항에 있어서,

상기 센싱 전극의 하부에 형성되는 하부 전극을 더 포함하는 것을 특징으로 하는 표시 패널.

**청구항 17**

제16 항에 있어서,

상기 하부 전극은 상기 센싱 전극보다 작게 형성되는 것을 특징으로 하는 표시 패널.

**청구항 18**

제16 항에 있어서,

상기 하부 전극은 상기 제2 센싱 라인과 동일한 재질로 상기 제2 센싱 라인과 동일층에 형성되는 것을 특징으로 하는 표시 패널.

**청구항 19**

제18 항에 있어서,

상기 제2 기관은

게이트 전극을 포함하여 상기 제1 센싱 라인과 동일층에 형성되는 게이트 라인;

상기 제1 센싱 라인 및 게이트 라인의 상부에 형성되는 게이트 절연막;

상기 게이트 절연막의 상부에 상기 게이트 전극과 중첩되게 형성되는 반도체층;

상기 반도체층의 상부에 상기 제2 센싱 라인과 동일층에 형성되는 데이터 라인;

상기 데이터 라인의 상부에 형성되며, 상기 데이터 라인의 일부를 노출시키는 콘택홀을 포함하는 보호막; 및

상기 보호막의 상부에서 콘택홀을 통해 상기 데이터 라인에 접속되는 화소 전극을 더 포함하는 것을 특징으로 하는 표시 패널.

**청구항 20**

제19 항에 있어서,

상기 하부 전극의 하부에 상기 하부 전극과 중첩되게 반도체층이 형성되는 것을 특징으로 하는 표시 패널.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 표시 패널에 관한 것으로, 더욱 상세하게는 입력 감도를 향상시켜 좌표 검출 불량을 방지하는 표시 패널에 관한 것이다.

**배경기술**

<2> 터치 패널은 액정 표시 장치(Liquid Crystal Display: LCD), 전계 방출 표시 장치(Field Emission Display: FED), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 및 전계 발광 소자(Electro Luminescence: ELD)

등의 화상 표시면에 설치되어 사용자가 화면을 가압하면 정보를 입력하는 입력 수단이다.

- <3> 터치 패널은 동작 원리에 따라 대표적으로 정전용량식과 저항막식으로 나눌 수 있다. 정전용량식 터치 패널은 1개의 투명한 도전성 필름 또는 투명 도전성 글래스에 정전용량의 층방전 상태가 반복되는 가운데, 펜 형태의 입력수단인 스타일러스(stylus)와 도전성 필름 사이에 소량의 전하가 축적되고 이 전하량을 입력점으로부터 검출하여 좌표값을 환산하는 방식이다. 그리고, 저항막식 터치 패널은 2개의 대향하는 도전막층에 전압이 인가된 상태에서 사용자가 화면을 눌러 대향하는 두 도전막층이 접촉되게 하고 그 접촉점에서 발생하는 전압 또는 전류 변화를 검출하여 접촉점의 좌표값을 읽는 방식이다.
- <4> 여기서, 정전용량식 터치 패널은 스타일러스에 전기를 공급해 주어야 하기 때문에 최근에는 액정 표시 패널과 일체로 구성되는 아날로그 입력 방식의 저항막 방식의 터치 패널이 주로 사용된다. 이때, 저항막 방식의 터치 패널은 액정 표시 패널의 휘도 저하를 방지하기 위해 액정 표시 패널의 내부에 형성되기도 한다.
- <5> 터치 패널 일체형 액정 표시 패널은 입력점의 수평 위치에 대한 제1 좌표와 수직 위치에 대한 제2 좌표를 검출하기 위해 박막 트랜지스터 기판에 제1 및 제2 센싱 라인과 이들에 접속되는 제1 및 제2 센싱 전극이 형성된다. 그리고, 터치 패널 일체형 액정 표시 패널은 컬러필터 기판에 제1 및 제2 센싱 전극과 접촉하기 위한 터치용 스페이서가 형성된다.
- <6> 여기서, 제1 및 제2 센싱 전극은 터치용 스페이서와 접촉시 동시에 접촉되지 않음으로써 터치 감도가 낮아질 수 있다. 그리고, 제1 및 제2 센싱 전극은 상부에 액정의 배향을 위한 배향막의 형성되어 터치용 스페이서와 접촉시 감도가 낮아지는 문제점이 있다. 이와 같은, 문제점을 해결하기 위해 표시 패널에서 터치 감도를 향상시킬 수 있는 다양한 연구가 활발히 진행되고 있다.

### 발명의 내용

#### 해결 하고자하는 과제

- <7> 본 발명의 해결하고자 하는 과제는 좌표 검출이 용이하고, 감도 향상을 위해 센싱 전극이 복수의 면으로 터치용 스페이서에 접촉되는 표시 패널을 제공하는 것이다.
- <8>

#### 과제 해결수단

- <9> 상술한 과제를 달성하기 위하여, 본 발명에 따른 표시 패널은 제1 기판 상에 형성되는 터치용 스페이서; 상기 터치용 스페이서 상부의 공통 전극; 및 상기 제1 기판과 마주보는 제2 기판 상에 형성되고 상기 공통 전극에 대응하는 센싱 전극을 포함하며, 상기 센싱 전극은 표면이 단차를 이루도록 형성된다.
- <10> 상기 센싱 전극은 엠보싱 형태로 형성되어 상기 공통 전극에 복수의 면이 접촉될 수 있다.
- <11> 상기 센싱 전극의 하부에 형성되는 하부 전극을 더 포함할 수 있다. 이때, 상기 하부 전극은 원형, 타원형, 다각형 중 적어도 어느 하나의 형태로 형성될 수 있다.
- <12> 상기 제2 기판은 게이트 전극을 포함하여 상기 제1 센싱 라인과 동일층에 형성되는 게이트 라인; 상기 제1 센싱 라인 및 게이트 라인의 상부에 형성되는 게이트 절연막; 상기 게이트 절연막의 상부에 상기 게이트 전극과 중첩되게 형성되는 반도체층; 상기 반도체층의 상부에 상기 제2 센싱 라인과 동일층에 형성되는 데이터 라인; 상기 데이터 라인의 상부에 형성되며, 상기 데이터 라인의 일부를 노출시키는 콘택홀을 포함하는 보호막; 및 상기 보호막의 상부에서 콘택홀을 통해 상기 데이터 라인에 접속되는 화소 전극을 더 포함할 수 있다. 이때, 상기 하부 전극은 각각 게이트 라인, 데이터 라인, 반도체층 중 적어도 하나 이상과 같은 재질로 형성될 수 있다.
- <13> 상술한 과제를 달성하기 위하여, 본 발명에 따른 표시 패널은 제1 기판 상에 형성되는 터치용 스페이서; 상기 터치용 스페이서 상부의 공통 전극; 상기 제1 기판과 마주보는 제2 기판 상에 형성된 제1 및 제2 센싱 라인; 및 상기 제1 및 제2 센싱 라인에 각각 연결되고, 상기 공통 전극을 향해 용출한 엠보싱 형태의 표면을 갖는 제1 및 제2 센싱 전극을 포함한다.
- <14> 상기 제1 및 제2 센싱 전극은 엠보싱 형태로 형성되어 상기 공통 전극에 복수의 면이 접촉될 수 있다.
- <15> 상기 제1 및 제2 센싱 전극의 하부에 형성되는 제1 및 제2 하부 전극을 더 포함할 수 있다. 이때, 상기 제1 및 제2 하부 전극은 원형, 타원형, 다각형 중 적어도 어느 하나의 형태로 형성될 수 있다. 그리고, 상기 제1 및

제2 하부 전극은 동일층에 형성되거나, 서로 다른 층에 형성될 수 있다.

- <16> 상기 제2 기관은 게이트 전극을 포함하여 상기 제1 센싱 라인과 동일층에 형성되는 게이트 라인; 상기 제1 센싱 라인 및 게이트 라인의 상부에 형성되는 게이트 절연막; 상기 게이트 절연막의 상부에 상기 게이트 전극과 중첩되게 형성되는 반도체층; 상기 반도체층의 상부에 상기 제2 센싱 라인과 동일층에 형성되는 데이터 라인; 상기 데이터 라인의 상부에 형성되며, 상기 데이터 라인의 일부를 노출시키는 콘택홀을 포함하는 보호막; 및 상기 보호막의 상부에서 콘택홀을 통해 상기 데이터 라인에 접속되는 화소 전극을 더 포함할 수 있다. 이때, 상기 하부 전극은 각각 게이트 라인, 데이터 라인, 반도체층 중 적어도 하나 이상과 같은 재질로 형성될 수 있다. 그리고, 상기 제1 및 제2 센싱 전극은 서로 대향하는 면이 다면으로 형성될 수 있다.
- <17> 상술한 과제를 달성하기 위하여, 본 발명에 따른 표시 패널은 제1 기관 상에 형성되는 터치용 스페이서; 상기 터치용 스페이서 상부의 공통 전극; 상기 제1 기관과 마주보는 제2 기관 상에서 형성된 제1 및 제2 센싱 라인; 및 상기 센싱 라인과 연결되며, 상기 공통 전극을 향해 용출하여 상기 공통 전극과 접촉하는 면이 복수의 모서리를 갖도록 형성되는 센싱 전극을 포함한다.
- <18> 상기 센싱 전극의 하부에 형성되는 하부 전극을 더 포함할 수 있다.
- <19> 상기 하부 전극은 상기 센싱 전극보다 작게 형성될 수 있다.
- <20> 상기 하부 전극은 상기 제2 센싱 라인과 동일한 재질로 상기 제2 센싱 라인과 동일층에 형성될 수 있다.
- <21> 상기 제2 기관은 게이트 전극을 포함하여 상기 제1 센싱 라인과 동일층에 형성되는 게이트 라인; 상기 제1 센싱 라인 및 게이트 라인의 상부에 형성되는 게이트 절연막; 상기 게이트 절연막의 상부에 상기 게이트 전극과 중첩되게 형성되는 반도체층; 상기 반도체층의 상부에 상기 제2 센싱 라인과 동일층에 형성되는 데이터 라인; 상기 데이터 라인의 상부에 형성되며, 상기 데이터 라인의 일부를 노출시키는 콘택홀을 포함하는 보호막; 및 상기 보호막의 상부에서 콘택홀을 통해 상기 데이터 라인에 접속되는 화소 전극을 더 포함할 수 있다. 그리고, 상기 하부 전극의 하부에 상기 하부 전극과 중첩되게 반도체층이 형성될 수 있다.
- <22> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 설명을 통하여 명백하게 드러나게 될 것이다.

**효 과**

- <23> 본 발명에 따른 표시 패널은 센싱 전극이 용출되어 엠보싱 형태로 형성됨으로써 터치용 스페이서에 의한 공통 전극과 접촉시 복수의 면으로 접촉된다. 이를 통해, 표시 패널은 접촉 면적에 의한 감도 차이를 줄일 수 있고, 국부적인 스트레스로 인한 터치용 스페이서의 손상을 방지할 수 있다.
- <24> 또한, 센싱 전극의 상부에 형성된 배향막을 마모시켜 공통 전극과 센싱 전극의 전도 효율을 향상시킬 수 있다. 이에 따라, 사용자의 입력시 입력 지점에 대한 센싱 감도를 향상시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <25> 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명에 따른 표시 패널에 대한 실시 예를 첨부된 도면들을 참조하여 상세하게 설명한다. 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고, 명세서 전체에 걸쳐 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.
- <26> 도 1은 본 발명의 일 실시 예에 따른 표시 패널을 설명하기 위해 도시한 평면도이고, 도 2는 도 1에 도시된 I-I'선을 따라 절취한 표시 패널의 단면을 도시한 단면도이며, 도 3은 도 1에 도시된 II-II'선을 따라 절취한 표시 패널의 단면을 도시한 단면도이다.
- <27> 도 1 내지 도 3을 참조하면, 본 발명의 일 실시 예에 따른 표시 패널은 서로 대향하는 제1 기관(100)과 제2 기관(200)을 포함한다.
- <28> 구체적으로, 제1 기관(100)은 상부 기관(101) 상에 빛샘 방지를 위한 블랙 매트릭스(110)와, 색 구현을 위한 컬러필터(120)와, 블랙 매트릭스(110)와 컬러필터(120)의 단차를 완화시키기 위한 오버코트(130)와, 액정에 공통 전압을 인가하기 위한 공통 전극(150)을 포함한다.
- <29> 상부 기관(101)은 상부로 가해지는 압력에도 유연하게 굴곡을 이룰 수 있도록 플라스틱과 같은 투명한 절연 물

질로 형성된다.

- <30> 블랙 매트릭스(110)는 액정을 제어할 수 없는 영역을 통해 광이 출광되는 것을 막기 위해 불투명한 유기물질 또는 불투명한 금속으로 형성된다.
- <31> 컬러필터(120)는 색을 구현하기 위해 세부적으로 적색, 녹색 및 청색의 컬러필터로 형성된다.
- <32> 오버코트(130)는 공통 전극(150)의 양호한 스텝 커버리지(Step Coverage) 및 절연을 위해 투명한 유기물질로 형성되어 컬러필터(120)와 블랙 매트릭스(110)를 보호한다.
- <33> 공통 전극(150)은 오버코트(130)의 상부에 형성된다. 여기서, 공통 전극(150)은 인듐 주석 산화물(Indium Tin Oxide: 이하 ITO) 또는 인듐 아연 산화물(Indium Zinc Oxide: 이하 IZO)와 같은 투명한 금속으로 형성된다.
- <34> 터치용 스페이서(141)는 공통 전극(150)과 오버코트(130) 사이에 형성된다. 즉, 터치용 스페이서(141)는 오버코트(130) 상에 형성되고, 공통 전극(150)에 의해 덮인다. 이때, 터치용 스페이서(141)는 사용자가 손가락 또는 펜으로 상부 기관(101)의 표면을 가압할 경우 공통 전극(150)을 후술될 제2 기관(200)의 제1 및 제2 센싱 전극(270,280)에 접촉시키기 위해 소정의 높이로 형성된다. 이와 같은, 터치용 스페이서(141)는 공통 전극(150)이 손상될 경우 제1 및 제2 센싱 전극(270,280)과 공통 전극(150) 간에 전압 또는 전류가 인가될 수 있도록 도전성 재질로 형성될 수 있다.
- <35> 제2 기관(200)은 하부 기관(201) 상에 형성되는 게이트 라인(210), 제1 센싱 라인(215), 데이터 라인(240), 제2 센싱 라인(245), 박막 트랜지스터(247), 화소 전극(260), 제1 및 제2 센싱 전극(270,280) 및 제1 및 제2 하부 전극(291,292)을 포함한다.
- <36> 게이트 라인(210)은 하부 기관(201) 상에서 가로 방향으로 연장되어 형성된다. 그리고, 게이트 라인(210)은 데이터 라인(240)과 교차되는 부분에 게이트 전극(211)이 형성된다.
- <37> 제1 센싱 라인(215)은 게이트 라인(210)과 나란하게 가로 방향으로 형성된다. 그리고, 제1 센싱 라인(215)은 게이트 라인(210)으로부터 소정 간격으로 이격되도록 형성된다. 이와 같은, 제1 센싱 라인(215)은 게이트 라인(210)과 동일한 재질로 형성된다.
- <38> 데이터 라인(240)은 하부 기관(201) 상에서 세로 방향으로 연장되며 형성된다. 그리고, 데이터 라인(240)은 게이트 라인(210)과 교차되는 부분에 소스 전극(241)이 형성된다. 그리고, 소스 전극(241)과 마주하는 드레인 전극(243)이 게이트 전극(211)과 중첩되게 형성된다.
- <39> 제2 센싱 라인(245)은 데이터 라인(240)과 나란하게 세로 방향으로 형성된다. 그리고, 제2 센싱 라인(245)은 데이터 라인(240)과 동일한 재질로 형성된다.
- <40> 박막 트랜지스터(247)는 게이트 라인(210)의 게이트 신호에 응답하여 데이터 라인(240)의 화소 전압 신호가 화소 전극(260)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(247)는 게이트 라인(210)에 접속된 게이트 전극(211)과, 데이터 라인(240)에 접속되며 드레인 전극(243)과 일정 간격 이격되어 형성된 소스 전극(241)과, 소스 전극(241)과 마주하며 화소 전극(260)에 접속된 드레인 전극(243)을 구비한다.
- <41> 또한, 박막 트랜지스터(247)는 게이트 전극(211)과 게이트 절연막(220)을 사이에 두고 중첩되면서 소스 전극(241)과 드레인 전극(243) 사이에 채널을 형성하는 반도체층(230)을 구비한다.
- <42> 반도체층(230)은 소스 전극(241)과 드레인 전극(243) 사이에 채널을 형성하고, 게이트 절연막(220)을 사이에 두고 게이트 전극(211)과 중첩되게 형성된 액티브층(231)을 구비한다. 그리고, 반도체층(230)은 액티브층(231) 위에 형성되어 데이터 라인(240), 소스 전극(241) 및 드레인 전극(243)과 오믹 접촉을 위한 오믹 콘택층(233)을 추가로 구비한다.
- <43> 보호막(250)은 절연을 위해 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)등과 같은 무기물질로 형성되거나, 아크릴(Acrylic), 폴리이미드(polyimide) 또는 벤조크릴로부텐(Benzocyclobutene: 이하 BCB) 등과 같은 유기물질로 형성된다. 여기서, 보호막(250)은 무기물질 및 유기물질이 단일층 또는 복층으로 적층되어 형성된다. 이와 같은, 보호막(250)은 박막 트랜지스터(247)와 게이트 절연막(220)을 덮도록 형성되어 박막 트랜지스터(247)와 화소 전극(260)을 절연시킨다.
- <44> 이와 같은, 보호막(250)은 드레인 전극(243)과 제1 및 제2 센싱 라인(215,245)의 일부를 노출시키는 제1 내지 제3 콘택홀(251,252,253)을 포함한다. 여기서, 제1 내지 제3 콘택홀(251,252,253)은 보호막(250)의 일부분을

마스크를 통해 식각하여 형성된다.

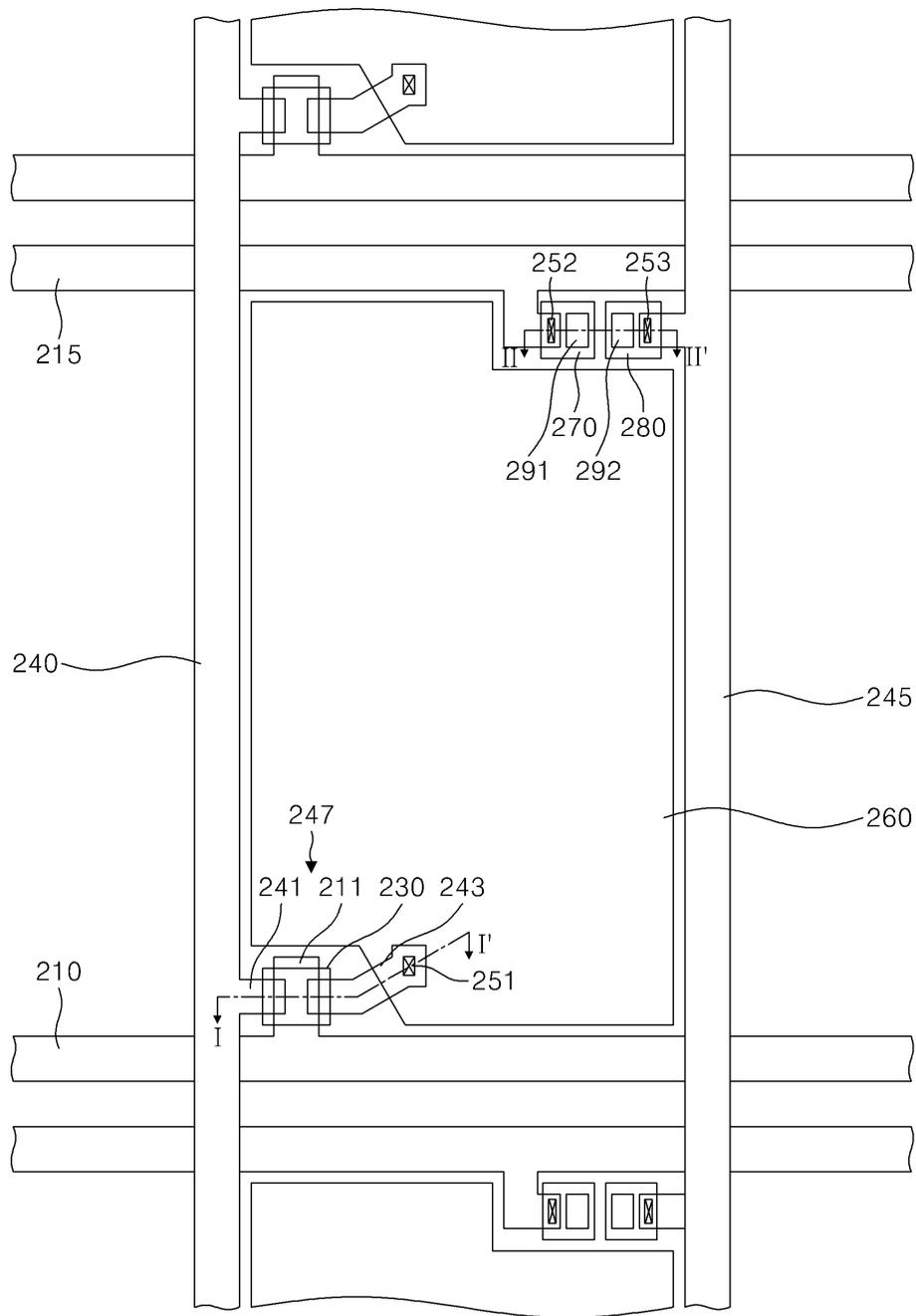
- <45> 화소 전극(260)은 보호막(250)의 상부에 형성된다. 그리고, 화소 전극(260)은 박막 트랜지스터(247)의 드레인 전극(243)과 제1 콘택홀(251)을 통해 연결된다. 이와 같은, 화소 전극(260)은 투명하면서도 도전성을 가지는 ITO, IZO, 인듐 주석 아연 산화물(Indium Tin Zinc Oxide: 이하 ITZO)과 같은 물질 등으로 형성된다.
- <46> 제1 및 제2 센싱 전극(270,280)은 제1 센싱 라인(215)과 제2 센싱 라인(245)에 각각 연결된다.
- <47> 제1 센싱 전극(270)은 보호막(250)과 게이트 절연막(220)을 관통하는 제2 콘택홀(252)을 통해 제1 센싱 라인(215)에 연결된다. 그리고, 제1 센싱 전극(270)은 제2 센싱 전극(280)을 향해 소정의 패턴 형태로 형성될 수 있다. 예를 들어, 제1 센싱 전극(270)은 제2 센싱 전극(280)과 서로 대향하는 면이 다면으로 형성될 수 있다.
- <48> 제2 센싱 전극(280)은 보호막(250)을 관통하는 제3 콘택홀(253)을 통해 제2 센싱 라인(245)에 연결된다. 그리고, 제2 센싱 전극(280)은 제1 센싱 전극(270)을 향해 소정의 패턴 형태로 형성될 수 있다. 이때, 제2 전극 연장부(282)는 게이트 절연막(220) 및 보호막(250)의 상부에서 제1 센싱 전극(270)과 동일한 높이로 형성된다. 이를 통해, 제1 및 제2 센싱 전극(270,280)은 터치용 스페이서(141)에 동일하게 접촉된다.
- <49> 제1 및 제2 하부 전극(291,292)은 제1 및 제2 센싱 전극(270,280)의 하부에 형성된다. 그리고, 제1 및 제2 하부 전극(291,292)은 제1 및 제2 센싱 전극(270,280)보다 적은 면적으로 형성된다. 이에 따라, 제1 및 제2 센싱 전극(270,280)은 제1 및 제2 하부 전극(291,292)의 영향으로 부분적으로 단차가 형성된다. 예를 들어, 제1 및 제2 하부 전극(291,292)은 제1 및 제2 센싱 전극(270,280)을 용출시켜 엠보싱 형태로 형성시킬 수 있다.
- <50> 여기서, 제1 및 제2 하부 전극(291,292)은 게이트 금속 및 데이터 금속 중 적어도 어느 하나로 형성될 수 있다. 예를 들어, 제1 및 제2 하부 전극(291,292)은 도 3a에 도시된 바와 같이 제1 센싱 라인(215)과 동일한 게이트 금속으로 형성될 수 있다. 그리고, 제1 및 제2 하부 전극(291,292)은 도 3b에 도시된 바와 같이 제2 센싱 라인(245)과 동일한 데이터 금속으로 형성될 수 있다. 또는, 제1 및 제2 하부 전극(291,292)은 도 3c에 도시된 바와 같이 각각 제1 및 제2 센싱 라인(215,245)과 동일한 게이트 금속 및 데이터 금속으로 형성될 수 있다. 이때, 제1 및 제2 하부 전극(291,292)이 데이터 금속으로 형성될 경우 하부에 반도체층(230)이 위치할 수도 있다.
- <51> 그리고, 제1 및 제2 하부 전극(291,292)은 원형, 타원형, 다각형 중 적어도 어느 하나로 형성될 수 있다.
- <52> 여기에서는 제1 및 제2 센싱 전극(270,280)의 하부에 제1 및 제2 하부 전극(291,292)을 사용하여 단차를 형성하였지만, 게이트 절연막(220)이나 보호막(250) 등의 물질을 패터닝하여 단차를 형성할 수도 있다.
- <53> 이와 같이 본 발명에 따른 표시 패널은 사용자의 손가락 또는 펜이 상부 기관(101)을 가압하여 제1 및 제2 센싱 전극(270,280)이 터치용 스페이서(141)를 통해 공통 전극(150)과 접촉하게 되면, 그 접촉 위치에 따라 저항치를 가변시킨다. 그리고, 표시 패널은 가변된 저항치에 따라 전류 또는 전압이 달라지게 되므로 그 변화하는 전류 또는 전압을 제1 센싱 라인(215)을 통해 수평 좌표 신호로 출력하고, 제2 센싱 라인(245)을 통해 수직 좌표 신호로 출력한다. 이때, 표시 패널은 구동 회로를 통해 출력된 좌표 신호를 이용하여 좌표를 검출한다.
- <54> 이하에서는 도 4 내지 도 9를 참조하여 본 발명에 따른 표시 패널의 하부 전극을 자세히 설명한다.
- <55> 도 4 내지 도 9는 도 1에 도시된 하부 전극의 실시 예를 설명하기 위해 도시한 도면이다.
- <56> 도 4 내지 도 6을 참조하면, 제1 및 제2 하부 전극(291,292)은 원형으로 형성된다. 예를 들어, 제1 및 제2 하부 전극(291,292)은 도 4에 도시된 바와 같이 제1 센싱 라인(215)과 동일한 재질로 형성될 수 있다. 그리고, 제1 및 제2 하부 전극(291,292)은 도 5에 도시된 바와 같이 제2 센싱 라인(245)과 동일한 재질로 형성될 수 있다. 또한, 제1 및 제2 하부 전극(291,292)은 도 6에 도시된 바와 같이, 각각 제1 및 제2 센싱 라인(215,245)과 동일한 재질로 형성될 수 있다. 이때, 제1 및 제2 하부 전극(291,292)은 각각 제1 및 제2 센싱 전극(270,280)의 하부에 형성된다.
- <57> 한편, 제1 및 제2 하부 전극(291,292)은 상술한 경우에 한정되는 것은 아니고, 각각 제2 및 제1 센싱 라인(245,215)과 동일한 재질로 형성될 수도 있다.
- <58> 도 7 및 도 8을 참조하면, 제1 및 제2 하부 전극(291,292)은 직사각형으로 형성된다. 예를 들어, 제1 및 제2 하부 전극(291,292)은 도 7에 도시된 바와 같이 각각 제1 및 제2 센싱 라인(215,245) 연결되어 형성될 수 있다. 여기서, 제1 및 제2 하부 전극(291,292)은 제1 및 제2 센싱 전극(270,280)의 하부에서 서로 엇갈리게 배치되어 형성된다.

- <59> 그리고, 제1 및 제2 하부 전극(291,292)은 도 8에 도시된 바와 같이 각각 제1 및 제2 센싱 전극(270,280)의 하부에서 서로 수직하게 교차하여 중첩되도록 형성될 수 있다. 여기서, 제1 하부 전극(291)은 복수개가 사선 방향으로 나란하게 배치되어 형성된다. 그리고, 제2 하부 전극(292)는 복수개가 제1 하부 전극(291)과 수직한 사선 방향으로 배치되어 형성된다. 이를 통해, 제1 및 제2 하부 전극(291,292)은 서로 중첩되어 제1 및 제2 센싱 전극(270,280)을 더 용출시킬 수 있다.
- <60> 도 9를 참조하면, 제1 및 제2 센싱 전극(270,280)이 소정의 패턴으로 형성되어 서로 엇갈리게 배치된다. 예를 들어, 제1 센싱 전극(270)은 제2 센싱 전극(280)을 향해 n개가 돌출된 형태로 형성된다. 그리고, 제2 센싱 전극(280)은 제1 센싱 전극(270)을 향해 n-1개가 돌출된 형태로 형성된다. 여기서, n은 1보다 큰 자연수이다.
- <61> 이때, 제1 및 제2 센싱 전극(270,280)은 서로 마주보면 삽입되는 형태로 배치된다. 이를 통해, 제1 및 제2 센싱 전극(270,280)은 터치용 스페이서의 위치 정렬 불량으로 인한 터치 감도 저하를 방지한다.
- <62> 한편, 제1 및 제2 센싱 전극(270,280)은 도 9에 도시된 형태에 한정되는 것은 아니다. 예를 들어, 제1 및 제2 센싱 전극(270,280)은 각각 "ㄱ" 형태, "ㄷ" 형태, "I" 형태 등의 서로 마주하는 면이 다면으로 형성되는 다양한 형태로 형성될 수 있다.
- <63> 이하에서는 도 10 내지 도 12를 참조하여 본 발명의 다른 실시 예에 따른 표시 장치를 자세히 설명한다.
- <64> 도 10은 본 발명의 다른 실시 예에 따른 표시 패널을 설명하기 위해 도시한 평면도이고, 도 11은 도 10에 도시된 I-I'선을 따라 절취한 표시 패널의 단면을 도시한 단면도이며, 도 12는 도 10에 도시된 하부 전극을 자세히 설명하기 위해 도시한 도면이다.
- <65> 도 10 내지 도 12를 참조하면, 본 발명의 다른 실시 예에 따른 표시 패널은 서로 대향하는 제1 기관(400)과 제2 기관(500)을 포함한다.
- <66> 제1 기관(400)은 상부 기관(401) 상에 형성된 블랙 매트릭스(410), 오버코트(430), 터치 스페이서(441) 및 공통 전극(450)을 포함한다. 여기서, 제1 기관(400)은 도 3에 도시된 구성 요소와 동일한 구성 요소를 포함하므로 상세한 설명은 생략한다.
- <67> 제2 기관(500)은 하부 기관(501) 상에 형성되는 게이트 라인(510), 제1 센싱 라인(515), 데이터 라인(540), 제2 센싱 라인(545), 박막 트랜지스터(547), 화소 전극(560), 센싱 전극(570) 및 하부 전극(590)을 포함한다.
- <68> 게이트 라인(510)은 하부 기관(501) 상에서 가로 방향으로 연장되어 형성된다. 그리고, 게이트 라인(510)은 데이터 라인(540)과 교차되는 부분에 게이트 전극(511)이 형성된다.
- <69> 제1 센싱 라인(215)은 게이트 라인(510)과 동일한 재질로 게이트 라인(510)과 나란하게 가로 방향으로 형성된다.
- <70> 데이터 라인(540)은 하부 기관(501) 상에서 세로 방향으로 연장되며 형성된다. 그리고, 데이터 라인(540)은 게이트 라인(510)과 교차되는 부분에 소스 전극(541)이 형성된다. 그리고, 소스 전극(541)과 마주하는 드레인 전극(543)이 게이트 전극(511)과 중첩되게 형성된다.
- <71> 제2 센싱 라인(545)은 데이터 라인(540)과 동일한 재질로 데이터 라인(540)과 나란하게 세로 방향으로 형성된다.
- <72> 박막 트랜지스터(547)는 게이트 전극(511), 반도체층(530), 소스 전극(541) 및 드레인 전극(543)을 구비한다. 여기서, 반도체층(530)은 게이트 절연막(520)을 사이에 두고 게이트 전극(511)과 중첩되게 형성되며, 소스 전극(541)과 드레인 전극(543) 사이에 채널을 형성한다.
- <73> 보호막(550)은 보호막(550)은 박막 트랜지스터(547)와 게이트 절연막(520)을 덮도록 형성되어 박막 트랜지스터(547)와 화소 전극(560)을 절연시킨다. 여기서, 보호막(550)은 드레인 전극(543)과 제1 센싱 라인(515)의 일부를 노출시키는 제1 및 제2 콘택홀(551,552)을 포함한다.
- <74> 화소 전극(560)은 보호막(550)의 상부에 형성되어 제1 콘택홀(551)을 통해 드레인 전극(543)과 연결된다.
- <75> 센싱 전극(570)은 화소 전극(560)과 동일한 투명 도전성 재질로 보호막(550)의 상부에 형성된다. 그리고, 센싱 전극(570)은 제2 콘택홀(552)을 통해 제1 센싱 라인(515)과 연결된다. 여기서, 센싱 전극(570)은 사용자의 입력 시 터치용 스페이서(450)를 둘러싼 공통 전극(450)과 접촉된다. 이와 같은 센싱 전극(570)은 일부분이 하부 전극(590)에 의해 소정의 높이로 돌출되어 모서리를 갖는다.



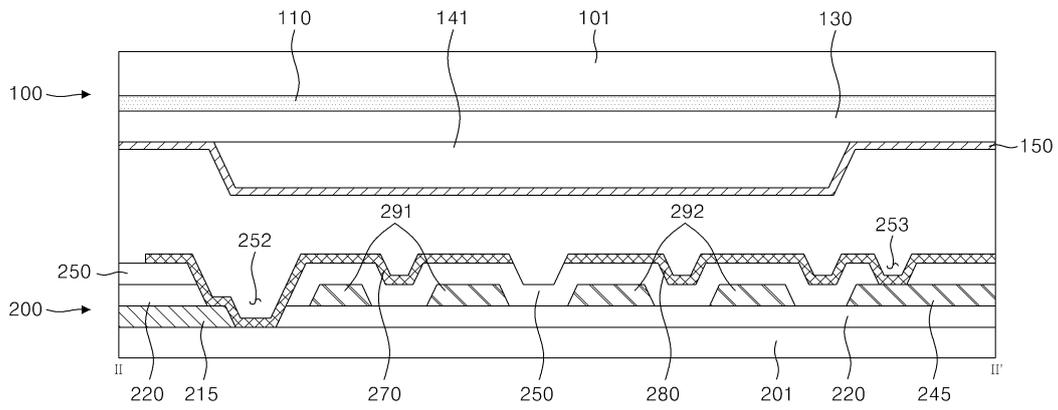
도면

도면1

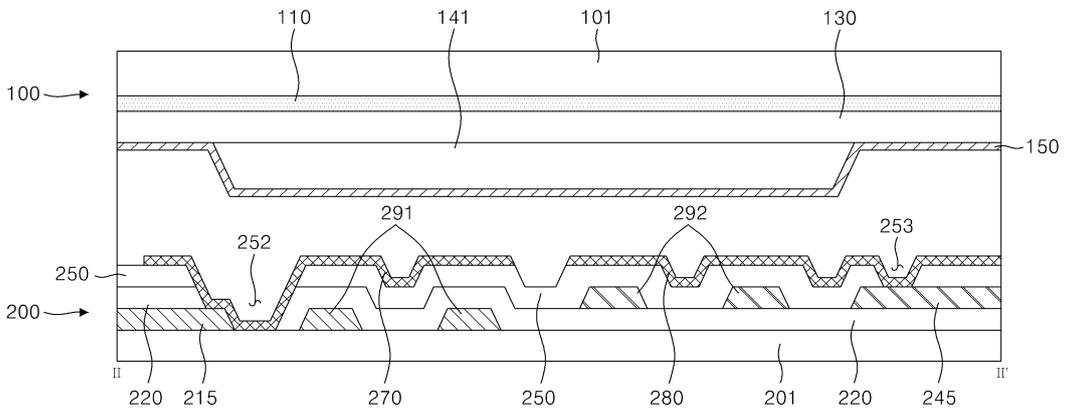




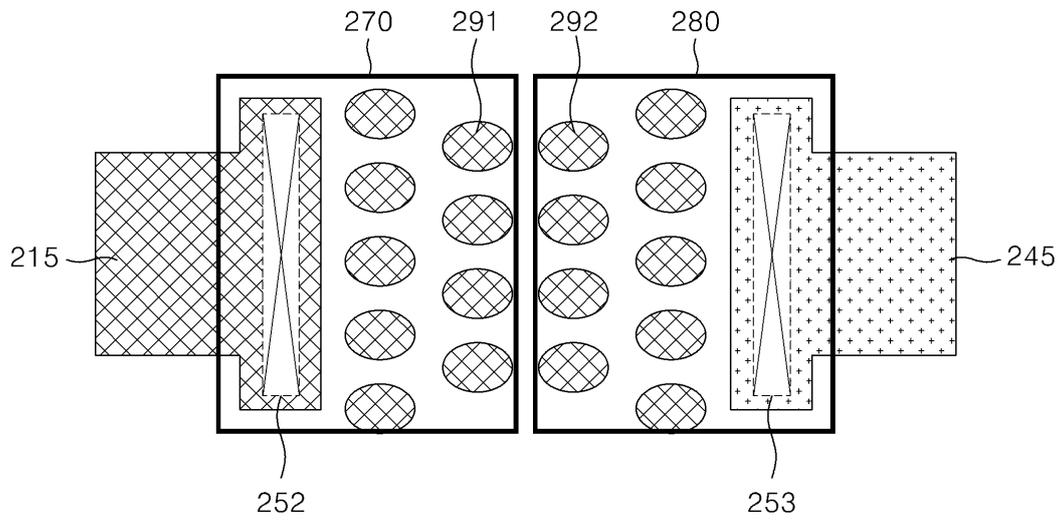
도면3b



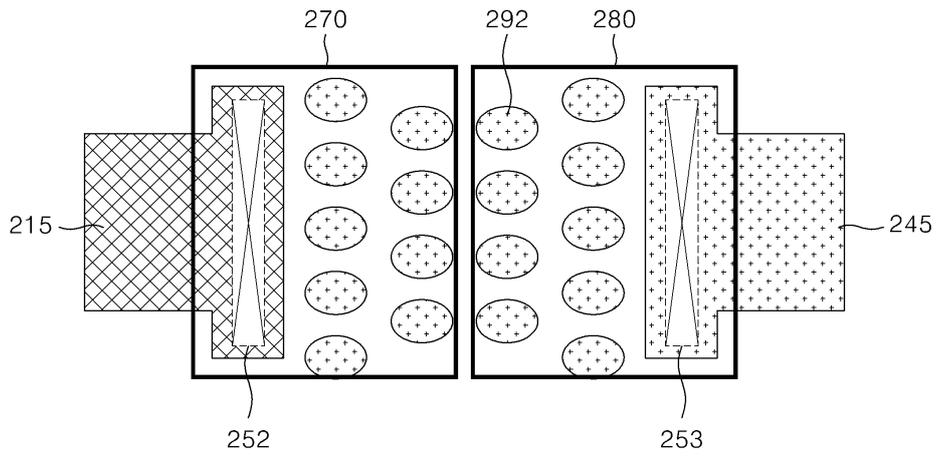
도면3c



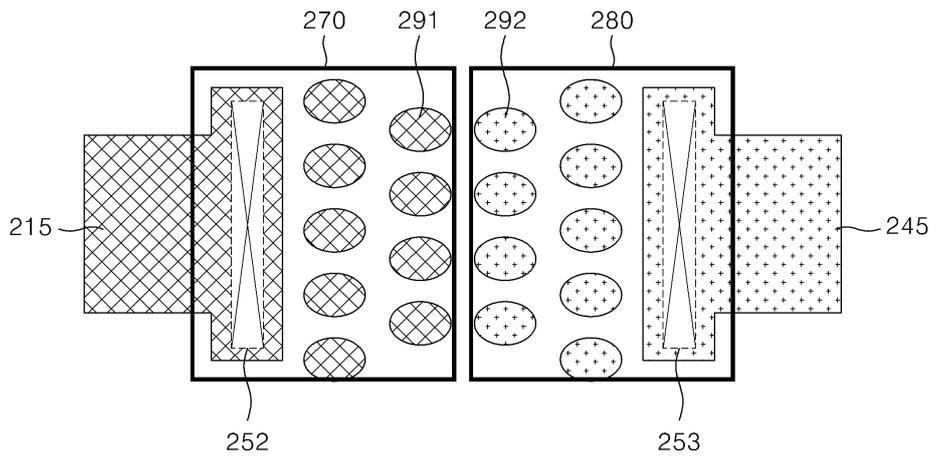
도면4



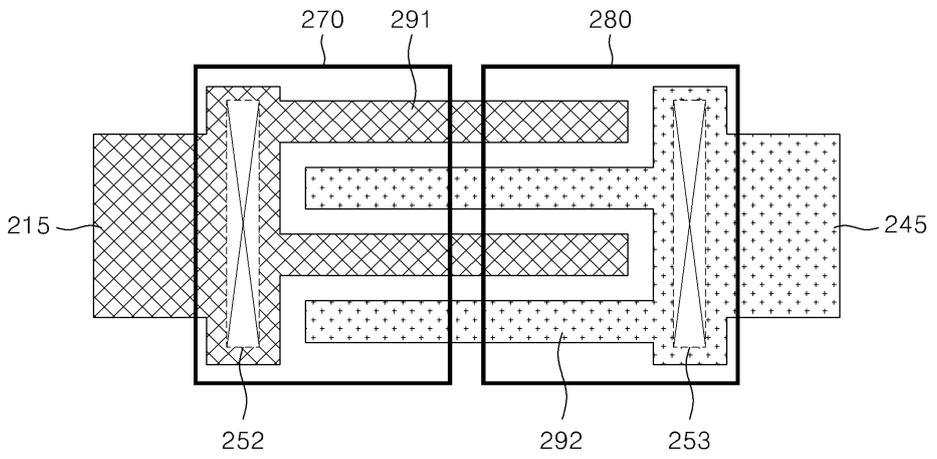
도면5



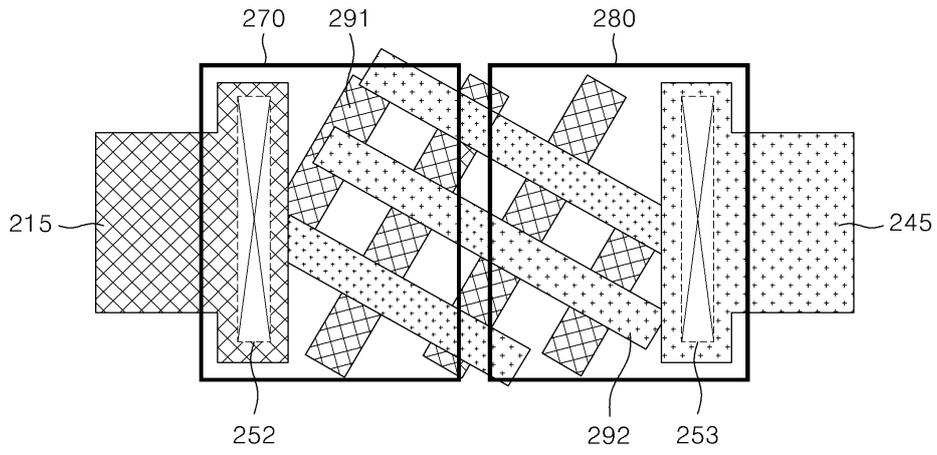
도면6



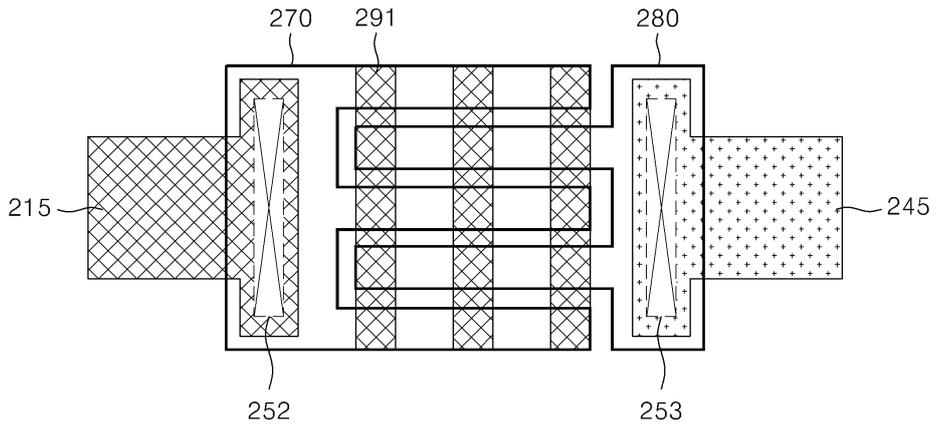
도면7



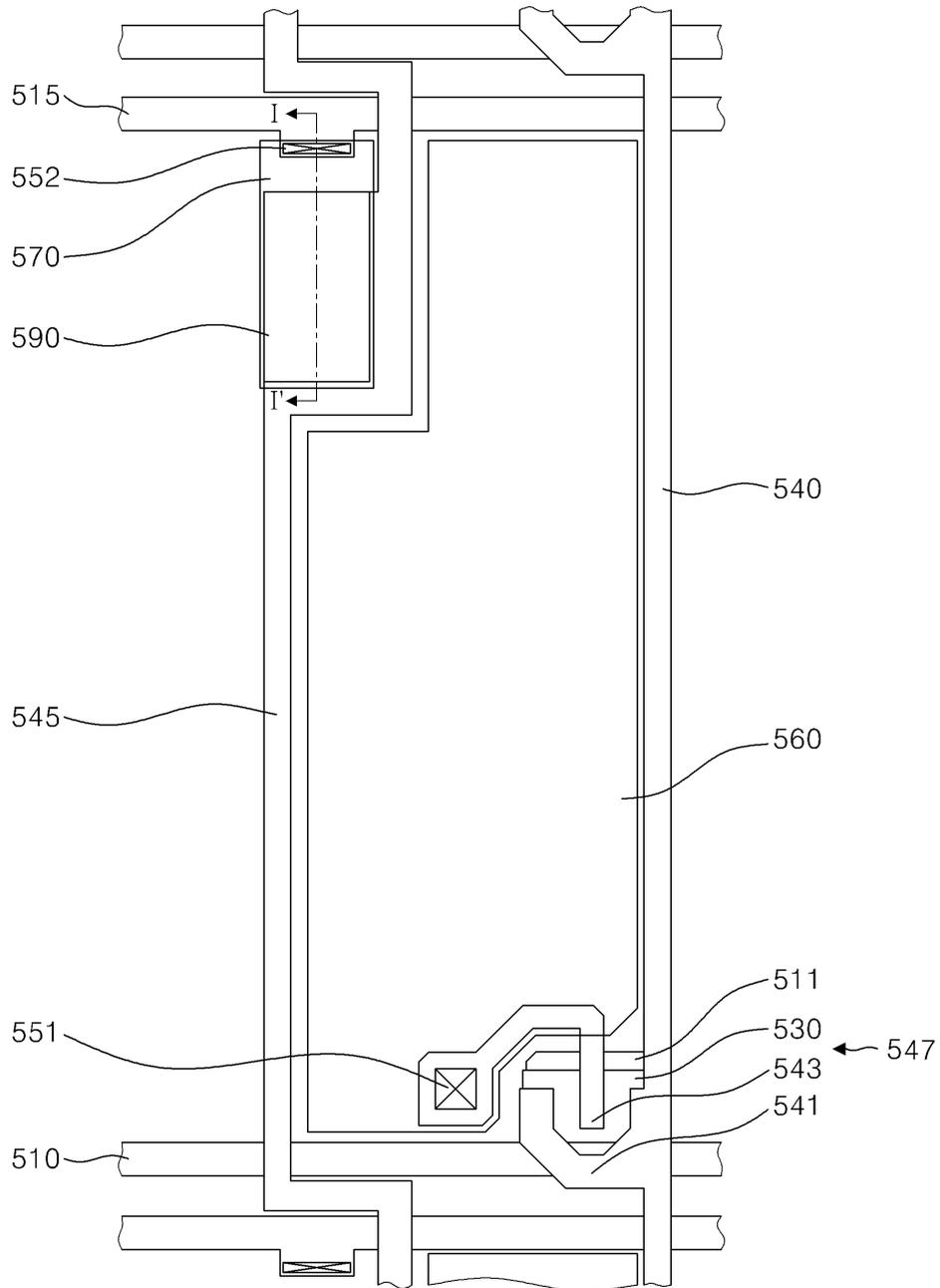
도면8



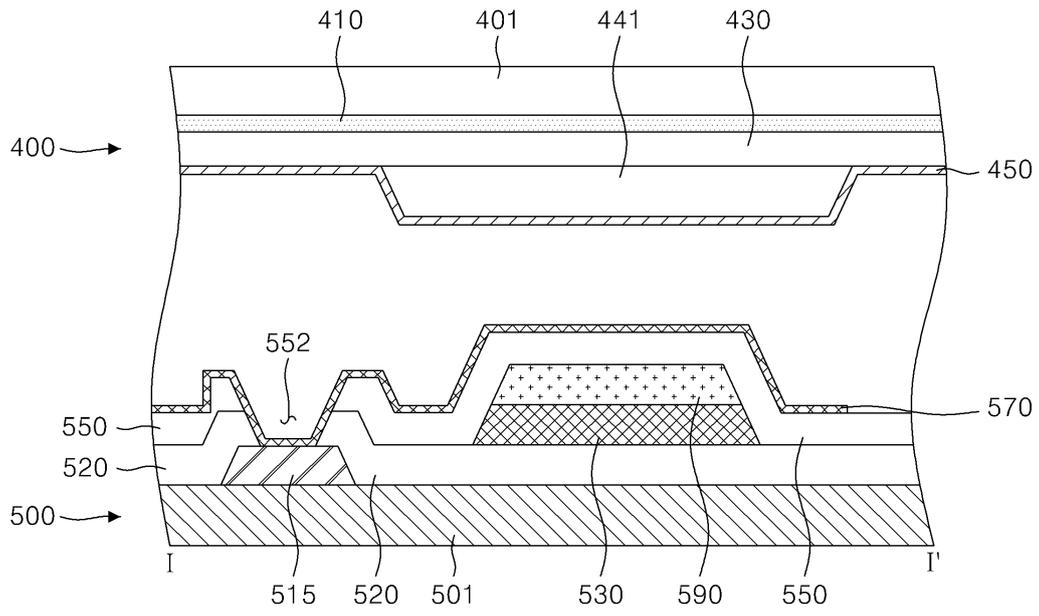
도면9



도면10



도면11



도면12

