



(12)发明专利

(10)授权公告号 CN 105810747 B

(45)授权公告日 2018. 11. 30

(21)申请号 201410848447.4

(22)申请日 2014.12.31

(65)同一申请的已公布的文献号

申请公布号 CN 105810747 A

(43)申请公布日 2016.07.27

(73)专利权人 清华大学

地址 100084 北京市海淀区清华大学清华-
富士康纳米科技研究中心401室

专利权人 鸿富锦精密工业(深圳)有限公司

(72)发明人 李关红 李群庆 金元浩 范守善

(51)Int.Cl.

H01L 29/786(2006.01)

(56)对比文件

CN 103887309 A,2014.06.25,

CN 103762247 A,2014.04.30,

Luckshitha Suriyasena Liyanage
etc..N-Type Doping of Carbon Nanotube
Transistors using Yttrium oxide(Y2Ox).
《Proceedings of Technical Program-2014
International Symposium on VLSI
Technology》.2014,

审查员 张竞存

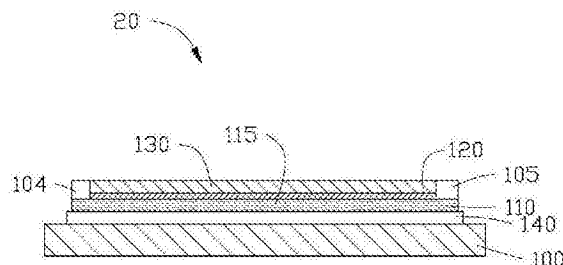
权利要求书1页 说明书5页 附图3页

(54)发明名称

N型薄膜晶体管

(57)摘要

本发明涉及一种N型薄膜晶体管,其包括一
半导体碳纳米管层、一栅极、一源极及一漏极设
置于一绝缘基底表面,所述栅极、半导体碳纳米
管层依次层叠设置于所述绝缘基底表面,且所述
栅极与所述半导体碳纳米管层绝缘设置,所述源
极及漏极间隔设置且分别与所述半导体碳纳米
管层电连接,其中,进一步包括一功能性介质层
及氧化镁层,所述功能性介质层设置于所述半导
体碳纳米管层远离绝缘基底的表面;一氧化镁
层,所述氧化镁层设置于所述半导体碳纳米管层
与栅极之间,并且覆盖所述半导体碳纳米管层靠
近所述栅极的表面。



1. 一种N型薄膜晶体管,其包括一半导体碳纳米管层、一栅极、一源极及一漏极设置于一绝缘基底表面,所述栅极、半导体碳纳米管层依次层叠设置于所述绝缘基底表面,且所述栅极与所述半导体碳纳米管层绝缘设置,所述源极及漏极间隔设置且分别与所述半导体碳纳米管层电连接,其特征在于,进一步包括一功能性介质层及氧化镁层,所述功能性介质层设置于所述半导体碳纳米管层远离绝缘基底的表面,所述功能介质层起到绝缘和静电掺杂的作用,所述功能性介质层的结构中存在正电荷缺陷,在所述氧化镁层的作用之下可以向所述半导体碳纳米管层引入电子;一氧化镁层,所述氧化镁层设置于所述半导体碳纳米管层与栅极之间,并且覆盖所述半导体碳纳米管层靠近所述栅极的表面。

2. 如权利要求1所述的N型薄膜晶体管,其特征在于,所述半导体碳纳米管层包括多个碳纳米管形成一导电网络结构。

3. 如权利要求1所述的N型薄膜晶体管,其特征在于,所述半导体碳纳米管层的厚度为0.5纳米-2纳米。

4. 如权利要求1所述的N型薄膜晶体管,其特征在于,所述氧化镁层连续且直接附着于所述半导体碳纳米管层靠近绝缘基底的表面的面积大于等于80%。

5. 如权利要求4所述的N型薄膜晶体管,其特征在于,所述氧化镁层连续且直接附着于所述半导体碳纳米管层靠近绝缘基底的整个表面。

6. 如权利要求1所述的N型薄膜晶体管,其特征在于,所述氧化镁层的厚度为1纳米-15纳米。

7. 如权利要求1所述的N型薄膜晶体管,其特征在于,所述功能性介质层直接附着于半导体碳纳米管层远离绝缘基底的表面。

8. 如权利要求1所述的N型薄膜晶体管,其特征在于,所述功能性介质层的厚度为20纳米-40纳米。

9. 如权利要求1所述的N型薄膜晶体管,其特征在于,所述功能性介质层的材料为氧化铝、氧化铅、氧化钇中的一种或几种。

10. 如权利要求1所述的N型薄膜晶体管,其特征在于,进一步包括一栅极绝缘层设置于所述氧化镁层与所述栅极之间。

N型薄膜晶体管

技术领域

[0001] 本发明涉及一种薄膜晶体管,尤其涉及一种基于氧化镁双功能性介质层的N型薄膜晶体管。

背景技术

[0002] 碳纳米管由于其优异的电学、光学和力学性质成为了新一代半导体材料的有力竞争者,目前已经广泛用于薄膜晶体管的制备和研究。科学研究表明,碳纳米管本身表现为本征半导体,但在通常情况下如空气中碳纳米管表现为P型半导体特征,所以容易制备P型薄膜晶体管。但仅有P型薄膜晶体管会极大降低集成电路的相关性能,增加损耗。

[0003] 现有技术中,基于碳纳米管的N型薄膜晶体管的制备方法主要有化学掺杂、选择低功函数金属做电极材料等。然而这些方法也存在一些问题,如使用化学掺杂的方法无法保持器件性能长期稳定,而且存在掺杂扩散污染的潜在缺点;选择低功函数金属做电极材料,对于N型单极性特征表现不明显。

发明内容

[0004] 有鉴于此,确有必要提供一种制备方法简单、性能稳定的N型薄膜晶体管。

[0005] 一种N型薄膜晶体管,其包括一半导体碳纳米管层、一栅极、一源极及一漏极设置于一绝缘基底表面,所述栅极、半导体碳纳米管层依次层叠设置于所述绝缘基底表面,且所述栅极与所述半导体碳纳米管层绝缘设置,所述源极及漏极间隔设置且分别与所述半导体碳纳米管层电连接,其中,进一步包括一功能性介质层及氧化镁层,所述功能性介质层设置于所述半导体碳纳米管层远离绝缘基底的表面;一氧化镁层,所述氧化镁层设置于所述半导体碳纳米管层与栅极之间,并且覆盖所述半导体碳纳米管层靠近所述栅极的表面。

[0006] 与现有技术相比较,本发明提供的N型薄膜晶体管具有以下优点:由于半导体碳纳米管层表面分别设置有氧化镁层和功能性介质层,使得所述薄膜晶体管表现出良好的N型单极性且性能稳定。

附图说明

[0007] 图1为本发明第一实施例提供的N型薄膜晶体管的剖视图。

[0008] 图2为本发明第一实施例中半导体碳纳米管层的扫描电镜照片。

[0009] 图3为只沉积氧化镁层的薄膜晶体管的I-V图。

[0010] 图4为只沉积功能性介质层的薄膜晶体管的I-V图。

[0011] 图5为本发明第一实施例的N型薄膜晶体管的I-V图。

[0012] 图6为本发明第二实施例提供的N型薄膜晶体管的结构示意图。

[0013] 图7为本发明第三实施例提供的N型薄膜晶体管的结构示意图。

[0014] 主要元件符号说明

[0015]

N型薄膜晶体管	10, 20, 30
绝缘基底	100
氧化镁层	110
半导体碳纳米管层	120
功能性介质层	130
源极	104
漏极	105
栅极	140
栅极绝缘层	150
沟道	115

[0016] 如下具体实施例将结合上述附图进一步说明本发明。

具体实施方式

[0017] 下面将结合具体实施例,对本发明提供的N型薄膜晶体管,N型薄膜晶体管的制备方法作进一步详细说明。

[0018] 请参阅图1,本发明第一实施例提供的N型薄膜晶体管10,包括一氧化镁层110、一半导体碳纳米管层120、一功能性介质层130及一栅极140依次层叠设置于一绝缘基底100的表面,所述氧化镁层110靠近所述绝缘基底100设置,一源极104、一漏极105间隔设置,且分别与所述半导体碳纳米管层120电连接,半导体碳纳米管层120位于源极104及漏极105之间的部分形成沟道115。

[0019] 具体地,所述绝缘基底100起支撑作用,该绝缘基底100的材料不限,可选择为玻璃、石英、陶瓷、金刚石等硬性材料,也可选择塑料、树脂等柔性材料。进一步,所述绝缘基底100为一柔性材料,如聚对苯二甲酸乙二醇酯、聚萘二甲酸乙二醇酯、聚酰亚胺等柔性材料。本实施例中,所述绝缘基底100的材料为柔性材料,优选为聚对苯二甲酸乙二醇酯。所述绝缘基底100为设置于绝缘基底100上的元件提供支撑作用。

[0020] 所述氧化镁层110设置于所述绝缘基底100的表面,并与所述半导体碳纳米管层120接触设置。所述氧化镁层110的厚度为1-15纳米。优选地,该氧化镁层110的厚度为1-10纳米。可以理解,当所述氧化镁层110的厚度太小如小于1纳米时,其结构不够致密,从而导致薄膜晶体的性能飘散;如果所述氧化镁层110的厚度太大如大于15纳米,则薄膜晶体的调制效率就会降低。本实施例中,所述氧化镁层110的厚度为1纳米。所述氧化镁层110可起到降低半导体碳纳米管层120中空穴数量,并提高半导体碳纳米管层120中电子数量的作用。

[0021] 所述半导体碳纳米管层120夹持并包覆于所述氧化镁层110与所述功能性介质层130之间,且所述半导体碳纳米管层120设置于所述氧化镁层110所覆盖的范围之内,以保证半导体碳纳米管层120能够呈现N型特性。所述半导体碳纳米管层120包括多个碳纳米管,该多个碳纳米管相互连接形成一连续的导电网络结构。所述半导体碳纳米管层120可为一纯碳纳米管结构,所述纯碳纳米管结构由多个碳纳米管组成,多个碳纳米管的排列方向可以是无序的、无规则的,比如多个碳纳米管交叉、缠绕排列的网状结构。所述半导体碳纳米管

层120中多个碳纳米管的排列方向也可以是有秩序的、有规则的,比如多个碳纳米管沿同一方向排列或分别沿两个方向有序排列。所述半导体碳纳米管层120也可以由碳纳米管膜、碳纳米管线状结构或碳纳米管线状结构与碳纳米管膜的组合构成。所述碳纳米管线状结构可由单根或者多根平行排列的碳纳米管线组成。所述半导体碳纳米管层120可以是一自支撑结构,所谓自支撑是指碳纳米管层不需要大面积的载体支撑,而只要相对两边提供支撑力即能整体上悬空而保持自身层状状态。所述半导体碳纳米管层120也可形成在一绝缘支撑体的表面。所述半导体碳纳米管层120可由单层或多层碳纳米管组成。

[0022] 所述半导体碳纳米管层120整体上表现为半导体性质。所述半导体碳纳米管层120中半导体性碳纳米管所占比例为大于66.7%,优选地,半导体性碳纳米管所占比例为90%-100%,优选地,所述半导体碳纳米管层120由纯半导体性的碳纳米管组成。所述半导体碳纳米管层120可由多根交错排列的单壁碳纳米管组成。该半导体碳纳米管层120中的单壁碳纳米管的直径小于2纳米,单壁碳纳米管的长度为2微米-4微米,该半导体碳纳米管层120的厚度为0.5纳米-2纳米。优选地,该单壁碳纳米管的直径为0.9纳米-1.4纳米。

[0023] 请参阅图2,本实施例中,所述半导体碳纳米管层120是由单层单壁碳纳米管组成,该半导体碳纳米管层120中半导体性碳纳米管所占比例为98%。所述半导体碳纳米管层120中多个单壁碳纳米管交叉、缠绕形成网络结构,该半导体碳纳米管层120中单壁碳纳米管的直径为1.2纳米,即该半导体碳纳米管层120厚度为1.2纳米。

[0024] 所述氧化镁层110直接附着于所述半导体碳纳米管层120靠近绝缘基底100的表面,进一步,所述氧化镁层110连续且直接附着于所述半导体碳纳米管层120表面的面积大于等于80%,从而保证所述半导体碳纳米管层120整体表现出N型特征。进一步,所述半导体碳纳米管层120靠近绝缘基底100的整个表面被所述氧化镁层110覆盖。具体地,所述氧化镁层110连续且直接附着于所述半导体碳纳米管层120暴露出来的表面。进一步,由于所述碳纳米管之间具有空隙,在碳纳米管间的网络空隙处,所述氧化镁层110可填充于所述碳纳米管之间的空隙中,以确保该半导体碳纳米管层120中的碳纳米管与空气完全隔离。

[0025] 所述功能性介质层130直接附着于所述半导体碳纳米管层120远离氧化镁层110的表面,并且覆盖所述半导体碳纳米管层120远离绝缘基底100的整个表面。所述功能性介质层130起到绝缘和静电掺杂的作用。具体地,所述“功能性介质层”是指在所述功能性介质层130的结构中存在正电荷缺陷,在所述氧化镁层110的作用之下,可以对半导体碳纳米管层120起到静电掺杂的作用,即沉积的功能性介质层130可向所述半导体碳纳米管层120引入电子,从而使得半导体碳纳米管层120的N型特性增加显著。所述功能性介质层130的材料可为氧化铝、氧化铅、氧化钇中的一种或几种。所述功能性介质层130的厚度为20-40纳米。优选地,该功能性介质层130的厚度为25-30纳米。本实施例中,所述功能性介质层130的厚度为30纳米,所述功能性介质层130的材料为氧化铝。

[0026] 所述功能性介质层130与所述氧化镁层110组成的双功能性介质层附着于所述半导体碳纳米管层120相对的两个表面,不仅可以起着很好的绝缘作用,还可以使得所述半导体碳纳米管层120表现为N型半导体特征。具体地,所述氧化镁层110可吸收半导体碳纳米管层120中的水分子及空气,因此,氧化镁层110可减弱半导体碳纳米管层120的P型特征;进一步,由于功能性介质层130的结构致密且存在正电荷缺陷,在所述氧化镁层110的作用之下,沉积的功能性介质层130能够向所述半导体碳纳米管层120提供电子,从而可增加半导体碳

纳米管层120的N极特性。通过沉积氧化镁层110和功能性介质层130的双功能性介质层于半导体碳纳米管层120的表面,所述氧化镁层110可显著降低半导体碳纳米管层120的P型特性,并且使得功能性介质层130能够显著提高半导体碳纳米管的N型特性,所以沉积双功能性介质层的半导体碳纳米管层120表现为N型半导体特性。

[0027] 所述源极104、漏极105均由导电材料组成,该导电材料可选择为金属、ITO、ATO、导电银胶、导电聚合物以及导电碳纳米管等。该金属材料可以为铝、铜、钨、钼、金、钛、钪或任意组合的合金。优选地,所述源极104和漏极105均为一层导电薄膜,该导电薄膜的厚度为2纳米-50纳米。本实施例中,所述源极104、漏极105为金属Au和Ti得到的金属复合结构,具体地,所述金属复合结构是由金属Au在金属Ti的表面复合而成,所述金属Ti的厚度为2纳米,金属Au的厚度为50纳米。本实施例中,所述源极104、漏极105间隔设置于所述绝缘基底100的表面,且分别与所述半导体碳纳米管层120相对的两边缘电连接,从而在所述源极104及漏极105之间形成所述沟道115。

[0028] 所述栅极140设置于所述功能性介质层130远离所述氧化镁层110的表面,该栅极140通过所述功能性介质层130、氧化镁层110与所述沟道115绝缘设置,并且该栅极140的长度可略小于该沟道115的长度。所述栅极140均由导电材料组成,该导电材料可选择为金属、ITO、ATO、导电银胶、导电聚合物以及导电碳纳米管等。该金属材料可以为铝、铜、钨、钼、金、钛、钪或任意组合的合金。本实施例中,所述栅极140为金属Au和Ti得到的金属复合结构,具体地,所述金属复合结构是由金属Au在金属Ti的表面复合而成。

[0029] 使用时,将源极104接地,在栅极140上施加一栅极电压 V_g ,并在漏极105上施加一漏极电压 V_d 。当栅极140施加一定的正电压或负电压,在沟道115中产生电场,并在沟道115表面处产生载流子。随着栅极电压的增加,沟道115转变为载流子积累层,当栅极电压达到源极104和漏极105之间的开启电压时,源极104与漏极105之间的沟道115导通,从而会在源极104和漏极105之间产生电流,从而使得薄膜晶体管处于开启状态。

[0030] 请参阅图3,图3为半导体碳纳米管表面沉积氧化镁层110前后的薄膜晶体管的测试图。从图中可以看出,半导体碳纳米管层120表面沉积氧化镁层110的薄膜晶体管,与未沉积氧化镁层110的薄膜晶体管对比,P型特性明显降低,而N型特性有相应提升。

[0031] 请参阅图4,图4为半导体碳纳米管表面只沉积功能性介质层130的薄膜晶体管的测试图。从图中可以看出,半导体碳纳米管层120表面只沉积功能性介质层130时,薄膜晶体管的N型特性显著增加,而P型特性没有明显改变,因此所述薄膜晶体管表现为双极性特征。

[0032] 请参阅图5,从图中可以看出,沉积双功能性介质层的半导体碳纳米管层120的薄膜晶体管只表现为N型特征。

[0033] 本发明提供的N型薄膜晶体管,所述半导体碳纳米管层120相对的两个表面分别设置有氧化镁层110和功能性介质层130组成的双功能性介质层,所述氧化镁层110可吸收半导体碳纳米管层120中的水,降低水与半导体碳纳米管层120中电子结合的几率,从而降低半导体碳纳米管层120的P型特性,并相应提升半导体碳纳米管层120的N型特性;所述功能性介质层130的结构致密且存在正电荷缺陷,可向所述半导体碳纳米管层120提供电子,可显著提高半导体碳纳米管的N型特性。所以,所述薄膜晶体管表现出良好的N型单极性且性能稳定。

[0034] 请参阅图6,本发明第二实施例提供的N型薄膜晶体管20,包括一绝缘基底100、一

栅极140、一半导体碳纳米管层120、一氧化镁层110、一功能性介质层130、一源极104及一漏极105。所述栅极140设置于所述绝缘基底100的表面。所述氧化镁层110设置于所述半导体碳纳米管层120与所述栅极140之间以绝缘。

[0035] 本发明第二实施例提供的N型薄膜晶体管20与第一实施例基本相同,其不同在于,所述栅极140设置于所述绝缘基底100的表面,所述N型薄膜晶体管20为一底栅型薄膜晶体管。

[0036] 具体的,所述栅极140直接设置于所述绝缘基底100的表面。所述氧化镁层110覆盖所述半导体碳纳米管层120靠近所述栅极140的整个表面,从而使之与所述栅极140绝缘,防止短路。进一步,所述半导体碳纳米管层120具有多个空隙,所述氧化镁层110可填充入所述空隙中,从而可与所述半导体碳纳米管层120形成一体结构,能够避免氧化镁层110的脱落。

[0037] 请参阅图7,本发明第三实施例提供的N型薄膜晶体管30,包括一绝缘基底100、一栅极140、一栅极绝缘层150、一半导体碳纳米管层120、一氧化镁层110、一功能性介质层130、一源极104及一漏极105。所述栅极140设置于所述绝缘基底100的表面,所述栅极绝缘层150设置于所述栅极140远离绝缘基底100的表面,并且覆盖所述栅极140。所述氧化镁层110及半导体碳纳米管层120依次层叠设置于所述栅极绝缘层150的表面,并且通过所述栅极绝缘层150与所述栅极140绝缘。

[0038] 本发明第三实施例提供的N型薄膜晶体管30与第二实施例提供的N型薄膜晶体管20基本相同,其区别在于所述N型薄膜晶体管30进一步包括一栅极绝缘层150设置于所述氧化镁层110与栅极140之间,从而实现栅极与所述半导体碳纳米管层120、所述源极104及漏极105之间的绝缘。

[0039] 所述栅极绝缘层150材料可选择为氧化铝、氧化铅、氮化硅、氧化硅等硬性材料或苯并环丁烯(BCB)、聚酯或丙烯酸树脂等柔性材料。该栅极绝缘层150的厚度为0.5纳米~100微米。本实施例中,所述栅极绝缘层150的材料为氧化铝,其厚度为40纳米。

[0040] 另外,本领域技术人员还可在本发明精神内作其它变化,当然这些依据本发明精神所作的变化,都应包含在本发明所要求保护的范围内。

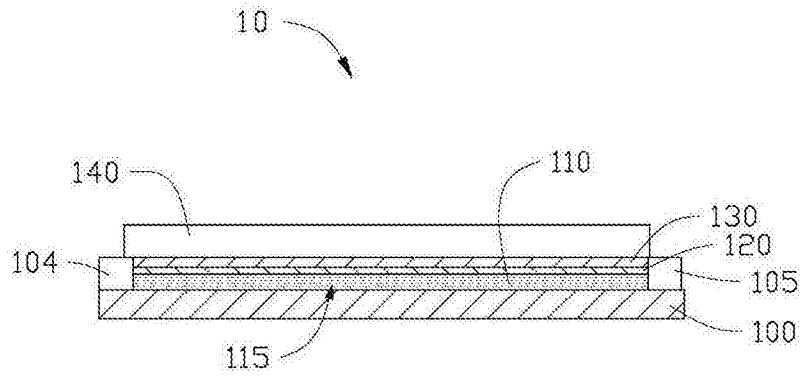


图1

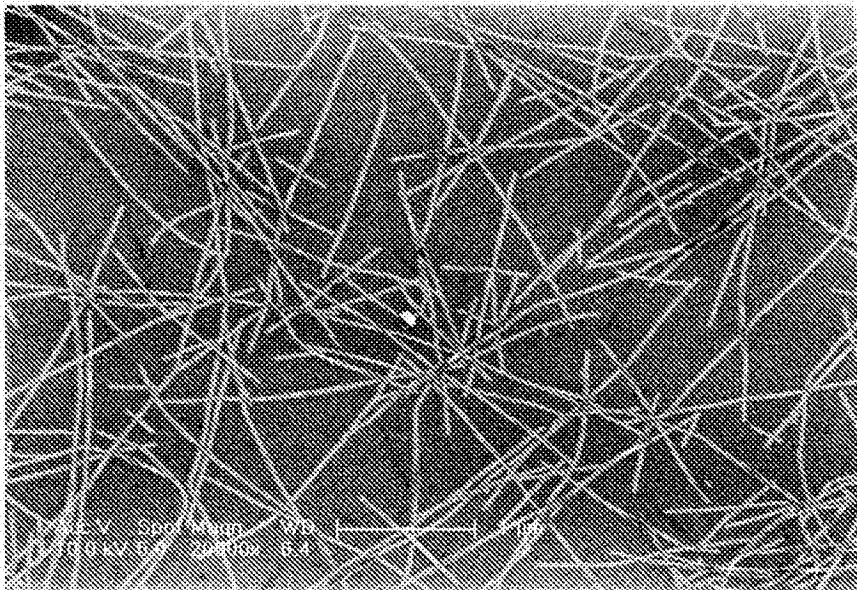


图2

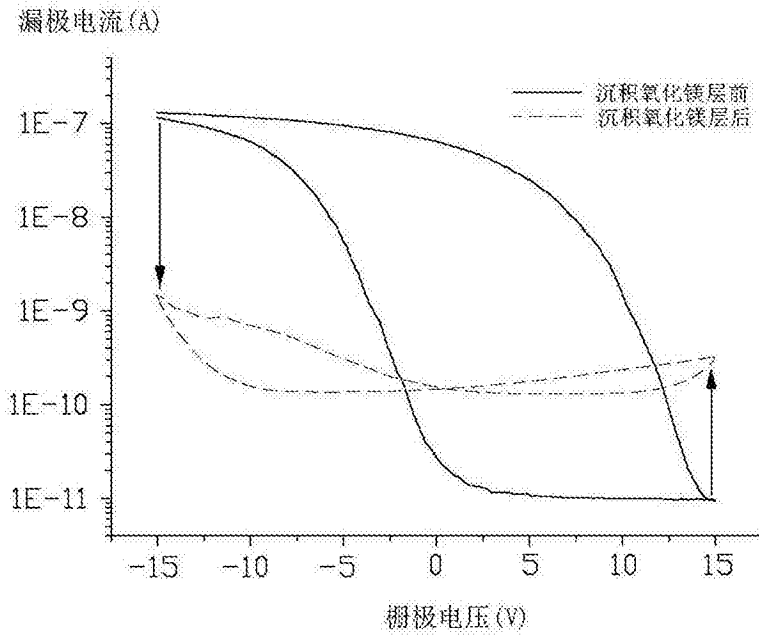


图3

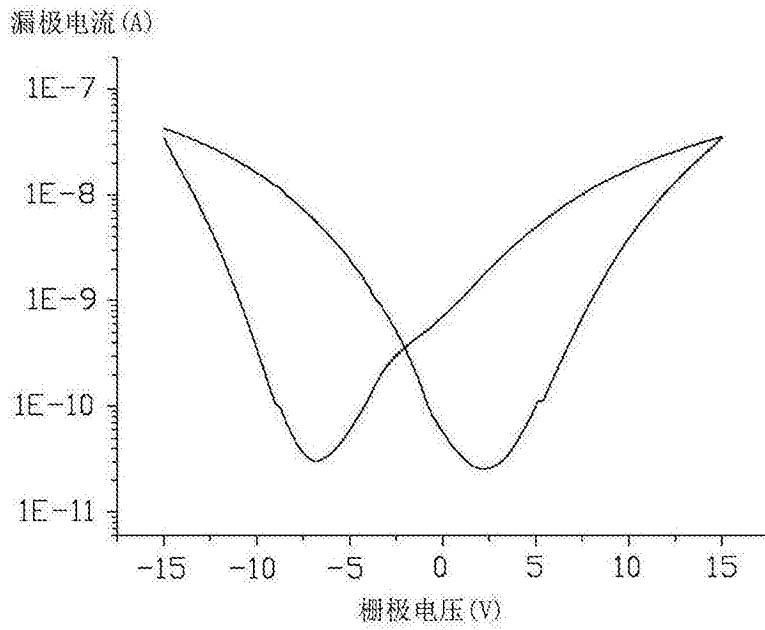


图4

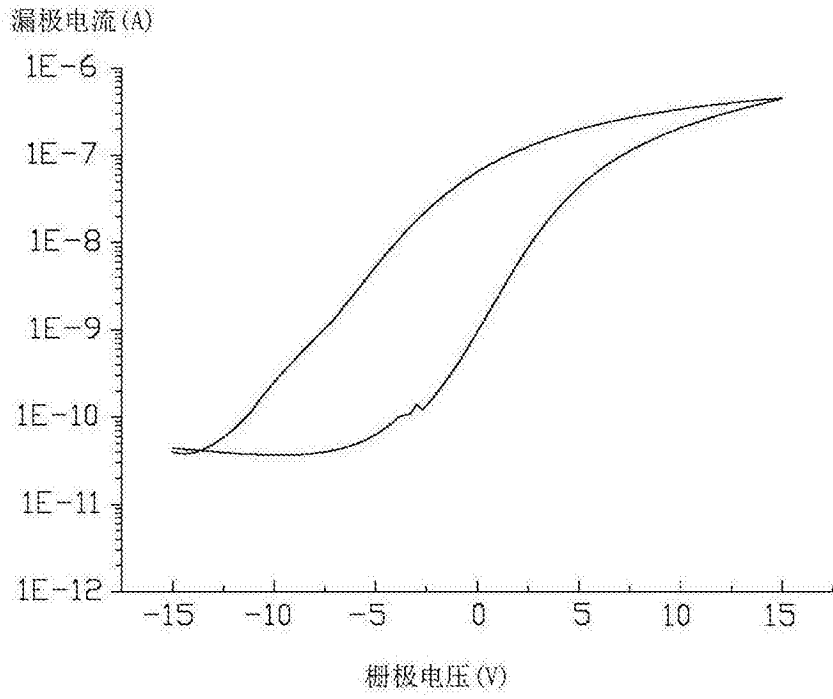


图5

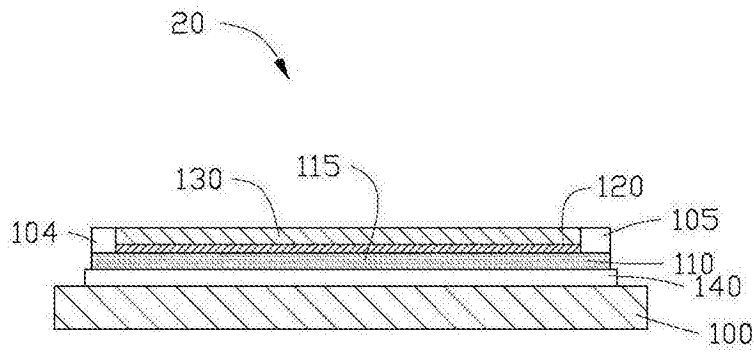


图6

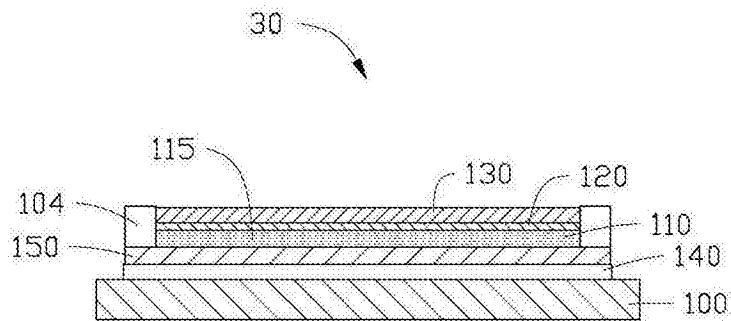


图7