



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년12월28일
(11) 등록번호 10-2619291
(24) 등록일자 2023년12월26일

(51) 국제특허분류(Int. Cl.)
H10K 59/00 (2023.01) G02B 27/01 (2006.01)
H10K 50/80 (2023.01) H10K 71/00 (2023.01)
(52) CPC특허분류
H10K 59/352 (2023.02)
G02B 27/01 (2013.01)
(21) 출원번호 10-2018-0149927
(22) 출원일자 2018년11월28일
심사청구일자 2021년10월21일
(65) 공개번호 10-2020-0063782
(43) 공개일자 2020년06월05일
(56) 선행기술조사문헌
KR1020170136688 A*
JP2010033983 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김영미
경기도 파주시 월롱면 엘지로 245
강연숙
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

전체 청구항 수 : 총 25 항

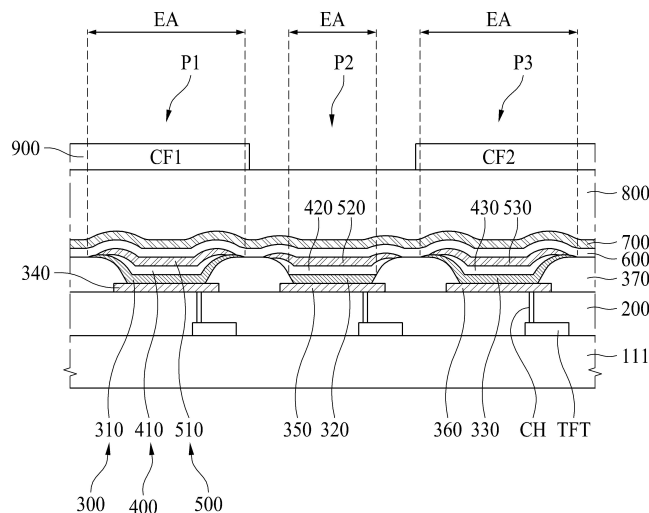
심사관 : 조성수

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 소비 전력을 감소시킬 수 있는 표시장치를 제공한다. 본 발명의 일 실시예에 따른 표시장치는 제1 서브 화소 및 제2 서브 화소를 구비한 기관, 기관 상에서 제1 서브 화소 및 제2 서브 화소 각각에 구비된 제1 전극, 제1 전극 상에서 제1 서브 화소 및 제2 서브 화소 각각에 구비되고 제1 색의 광을 발광하는 제1 발광층, 제1 발광층 상에서 제1 서브 화소 및 제2 서브 화소 각각에 구비된 제2 전극, 제2 전극 상에 구비되어 제2 색의 광을 발광하는 제2 발광층, 및 제2 발광층 상에 구비된 제3 전극을 포함한다. 제1 서브 화소의 제1 전극은 제2 서브 화소의 제1 전극 보다 큰 면적을 가진다. 제1 서브 화소의 제1 전극은 제1 서브 화소의 제2 전극과 전기적으로 연결되고, 제2 서브 화소의 제1 전극은 상기 제2 서브 화소의 제2 전극과 절연된다.

대표도 - 도5



(52) CPC특허분류

H10K 50/805 (2023.02)

H10K 59/12 (2023.02)

H10K 71/00 (2023.02)

명세서

청구범위

청구항 1

제1 서브 화소 및 제2 서브 화소를 구비한 기관;

상기 기관 상에서 상기 제1 서브 화소 및 상기 제2 서브 화소 각각에 구비된 제1 전극;

상기 제1 전극 상에서 상기 제1 서브 화소 및 상기 제2 서브 화소 각각에 구비되고, 제1 색의 광을 발광하는 제1 발광층;

상기 제1 발광층 상에서 상기 제1 서브 화소 및 상기 제2 서브 화소 각각에 구비된 제2 전극;

상기 제2 전극 상에 구비되어 제2 색의 광을 발광하는 제2 발광층; 및

상기 제2 발광층 상에 구비된 제3 전극을 포함하고,

상기 제1 서브 화소의 제1 전극은 상기 제2 서브 화소의 제1 전극 보다 큰 면적을 가지고,

상기 제1 서브 화소의 제1 전극은 상기 제1 서브 화소의 제2 전극과 전기적으로 연결되고, 상기 제2 서브 화소의 제1 전극은 상기 제2 서브 화소의 제2 전극과 절연되고,

상기 제1 서브 화소는 상기 제1 발광층이 상기 제1 전극 보다 작은 면적을 가지도록 형성되어 상기 제1 전극이 노출되고,

상기 제2 서브 화소는 상기 제1 발광층이 상기 제1 전극 보다 큰 면적을 가지도록 형성되어 상기 제1 전극을 덮는 표시장치.

청구항 2

제1항에 있어서,

상기 제2 서브 화소의 제2 전극은 상기 제3 전극과 전기적으로 연결되는 표시장치.

청구항 3

제1항에 있어서,

상기 제1 서브 화소는 상기 제2 발광층이 발광하고, 상기 제2 서브 화소는 상기 제1 발광층이 발광하는 표시장치.

청구항 4

제3항에 있어서,

상기 제1 발광층은 청색의 광을 발광하는 표시장치.

청구항 5

제1항에 있어서,

상기 제1 발광층은 상기 제1 서브 화소와 상기 제2 서브 화소 각각에 패턴 형성되는 표시장치.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 제2 전극은 상기 제1 서브 화소와 상기 제2 서브 화소 각각에 패턴 형성되는 표시장치.

청구항 8

제7항에 있어서,

상기 제1 서브 화소는 상기 제2 전극이 상기 제1 발광층 보다 큰 면적을 가지도록 형성되어 상기 노출된 제1 전극과 상기 제2 전극이 접촉하는 표시장치.

청구항 9

제1항에 있어서,

상기 제1 전극 아래에서 상기 제1 서브 화소 및 상기 제2 서브 화소 각각에 구비된 보조 전극; 및

상기 기관과 상기 보조 전극 사이에 구비된 박막 트랜지스터를 포함하고,

상기 보조 전극은 상기 박막 트랜지스터에 접속되어 고전위 전압이 인가되는 표시장치.

청구항 10

제9항에 있어서,

상기 제1 전극은 상기 보조 전극에 접속되어 상기 고전위 전압이 인가되는 표시장치.

청구항 11

제9항에 있어서,

상기 보조 전극의 끝단을 가리고 상기 보조 전극의 일부가 노출되도록 형성된 बैं크를 더 포함하고,

상기 제1 서브 화소의 제1 전극은 상기 노출된 보조 전극의 상면 및 상기 बैं크의 측면에 형성되는 표시장치.

청구항 12

제11항에 있어서,

상기 제1 서브 화소의 제1 전극은 상기 बैं크 상에서 상기 제1 서브 화소의 제2 전극과 접촉하는 표시장치.

청구항 13

제1항에 있어서,

상기 기관은 상기 제1 서브 화소가 제1 방향으로 복수개가 나열된 제1 서브 화소 영역, 및 상기 제2 서브 화소가 제2 방향으로 상기 제1 서브 화소와 인접하게 배치되어 상기 제1 방향으로 복수개가 나열된 제2 서브 화소 영역을 포함하는 표시장치.

청구항 14

제13항에 있어서,

상기 제1 서브 화소 영역에 배치된 제2 전극과 상기 제2 서브 화소 영역에 배치된 제2 전극은 서로 이격되는 표시장치.

청구항 15

제14항에 있어서,

상기 제1 서브 화소 영역에 배치된 제2 전극은 상기 복수의 제1 서브 화소들 각각에 패턴 형성되는 표시장치.

청구항 16

제14항에 있어서,

상기 제2 서브 화소 영역에 배치된 제2 전극은 상기 복수의 제2 서브 화소들을 따라 연장되어 일단이 상기 제3

전극과 접촉하는 표시장치.

청구항 17

제1 서브 화소, 제2 서브 화소 및 제3 서브 화소를 구비한 기관;
 상기 기관 상에서 상기 제1 서브 화소, 상기 제2 서브 화소, 및 상기 제3 서브 화소 각각에 구비된 제1 전극;
 상기 제1 전극 상에 구비되어 제1 색의 광을 발광하는 제1 발광층;
 상기 제1 발광층 상에 구비된 제2 전극;
 상기 제2 전극 상에 구비되어 제2 색의 광을 발광하는 제2 발광층; 및
 상기 제2 발광층 상에 구비된 제3 전극을 포함하고,
 상기 제1 서브 화소 및 상기 제3 서브 화소 각각은 상기 제1 전극과 상기 제2 전극에 동일한 전압이 인가되고,
 상기 제2 서브 화소는 상기 제2 전극과 상기 제3 전극에 동일한 전압이 인가되고,
 상기 제1 서브 화소 및 상기 제3 서브 화소 각각은 상기 제1 발광층이 상기 제1 전극 보다 작은 면적을 가지도록 형성되어 상기 제1 전극이 노출되고,
 상기 제2 서브 화소는 상기 제1 발광층이 상기 제1 전극 보다 큰 면적을 가지도록 형성되어 상기 제1 전극을 덮는 표시장치.

청구항 18

제17항에 있어서,
 상기 제1 서브 화소 및 상기 제3 서브 화소 각각은 상기 제2 전극과 상기 제3 전극 사이에 구비된 제2 발광층이 발광되고,
 상기 제2 서브 화소는 상기 제1 전극과 상기 제2 전극 사이에 구비된 제1 발광층이 발광되는 표시장치.

청구항 19

제18항에 있어서,
 상기 제1 발광층은 청색의 광을 발광하는 표시장치.

청구항 20

제17항에 있어서,
 상기 제1 서브 화소 및 상기 제3 서브 화소 각각의 제1 전극은 상기 제2 서브 화소의 제1 전극과 상이한 면적을 가지는 표시장치.

청구항 21

제20항에 있어서,
 상기 제1 서브 화소 및 상기 제3 서브 화소 각각의 제1 전극은 상기 제2 서브 화소의 제1 전극 보다 큰 면적을 가지는 표시장치.

청구항 22

삭제

청구항 23

제17항에 있어서,
 상기 제2 전극은 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소 각각에 패턴 형성되는 표시장치.

청구항 24

제23항에 있어서,

상기 제1 서브 화소 및 상기 제3 서브 화소 각각은 상기 제2 전극이 상기 제1 발광층 보다 큰 면적을 가지도록 형성되어 상기 노출된 제1 전극과 상기 제2 전극이 접촉하는 표시장치.

청구항 25

제17항에 있어서,

상기 제2 서브 화소는 상기 제2 전극이 제1 방향으로 연장되어 일단이 상기 제3 전극과 접촉하는 표시장치.

청구항 26

제17항에 있어서,

상기 제1 서브 화소 및 상기 제3 서브 화소 각각에 대응되도록 배치된 컬러필터를 더 포함하는 표시장치.

청구항 27

제26항에 있어서, 상기 컬러필터는

상기 제1 서브 화소에 대응되도록 배치되고, 적색 광을 투과시키는 적색 컬러필터; 및

상기 제3 서브 화소에 대응되도록 배치되고, 녹색 광을 투과시키는 녹색 컬러필터를 포함하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 영상을 표시하는 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD, Liquid Crystal Display), 플라즈마표시장치(PDP, Plasma Display Panel), 유기발광 표시장치(OLED, Organic Light Emitting Display)와 같은 여러 가지 표시장치가 활용되고 있다.

[0003] 최근에는 이와 같은 표시장치를 포함한 헤드 장착형 디스플레이(Head Mounted Display, HMD)가 개발되고 있다. 헤드 장착형 디스플레이(HMD)는 안경이나 헬멧 형태로 착용하여 사용자의 눈앞 가까운 거리에 초점이 형성되는 가상현실(Virtual Reality, VR) 또는 증강현실(Augmented Reality)의 안경형 모니터 장치이다.

[0004] 이러한 헤드 장착형 디스플레이는 고해상도의 조밀한 화소 간격으로 인해 서브 화소 별로 상이한 색의 발광층을 정밀하게 패턴 형성하는데 어려움이 있다. 이를 해결하기 위하여, 헤드 장착형 디스플레이는 서로 상이한 색상의 광을 발광하는 복수의 스택들로 이루어진 백색 발광층을 공통층으로 형성하고, 서브 화소 별로 컬러필터를 배치하여 상이한 색을 구현할 수 있다. 이러한 경우, 헤드 장착형 디스플레이는 정밀한 마스크 제작이나 정밀한 마스크 얼라인 공정이 필요하지 않다는 장점이 있으나, 복수의 스택들로 인하여 전력이 많이 소비된다는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 소비 전력을 감소시킬 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 표시장치는 제1 서브 화소 및 제2 서브 화소를 구비한 기관, 기관 상에서 제1 서브 화소 및 제2 서브 화소 각각에 구비된 제1 전극, 제1 전극 상에서 제1 서브 화소 및 제2 서브 화소 각각에 구비

되고 제1 색의 광을 발광하는 제1 발광층, 제1 발광층 상에서 제1 서브 화소 및 제2 서브 화소 각각에 구비된 제2 전극, 제2 전극 상에 구비되어 제2 색의 광을 발광하는 제2 발광층, 및 제2 발광층 상에 구비된 제3 전극을 포함한다. 제1 서브 화소의 제1 전극은 제2 서브 화소의 제1 전극 보다 큰 면적을 가진다. 제1 서브 화소의 제1 전극은 제1 서브 화소의 제2 전극과 전기적으로 연결되고, 제2 서브 화소의 제1 전극은 상기 제2 서브 화소의 제2 전극과 절연된다.

[0007] 본 발명의 다른 실시예에 따른 표시장치는 제1 서브 화소, 제2 서브 화소 및 제3 서브 화소를 구비한 기관, 기관 상에서 제1 서브 화소, 제2 서브 화소, 및 제3 서브 화소 각각에 구비된 제1 전극, 제1 전극 상에 구비되어 제1 색의 광을 발광하는 제1 발광층, 제1 발광층 상에 구비된 제2 전극, 제2 전극 상에 구비되어 제2 색의 광을 발광하는 제2 발광층, 및 제2 발광층 상에 구비된 제3 전극을 포함한다. 제1 서브 화소 및 상기 제3 서브 화소 각각은 제1 전극과 제2 전극에 동일한 제1 전압이 인가되고, 제2 서브 화소는 제2 전극과 제3 전극에 동일한 제2 전압이 인가된다.

발명의 효과

[0008] 본 발명에 따르면, 서브 화소들에 제1 발광층 및 제2 발광층을 마스크 없이 형성함으로써, 마스크를 이용하여 서브 화소 별로 상이한 발광층들을 패턴 형성함에 따른 문제점을 해결할 수 있다. 즉, 본 발명은 정밀한 마스크 제작이나 정밀한 마스크 얼라인 공정이 필요하지 않으며, 조밀한 화소 간격을 가지는 고해상도의 표시장치에도 적용이 가능하다.

[0009] 또한, 본 발명은 제1 발광층 및 제2 발광층을 모든 서브 화소들에 형성함에도 불구하고, 서브 화소들 각각에서 제1 발광층 및 제2 발광층 중 어느 하나만 발광시킬 수 있다. 이에 따라, 본 발명은 제1 발광층 및 제2 발광층을 모두 발광시키는 것과 비교하여 전력 소비를 현저하게 줄일 수 있다.

[0010] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시예에 따른 표시장치를 보여주는 사시도이다.
 도 2는 도 1의 제1 기관, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.
 도 3은 본 발명의 일 실시예에 따른 표시 패널의 제1 기관을 개략적으로 보여주는 평면도이다.
 도 4는 제1 내지 제3 서브 화소의 일 예를 개략적으로 보여주는 평면도이다.
 도 5는 도 3의 I-I의 일 예를 보여주는 단면도이다.
 도 6은 도 3의 II-II의 일 예를 보여주는 단면도이다.
 도 7은 도 3의 III-III의 일 예를 보여주는 단면도이다.
 도 8은 본 발명의 일 실시예에 따른 표시장치의 제조방법을 설명하기 위한 흐름도이다.
 도 9a 내지 도 9j는 본 발명의 일 실시예에 따른 표시장치의 제조방법을 설명하기 위한 단면도들이다.
 도 10a 내지 도 10c는 본 발명의 다른 실시예에 따른 표시장치에 관한 것으로서, 이는 헤드 장착형 표시(HMD) 장치에 관한 것이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0013] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를

지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

- [0014] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0017] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0018] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0019] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0020] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0021] 본 발명의 여러 실시 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.
- [0023] 도 1은 본 발명의 일 실시예에 따른 표시장치를 보여주는 사시도이다. 도 2는 도 1의 제1 기관, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.
- [0024] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 표시장치(100)는 표시패널(110), 소스 드라이브 집적회로(integrated circuit, 이하 "IC"라 칭함)(140), 연성필름(150), 회로보드(160), 및 타이밍 제어부(170)를 포함한다.
- [0025] 표시패널(110)은 제1 기관(111)과 제2 기관(112)을 포함한다. 제2 기관(112)은 봉지 기관일 수 있다. 제1 기관(111)은 플라스틱 필름(plastic film), 유리 기관(glass substrate), 또는 반도체 공정을 이용하여 형성된 실리콘 웨이퍼 기관일 수 있다. 제2 기관(112)은 플라스틱 필름, 유리 기관, 또는 봉지 필름일 수 있다.
- [0026] 제2 기관(112)과 마주보는 제1 기관(111)의 일면 상에는 게이트 라인들, 데이터 라인들, 및 서브 화소들이 형성된다. 서브 화소들은 게이트 라인들과 데이터 라인들의 교차 구조에 의해 정의되는 영역에 마련된다.
- [0027] 서브 화소들 각각은 박막 트랜지스터와 애노드 전극, 발광층, 및 캐소드 전극을 구비하는 발광소자를 포함할 수 있다. 서브 화소들 각각은 박막 트랜지스터를 이용하여 게이트 라인으로부터 게이트 신호가 입력되는 경우 데이터 라인의 데이터 전압에 따라 발광소자에 소정의 전류를 공급한다. 이로 인하여 애노드 전극에 고전위 전압이 인가되고 캐소드 전극에 저전위 전압이 인가되면, 서브 화소들 각각의 발광층은 소정의 전류에 따라 소정의 밝기로 발광할 수 있다.
- [0028] 표시패널(110)은 서브 화소들이 형성되어 화상을 표시하는 표시 영역(DA)과 화상을 표시하지 않는 비표시 영역(NDA)으로 구분될 수 있다. 표시 영역(DA)에는 게이트 라인들, 데이터 라인들, 및 서브 화소들이 형성될 수 있다. 비표시 영역(NDA)에는 게이트 구동부 및 패드들이 형성될 수 있다.
- [0029] 게이트 구동부는 타이밍 제어부(170)로부터 입력되는 게이트 제어신호에 따라 게이트 라인들에 게이트 신호들을

공급한다. 게이트 구동부는 표시패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비표시 영역(DA)에 GIP(gate driver in panel) 방식으로 형성될 수 있다. 또는, 게이트 구동부는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비 표시영역(DA)에 부착될 수도 있다.

- [0030] 소스 드라이브 IC(140)는 타이밍 제어부(170)로부터 디지털 비디오 데이터와 소스 제어신호를 입력받는다. 소스 드라이브 IC(140)는 소스 제어신호에 따라 디지털 비디오 데이터를 아날로그 데이터전압들로 변환하여 데이터 라인들에 공급한다. 소스 드라이브 IC(140)가 구동 칩으로 제작되는 경우, COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성필름(150)에 실장될 수 있다.
- [0031] 표시패널(110)의 비표시 영역(NDA)에는 데이터 패드들과 같은 패드들이 형성될 수 있다. 연성필름(150)에는 패드들과 소스 드라이브 IC(140)를 연결하는 배선들, 패드들과 회로보드(160)의 배선들을 연결하는 배선들이 형성될 수 있다. 연성필름(150)은 이방성 도전 필름(ant isotropic conducting film)을 이용하여 패드들 상에 부착되며, 이로 인해 패드들과 연성필름(150)의 배선들이 연결될 수 있다.
- [0032] 회로보드(160)는 연성필름(150)들에 부착될 수 있다. 회로보드(160)는 구동 칩들로 구현된 다수의 회로들이 실장될 수 있다. 예를 들어, 회로보드(160)에는 타이밍 제어부(170)가 실장될 수 있다. 회로보드(160)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.
- [0033] 타이밍 제어부(170)는 회로보드(160)의 케이블을 통해 외부의 시스템 보드로부터 디지털 비디오 데이터와 타이밍 신호를 입력 받는다. 타이밍 제어부(170)는 타이밍 신호에 기초하여 게이트 구동부의 동작 타이밍을 제어하기 위한 게이트 제어신호와 소스 드라이브 IC(140)들을 제어하기 위한 소스 제어신호를 발생한다. 타이밍 제어부(170)는 게이트 제어신호를 게이트 구동부에 공급하고, 소스 제어신호를 소스 드라이브 IC(140)들에 공급한다.
- [0034] 도 3은 본 발명의 일 실시예에 따른 표시 패널의 제1 기관을 개략적으로 보여주는 평면도이고, 도 4는 제1 내지 제3 서브 화소의 일 예를 개략적으로 보여주는 평면도이다. 도 5는 도 3의 I-I의 일 예를 보여주는 단면도이고, 도 6은 도 3의 II-II의 일 예를 보여주는 단면도이고, 도 7은 도 3의 III-III의 일 예를 보여주는 단면도이다.
- [0035] 도 3 내지 도 7을 참조하면, 본 발명의 일 실시예에 따른 표시 패널(110)의 제1 기관(111) 상에는 회로 소자층(200), 제1 전극(300), 제1 발광층(400), 제2 전극(500), 제2 발광층(600), 제3 전극(700) 및 봉지층(800)이 형성된다. 일 실시예에 있어서, 표시패널(110)은 제1 기관(111) 상에 보조 전극(340, 350, 360) 및 컬러필터(900) 중 적어도 하나를 더 포함할 수 있다.
- [0036] 제1 기관(111)는 표시 영역(DA)과 비표시 영역(NDA)로 구분되며, 비표시 영역(NDA)에는 패드(PAD)들이 형성되는 패드 영역(PA)이 형성될 수 있다. 제1 기관(111)의 표시 영역(DA)에는 제1 서브 화소(P1), 제2 서브 화소(P2), 및 제3 서브 화소(P3)가 구비될 수 있다. 제1 서브 화소(P1)는 적색 광을 방출하고, 제2 서브 화소(P2)는 청색 광을 방출하고, 제3 서브 화소(P3)는 녹색 광을 방출하도록 구비될 수 있지만, 반드시 그에 한정되는 것은 아니다. 제1 기관(111)의 표시 영역(DA)에는 백색(W)의 광을 발광하는 제4 서브 화소가 더 구비될 수 있다.
- [0037] 제1 기관(111)은 유리 또는 플라스틱으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 실리콘 웨이퍼와 같은 반도체 물질로 이루어질 수도 있다. 제1 기관(111)은 투명한 재료로 이루어질 수도 있고 불투명한 재료로 이루어질 수도 있다.
- [0038] 본 발명의 일 실시예에 따른 표시장치(100)는 발광된 광이 상부쪽으로 방출되는 상부 발광(top emission) 방식으로 이루어질 수 있으나, 반드시 이에 한정되지 않는다. 본 발명의 일 실시예에 따른 표시장치(100)가 발광된 광이 상부쪽으로 방출되는 상부 발광 방식으로 이루어지는 경우, 제1 기관(111)은 투명한 재료뿐만 아니라 불투명한 재료가 이용될 수도 있다. 한편, 본 발명의 일 실시예에 따른 표시장치(100)가 발광된 광이 하부쪽으로 방출되는 소위 하부 발광(bottom emission) 방식으로 이루어지는 경우, 제1 기관(111)은 투명한 재료가 이용될 수 있다.
- [0039] 회로 소자층(200)은 기관(110) 상에 형성된다.
- [0040] 회로 소자층(200)에는 상에는 각종 신호 라인들, 박막 트랜지스터, 및 커패시터 등을 포함하는 회로 소자가 서브 화소(P1, P2, P3) 별로 구비된다. 신호 라인들은 게이트 라인, 데이터 라인, 전원 라인, 및 기준 라인을 포함하여 이루어질 수 있고, 상기 박막 트랜지스터는 스위칭 박막 트랜지스터, 구동 박막 트랜지스터(TFT) 및 센싱 박막 트랜지스터를 포함하여 이루어질 수 있다.

- [0041] 스위칭 박막 트랜지스터는 게이트 배선에 공급되는 게이트 신호에 따라 스위칭되어 데이터 배선으로부터 공급되는 데이터 전압을 구동 박막 트랜지스터(TFT)에 공급하는 역할을 한다.
- [0042] 구동 박막 트랜지스터(TFT)는 스위칭 박막 트랜지스터로부터 공급되는 데이터 전압에 따라 스위칭되어 전원 배선에서 공급되는 전원으로로부터 데이터 전류를 생성하여 제1 전극(300)에 공급하는 역할을 한다.
- [0043] 센싱 박막 트랜지스터는 화질 저하의 원인이 되는 구동 박막 트랜지스터(TFT)의 문턱 전압 편차를 센싱하는 역할을 하는 것으로서, 게이트 배선 또는 별도의 센싱 배선에서 공급되는 센싱 제어 신호에 응답하여 구동 박막 트랜지스터(TFT)의 전류를 상기 기준 배선으로 공급한다.
- [0044] 커패시터는 구동 박막 트랜지스터(TFT)에 공급되는 데이터 전압을 한 프레임 동안 유지시키는 역할을 하는 것으로서, 구동 박막 트랜지스터(TFT)의 게이트 단자 및 소스 단자에 각각 연결된다.
- [0045] 회로 소자층(200)에는 박막 트랜지스터와 제1 전극(300) 사이에 절연막(미도시)이 형성될 수 있다. 보다 구체적으로, 회로 소자층(200)은 박막 트랜지스터를 보호하기 위한 보호막(미도시) 및 박막 트랜지스터로 인한 단차를 평탄화시키기 위한 평탄화막(미도시) 중 적어도 하나를 포함할 수 있다.
- [0046] 또한, 회로 소자층(200)에는 서브 화소(P1, P2, P3) 별로 보호막과 평탄화막을 관통하는 콘택홀(CH)이 구비되어 있어, 콘택홀(CH)을 통해서 구동 박막 트랜지스터(TFT)의 소스 단자 또는 드레인 단자가 노출된다.
- [0047] 제1 전극(300)은 회로 소자층(200) 상에서 서브 화소(P1, P2, P3) 별로 패턴 형성된다. 제1 서브 화소(P1)에 하나의 제1 전극(310)이 형성되고, 제2 서브 화소(P2)에 다른 하나의 제1 전극(320)이 형성되고, 제3 서브 화소(P3)에 또 다른 하나의 제1 전극(330)이 형성된다.
- [0048] 제1 전극(310, 320, 330)은 회로 소자층(200)에 구비된 구동 박막 트랜지스터(TFT)와 연결된다. 구체적으로, 제1 전극(310, 320, 330)과 회로 소자층(200) 사이에는 도 5에 도시된 바와 같이 보조 전극(340, 350, 360)이 서브 화소(P1, P2, P3) 별로 패턴 형성될 수 있다. 제1 전극(310, 320, 330)은 발광 영역(EA)에서 보조 전극(340, 350, 360) 상에 직접 형성되어, 전기적으로 연결된다. 그리고, 보조 전극(340, 350, 360)은 회로 소자층(200)에 구비된 콘택홀(CH)을 통해서 구동 박막 트랜지스터(TFT)의 소스 단자 또는 드레인 단자와 연결된다. 이에 따라, 제1 전극(310, 320, 330)은 보조 전극(340, 350, 360)과 콘택홀(CH)을 통하여 구동 박막 트랜지스터(TFT)의 소스 단자 또는 드레인 단자로부터 고전위 전압이 인가된다.
- [0049] 제1 서브 화소(P1)의 제1 전극(310)은 보조 전극(340) 및 콘택홀(CH)을 통해 구동 박막 트랜지스터(TFT)의 소스 단자 또는 드레인 단자에 접속되어, 제1 고전위 전압이 인가된다. 제2 서브 화소(P2)의 제1 전극(320)은 보조 전극(350) 및 콘택홀(CH)을 통해 구동 박막 트랜지스터(TFT)의 소스 단자 또는 드레인 단자에 접속되어, 제2 고전위 전압이 인가된다. 제3 서브 화소(P3)의 제1 전극(330)은 보조 전극(360) 및 콘택홀(CH)을 통해 구동 박막 트랜지스터(TFT)의 소스 단자 또는 드레인 단자에 접속되어, 제3 고전위 전압이 인가된다.
- [0050] 도 5에서는 제1 전극(310, 320, 330)과 회로 소자층(200) 사이에 보조 전극(340, 350, 360)이 형성되는 것으로 도시하고 있으나, 반드시 이에 한정되지는 않는다. 다른 실시예에 있어서, 보조 전극(340, 350, 360)은 생략될 수 있다. 이러한 경우, 제1 전극(310, 320, 330)은 콘택홀(CH)을 통해 직접 구동 박막 트랜지스터(TFT)의 소스 단자 또는 드레인 단자와 연결될 수도 있다.
- [0051] 한편, 서브 화소(P1, P2, P3) 각각에 형성된 제1 전극(310, 320, 330)은 서로 다른 면적을 가질 수 있다. 보다 구체적으로, 제1 서브 화소(P1)의 제1 전극(310)과 제3 서브 화소(P2)의 제1 전극(330)은 제2 서브 화소(P2)의 제1 전극(320) 보다 큰 면적을 가질 수 있다. 제1 서브 화소(P1)의 제1 전극(310)의 폭(W4)과 제3 서브 화소(P2)의 제1 전극(330)의 폭(W6)은 제2 서브 화소(P2)의 제1 전극(320)의 폭(W5) 보다 클 수 있다. 예컨대, 제1 서브 화소(P1)의 제1 전극(310)과 제3 서브 화소(P2)의 제1 전극(330)은 회로 소자층(200)의 상면뿐만 아니라 बैं크(370)의 측면까지 형성될 수 있다. 반면, 제2 서브 화소(P2)의 제1 전극(320)은 도 5에 도시된 바와 같이 회로 소자층(200)의 상면에만 형성될 수 있으나, 반드시 이에 한정되지는 않는다. 제2 서브 화소(P2)의 제1 전극(320)은 회로 소자층(200)의 상면 및 बैं크(370)의 측면에도 형성될 수 있다. 이때, 제2 서브 화소(P2)의 제1 전극(320)은 제1 서브 화소(P1)의 제1 전극(310)과 제3 서브 화소(P2)의 제1 전극(330) 보다 작은 면적을 가져야 하므로, बैं크(370)의 측면에서 제1 서브 화소(P1)의 제1 전극(310) 또는 제3 서브 화소(P2)의 제1 전극(330) 보다 작게 형성될 수 있다.
- [0052] 제1 전극(310, 320, 330)은 제1, 제2 및 제3 서브 화소(P1, P2, P3) 각각의 발광 영역(EA)을 정의한다. 즉, 각각의 서브 화소(P1, P2, P3)에서 제1 전극(310, 320, 330)이 형성된 영역이 발광 영역(EA)이 된다. 반면, 각각

의 서브 화소(P1, P2, P3)에서 제1 전극(310, 320, 330)이 형성되지 않은 영역이 비발광 영역이 된다.

- [0053] 따라서, 제2 서브 화소(P2)의 제1 전극(320)은 제1 서브 화소(P1)의 제1 전극(310)과 제3 서브 화소(P2)의 제1 전극(330) 보다 작은 면적을 가지므로, 제2 서브 화소(P2)는 제1 및 제3 서브 화소(P1, P3) 보다 발광 영역(EA)이 작다.
- [0054] 제1 전극(310, 320, 330)은 투명한 금속물질, 반투과 금속물질 또는 반사율이 높은 금속물질로 이루어질 수 있다. 표시장치(100)가 상부 발광 방식으로 이루어지는 경우, 제1 전극(310, 320, 330)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), Ag 합금, 및 Ag 합금과 ITO의 적층 구조(ITO/Ag 합금/ITO)과 같은 반사율이 높은 금속물질로 형성될 수 있다. Ag 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu) 등의 합금일 수 있다. 표시장치(100)가 하부 발광 방식으로 이루어지는 경우, 제1 전극(310, 320, 330)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 이러한 제1 전극(310, 320, 330)은 애노드 전극일 수 있다.
- [0055] बैं크(370)는 회로 소자층(200) 상에서 보조 전극(340, 350, 360) 각각의 끝단을 덮도록 형성될 수 있다. 그에 따라, 보조 전극(340, 350, 360)의 끝단에 전류가 집중되어 발광효율이 저하되는 문제가 방지될 수 있다.
- [0056] 또한, बैं크(370)는 하나의 보조 전극(340)의 끝단에서 다른 하나의 보조 전극(350)의 끝단까지 연결되고, 다른 하나의 보조 전극(350)의 끝단에서 또 다른 하나의 보조 전극(360)의 끝단까지 연결될 수 있다. 즉, बैं크(370)는 보조 전극(340, 350, 360) 각각의 끝단을 덮는 동시에 회로 소자층(200)도 덮도록 형성될 수 있다.
- [0057] 이러한 बैं크(370)는 상대적으로 얇은 두께의 무기 절연막으로 이루어질 수 있지만, 이에 한정되지 않는다. बैं크(370)는 상대적으로 두꺼운 두께의 유기 절연막으로 이루어질 수도 있다.
- [0058] 제1 발광층(400)은 제1 전극(300) 상에서 서브 화소(P1, P2, P3) 별로 패턴 형성된다. 제1 발광층(400)은 बैं크(370) 상에 형성될 수 있다. 제1 서브 화소(P1)의 제1 전극(310) 상에 하나의 제1 발광층(410)이 형성되고, 제2 서브 화소(P2)의 제1 전극(320) 상에 다른 하나의 제1 발광층(420)이 형성되고, 제3 서브 화소(P3)의 제1 전극(330) 상에 또 다른 하나의 제1 발광층(430)이 형성된다.
- [0059] 제1 서브 화소(P1)의 제1 발광층(410)은 도 5에 도시된 바와 같이 제1 전극(310) 보다 작은 면적을 가진다. 이에 따라, 제1 서브 화소(P1)는 제1 전극(310)의 가장자리가 제1 발광층(410)에 의하여 덮이지 않고 노출된다.
- [0060] 제3 서브 화소(P3)의 제1 발광층(430)은 도 5에 도시된 바와 같이 제1 전극(330) 보다 작은 면적을 가진다. 이에 따라, 제3 서브 화소(P3)는 제1 전극(330)의 가장자리가 제1 발광층(430)에 의하여 덮이지 않고 노출된다.
- [0061] 제2 서브 화소(P2)의 제1 발광층(420)은 도 5에 도시된 바와 같이 제1 전극(320) 보다 큰 면적을 가진다. 이에 따라, 제2 서브 화소(P2)는 제1 전극(320)이 제1 발광층(420)에 의하여 덮인다.
- [0062] 이때, 제2 서브 화소(P2)의 제1 발광층(420)은 제1 서브 화소(P1)의 제1 발광층(410) 및 제3 서브 화소(P3)의 제1 발광층(430)과 동일한 면적을 가진다. 그러나, 제2 서브 화소(P2)의 제1 전극(320)이 제1 서브 화소(P1)의 제1 전극(310) 및 제3 서브 화소(P3)의 제1 전극(330) 보다 작은 면적을 가지므로, 제2 서브 화소(P2)는 제1 및 제3 서브 화소(P1, P3)와 달리 제1 전극(320)이 제1 발광층(420)에 의하여 덮이게 된다.
- [0063] 제1 발광층(410, 420, 430)은 정공 수송층(hole transporting layer), 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 이 경우, 제1 발광층(410, 420, 430)은 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 발광층으로 이동하게 되며, 발광층에서 서로 결합하여 소정의 색으로 발광하게 된다.
- [0064] 제1 발광층(410, 420, 430)은 적색 광을 발광하는 적색 발광층, 녹색 광을 발광하는 녹색 발광층, 청색 광을 발광하는 청색 발광층 및 황색 광을 발광하는 황색 발광층 중 어느 하나 일 수 있으나, 반드시 이에 한정되지 않는다.
- [0065] 제2 전극(500)은 제1 발광층(400) 상에서 서브 화소(P1, P2, P3) 별로 패턴 형성된다. 제2 전극(500)은 बैं크(370) 상에 형성될 수 있다. 제1 서브 화소(P1)의 제1 발광층(410) 상에 하나의 제2 전극(510)이 형성되고, 제2 서브 화소(P2)의 제1 발광층(420) 상에 다른 하나의 제2 전극(520)이 형성되고, 제3 서브 화소(P3)의 제1 발광층(430) 상에 또 다른 하나의 제2 전극(530)이 형성된다.
- [0066] 제1 서브 화소(P1)의 제2 전극(510)은 제1 전극(310)의 형성 영역 내에 형성된다. 제1 서브 화소(P1)의 제2 전

극(510)은 도 4 및 도 5에 도시된 바와 같이 제1 전극(310) 보다 작은 면적을 가질 수 있다. 즉, 제1 서브 화소(P1)의 제2 전극(510)은 제1 전극(310)의 폭(W4) 보다 작은 폭(W1)을 가질 수 있다. 그러나 반드시 이에 한정되지는 않으며, 제1 서브 화소(P1)의 제2 전극(510)은 제1 전극(310)과 동일한 면적을 가질 수도 있다.

[0067] 또한, 제1 서브 화소(P1)의 제2 전극(510)은 제1 발광층(410) 보다 큰 면적을 가진다. 이에 따라, 제1 서브 화소(P1)는 제2 전극(510)이 제1 발광층(410)에 의하여 덮이지 않고 노출된 제1 전극(310)의 가장자리에 접속된다. 제1 서브 화소(P1)에는 제1 전극(310)과 제2 전극(510)이 접속된 제1 접속 영역(CA1)이 형성된다.

[0068] 제1 서브 화소(P1)는 제2 전극(510)이 제1 전극(310)에 직접 접속되어, 제2 전극(510)과 제1 전극(310)이 전기적으로 연결된다. 즉, 제1 서브 화소(P1)의 제1 전극(310)에 제1 고전위 전압이 인가되면, 제1 서브 화소(P1)의 제2 전극(510)은 제1 전극(310)과 동일한 제1 고전위 전압이 인가될 수 있다. 이때, 제1 서브 화소(P1)의 제2 전극(510)은 애노드 전극일 수 있다.

[0069] 제3 서브 화소(P3)의 제2 전극(530) 역시 제1 전극(330)의 형성 영역 내에 형성된다. 제3 서브 화소(P3)의 제2 전극(530)은 도 4 및 도 5에 도시된 바와 같이 제1 전극(330) 보다 작은 면적을 가질 수 있다. 즉, 제3 서브 화소(P3)의 제2 전극(530)은 제1 전극(330)의 폭(W6) 보다 작은 폭(W3)을 가질 수 있다. 그러나 반드시 이에 한정되지는 않으며, 제3 서브 화소(P3)의 제2 전극(530)은 제1 전극(330)과 동일한 면적을 가질 수도 있다.

[0070] 또한, 제3 서브 화소(P3)의 제2 전극(530)은 제1 발광층(430) 보다 큰 면적을 가진다. 이에 따라, 제3 서브 화소(P3)는 제2 전극(530)이 제1 발광층(430)에 의하여 덮이지 않고 노출된 제1 전극(330)의 가장자리에 접속된다. 제3 서브 화소(P3)에는 제1 전극(330)과 제2 전극(530)이 접속된 제2 접속 영역(CA2)이 형성된다.

[0071] 제3 서브 화소(P3)는 제2 전극(530)이 제1 전극(330)에 직접 접속되어, 제2 전극(530)과 제1 전극(330)이 전기적으로 연결된다. 즉, 제3 서브 화소(P3)의 제1 전극(330)에 제3 고전위 전압이 인가되면, 제3 서브 화소(P3)의 제2 전극(530)은 제1 전극(330)과 동일한 제3 고전위 전압이 인가될 수 있다. 이때, 제3 서브 화소(P3)의 제2 전극(530)은 애노드 전극일 수 있다.

[0072] 제2 서브 화소(P2)의 제2 전극(520)은 도 4 및 도 5에 도시된 바와 같이 제1 발광층(420) 및 제1 전극(320) 보다 큰 면적을 가진다. 제2 서브 화소(P2)의 제2 전극(520)은 제1 전극(320)의 폭(W5) 보다 큰 폭(W2)을 가질 수 있다. 제2 서브 화소(P2)는 제1 및 제3 서브 화소(P1, P3)와 달리 제1 전극(320)이 제1 발광층(420)에 의하여 덮여있으므로, 제1 발광층(420) 상에 형성된 제2 전극(520)이 제1 전극(320)에 접속되지 않는다. 즉, 제2 서브 화소(P2)의 제2 전극(520)은 제1 발광층(420)에 의하여 제1 전극(310)과 절연될 수 있다.

[0073] 한편, 제2 서브 화소(P2)의 제2 전극(520)은 표시 영역(DA)에서 패드 영역(PA)에 배치된 패드(PAD)까지 연장 형성될 수 있다.

[0074] 보다 구체적으로, 제1 내지 제3 서브 화소(P1, P2, P3)들은 제1 방향(X축 방향)으로 배치되고, 제1 내지 제3 서브 화소(P1, P2, P3)들 각각은 제2 방향(Y축 방향)으로 복수개가 나열될 수 있다.

[0075] 제1 기관(111)은 제1 서브 화소(P1)가 제2 방향(Y축 방향)으로 복수개가 나열된 제1 서브 화소 영역(SPA1)을 포함할 수 있다. 제1 서브 화소 영역(SPA1)에 배치된 제2 전극(510)은 제2 방향(Y축 방향)으로 복수의 제1 서브 화소(P1)들 각각에 패턴 형성된다. 제1 서브 화소 영역(SPA1)에 배치된 제2 전극(510)은 제1 전극(310)과 전기적으로 연결되어, 애노드 전극으로 이용된다.

[0076] 제1 기관(111)은 제3 서브 화소(P3)가 제2 방향(Y축 방향)으로 복수개가 나열된 제3 서브 화소 영역(SPA3)을 포함할 수 있다. 제3 서브 화소 영역(SPA3)에 배치된 제2 전극(530) 역시 제2 방향(Y축 방향)으로 복수의 제3 서브 화소(P3)들 각각에 패턴 형성된다. 제3 서브 화소 영역(SPA3)에 배치된 제2 전극(530)은 제1 전극(330)과 전기적으로 연결되어, 애노드 전극으로 이용된다.

[0077] 한편, 제1 기관(111)은 제2 서브 화소(P2)가 제2 방향(Y축 방향)으로 복수개가 나열된 제2 서브 화소 영역(SPA2)을 포함할 수 있다. 제2 서브 화소 영역(SPA2)에 배치된 제2 전극(520)은 도 3에 도시된 바와 같이 제2 방향(Y축 방향)으로 복수의 제2 서브 화소(P2)들을 따라 연장 형성된다. 이때, 제2 서브 화소 영역(SPA2)에 배치된 제2 전극(520)은 표시 영역(DA)에서 패드 영역(PA)에 배치된 패드(PAD)까지 연장되어, 패드(PAD)에 접속된다. 즉, 제2 서브 화소(P2)의 제2 전극(520)은 패드(PAD)로부터 저전위 전압이 인가될 수 있다. 이때, 제2 서브 화소(P2)의 제2 전극(520)은 캐소드 전극일 수 있다.

[0078] 제2 전극(510, 520, 530)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물

질(Semi-transmissive Conductive Material)로 형성될 수 있다.

- [0079] 제2 발광층(600)은 제2 전극(510, 520, 530) 상에 형성된다. 제2 발광층(600)은 제1 발광층(410, 420, 430)과 달리 서브 화소(P1, P2, P3)들 사이에서 서로 연결된다. 즉, 제2 발광층(600)은 서브 화소(P1, P2, P3) 별로 패턴 형성되지 않고, 표시 영역(DA) 전체에 형성될 수 있다.
- [0080] 제2 발광층(600)은 정공 수송층(hole transporting layer), 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 이 경우, 제2 발광층(600)은 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 발광층으로 이동하게 되며, 발광층에서 서로 결합하여 소정의 색으로 발광하게 된다.
- [0081] 제2 발광층(600)은 적색 광을 발광하는 적색 발광층, 녹색 광을 발광하는 녹색 발광층, 청색 광을 발광하는 청색 발광층 및 황색 광을 발광하는 황색 발광층 중 어느 하나 일 수 있으나, 반드시 이에 한정되지 않는다.
- [0082] 다만, 제2 발광층(600)은 제1 발광층(410, 420, 430)과 상이한 색의 광을 발광할 수 있다. 제1 발광층(410, 420, 430)이 제1 색의 광을 발광하는 발광층일 경우, 제2 발광층(600)은 제1 색과 다른 제2 색의 광을 발광하는 발광층일 수 있다. 예컨대, 제1 발광층(410, 420, 430)은 청색 광을 발광하는 청색 발광층이고, 제2 발광층(600)은 황색 광을 발광하는 황색 발광층일 수 있다.
- [0083] 제3 전극(700)은 제2 발광층(600) 상에 형성된다. 제3 전극(700)은 서브 화소(P1, P2, P3) 별로 패턴 형성되지 않고, 표시 영역(DA) 전체에 형성될 수 있다. 제3 전극(700)은 표시 영역(DA)에서 패드 영역(PA)까지 연장되어, 도 6 및 도 7에 도시된 바와 같이 패드(PAD) 또는 제2 전극(520)에 접속될 수 있다. 제3 전극(700)은 캐소드 전극일 수 있다.
- [0084] 이러한 제3 전극(700)은 투명한 금속물질, 반투과 금속물질 또는 반사율이 높은 금속물질로 이루어질 수 있다. 표시장치(100)가 상부 발광 방식으로 이루어지는 경우, 제3 전극(700)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 표시장치(100)가 하부 발광 방식으로 이루어지는 경우, 제3 전극(700)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), Ag 합금, 및 Ag 합금과 ITO의 적층 구조(ITO/Ag 합금/ITO)과 같은 반사율이 높은 금속물질로 형성될 수 있다. Ag 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu) 등의 합금일 수 있다.
- [0085] 봉지층(800)은 제3 전극(700)을 덮도록 형성될 수 있다. 봉지층(800)은 제1 발광층(400), 제2 전극(500), 제2 발광층(600) 및 제3 전극(700)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 이를 위하여, 봉지층(800)은 적어도 하나의 무기막과 적어도 하나의 유기막을 포함할 수 있다.
- [0086] 구체적으로, 봉지층(800)은 제1 무기막 및 유기막을 포함할 수 있다. 일 실시예에 있어서, 봉지층(800)은 제2 무기막을 더 포함할 수 있다.
- [0087] 제1 무기막은 제3 전극(700)을 덮도록 형성된다. 유기막은 제1 무기막 상에 형성되며, 이물들(particles)이 제1 무기막을 뚫고 제1 발광층(400), 제2 전극(500), 제2 발광층(600) 및 제3 전극(700)에 투입되는 것을 방지하기 위해 충분한 길이로 형성되는 것이 바람직하다. 제2 무기막은 유기막을 덮도록 형성된다.
- [0088] 제1 및 제2 무기막들 각각은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물 또는 티타늄 산화물로 형성될 수 있다. 제1 및 제2 무기막들은 CVD(Chemical Vapor Deposition) 기법 또는 ALD(Atomic Layer Deposition) 기법으로 증착될 수 있으나, 이에 제한되는 것은 아니다.
- [0089] 유기막은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin) 또는 폴리이미드 수지(polyimide resin)로 형성될 수 있다. 유기막은 유기물을 사용하는 기상 증착(vapour deposition), 프린팅(printing), 슬릿 코팅(slits coating) 기법으로 형성될 수 있으나, 이에 제한되지 않으며, 유기막은 잉크젯(ink-jet) 공정으로 형성될 수도 있다.
- [0090] 본 발명의 일 실시예에 따른 표시장치(100)는 제1 서브 화소(P1)와 제3 서브 화소(P2)에서 서로 다른 색의 광이 방출될 수 있도록 하기 위하여 컬러필터(900)가 더 구비될 수 있다.
- [0091] 컬러필터(900)는 제1 서브 화소(P1)에 대응되도록 배치된 제1 컬러필터(CF1)와 제3 서브 화소(P3)에 대응되도록 배치된 제2 컬러필터(CF2)를 포함할 수 있다. 제1 컬러필터(CF1)와 제2 컬러필터(CF2)는 서로 다른 색의 광을 투과시킬 수 있다.

- [0092] 예컨대, 제1 컬러필터(CF1)는 적색 광을 투과시키는 적색 컬러필터일 수 있으며, 제2 컬러필터(CF2)는 녹색 광을 투과시키는 녹색 컬러필터일 수 있다. 이에 따라, 제1 서브 화소(P1)는 적색 광을 방출하고, 제3 서브 화소(P3)는 녹색 광을 방출할 수 있다.
- [0093] 이러한 컬러필터(900)는 표시장치(100)의 발광 방식에 따라 봉지층(800) 위에 또는 제1 전극(310, 320, 330) 아래에 배치될 수 있다. 표시장치(100)가 상부 발광 방식인 경우, 컬러필터(900)는 도 5에 도시된 바와 같이 봉지층(800) 상에 구비될 수 있다. 표시장치(100)가 하부 발광 방식인 경우, 컬러필터(900)는 제1 전극(310, 320, 330)과 제1 기판(111) 사이에 구비될 수도 있다.
- [0094] 본 발명의 일 실시예에 따른 표시장치는 서브 화소(P1, P2, P3) 각각에서 제1 발광층(410, 420, 430) 및 제2 발광층(600) 중 하나만 발광하는 것을 특징으로 한다.
- [0095] 보다 구체적으로, 제1 서브 화소(P1)는 제2 발광층(600)이 발광한다. 제1 서브 화소(P1)는 제2 전극(510)이 제1 전극(310)에 접속되므로, 제2 전극(510)과 제1 전극(310)이 전기적으로 연결된다. 제1 서브 화소(P1)의 제1 전극(310)에 제1 고전위 전압이 인가되면, 제1 서브 화소(P1)의 제2 전극(510)은 제1 전극(310)과 동일한 제1 고전위 전압이 인가될 수 있다. 이에 따라, 제1 서브 화소(P1)는 제1 전극(310)과 제2 전극(510) 사이에 구비된 제1 발광층(410)이 발광하지 않는다.
- [0096] 한편, 제1 서브 화소(P1)는 제2 전극(510)에 제1 고전위 전압이 인가되고, 제3 전극(700)에 저전위 전압이 인가되면, 제2 전극(510)과 제3 전극(700) 사이에 구비된 제2 발광층(600)이 소정의 전류에 따라 소정의 밝기로 발광한다.
- [0097] 제3 서브 화소(P3) 역시 제2 발광층(600)이 발광한다. 제3 서브 화소(P3)는 제2 전극(530)이 제1 전극(330)에 접속되므로, 제2 전극(530)과 제1 전극(330)이 전기적으로 연결된다. 제3 서브 화소(P3)의 제1 전극(330)에 제3 고전위 전압이 인가되면, 제3 서브 화소(P3)의 제2 전극(530)은 제1 전극(330)과 동일한 제3 고전위 전압이 인가될 수 있다. 이에 따라, 제3 서브 화소(P3)는 제1 전극(330)과 제2 전극(530) 사이에 구비된 제1 발광층(430)이 발광하지 않는다.
- [0098] 한편, 제3 서브 화소(P3)는 제2 전극(530)에 제3 고전위 전압이 인가되고, 제3 전극(700)에 저전위 전압이 인가되면, 제2 전극(530)과 제3 전극(700) 사이에 구비된 제2 발광층(600)이 소정의 전류에 따라 소정의 밝기로 발광한다.
- [0099] 즉, 제1 서브 화소(P1) 및 제3 서브 화소(P3)는 둘다 제2 발광층(600)에서 동일한 색의 광이 발광된다. 본 발명의 일 실시예에 따른 표시장치(100)는 컬러필터(900)를 통하여 제1 서브 화소(P1)와 제3 서브 화소(P3)에서 서로 다른 색의 광이 방출되도록 한다. 예컨대, 제1 서브 화소(P1)는 적색 컬러필터를 통하여 적색 광을 방출하고, 제2 서브 화소(P2)는 녹색 컬러필터를 통하여 녹색 광을 방출할 수 있다.
- [0100] 제2 서브 화소(P2)는 제1 발광층(420)이 발광한다. 제2 서브 화소(P2)는 제2 전극(520)이 패드(PAD)에 접속되고, 제3 전극(700)이 제2 전극(520)에 접속된다. 제2 서브 화소(P2)의 제2 전극(520)에 패드(PAD)로부터 저전위 전압이 인가되면, 제3 전극(700)은 제2 전극(520)과 동일한 저전위 전압이 인가된다. 이에 따라, 제2 서브 화소(P2)는 제2 전극(520)과 제3 전극(700) 사이에 구비된 제2 발광층(600)이 발광하지 않는다.
- [0101] 한편, 제2 서브 화소(P2)는 제1 전극(320)에 제2 고전위 전압이 인가되고, 제2 전극(520)에 저전위 전압이 인가되면, 제1 전극(320)과 제2 전극(520) 사이에 구비된 제1 발광층(420)이 소정의 전류에 따라 소정의 밝기로 발광한다.
- [0102] 예컨대, 제1 발광층(420)은 청색 광을 발광하는 청색 발광층일 수 있다. 이러한 경우, 표시장치(100)는 제2 서브 화소(P2)에 대응되는 위치에 별도의 컬러필터를 구비하지 않고, 청색 서브 화소를 구현할 수 있다.
- [0103] 상술한 바와 같이, 본 발명의 일 실시예에 따른 표시장치(100)는 제1 서브 화소(P1) 및 제3 서브 화소(P3)에서 제2 발광층(600)만 발광시키고, 제2 서브 화소(P2)에서 제1 발광층(420)만 발광시킬 수 있다. 이로 인하여, 본 발명의 일 실시예에 따른 표시장치(100)는 모든 서브 화소에서 제1 발광층(410, 420, 430) 및 제2 발광층(600)을 모두 발광시키는 것과 비교하여 전력 소비를 현저하게 줄일 수 있다.
- [0104] 도 8은 본 발명의 일 실시예에 따른 표시장치의 제조방법을 설명하기 위한 흐름도이고, 도 9a 내지 도 9j는 본 발명의 일 실시예에 따른 표시장치의 제조방법을 설명하기 위한 단면도들이다.
- [0105] 먼저, 도 9a와 같이 제1 기판(111) 상에 회로 소자층(200)을 형성한다(S801).

- [0106] 보다 구체적으로, 제1 기판(111) 상에 구동 박막 트랜지스터(TFT)를 형성한다. 제1 기판(111) 상에 액티브층을 형성한다. 액티브층은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다.
- [0107] 액티브층 상에 게이트 절연막을 형성할 수 있다. 게이트 절연막은 무기막, 예를 들어 실리콘 산화막, 실리콘 질화막 또는 이들의 다중막으로 형성될 수 있다.
- [0108] 게이트 절연막 상에 게이트 전극을 형성할 수 있다. 게이트 전극은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0109] 게이트 전극 상에 층간 절연막을 형성할 수 있다. 층간 절연막은 무기막, 예를 들어 실리콘 산화막, 실리콘 질화막 또는 이들의 다중막으로 형성될 수 있다.
- [0110] 층간 절연막 상에 소스 전극과 드레인 전극을 형성할 수 있다. 소스 전극과 드레인 전극 각각은 게이트 절연막과 층간 절연막을 관통하는 콘택홀을 통해 액티브층에 접속될 수 있다. 소스 전극과 드레인 전극 각각은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0111] 소스 전극과 드레인 전극 상에 보호막을 형성될 수 있다. 보호막은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있으나, 반드시 이에 한정되지 않는다.
- [0112] 보호막 상에 평탄화막을 형성될 수 있다. 평탄화막은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0113] 다음, 도 9b와 같이 보조 전극(340, 350, 360) 및 बैं크(370)을 형성한다(S802).
- [0114] 보다 구체적으로, 회로 소자층(200) 상에서 서브 화소(P1, P2, P3) 별로 보조 전극(340, 350, 360)을 패턴 형성할 수 있다. 보조 전극(340, 350, 360)은 콘택홀(CH)을 통해 구동 박막 트랜지스터(TFT)의 소스 전극 또는 드레인 전극에 접속될 수 있다. 경우에 따라, 보조 전극(340, 350, 360)은 생략될 수 있다.
- [0115] 그리고 나서, 보조 전극(340, 350, 360) 각각의 끝단을 가리도록 बैं크(370)를 형성할 수 있다. बैं크(370)는 상대적으로 얇은 두께의 무기 절연막으로 이루어질 수 있지만, 이에 한정되지 않는다. बैं크(370)는 상대적으로 두꺼운 두께의 유기 절연막으로 이루어질 수도 있다.
- [0116] 다음, 도 9c와 같이 제1 전극(310, 320, 330)을 형성한다(S803).
- [0117] 보다 구체적으로, 보조 전극(340, 350, 360) 및 बैं크(370) 상에서 서브 화소(P1, P2, P3) 별로 제1 전극(310, 320, 330)을 패턴 형성한다. 이때, 제1 전극(310, 320, 330)은 서브 화소(P1, P2, P3) 각각에서 서로 다른 면적을 가지도록 형성될 수 있다.
- [0118] 제1 서브 화소(P1)의 제1 전극(310)과 제3 서브 화소(P2)의 제1 전극(330)은 제2 서브 화소(P2)의 제1 전극(320) 보다 큰 면적을 가질 수 있다. 예컨대, 제1 서브 화소(P1)의 제1 전극(310)과 제3 서브 화소(P2)의 제1 전극(330)은 회로 소자층(200)의 상면뿐만 아니라 बैं크(370)의 측면까지 형성될 수 있다.
- [0119] 반면, 제2 서브 화소(P2)의 제1 전극(320)은 회로 소자층(200)의 상면에만 형성될 수 있으나, 반드시 이에 한정되지는 않는다. 제2 서브 화소(P2)의 제1 전극(320)은 회로 소자층(200)의 상면 및 बैं크(370)의 측면에도 형성될 수 있다. 이때, 제2 서브 화소(P2)의 제1 전극(320)은 제1 서브 화소(P1)의 제1 전극(310)과 제3 서브 화소(P2)의 제1 전극(330) 보다 작은 면적을 가져야 하므로, बैं크(370)의 측면에서 제1 서브 화소(P1)의 제1 전극(310) 또는 제3 서브 화소(P2)의 제1 전극(330) 보다 작게 형성될 수 있다.
- [0120] 이러한 제1 전극(310, 320, 330)은 투명한 금속물질, 반투과 금속물질 또는 반사율이 높은 금속물질로 이루어질 수 있다. 표시장치(100)가 상부 발광 방식으로 이루어지는 경우, 제1 전극(310, 320, 330)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), Ag 합금, 및 Ag 합금과 ITO의 적층 구조(ITO/Ag 합금/ITO)과 같은 반사율이 높은 금속물질로 형성될 수 있다. Ag 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu) 등의 합금일 수 있다. 표시장치(100)가 하부 발광 방식으로 이루어지는 경우, 제1 전극(310, 320, 330)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive

Material)로 형성될 수 있다. 이러한 제1 전극(310, 320, 330)은 애노드 전극일 수 있다.

- [0121] 제1 전극(310, 320, 330)은 스퍼터링법(sputtering)과 같은 물리적 기상 증착법(physics vapor deposition)으로 형성될 수 있다.
- [0122] 다음, 도 9d와 같이 역테이퍼 구조물(380)을 형성한다(S804). 보다 구체적으로, बैं크(370) 상에 하면이 상면 보다 작은 면적을 가지는 역테이퍼 구조물(380)을 형성한다. 이때, 하면은 बैं크(370)와 접촉하는 면을 나타낸다.
- [0123] 역테이퍼 구조물(380)은 제1 전극(310, 320, 330) 사이에 형성될 수 있으나, 반드시 이에 한정되지는 않는다. 역테이퍼 구조물(380)은 제1 전극(310, 320, 330)의 가장자리와 중첩될 수도 있다.
- [0124] 다음, 도 9e와 같이 제1 발광층(410, 420, 430)을 형성한다(S805).
- [0125] 보다 구체적으로, 제1 전극(310, 320, 330) 및 역테이퍼 구조물(380) 상에 제1 발광층(410, 420, 430)을 형성한다. 제1 발광층(410, 420, 430)은 증착 공정 또는 용액 공정으로 형성될 수 있다. 제1 발광층(410, 420, 430)이 증착 공정으로 형성되는 경우, 증발 증착법(Evaporation)을 이용하여 형성될 수 있다.
- [0126] 제1 발광층(410, 420, 430)은 역테이퍼 구조물(380)에 의하여 제1 서브 화소(P1), 제2 서브 화소(P2) 및 제3 서브 화소(P3) 사이에서 단절될 수 있다. 또한, 제1 및 제3 서브 화소(P1, P3) 각각의 제1 발광층(410, 430)은 역테이퍼 구조물(380)에 의하여 제1 전극(310, 330)의 가장자리에 형성되지 않을 수 있다. 이로 인하여, 제1 및 제3 서브 화소(P1, P3) 각각의 제1 전극(310, 330)은 가장자리가 노출될 수 있다.
- [0127] 제1 발광층(410, 420, 430)은 적색 광을 발광하는 적색 발광층, 녹색 광을 발광하는 녹색 발광층, 청색 광을 발광하는 청색 발광층 및 황색 광을 발광하는 황색 발광층 중 어느 하나 일 수 있으나, 반드시 이에 한정되지 않는다.
- [0128] 다음, 도 9f와 같이 제2 전극(510, 520, 530)을 형성한다(S806).
- [0129] 보다 구체적으로, 제1 발광층(410, 420, 430) 및 역테이퍼 구조물(380) 상에 제2 전극(510, 520, 530)을 형성한다. 제2 전극(510, 520, 530)은 스퍼터링법(sputtering)과 같은 물리적 기상 증착법(physics vapor deposition)으로 형성될 수 있다. 스퍼터링법과 같은 물리적 기상 증착법으로 형성된 막은 스텝 커버리지(step coverage) 특성이 우수하다. 따라서, 제2 전극(510, 520, 530)은 증발 증착법(Evaporation)을 이용하여 형성되는 제1 발광층(410, 420, 430) 보다 넓은 면적으로 형성될 수 있다. 이에 따라, 제1 및 제3 서브 화소(P1, P3)에서는 제2 전극(510, 530)이 제1 발광층(410, 430)에 의하여 덮이지 않고 노출된 제1 전극(310, 330)에 접촉될 수 있다.
- [0130] 제2 전극(510, 520, 530)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다.
- [0131] 다음, 도 9g와 같이 역테이퍼 구조물(380)을 제거한다(S807).
- [0132] 다음, 도 9h와 같이 제2 발광층(600)을 형성한다(S808).
- [0133] 보다 구체적으로, 제2 전극(510, 520, 530) 상에 제2 발광층(600)을 형성한다. 제2 발광층(600)은 증착 공정 또는 용액 공정으로 형성될 수 있다. 제2 발광층(600)이 증착 공정으로 형성되는 경우, 증발 증착법(Evaporation)을 이용하여 형성될 수 있다.
- [0134] 제2 발광층(600)은 제1 서브 화소(P1), 제2 서브 화소(P2) 및 제3 서브 화소(P3) 사이에서 서로 연결된다.
- [0135] 제2 발광층(600)은 적색 광을 발광하는 적색 발광층, 녹색 광을 발광하는 녹색 발광층, 청색 광을 발광하는 청색 발광층 및 황색 광을 발광하는 황색 발광층 중 어느 하나 일 수 있으나, 반드시 이에 한정되지 않는다.
- [0136] 다만, 제2 발광층(600)은 제1 발광층(410, 420, 430)과 상이한 색의 광을 발광할 수 있다. 제1 발광층(410, 420, 430)이 제1 색의 광을 발광하는 발광층일 경우, 제2 발광층(600)은 제1 색과 다른 제2 색의 광을 발광하는 발광층일 수 있다. 예컨대, 제1 발광층(410, 420, 430)은 청색 광을 발광하는 청색 발광층이고, 제2 발광층(600)은 황색 광을 발광하는 황색 발광층일 수 있다.
- [0137] 다음, 도 9i와 같이 제3 전극(700)을 형성한다(S809).
- [0138] 보다 구체적으로, 제2 발광층(600) 상에 제3 전극(700)을 형성한다. 제3 전극(700)은 스퍼터링법(sputtering)과

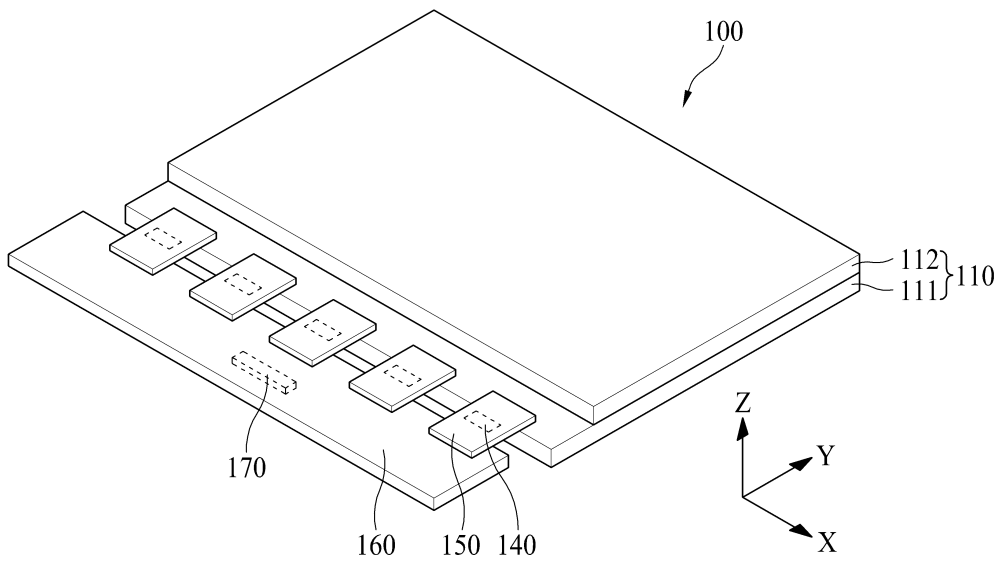
같은 물리적 기상 증착법(physics vapor deposition)으로 형성될 수 있다. 또는 제3 전극(700)은 증발 증착법(Evaporation)을 이용하여 형성될 수도 있다.

- [0139] 제3 전극(700)은 투명한 금속물질, 반투과 금속물질 또는 반사율이 높은 금속물질로 이루어질 수 있다. 표시장치(100)가 상부 발광 방식으로 이루어지는 경우, 제3 전극(700)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 표시장치(100)가 하부 발광 방식으로 이루어지는 경우, 제3 전극(700)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), Ag 합금, 및 Ag 합금과 ITO의 적층 구조(ITO/Ag 합금/ITO)과 같은 반사율이 높은 금속물질로 형성될 수 있다. Ag 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu) 등의 합금일 수 있다. 이러한 제3 전극(350)은 캐소드 전극일 수 있다.
- [0140] 다음, 도 9j와 같이 봉지층(800)을 형성한다(S810).
- [0141] 보다 구체적으로, 제3 전극(700) 상에 봉지층(800)을 형성한다. 봉지층(800)은 제1 무기막, 유기막 및 제2 무기막을 포함할 수 있다. 제3 전극(700) 상에 제1 무기막을 형성할 수 있다. 제1 무기막은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물 또는 티타늄 산화물로 형성될 수 있다. 제1 무기막은 CVD(Chemical Vapor Deposition) 기법 또는 ALD(Atomic Layer Deposition) 기법으로 증착될 수 있으나, 이에 제한되는 것은 아니다.
- [0142] 그리고 나서, 제1 무기막 상에 유기막을 형성할 수 있다. 유기막은 유기물질 에컨대, 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin) 또는 폴리이미드 수지(polyimide resin)로 형성될 수 있다.
- [0143] 그리고 나서, 유기막 상에 제2 무기막을 형성할 수 있다. 제2 무기막은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물 또는 티타늄 산화물로 형성될 수 있다. 제2 무기막은 CVD(Chemical Vapor Deposition) 기법 또는 ALD(Atomic Layer Deposition) 기법으로 증착될 수 있으나, 이에 제한되는 것은 아니다.
- [0144] 다음, 도 9k와 같이 컬러필터(900)를 형성한다(S811).
- [0145] 보다 구체적으로, 봉지층(800) 상에 제1 컬러필터(CF1) 및 제2 컬러필터(CF2)를 형성한다. 제1 컬러필터(CF1)는 제1 서브 화소(P1)에 대응되도록 배치되며, 제2 컬러필터(CF2)는 제3 서브 화소(P3)에 대응되도록 배치될 수 있다.
- [0146] 도 10a내지 도 10c는 본 발명의 다른 실시예에 따른 표시장치에 관한 것으로서, 이는 헤드 장착형 표시(HMD) 장치에 관한 것이다.
- [0147] 도 10a내지 도 10c는 본 발명의 다른 실시예에 따른 표시장치에 관한 것으로서, 이는 헤드 장착형 표시(HMD) 장치에 관한 것이다. 도 10a는 개략적인 사시도이고, 도 10b는 VR(Virtual Reality) 구조의 개략적인 평면도이고, 도 10c는 AR(Augmented Reality) 구조의 개략적인 단면도이다.
- [0148] 도 10a에서 알 수 있듯이, 본 발명에 따른 헤드 장착형 표시 장치는 수납 케이스(10), 및 헤드 장착 밴드(30)를 포함하여 이루어진다.
- [0149] 수납 케이스(10)는 그 내부에 표시 장치, 렌즈 어레이, 및 접안 렌즈 등의 구성을 수납하고 있다.
- [0150] 헤드 장착 밴드(30)는 수납 케이스(10)에 고정된다. 헤드 장착밴드(30)는 사용자의 머리 상면과 양 측면들을 둘러쌀 수 있도록 형성된 것을 예시하였으나, 이에 한정되지 않는다. 헤드 장착 밴드(30)는 사용자의 머리에 헤드 장착형 디스플레이를 고정하기 위한 것으로, 안경테 형태 또는 헬멧 형태의 구조물로 대체될 수 있다.
- [0151] 도 10b에서 알 수 있듯이, 본 발명에 따른 VR(Virtual Reality) 구조의 헤드 장착형 표시 장치는 좌안용 표시 장치(12)와 우안용 표시 장치(11), 렌즈 어레이(13), 및 좌안 접안 렌즈(20a)와 우안 접안 렌즈(20b)를 포함하여 이루어진다.
- [0152] 좌안용 표시 장치(12)와 우안용 표시 장치(11), 렌즈 어레이(13), 및 좌안 접안 렌즈(20a)와 우안 접안 렌즈(20b)는 전술한 수납 케이스(10)에 수납된다.
- [0153] 좌안용 표시 장치(12)와 우안용 표시 장치(11)는 동일한 영상을 표시할 수 있으며, 이 경우 사용자는 2D 영상을

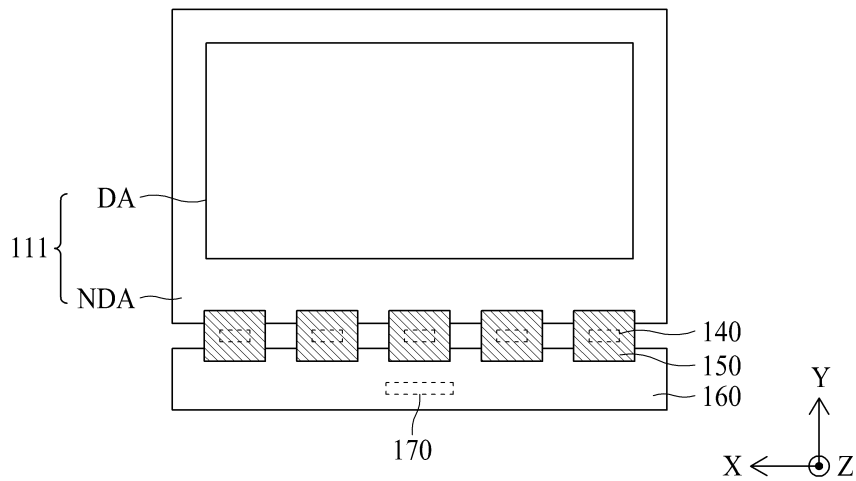
- 160: 회로보드
- 170: 타이밍 제어부
- 200: 회로 소자층
- 300: 제1 전극
- 400: 제1 발광층
- 500: 제2 전극
- 600: 제2 발광층
- 700: 제3 전극
- 800: 봉지층
- 900: 컬러필터

도면

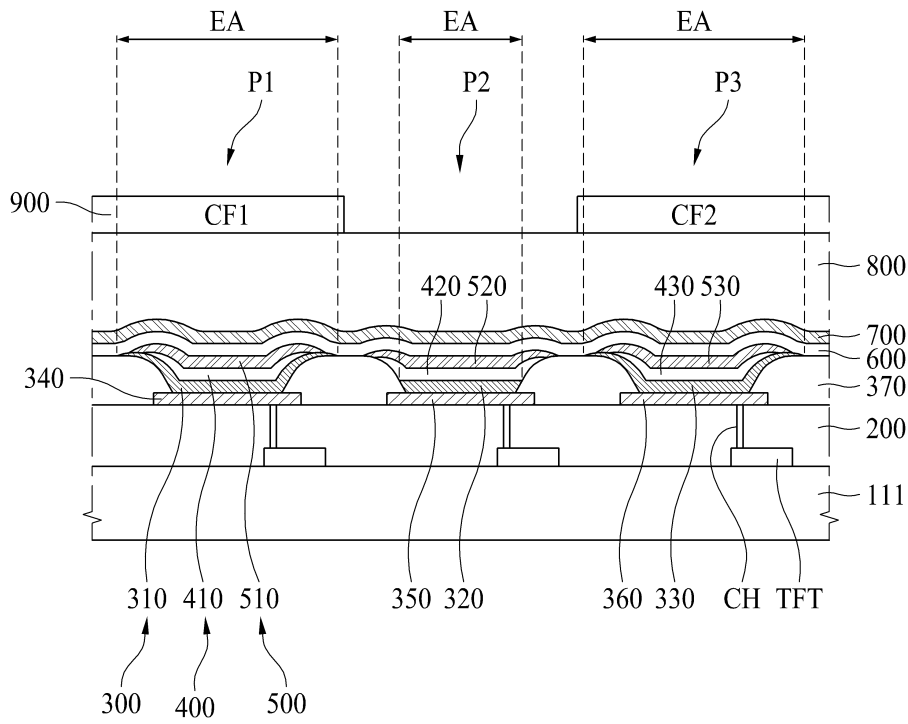
도면1



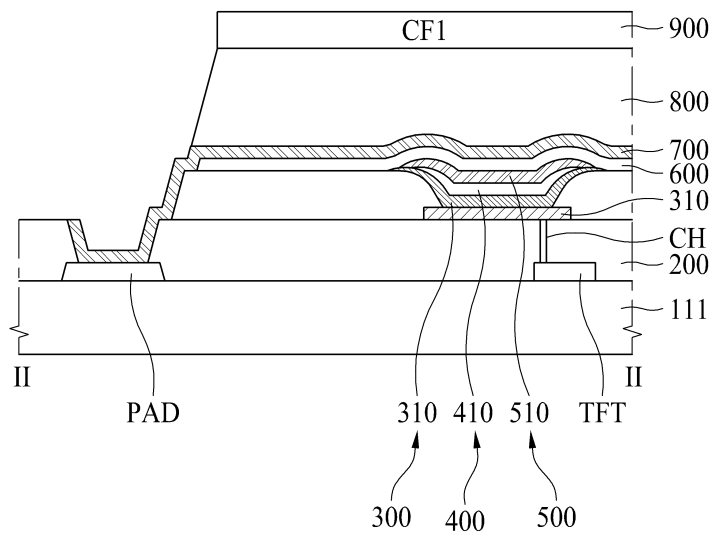
도면2



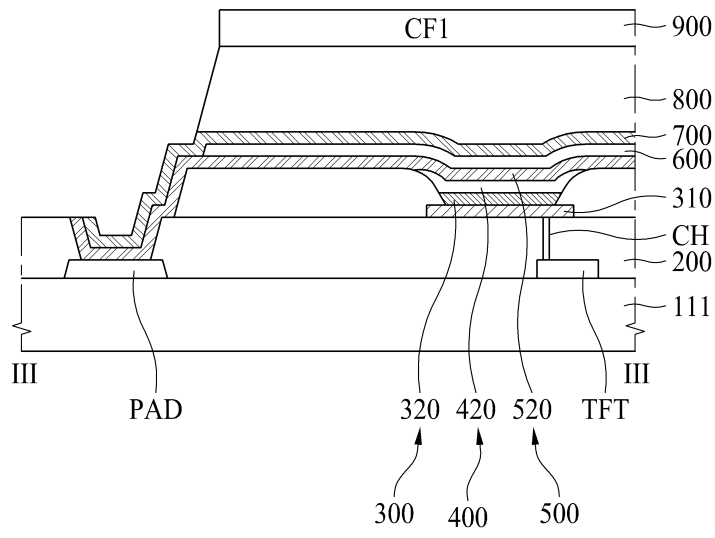
도면5



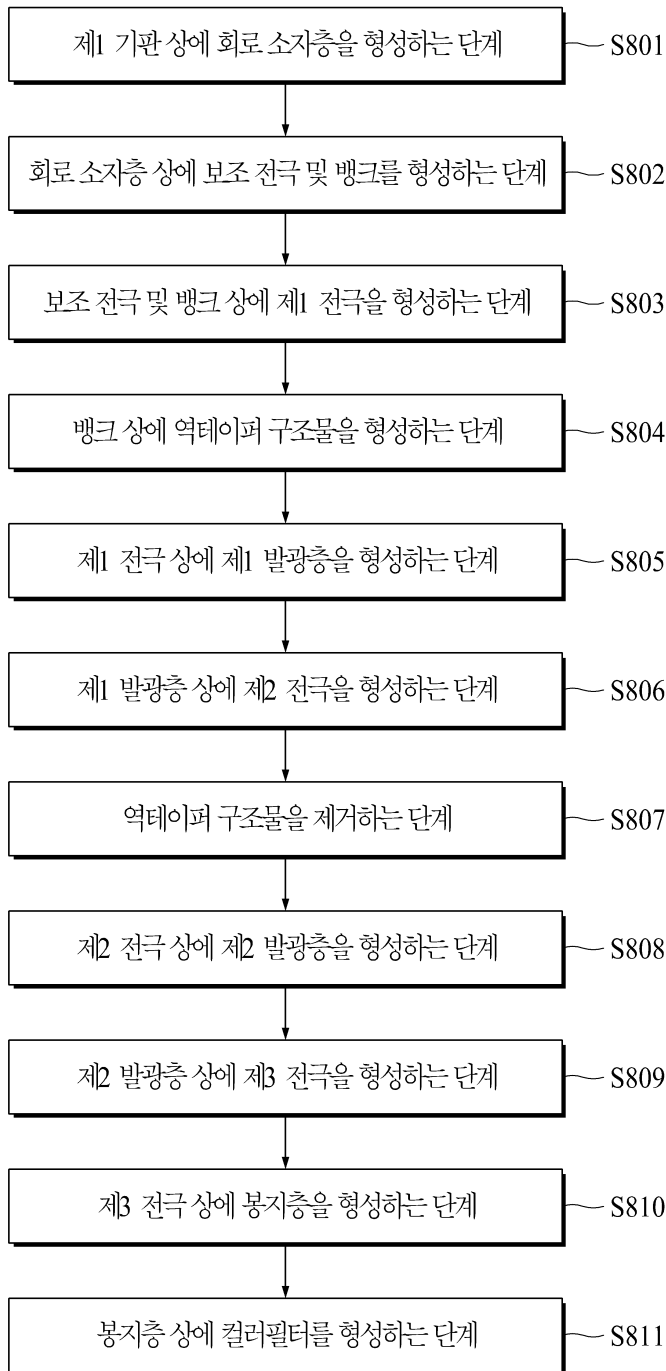
도면6



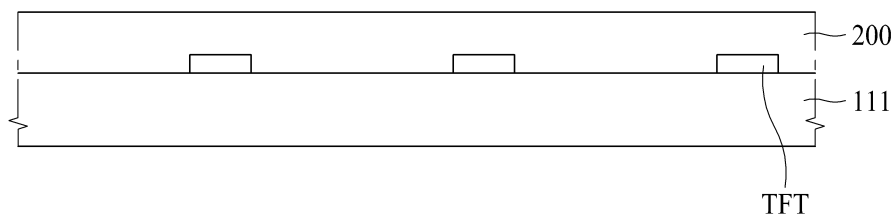
도면7



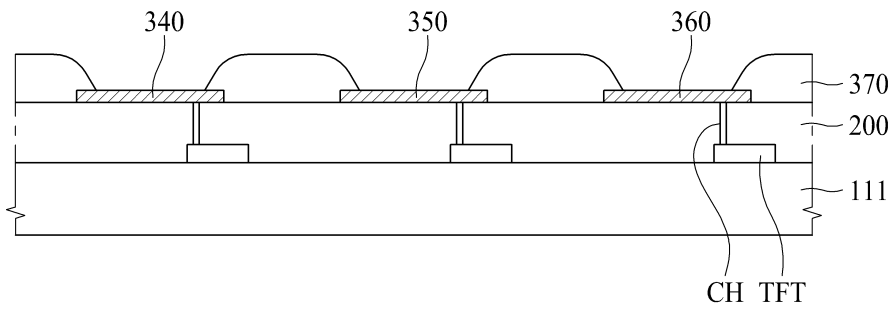
도면8



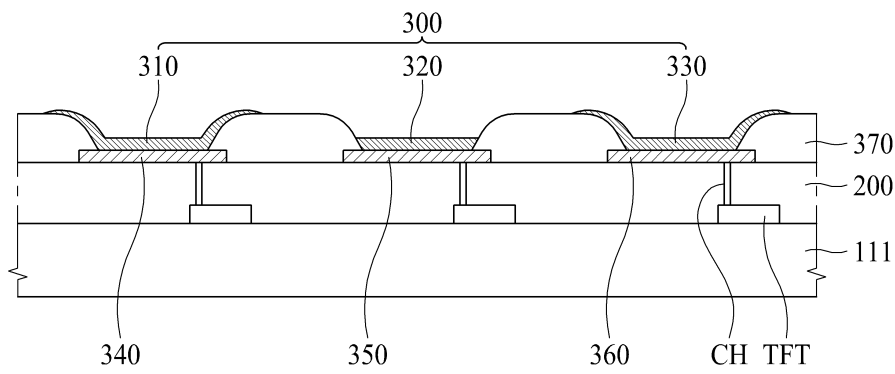
도면9a



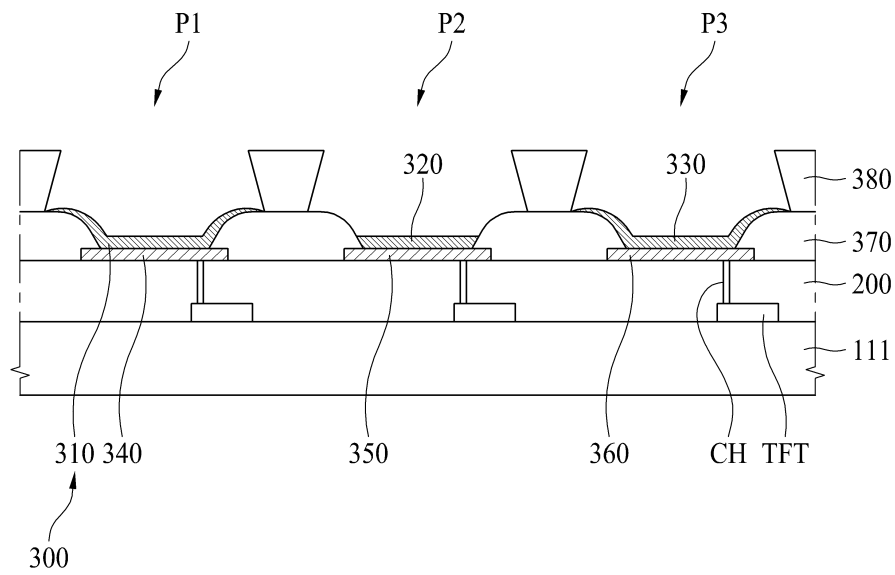
도면9b



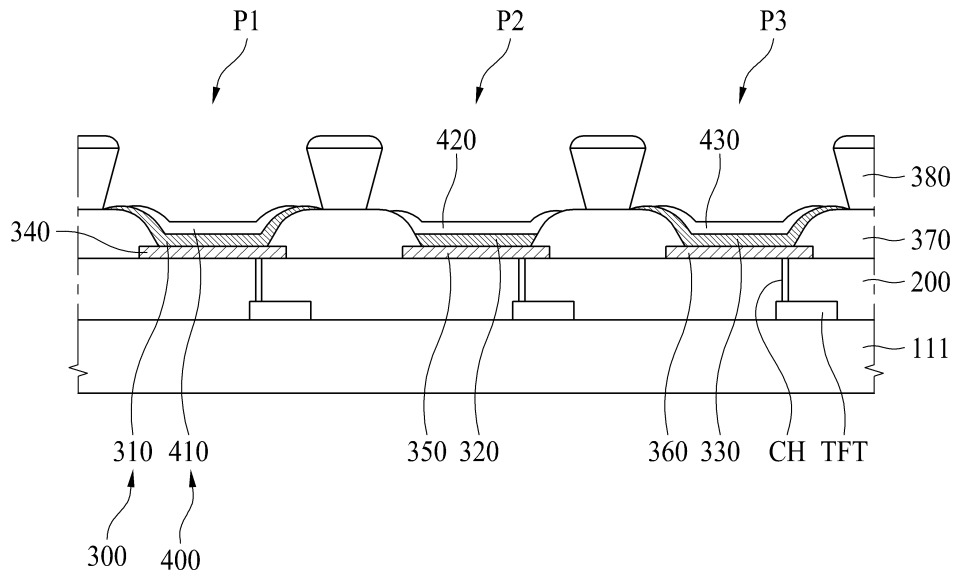
도면9c



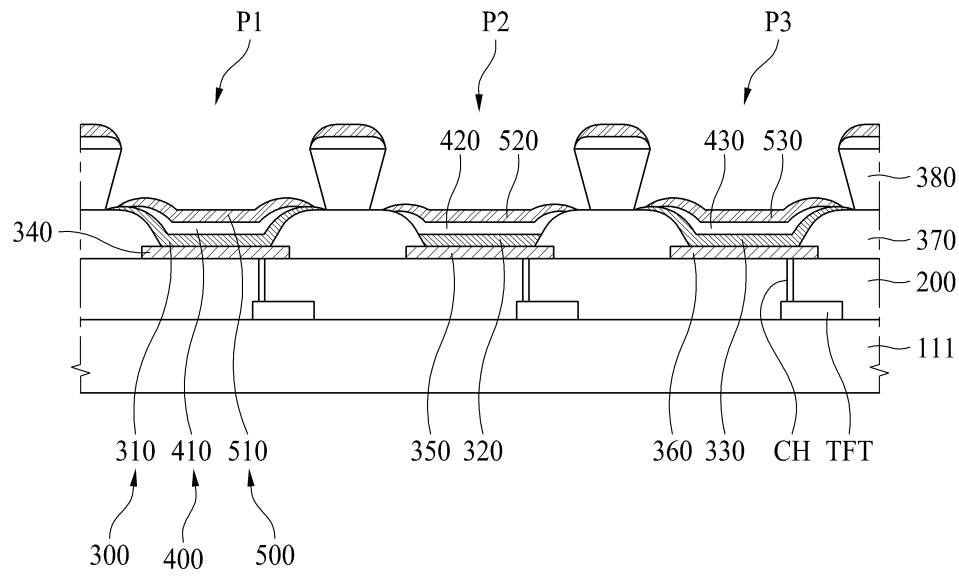
도면9d



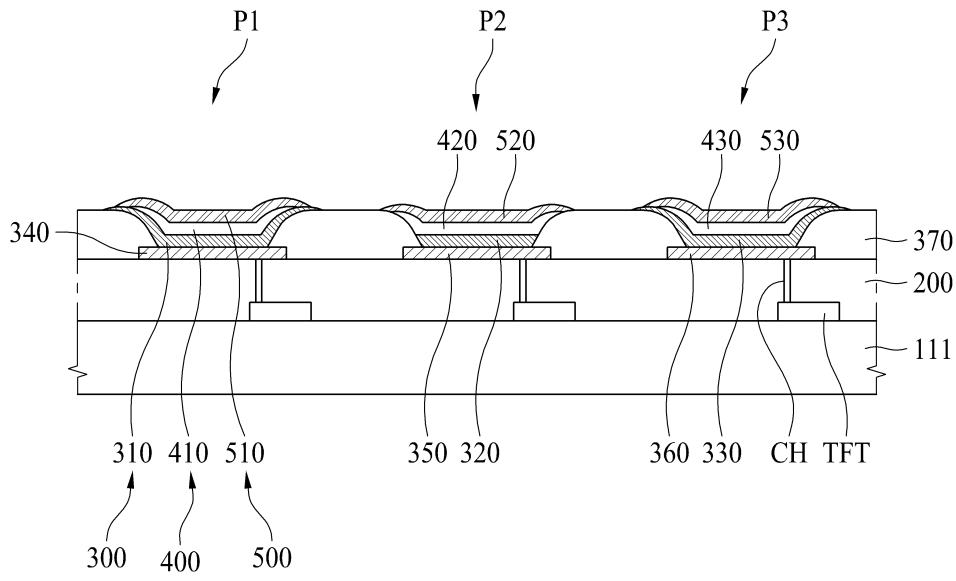
도면9e



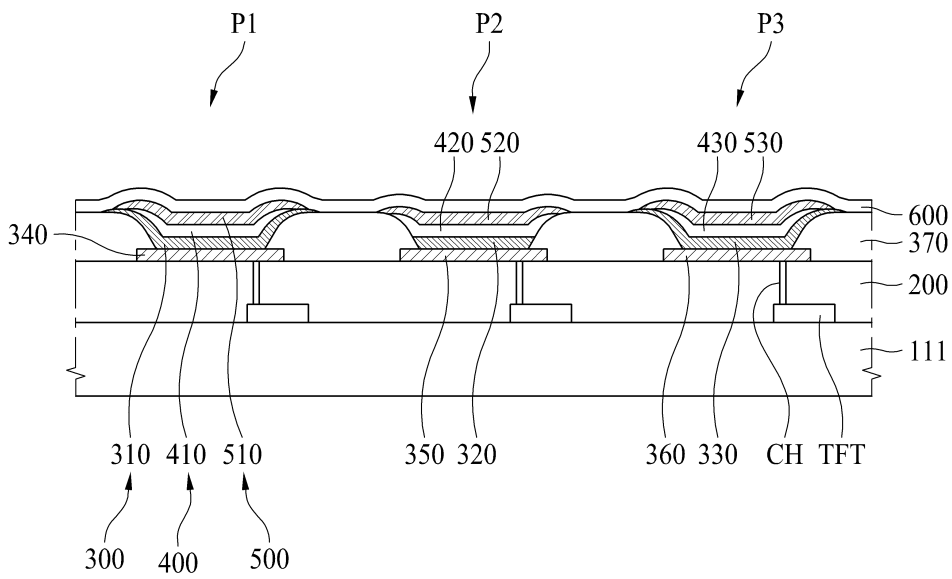
도면9f



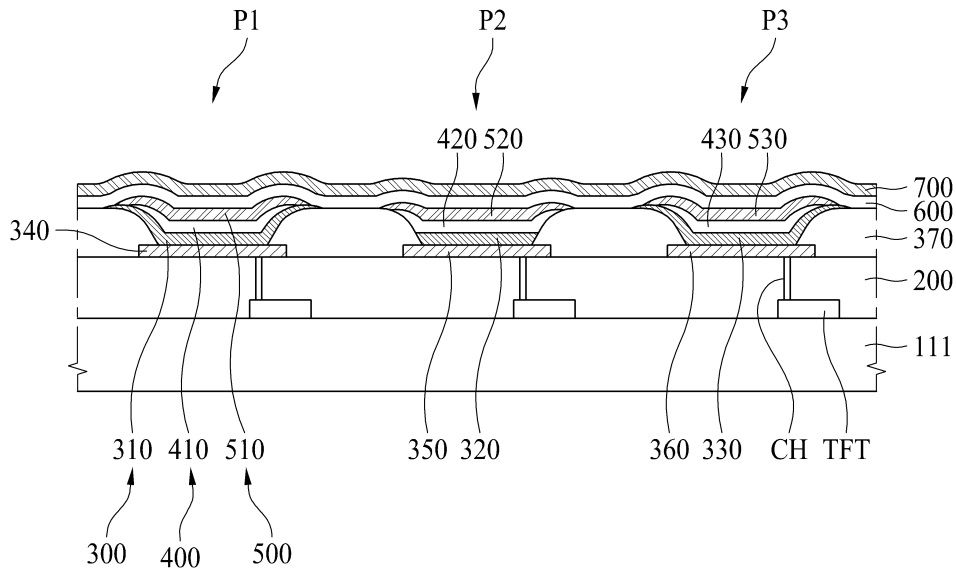
도면9g



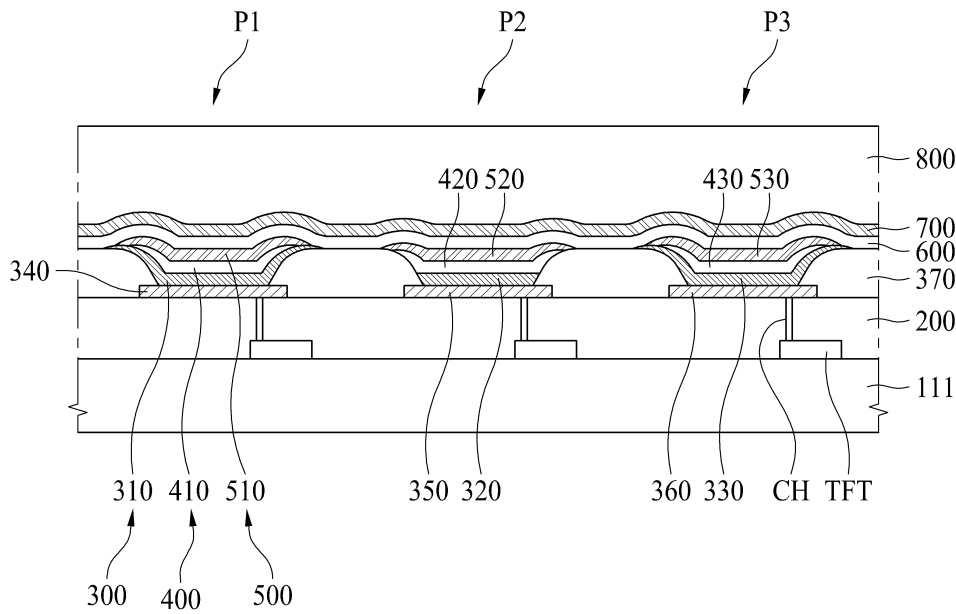
도면9h



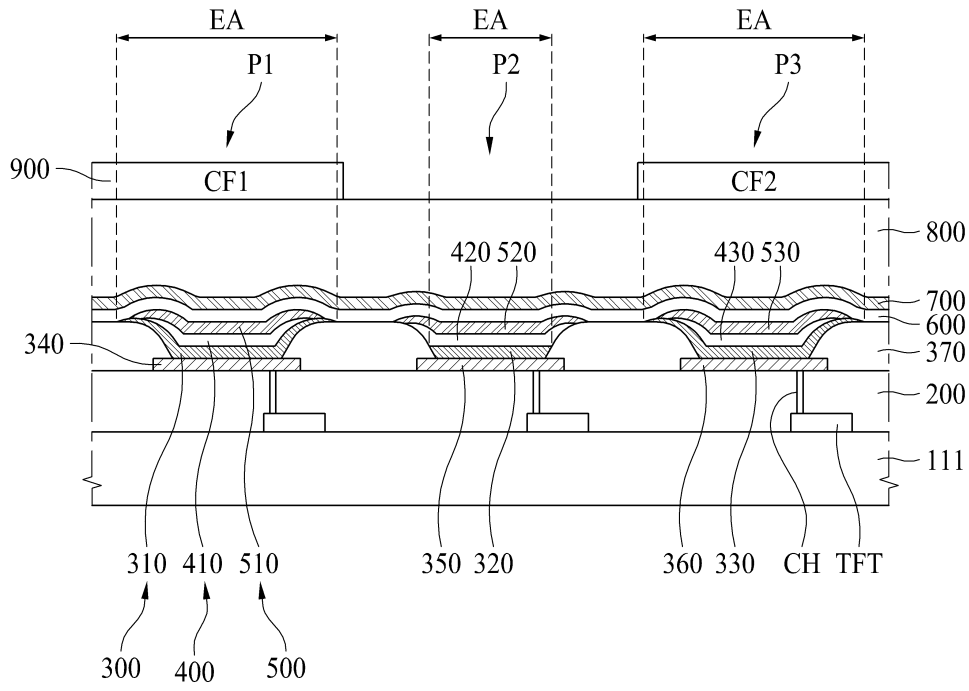
도면9i



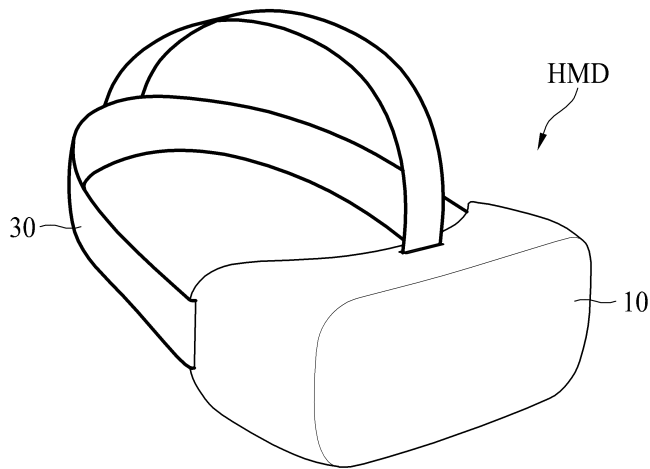
도면9j



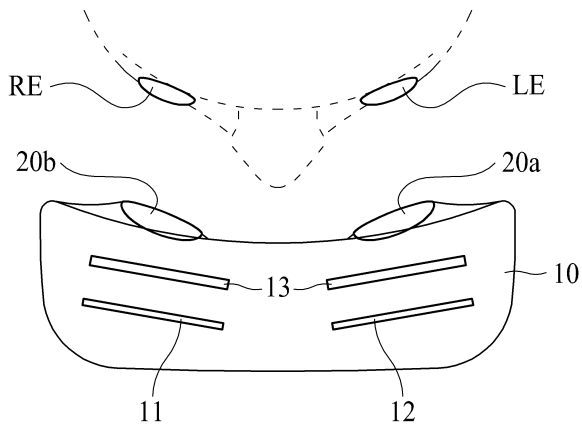
도면9k



도면10a



도면10b



도면10c

