

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-319704

(P2004-319704A)

(43) 公開日 平成16年11月11日(2004.11.11)

(51) Int. Cl.⁷

H01L 29/78
H01L 21/8234
H01L 27/088

F I

H01L 29/78 3O1V
H01L 27/08 1O2B

テーマコード(参考)

5F048
5F140

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願2003-110629 (P2003-110629)
(22) 出願日 平成15年4月15日(2003.4.15)

(71) 出願人 000002325
セイコーインスツルメンツ株式会社
千葉県千葉市美浜区中瀬1丁目8番地
(74) 代理人 100079212
弁理士 松下 義治
(72) 発明者 理崎 智光
千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内
Fターム(参考) 5F048 AA08 AC01 AC03 BA01 BB19
BD06 BD10 BG12
5F140 AA01 AA05 AB01 AB03 AC26
BB05 BB06 BF43

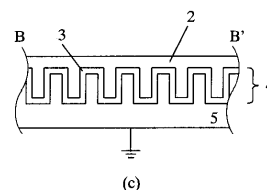
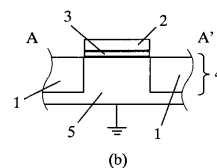
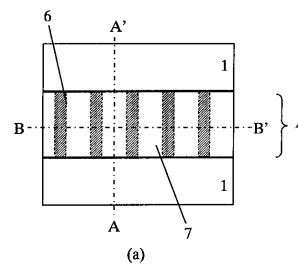
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 単位面積当たりのチャネル幅を容易に増大させることができ、かつ論理回路部との1チップ混載化が容易である駆動用MOSトランジスタを用いた半導体装置を得る。

【解決手段】 半導体基板表面部に設けられた二つの離れたソース・ドレイン領域1間の前記基板表面部に高濃度領域を直線的に繋ぐチャネル長方向に設けられた凹部6を複数本のチャネル幅方向に形成され、前記ソース・ドレイン領域間の前記凹部を含む前記表面部に絶縁膜3を有し、前記絶縁膜上にゲート電極2を有している半導体装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板表面部に設けられた二つの離れたソース・ドレイン領域間の前記基板表面部に前記高濃度領域を直線的に繋ぐチャンネル長方向に設けられた凹部を複数本のチャンネル幅方向に形成され、前記ソース・ドレイン領域間の前記凹部を含む前記表面部に絶縁膜を有し、前記絶縁膜上にゲート電極を有している半導体装置。

【請求項 2】

凹凸構造の凸部全ての半導体基板が空乏化する請求項 1 記載の半導体装置。

【請求項 3】

複数個の前記凹凸構造を有する半導体装置が、論理回路部のような MOS トランジスタとともに 1 チップ上に混載された請求項 1 記載の半導体装置。 10

【発明の詳細な説明】

【0001】

【発明の属する技術的分野】

本発明は、高駆動能力が要求される半導体装置に関する。

【0002】

【従来の技術】

半導体集積回路は主に論理演算などを行なう論理回路部と、その論理結果を低インピーダンスで出力するための出力回路部から成る。出力回路部を構成する半導体装置は論理回路部で得られた結果を安定的に表示装置に出力させるために高い駆動能力が要求される。 20

【0003】

また、この半導体装置をスイッチングレギュレータや DC - DC コンバータなどの出力部に応用したとき、コイルの小型化に伴う周波数特性の向上が求められる。出力回路部に用いる従来の高駆動能力を持つ代表的な MOS 構造を図 2 に示す。図 2 は、第 1 導電型半導体基板の表面部に、第 2 導電型のソース領域 8 が平面的に櫛の歯状に形成されている。そしてその櫛の歯状のソース領域 8 に対して一定の間隔をおいて、第 2 導電型のドレイン領域 9 が形成されている。つまり、それぞれ 8、9 の櫛の歯は、間隔をおいて対向して設けられている。その間隔はチャンネル形成領域 23 となる。ソース領域 8 とドレイン領域は素子分離 24 により囲まれている。ゲート電極 2 も櫛の歯状にチャンネル形成領域 23 と重なる様に図示しないゲート絶縁膜を介して形成されている。この半導体装置はゲート電極 2 を櫛型にし、チャンネル幅を大きくすることによって高駆動能力を実現しているが、構造上この半導体装置のチップ占有率は高い。 30

【0004】

【特許文献 1】

特開平 11 - 330465 号公報 (図 1)

【0005】

【発明が解決しようとする課題】

図 2 の MOS トランジスタ (Tr.) において単位面積当たりのチャンネル幅を更に増大させようとする、櫛型ゲート電極 2 の長さ、ソース・ドレイン領域の櫛の歯の長さ (図面の上下方向) を長くするか、櫛の歯の幅 (図面の左右方向) や、間隔を狭くして、櫛の歯の歯数を多くする必要がある。そのため、1 つの MOS Tr. の占める面積が大きくなる。 40

【0006】

本願発明は、単位面積当たりのチャンネル幅を容易に増大させることができ、かつ論理回路部との 1 チップ混載化が容易である駆動用 MOS トランジスタを用いた半導体装置を得ることである。

【0007】

【課題を解決するための手段】

本発明は上記の従来の問題を克服するもので、微細加工により単位面積当たりのチャンネル幅を増大させることが可能だけでなく、微細加工以外の方法によっても単位面積当たりの 50

チャンネル幅を増大させることが可能であり、微細加工技術の制限を受けずに単位面積当たりの駆動能力を向上させることが出来る。

また、図4と同様の方法で単一および複数個のMOSの1チップ混載化が容易にできる。

【0008】

上記を実現するため、以下に示す手段を考案した。

(1) 半導体基板表面部に設けられた二つの離れた高濃度領域間の基板表面部に前記高濃度領域を直線的に繋ぐ方向に複数本の凹部が形成され、前記高濃度領域間の前記凹部を含む前記表面部に絶縁膜を有し、前記絶縁膜上にゲート電極を有している半導体装置にした。

(2) 更に、ゲート電極に対する電圧印可時もしくは熱平衡状態時に、前記凹凸構造の凸部全ての半導体基板が空乏化している半導体装置にした。

(3) また、単数個あるいは複数個の前記凹凸構造を有する半導体装置が、論理回路部とともに1チップ上に混載された半導体装置にした。

【0009】

【実施例】

図1(a)は発明の基本的な構造の平面図、図1(b)は図1(a)の線分AA'における断面図、図1(c)は図1(a)の線分BB'における断面図である。図1(b)では、一般のMOSTr.構造と同一である。第1導電型のであるP型半導体基板5の表面部にゲート電極2を挟んでソース・ドレイン領域である第2導電型のN+領域1が形成されている。ゲート電極2は、P型半導体基板5の表面にゲート絶縁膜3を介して形成されている。図1(a)において、チャンネル長は、上下方向であり、チャンネル幅は、左右方向になる。そして、図1(a)の斜線部で示すように、ソース・ドレイン領域である第2導電型のN+領域1間のチャンネル形成領域は、チャンネル長方向に両端がN+領域1に実質的に接続した凹部6が形成されている。更にその凹部6は、チャンネル幅方向に(直線的に)複数本形成されている。つまり、図1(c)の様に、P型半導体基板5表面は、凸状構造4を有している。

【0010】

微細加工により、上記凹凸構造4のピッチ間隔を小さくすることにより単位面積当たりのチャンネル幅を増大させることが可能である。また、凹凸構造4の凹部6の深さを深くすることによっても、単位面積当たりのチャンネル幅を増大させることが可能である。細加工技術により、単位面積当たりの駆動能力を向上させることができる。

【0011】

つぎに、図を用いずに、凹凸構造4及び図1のMOSTr.の造り方を簡単に説明する。P型半導体基板5のチャンネル形成領域(ソース・ドレイン領域2に挟まれた)表面に、マスクを用いて、図1に示したようなドライエッチングにより凹部6を形成する。そして、ゲート絶縁膜3を介して、ゲート電極2をマスクにより凹凸構造4表面に形成する。このゲート電極2をマスクにしてn型領域であるソース・ドレイン領域2を形成する。

【0012】

図2に示す従来の高駆動能力半導体装置の単位当たりのチャンネル幅を増大させるには特に微細加工技術が必要があり、本発明は高価な特に複雑な微細加工技術が不要なため、従来の半導体装置より安価に製品を提供できる。

【0013】

また、本願構造で形成される空乏層16について説明する。図4様にのように、凹凸構造4の2つの凹部6に挟まれた凸部7の幅が比較的小さい場合は、前記凸部7内のP型半導体基板5の全領域に渡り空乏化が可能である。そこで、ゲート電極2とP型半導体基板5間の寄生容量が減少することにより高周波特性およびサブスレッショルド特性が向上する。

【0014】

次に、高駆動能力(高電圧)であるMOSTr.と低出力である論理回路部様の低電圧MOSTr.が1チップ上に混載された場合について説明する。図2に示す従来の高駆動能

10

20

30

40

50

力MOSTr.と低電圧MOSTr.との1チップ混載化は比較的容易に可能であるが、高い駆動能力を得るためには微細加工の限界を考慮すると面積を大きくせざるを得ない。

【0015】

一方、本発明の構造を有する半導体装置は単数複数問わず図3に示す実施例のように、論理回路部（低出力nMOSTr.17とpMOSTr.18よりなる）と図1の高駆動MOSTr.とを1チップ混載化した半導体装置が容易に得ることができ。かつ、図2に示すそれぞれの従来の半導体装置より単位面積当たりの駆動能力を大きくすることが可能である。なお、pMOSTr.18は、P型半導体基板5に設けられたNウェル14に形成される。

10

【0016】

更に、本発明の半導体装置は、出力端子の電圧帯に応じてチャネル長を変えることが容易である。即ち、マルチ出力電源ICにおいて、電圧が比較的大きい場合はチャネル長を長く、電圧が小さい場合はチャネル長を短くするが、このような対応も可能であり、設計自由度が大きい。

【0017】

【発明の効果】

本発明半導体装置の凹凸部の深さを深くするといった微細加工以外の方法により単位面積当たりの駆動能力を向上させることが可能である。

【0018】

また、本発明の構造を有する半導体装置は単数複数問わず論理回路部との1チップ混載化が容易に可能であり、またその際の設計自由度も大きい。

20

【図面の簡単な説明】

【図1】図1は本発明の基本的な構造であり、図1(a)は平面図、図1(b)は図1(a)の線分AA'における断面図、図1(c)は図1(a)甲線分BB'における断面図である。

【図2】図2は一般型MOS構造を有する従来の高駆動能力半導体装置の一実施例であり、図2(a)は上から見た図で、図2(b)は図2(a)の線分cc'の断面図である。

【図3】図3は、図1で示した半導体装置を他の回路と共に1チップ上に混載した場合の本発明の一実施例のチャネルに垂直方向の断面図である。

30

【図4】図4は、図1(c)を拡大した断面図である。

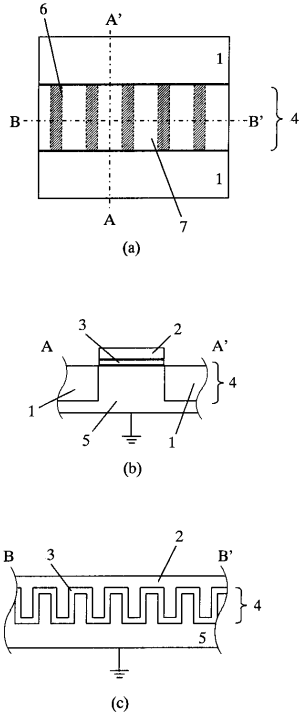
【符号の説明】

- 1 n+領域（ソース・ドレイン領域）
- 2 ゲート電極
- 3 ゲート絶縁体
- 4 凹凸構造
- 5 p型半導体基板
- 6 凹部
- 7 凸部
- 8 ソース電極
- 9 ドレイン電極
- 10 p-領域
- 11 n型エピタキシャル層
- 12 n型半導体基板
- 13 p+領域
- 14 n-領域
- 16 空乏層
- 17 nMOS
- 18 pMOS
- 21 図1のMOSTr.

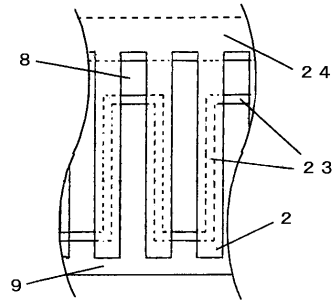
40

50

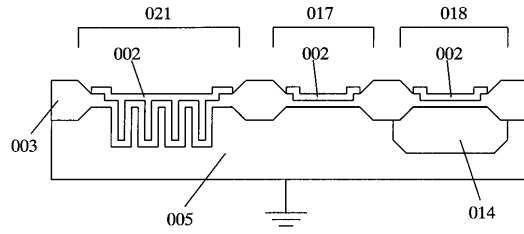
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

