

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5272281号
(P5272281)

(45) 発行日 平成25年8月28日(2013.8.28)

(24) 登録日 平成25年5月24日(2013.5.24)

(51) Int.Cl. F I
H O 1 L 27/146 (2006.01) H O 1 L 27/14 A

請求項の数 9 (全 13 頁)

| | |
|---|---|
| <p>(21) 出願番号 特願2005-276873 (P2005-276873) (22) 出願日 平成17年9月22日(2005.9.22) (65) 公開番号 特開2007-88304 (P2007-88304A) (43) 公開日 平成19年4月5日(2007.4.5) 審査請求日 平成20年9月10日(2008.9.10)</p> <p>前置審査</p> | <p>(73) 特許権者 000002185 ソニー株式会社 東京都港区港南1丁目7番1号 (74) 代理人 100094053 弁理士 佐藤 隆久 (72) 発明者 糸長 総一郎 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内 審査官 瀧内 健夫</p> <p>(56) 参考文献 米国特許第05859462 (US, A)) 特開昭63-182854 (JP, A)</p> <p style="text-align: right;">最終頁に続く</p> |
|---|---|

(54) 【発明の名称】 固体撮像装置およびその製造方法、並びにカメラ

(57) 【特許請求の範囲】

【請求項1】

表面側の一部の領域に第2導電型領域が形成された第1導電型の半導体基板と、
 前記半導体基板上に形成され、前記第2導電型領域及び前記第2導電型領域が形成されて
 いない半導体基板部分に接する第2導電型のエピタキシャル層と、

前記エピタキシャル層に、前記第2導電型領域に接する深さまで形成された第1導電型
 のセンサ部と、

前記エピタキシャル層に、前記第2導電型領域に隣接する半導体基板部分と接続する深
 さまで形成され、前記半導体基板に電圧を印加する第1導電型のコンタクト部と、

前記エピタキシャル層に形成され、前記センサ部により光電変換して得られる電荷を読
 み出す能動素子と、

を有する固体撮像装置。

【請求項2】

前記コンタクト部は、前記半導体基板に正電圧を印加する、

請求項1に記載の固体撮像装置。

【請求項3】

前記エピタキシャル層に形成され、前記センサ部間を電氣的に分離する第2導電型の拡
 散分離層をさらに有する、

請求項1または2記載の固体撮像装置。

【請求項4】

10

20

前記エピタキシャル層の第 2 導電型不純物濃度は、深さ方向に異なる
請求項 1 または 2 記載の固体撮像装置。

【請求項 5】

前記センサ部の面積は、浅い領域に比べて、深い領域の方が大きい
請求項 1 , 2 または 4 記載の固体撮像装置。

【請求項 6】

第 1 導電型の半導体基板に、第 2 導電型のエピタキシャル層を形成する工程と、
前記半導体基板の前記エピタキシャル層に接する領域の一部に第 2 導電型領域を形成する工程と、

前記第 2 導電型領域上に位置する前記エピタキシャル層の領域に前記第 2 導電型領域に接する深さまで第 1 導電型のセンサ部を形成すると同時に、前記第 2 導電型領域が形成されていない半導体基板部分上の前記エピタキシャル層の領域に、前記半導体基板に電圧を印加する第 1 導電型のコンタクト部を前記半導体基板部分上に接続するように形成する工程と、

前記エピタキシャル層に能動素子を形成する工程と、
を有する固体撮像装置の製造方法。

【請求項 7】

前記センサ部を形成する工程は、

画素アレイ部の全面に第 1 導電型不純物を導入する工程と、

前記エピタキシャル層上に、前記センサ部間となる領域を開口するパターンの第 1 マスクを形成する工程と、

前記第 1 マスクを用いて第 2 導電型不純物をイオン注入して、前記第 1 導電型不純物を含む前記センサ部の表層部と、前記センサ部の表層部を分離する第 2 導電型の拡散分離層とを自己整合的に形成する工程と

を有する請求項 6 記載の固体撮像装置の製造方法。

【請求項 8】

前記センサ部の表層部と前記拡散分離層とを形成する工程の後に、

前記第 1 マスクの開口内に第 2 マスクを埋め込む工程と、

前記第 1 マスクを除去して、前記センサ部を開口するパターンの第 2 マスクを形成する工程と、

前記第 2 マスクを用いて第 1 導電型不純物をイオン注入して、前記センサ部の深部を形成する工程と

を有する請求項 7 記載の固体撮像装置の製造方法。

【請求項 9】

固体撮像装置と、

前記固体撮像装置の撮像部に入射光を導く光学系と、

前記固体撮像装置の出力信号を処理する信号処理回路と

を有し、

前記固体撮像装置は、

表面側の一部の領域に第 2 導電型領域が形成された第 1 導電型の半導体基板と、

前記半導体基板上に形成され、前記第 2 導電型領域及び前記第 2 導電型領域が形成されていない半導体基板部分に接する第 2 導電型のエピタキシャル層と、

前記エピタキシャル層に、前記第 2 導電型領域に接する深さまで形成された第 1 導電型のセンサ部と、

前記エピタキシャル層に、前記第 2 導電型領域に隣接する半導体基板部分と接続する深さまで形成され、前記半導体基板に電圧を印加する第 1 導電型のコンタクト部と、

前記エピタキシャル層に形成され、前記センサ部により光電変換して得られる電荷を読み出す能動素子と、

を有するカメラ。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、特にMOS型の固体撮像装置およびその製造方法、並びに当該固体撮像装置を備えたカメラに関する。

【背景技術】

【0002】

CCDやCMOSなどの固体撮像装置では、一般的にn型半導体基板上にn型エピタキシャル層を積層した基板構造が用いられる(特許文献1参照)。CCDセンサにおいて、n型半導体基板上にn型エピタキシャル層を積層した基板構造が多く採用されるのは、縦型オーバーフロードレインを実現しようとする場合には、半導体基板はn型であることが前提になるからである。CMOSセンサにおいては、高輝度被写体撮影時のブルーミング抑制のためにn型半導体基板上にn型エピタキシャル層を積層した基板構造が採用される。

10

【0003】

上記の基板構造を用いた場合には、n型エピタキシャル層内にn型不純物を導入することによりセンサ部が形成される。単位画素内においてできるだけセンサ部の面積が大きくなるように、センサ部は形成される。各センサ部の間、すなわち各単位画素の間には、p型のチャンネルストッパ(画素分離pウェル)が形成される。センサ部と画素分離pウェルの位置合わせは、隣接するセンサ部間での信号電子の流出入を防止して、混色を防ぐために重要となる。

20

【特許文献1】特開平6-69483号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、画素が微細化するに伴い、混色を防ぐことが困難になりつつある。これは、画素間の領域が非常に狭くなるため、画素間に形成される画素分離pウェルの幅も狭くなっていくからである。混色を防止する対策としては、画素分離pウェルを深く形成する必要がある。深い画素分離pウェルの形成のためにイオン注入の回数が非常に増加するため、製造工程が増加し、コストが高くなってしまいう問題がある。

30

【0005】

また、深いイオン注入を実現するためには、それだけ厚いレジストマスクあるいはハードマスクが必要となる。画素分離pウェルの形成に使用するマスクは、センサ部を覆うパターンで形成されるため、それぞれが分離した縦長の柱状のマスクパターンとなる。縦長の柱状のマスクパターンは倒れる恐れがあり、歩留まりの低下に繋がる。

【0006】

以上のように、n型エピタキシャル層内に、イオン注入により、高濃度かつ深い画素分離pウェルを作製することは限界に近づいている。

【0007】

本発明は上記の事情に鑑みてなされたものであり、その目的は、センサ部間の混色を有効に抑制することができる固体撮像装置およびカメラを提供することにある。

40

【0008】

本発明の他の目的は、簡易にセンサ部を分離する拡散分離層を形成することができる固体撮像装置の製造方法を提供することにある。

【課題を解決するための手段】

【0009】

上記の目的を達成するため、本発明の固体撮像装置は、表面側の一部の領域に第2導電型領域が形成された第1導電型の半導体基板と、前記半導体基板上に形成され、前記第2導電型領域及び前記第2導電型領域が形成されていない半導体基板部分に接する第2導電型のエピタキシャル層と、前記エピタキシャル層に、前記第2導電型領域に接する深さまで形成された第1導電型のセンサ部と、前記エピタキシャル層に、前記第2導電型領域に

50

隣接する半導体基板部分と接続する深さまで形成され、前記半導体基板に電圧を印加する第1導電型のコンタクト部と、前記エピタキシャル層に形成され、前記センサ部により光電変換して得られる電荷を読み出す能動素子と、を有する。

【0010】

上記の目的を達成するため、本発明の固体撮像装置の製造方法は、第1導電型の半導体基板に、第2導電型のエピタキシャル層を形成する工程と、前記半導体基板の前記エピタキシャル層に接する領域の一部に第2導電型領域を形成する工程と、前記第2導電型領域上に位置する前記エピタキシャル層の領域に前記第2導電型領域に接する深さまで第1導電型のセンサ部を形成すると同時に、前記第2導電型領域が形成されていない半導体基板部分上の前記エピタキシャル層の領域に、前記半導体基板に電圧を印加する第1導電型のコンタクト部を前記半導体基板部分上に接続するように形成する工程と、前記エピタキシャル層に能動素子を形成する工程と、を有する。

10

【0011】

上記の目的を達成するため、本発明のカメらは、固体撮像装置と、前記固体撮像装置の撮像部に入射光を導く光学系と、前記固体撮像装置の出力信号を処理する信号処理回路とを有し、前記固体撮像装置は、表面側の一部の領域に第2導電型領域が形成された第1導電型の半導体基板と、前記半導体基板上に形成され、前記第2導電型領域及び前記第2導電型領域が形成されていない半導体基板部分に接する第2導電型のエピタキシャル層と、前記エピタキシャル層に、前記第2導電型領域に接する深さまで形成された第1導電型のセンサ部と、前記エピタキシャル層に、前記第2導電型領域に隣接する半導体基板部分と接続する深さまで形成され、前記半導体基板に電圧を印加する第1導電型のコンタクト部と、前記エピタキシャル層に形成され、前記センサ部により光電変換して得られる電荷を読み出す能動素子と、を有する。

20

【発明の効果】

【0012】

本発明によれば、センサ部間の混色を抑制した固体撮像装置およびカメラを実現することができる。本発明の固体撮像装置の製造方法によれば、簡易にセンサ部を分離する拡散分離層を形成することができる。

【発明を実施するための最良の形態】

【0013】

以下に、本発明の実施の形態について、図面を参照して説明する。

30

【0014】

図1は、本実施形態に係る増幅型固体撮像装置の構成の一例を示すブロック図である。本実施形態では、例えばMOS型イメージセンサを例に説明する。

【0015】

固体撮像装置10は、光電変換素子である例えばフォトダイオードを含む単位画素11と、当該画素11が行列状に2次元配列されてなる画素アレイ部(撮像部)12と、垂直選択回路13と、信号処理回路であるカラム回路14と、水平選択回路15と、水平信号線16と、出力回路17と、タイミングジェネレータ(TG)18とを有する。

【0016】

画素アレイ部12には、行列状の画素配列に対して列ごとに垂直信号線121が配置されている。単位画素11の具体的な回路構成については後述する。

40

【0017】

垂直選択回路13は、シフトレジスタなどによって構成される。垂直選択回路13は、画素11の転送トランジスタを駆動する転送信号や、リセットトランジスタを駆動するリセット信号などの制御信号を行単位で順次出力することによって画素アレイ部12の各画素11を行単位で選択駆動する。

【0018】

カラム回路14は、画素アレイ部12の列方向の画素ごと、即ち垂直信号線121ごとに配される信号処理回路である。カラム回路14は、例えばS/H(サンプルホールド)

50

回路およびCDS (Correlated Double Sampling; 相関二重サンプリング) 回路などによって構成される。

【0019】

水平選択回路15は、シフトレジスタなどによって構成され、カラム回路14を通して出力される各画素11の信号を順次選択して水平信号線16に出力させる。なお、図1では、図面の簡略化のため、水平選択スイッチについては図示を省略している。この水平選択スイッチは、水平選択回路15によって列単位で順次オン/オフ駆動される。

【0020】

水平選択回路15による選択駆動により、カラム回路14から列ごとに順次出力される単位画素11の信号は、水平信号線16を通して出力回路17に供給され、当該出力回路17で増幅などの信号処理が施された後、デバイス外部へ出力される。

10

【0021】

タイミングジェネレータ18は、各種のタイミング信号を生成し、これら各種のタイミング信号を基に垂直選択回路13、カラム回路14および水平選択回路15などの駆動制御を行う。

【0022】

(画素回路)

図2は、単位画素11の回路構成の一例を示す回路図である。

【0023】

単位画素11Aは、光電変換素子、例えばフォトダイオード111に加えて、例えば転送トランジスタ112、リセットトランジスタ113および増幅トランジスタ114の3つのトランジスタ(能動素子)を有する。ここでは、トランジスタ112~114として、例えばnチャンネルのMOSトランジスタを用いている。

20

【0024】

転送トランジスタ112は、フォトダイオード111のカソードとFD(フローティングディフュージョン)部116との間に接続されている。転送トランジスタ112のゲートに転送パルスTRGが与えられることによって、フォトダイオード111で光電変換され、ここに蓄積された信号電荷(ここでは、電子)がFD部116に転送される。

【0025】

リセットトランジスタ113は、選択電源SELVDDにドレインが、FD部116にソースがそれぞれ接続されている。フォトダイオード111からFD部116への信号電荷の転送に先立って、ゲートにリセットパルスRSTが与えられることによってFD部116の電位がリセットされる。選択電源SELVDDは、電源電圧としてVDDレベルとGNDレベルとを選択的にとる電源である。

30

【0026】

増幅トランジスタ114は、FD部116にゲートが、選択電源SELVDDにドレインが、垂直信号線121にソースがそれぞれ接続されたソースフォロア回路を構成している。増幅トランジスタ114は、リセットトランジスタ113によってリセットした後のFD部116の電位をリセットレベルとして垂直信号線121に出力し、さらに転送トランジスタ112によって信号電荷を転送した後のFD部116の電位を信号レベルとして垂直信号線121に出力する。

40

【0027】

図3は、単位画素11の回路構成の他の例を示す回路図である。

【0028】

単位画素11Bは、光電変換素子、例えばフォトダイオード111に加えて、例えば転送トランジスタ112、リセットトランジスタ113、増幅トランジスタ114および選択トランジスタ115の4つのトランジスタを有する画素回路となっている。ここでは、トランジスタ112~115として、例えばnチャンネルのMOSトランジスタを用いている。

【0029】

50

転送トランジスタ112は、フォトダイオード111のカソードとFD（フローティングディフュージョン）部116との間に接続されている。転送トランジスタ112のゲートに転送パルスTRGが与えられることによって、フォトダイオード111で光電変換され、ここに蓄積された信号電荷（ここでは、電子）がFD部116に転送される。

【0030】

リセットトランジスタ113は、電源VDDにドレインが、FD部116にソースがそれぞれ接続されている。フォトダイオード111からFD部116への信号電荷の転送に先立って、リセットトランジスタ113のゲートにリセットパルスRSTが与えられることによってFD部116の電位がリセットされる。

【0031】

選択トランジスタ115は、例えば、電源VDDにドレインが、増幅トランジスタ114のドレインにソースがそれぞれ接続されている。選択トランジスタ115は、そのゲートに選択パルスSELが与えられることによってオン状態となり、増幅トランジスタ114に対して電源VDDを供給することによって画素11Bの選択をなす。なお、この選択トランジスタ115については、増幅トランジスタ114のソースと垂直信号線121との間に接続した構成を採ることも可能である。

【0032】

増幅トランジスタ114は、FD部116にゲートが、選択トランジスタ115のソースにドレインが、垂直信号線121にソースがそれぞれ接続されたソースフォロア回路を構成している。増幅トランジスタ114は、リセットトランジスタ113によってリセットした後のFD部116の電位をリセットレベルとして垂直信号線121に出力し、さらに転送トランジスタ112によって信号電荷を転送した後のFD部116の電位を信号レベルとして垂直信号線121に出力する。

【0033】

上述した3トランジスタ構成の単位画素11Aや、4トランジスタ構成の単位画素11Bでは、フォトダイオード111で光電変換して得られる信号電荷を転送トランジスタ112によってFD部116に転送し、当該FD部116の信号電荷に応じた電位を増幅トランジスタ114によって増幅して垂直信号線121に出力するアナログ的な動作が行われる。

【0034】

図4は、上記の本実施形態に係る固体撮像装置の概略断面図である。本実施形態では、第1導電型をn型とし、第2導電型をp型とした例について説明する。

【0035】

本実施形態では、n型シリコン基板（半導体基板）20上にp型エピタキシャル層21が形成された基板構造を採用する。p型エピタキシャル層21の抵抗率は、 $5 \sim 15 \text{ } \Omega \cdot \text{cm}$ である。p型エピタキシャル層21には、n型センサ部22が形成されている。図示はしないが、n型センサ部22の最表面には、暗電流を抑制するためのp型領域が形成されている。n型センサ部22とp型エピタキシャル層21との間のpn接合により、図2および図3のフォトダイオード111が構成される。

【0036】

n型シリコン基板20に電圧を印加するためのコンタクト部Cが形成されている。コンタクト部Cは、後述するように、n型センサ部22を利用して形成される。例えば、n型センサ部22を介してn型シリコン基板20に電圧（例えば+2.7V）が供給される。

【0037】

画素を構成するn型センサ部22間には、p型の拡散分離層24が形成されている。後述するように、拡散分離層24はn型センサ部22に対して自己整合的に形成される。各n型センサ部22は、表層部において拡散分離層24により電氣的に分離され、深部においてp型エピタキシャル層21により電氣的に分離されている。n型センサ部22の深さは、例えば $3 \text{ } \mu\text{m}$ である。

【0038】

10

20

30

40

50

図示はしないが、拡散分離層 2 4 の表層部には、図 2 および図 3 で示したトランジスタ 1 1 2, 1 1 3, 1 1 4, 1 1 5 が形成されている。すなわち、拡散分離層 2 4 の表層部には、上記トランジスタのソース・ドレイン領域が形成されており、拡散分離層 2 4 上には上記トランジスタのゲート電極が形成されている。

【 0 0 3 9 】

p 型エピタキシャル層 2 1 の上層には、配線層 3 0 が形成されている。配線層 3 0 は、例えば酸化シリコンからなる層間絶縁膜 3 1 と、層間絶縁膜 3 1 に埋め込まれて形成された配線 3 2 とを有する。本例では、3 層配線の例を図解している。配線 3 2 は、アルミニウム配線あるいは銅配線である。図示はしないが、配線層 3 0 は、トランジスタのゲート電極やソース・ドレイン領域に接続されている。層間絶縁膜 3 1 は、n 型センサ部 2 2 の配置領域を避けて配置されている。

10

【 0 0 4 0 】

図示はしないが、配線層 3 0 上には、樹脂からなる平坦化層と、カラーフィルタと、樹脂からなる平坦化層と、オンチップレンズが形成されている。なお、配線層 3 0 内には、層内レンズが形成されていてもよい。

【 0 0 4 1 】

図 5 は、n 型センサ部 2 2 の変形例を示す図である。

【 0 0 4 2 】

n 型センサ部 2 2 は、基板深部と基板表層部とで、面積（寸法）が異なっている。この場合には、センサ深部の面積をセンサ表層部の面積よりも大きくする。これにより、n 型センサ部 2 2 の基板深部で光電変換された信号電荷をより多く蓄積することができ、感度の向上を図ることができる。

20

【 0 0 4 3 】

次に、上記の本実施形態に係る固体撮像装置の製造方法について、図 6 ~ 図 7 を参照して説明する。

【 0 0 4 4 】

図 6 (a) に示すように、n 型シリコン基板 2 0 上に、エピタキシャル成長法により、p 型エピタキシャル層 2 1 を形成する。p 型エピタキシャル層 2 1 の厚さは、例えば 3 ~ 4 μm である。続いて、p 型エピタキシャル層 2 1 上に、酸化シリコンからなるスルー膜 4 0 を形成する。続いて、n 型シリコン基板 2 0 と、p 型エピタキシャル層 2 1 の界面領域であってコンタクト部以外の領域に、イオン注入法により p 型ウェル（第 2 導電型領域）2 1 a を形成する。これにより、p 型エピタキシャル層 2 1 の表面から n 型シリコン基板 2 0 までの距離が、コンタクト部 C において小さくなる。さらに、画素アレイ部における p 型エピタキシャル層 2 1 に n 型不純物をイオン注入して、基板表層部に n 型領域 2 2 c を形成する。1 回のイオン注入で形成される n 型領域を図中点線で示す。従って、本例では、2 回のイオン注入を行うことにより、n 型領域 2 2 c を形成する。

30

【 0 0 4 5 】

次に、図 6 (b) に示すように、スルー膜 4 0 上に、n 型センサ部間の領域、すなわち画素分離領域を開口するパターンの第 1 マスク 4 1 を形成する。第 1 マスク 4 1 は、スルー膜 4 0 上に窒化シリコン膜を形成し、当該窒化シリコン膜をレジストマスクを用いてエッチングすることにより形成する。第 1 マスク 4 1 上のレジストマスクは残しても除去してもよい。

40

【 0 0 4 6 】

次に、図 6 (b) に示すように、p 型不純物をイオン注入して、拡散分離層 2 4 を形成する。これにより、p 型不純物が注入された拡散分離層 2 4 と、それ以外のセンサ表層部 2 2 a とが自己整合的に形成される。拡散分離層 2 4 は、センサ表層部 2 2 a とほぼ同等の深さに形成する。

【 0 0 4 7 】

次に、図 7 (a) に示すように、第 1 マスク 4 1 の開口部に対応するパターンの第 2 マスク 4 2 を形成する。例えば、第 1 マスク 4 1 の開口部を含む全面に H D P (High Densi

50

ty Plasma) - CVD法により酸化シリコン膜を堆積し、CMP法により第1マスク41上に堆積した不要な酸化シリコン膜を除去した後に、第1マスク41を除去する。この結果、酸化シリコン膜からなる第2マスク42が形成される。

【0048】

必要に応じて、第2マスク42を用いた斜めイオン注入(例えば角度30度)により、センサ表層部22aと拡散分離層24の境界部に、センサ表層部22aよりも低ドーズ量でn型不純物をイオン注入して、電界緩和層25を形成する。電界緩和層25は、センサ表層部22aおよび拡散分離層24に対して自己整合的に形成される。電界緩和層25により、センサ表層部22aと拡散分離層24との間に急峻なpn接合が形成されることを防止することができ、電界が緩和される。電界緩和層25は、薄いp型となる。

10

【0049】

次に、図7(b)に示すように、第2マスク42上に必要に応じて第3マスク43を形成する。第3マスク43は、例えばレジストマスクである。続いて、第2マスク42および第3マスク43を用いて基板深部にまでn型不純物をイオン注入することにより、センサ深部22bを形成する。

【0050】

センサ深部22bを形成するためのイオン注入では、厚いマスクが必要となる。このため、第2マスク42の厚さが足りない場合には、第3マスク43を形成することが好ましい。なお、必要に応じて、n型不純物の斜めイオン注入を行ってもよい。センサ深部22bを形成するためには、イオン注入を数回行う必要がある。

20

【0051】

p型ウェル21aが形成された領域においては、センサ表層部22aとセンサ深部22bによりn型センサ部22が形成される。p型ウェル21a以外の領域においては、センサ深部22bとn型シリコン基板20が繋がって、n型コンタクト部Cが形成される。このように、n型センサ部22の形成工程を利用してn型コンタクト部Cが形成される。

【0052】

その後、第2マスク42および第3マスク43を除去する。続いて、高温熱処理を施す。高温熱処理は、例えば1000で120分間行う。これにより、n型センサ部22の欠陥が減少し、白点低減、取り扱い電荷量の向上、感度増加を図ることができる。

【0053】

続いて、拡散分離層24に各種のトランジスタを形成する。トランジスタを形成した後に、トランジスタのゲート電極およびレジストをマスクとしたイオン注入により、n型センサ部22の最表面にp型領域を形成する。

30

【0054】

その後、p型エピタキシャル層21上に配線層30を形成する。以降の工程としては、配線層30上に、平坦化層と、カラーフィルタと、平坦化層と、オンチップレンズを形成することにより、固体撮像装置が完成する。

【0055】

上記の本実施形態に係る固体撮像装置では、n型シリコン基板20上にp型エピタキシャル層21を有する基板構造を用いている。この結果、p型エピタキシャル層21の表層部にのみp型不純物をイオン注入することで、各画素のn型センサ部22同士を電氣的に分離することができる。すなわち、n型センサ部22のセンサ表層部22aは拡散分離層24により電氣的に分離され、センサ深部22bはp型エピタキシャル層21により電氣的に分離される。

40

【0056】

この結果、n型センサ部22を分離するための深いp型不純物のイオン注入工程を必要としないことから、製造工程の簡略化および歩留まりの向上を図ることができ、信頼性のある固体撮像装置を製造することができる。

【0057】

また、本実施形態では、センサ表層部22aと拡散分離層24とが自己整合的に形成さ

50

れることから、表層部におけるn型センサ部22と拡散分離層24との合わせずれが発生しない。このため、信号電荷の混色を防止することができる。

【0058】

また、トランジスタの形成前にn型センサ部22を形成することから、n型センサ部22の形成後、トランジスタの形成前に高温熱処理を行うことができ、n型センサ部22の欠陥を減少させて、白点の低減を図ることができる。これに対して、トランジスタのゲート電極をマスクとしてn型センサ部を形成する従来技術では、n型センサ部の形成後に高温熱処理を行うことができない。

【0059】

本実施形態では、各画素のセンサ深部22b同士はp型エピタキシャル層21により電氣的に分離される。一般的には、イオン注入の深さが深ければ、それだけイオン注入領域は広がる。従って、センサ表層部22aとセンサ深部22bの面積は同じではなく、図5に示すように、センサ深部22bの方がセンサ表層部22aに比べて面積が大きくなる。

【0060】

ここで、センサ深部22b同士の電氣的な分離が困難な位置が予めわかっている場合には、この位置におけるp型エピタキシャル層21のp型不純物濃度を増加させてもよい。この場合には、図6(a)に示すp型エピタキシャル層21のエピタキシャル成長工程において、深さ方向に不純物濃度の異なるp型エピタキシャル層21を形成する。

【0061】

上記の固体撮像装置は、例えば、ビデオカメラ、デジタルスチルカメラ、あるいは電子内視鏡用カメラなどのカメラに用いられる。

【0062】

図8は、上記の固体撮像装置が用いられるカメラの概略構成図である。

【0063】

カメラ50は、上記した固体撮像装置10と、光学系51と、信号処理回路53とを有する。

【0064】

光学系51は、被写体からの像光(入射光)を固体撮像装置10の撮像面上に結像させる。これにより、固体撮像装置10のn型センサ部22において、入射光は入射光量に応じた信号電荷に変換され、n型センサ部22において、一定期間当該信号電荷が蓄積される。

【0065】

信号処理回路53は、固体撮像装置10の出力信号に対して種々の信号処理を施して映像信号として出力する。

【0066】

上記の本実施形態に係る固体撮像装置を備えたカメラによれば、混色の抑制、白点の低減を図ったカメラを実現することができる。

【0067】

本発明は、上記の実施形態の説明に限定されない。

例えば、画素アレイ部にp型領域を形成した後に、マスクを用いてn型センサ部の領域にn型不純物をイオン注入することにより、p型の拡散分離層24とセンサ表層部22aを自己整合的に形成してもよい。また、トランジスタの形成前であれば、p型ウェル21aの形成時に限定はない。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【図面の簡単な説明】

【0068】

【図1】本実施形態に係る固体撮像装置の構成の一例を示すブロック図である。

【図2】単位画素の回路構成の一例を示す回路図である。

【図3】単位画素の回路構成の他の例を示す回路図である。

【図4】本実施形態に係る固体撮像装置の概略を示す断面図である。

10

20

30

40

50

【図5】本実施形態に係る固体撮像装置の他の例を示す断面図である。

【図6】本実施形態に係る固体撮像装置の製造における工程断面図である。

【図7】本実施形態に係る固体撮像装置の製造における工程断面図である。

【図8】本実施形態に係る固体撮像装置が適用されるカメラの構成を示すブロック図である。

【符号の説明】

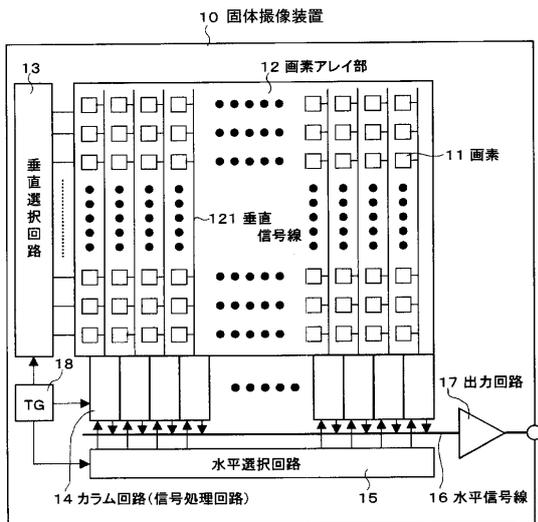
【0069】

10 ... 固体撮像装置、11, 11A, 11B ... 単位画素、12 ... 画素アレイ部、13 ... 垂直選択回路、14 ... カラム回路、15 ... 水平選択回路、16 ... 水平信号線、17 ... 出力回路、18 ... タイミングジェネレータ(TG)、20 ... n型シリコン基板、21 ... p型エ

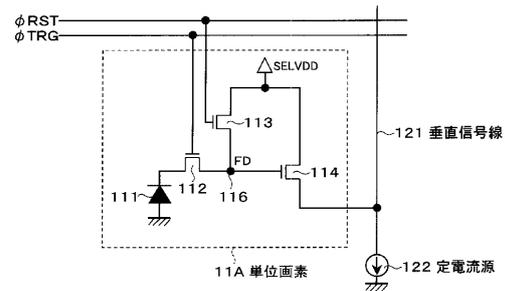
10 11 11A 11B 12 13 14 15 16 17 18 20 21 21a 22 22a 22b 22c 24 25 30 31 32 40 41 42 43 50 51 C

10

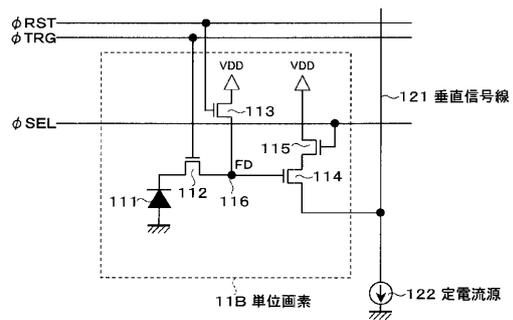
【図1】



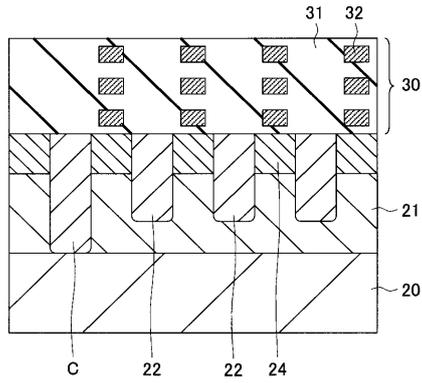
【図2】



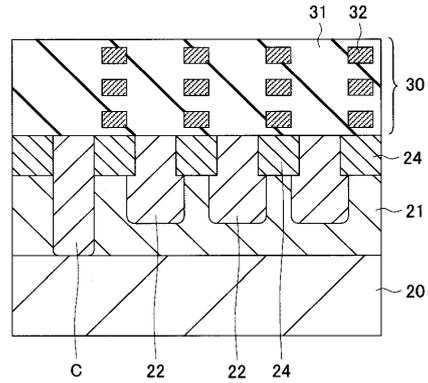
【図3】



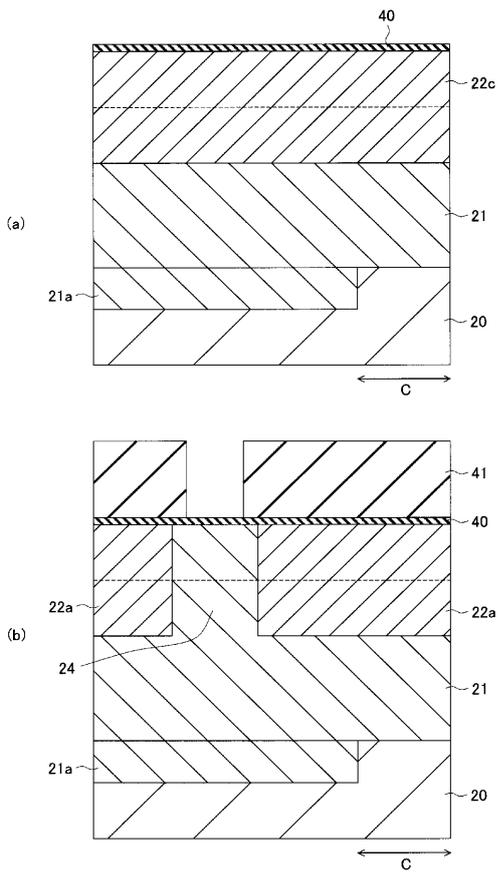
【 図 4 】



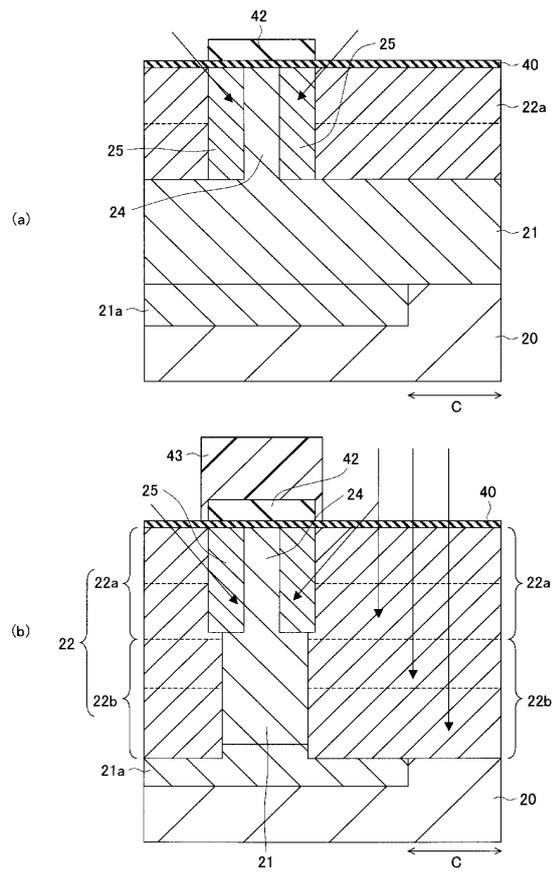
【 図 5 】



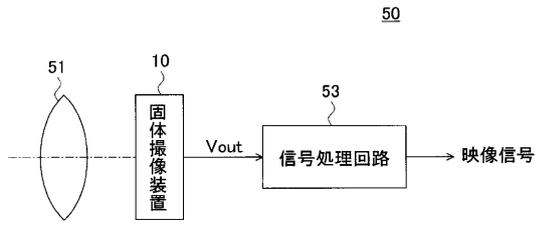
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 7 / 1 4 6