



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201234551 A1

(43)公開日：中華民國 101 (2012) 年 08 月 16 日

(21)申請案號：100144696

(22)申請日：中華民國 100 (2011) 年 12 月 05 日

(51)Int. Cl. : *H01L23/488 (2006.01)*

H01L23/52 (2006.01)

H01L21/58 (2006.01)

(30)優先權：2011/01/10 美國

12/929,236

(71)申請人：A R M股份有限公司 (英國) ARM LIMITED (GB)

英國

(72)發明人：米喜拉維克斯 MISHRA, VIKAS (IN) ; 王秉達 WANG, BINGDA BRANDON (CN)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：16 項 圖式數：6 共 31 頁

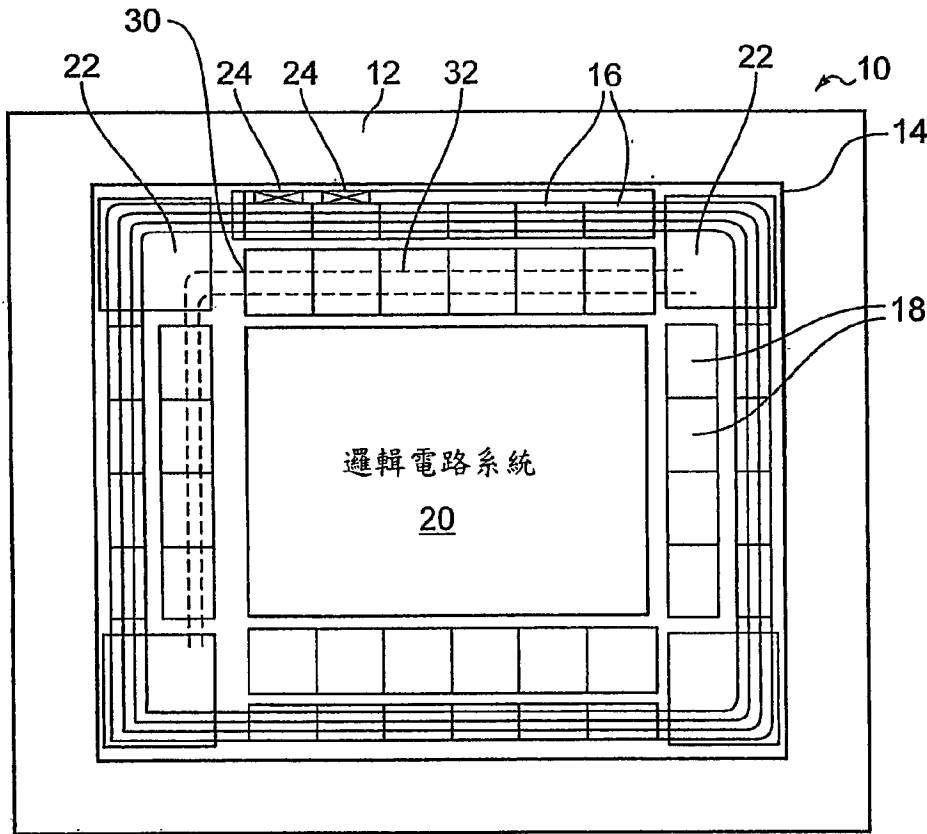
(54)名稱

在積體電路中具有高面積效益之介面裝置設置

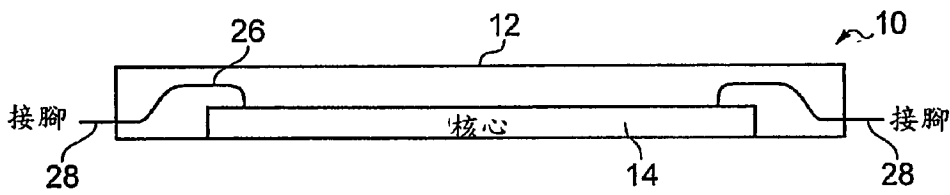
AREA EFFICIENT ARRANGEMENT OF INTERFACE DEVICES WITHIN AN INTEGRATED CIRCUIT

(57)摘要

本發明揭示一種積體電路，該積體電路包含：核心，該核心包含邏輯電路系統；複數個介面裝置，用於傳送訊號至處理核心與從處理核心傳送訊號，該複數個介面裝置包含兩種介面裝置類型：一種類型為功率介面裝置，該功率介面裝置用於傳遞功率至核心；以及第二類型為訊號介面裝置，該訊號介面裝置用於在核心與在積體電路外部的裝置之間傳送資料訊號；其中該複數個介面裝置係設置於兩列，此兩列包含外部列與內部列，該外部列朝向核心的外部邊緣，且該內部列位於外部列中並靠近核心的中心，該內部列包含兩種介面裝置類型中之一者，而外部列包含兩種介面裝置類型中之另一者。



- 10：積體電路
- 12：封裝
- 14：核心
- 16：功率輸入/輸出裝置
- 18：訊號輸入/輸出裝置
- 20：邏輯電路系統
- 22：角落細胞元
- 24：接合墊
- 26：線
- 28：接腳
- 30：軌
- 32：軌





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201234551 A1

(43)公開日：中華民國 101 (2012) 年 08 月 16 日

(21)申請案號：100144696

(22)申請日：中華民國 100 (2011) 年 12 月 05 日

(51)Int. Cl. : *H01L23/488 (2006.01)*

H01L23/52 (2006.01)

H01L21/58 (2006.01)

(30)優先權：2011/01/10 美國

12/929,236

(71)申請人：A R M股份有限公司 (英國) ARM LIMITED (GB)

英國

(72)發明人：米喜拉維克斯 MISHRA, VIKAS (IN) ; 王秉達 WANG, BINGDA BRANDON (CN)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：16 項 圖式數：6 共 31 頁

(54)名稱

在積體電路中具有高面積效益之介面裝置設置

AREA EFFICIENT ARRANGEMENT OF INTERFACE DEVICES WITHIN AN INTEGRATED CIRCUIT

(57)摘要

本發明揭示一種積體電路，該積體電路包含：核心，該核心包含邏輯電路系統；複數個介面裝置，用於傳送訊號至處理核心與從處理核心傳送訊號，該複數個介面裝置包含兩種介面裝置類型：一種類型為功率介面裝置，該功率介面裝置用於傳遞功率至核心；以及第二類型為訊號介面裝置，該訊號介面裝置用於在核心與在積體電路外部的裝置之間傳送資料訊號；其中該複數個介面裝置係設置於兩列，此兩列包含外部列與內部列，該外部列朝向核心的外部邊緣，且該內部列位於外部列中並靠近核心的中心，該內部列包含兩種介面裝置類型中之一者，而外部列包含兩種介面裝置類型中之另一者。

六、發明說明：

【發明所屬之技術領域】

本發明領域係關於半導體晶片，且特定相關於提供用於該等半導體晶片的輸入/輸出介面裝置。

【先前技術】

在典型的半導體生產技術中，所生產的資料處理核心或晶片具有資料處理邏輯電路系統，諸如在資料處理核心或晶片中的處理邏輯或資料儲存。在單一半導體材料（通常為矽）晶圓上大量建置該等晶片。為了提供功率與資料存取給該等晶片，將個別的晶片圖樣化為具有小型連結或接合墊（bonding pad）。該等小型連結或接合墊為導電性材料（諸如金屬）墊，且一般而言被設置於靠近晶片邊緣處，使得對該等墊的外部存取較為容易。

晶片被從晶圓切割出，且被架設於封裝中，且通常將線接合至接合墊，以允許訊號與功率被傳送至晶片以及從晶片傳送。該等接合墊經由輸入/輸出裝置連接至晶片，該等輸入/輸出裝置對所接收與傳送的功率與訊號提供一些處理與控制。線通往封裝外側的接腳（pin），該等接腳附接至構成電子系統的其他電路系統。

隨著晶片變得更為複雜，需要更多的輸入/輸出裝置以處理傳送至晶片與從晶片傳送出的功率與資料訊號。

為了提供精密且能輕易建置的系統，該等輸入/輸出裝

置一般被設計為鄰接於彼此，且具有相同的長度。以此方式，該等輸入/輸出裝置與彼此對齊，使得功率軌可被建置為跨一系列輸入/輸出裝置，且每一輸入/輸出裝置可依所需被連接至任一軌。輸入/輸出裝置的長度，為裝置正交於裝置所鄰接之晶片外部邊緣的尺寸。較佳地是該等輸入/輸出裝置全部具有相同的寬度，如此將能較輕易地在接合墊與封裝上的外部接腳之間設置線，因為該等接腳通常設置為固定圖樣。

因此，輸入/輸出裝置被設計為具有相同尺寸，且此為所需之最大輸入/輸出裝置的尺寸。因為晶片尺寸受限，而在逐漸複雜的系統中所需的輸入/輸出裝置數量越來越多，且該等裝置全部為相同尺寸且被設置為靠近晶片邊緣，故產生用於架設輸入/輸出裝置的空間被限制的問題。

在一些技術中，輸入/輸出裝置被設計為較窄，且相應地較長，使得晶片外部邊緣上可適配更多並排的輸入/輸出裝置。然而，此技術的缺點為，將線接合至輸入/輸出裝置所需的接合區域隨之寬於輸入/輸出裝置自身，使得該等接合墊無法對齊彼此。此設置被稱為交錯安排（staggered）設置，且此設置產生不同的接合線長度，此狀況可引入偏斜（skew）至系統。

期望提供具有較多輸入/輸出裝置數量的系統，同時不過度地引入偏斜至系統。

【發明內容】

本發明之第一態樣提供一種積體電路，該積體電路包含：核心，該核心包含邏輯電路系統；複數個介面裝置，用於傳送訊號至該處理核心與從該處理核心傳送訊號，該複數個介面裝置包含兩種介面裝置類型：一種類型為功率介面裝置，該功率介面裝置用於傳遞功率至該核心；以及第二類型為訊號介面裝置，該訊號介面裝置用於在該核心與在該積體電路外部的裝置之間傳送資料訊號；其中該複數個介面裝置係設置於兩列，此兩列包含外部列與內部列，該外部列朝向該核心的外部邊緣，且該內部列位於該外部列中並靠近該核心的中心，該內部列包含該兩種介面裝置類型中之一者，而該外部列包含該兩種介面裝置類型中之另一者。

具有兩列介面裝置的雙列技術看似可克服晶片外部邊緣上空間受限的問題。然而，提供兩列介面裝置，表示連接內部列上之介面裝置與外部接腳的線，係長於連接外部列中之裝置的線，且此可在沿著不同線傳送的資料訊號之間產生偏斜。此對一些資料訊號是特別重要的，諸如對於在訊號被良好地匹配之位元組鏈結上的資料訊號，且因此，在此種訊號之間的偏斜應被避免或至少盡可能地減少。

本發明藉由提供所有訊號介面裝置於一系列中，並提供所有功率介面裝置於另一列中，來處理此問題。提供訊

號介面裝置於相同列中，表示連接該等裝置至外部接腳的線將具有類似的長度，且因此，因為使用不同長度的線傳送來自不同列中之訊號介面裝置的資料訊號所發生的問題將不會發生。偏斜一般為發生於來自不同訊號介面裝置之不同資料訊號之間的問題，且不發生於來自功率介面裝置的訊號與來自訊號介面裝置的訊號之間。

再者，在具有相同類型的介面裝置被設置於相同列中時，允許裝置對齊的尺寸，可僅對於相同類型裝置來決定。因此，訊號介面裝置可經配置為相同尺寸，且功率介面裝置亦可被配置為相同尺寸，然而兩種類型的尺寸不需與彼此相同。此一般將減少對於一種裝置類型的尺寸需求。

因此，以此方式設置的雙列，將提供用於架設介面裝置的額外面積，而不增加因為沿著不同長度的線傳送資料訊號所產生的偏斜，且因為減少了一種裝置類型的尺寸，亦將節省面積。

雖然內部列與外部列在每一列僅包含一種類型的情況下，可包含任一種類型的介面裝置，在一些具體實施例中該內部列包含訊號介面裝置，且該外部列包含功率介面裝置。

將功率介面裝置放置於核心外側，提供一些對核心的電屏蔽，並產生具有增進靜電放電（Electrical Static Discharge；ESD）性質與增進閃鎖效能的系統。

在一些具體實施例中，該外部列包含圍繞該核心之外

部周圍的列，且該內部列包含與該內部列平行並位於該外部列中的列。

如上文所述，較佳地是介面裝置被放置為圍繞核心的外部邊緣，因為此減少了所需的線長度。再者，若該等介面裝置列與彼此平行，則將可方便設置。

在一些具體實施例中，該介面裝置為矩形並具有長度與寬度，該長度為該連結墊的尺寸，該尺寸係正交於該連結墊位於該列上之該列，且該寬度為平行於該連結墊位於該列上之該列的尺寸，該複數個功率介面裝置之每一者具有實質上相同的長度，且該複數個訊號介面裝置之每一者具有實質上相同的長度，該等功率介面裝置的該長度係不同於該等訊號介面裝置的長度。

本發明認知到，通常功率介面裝置不具有與訊號介面裝置相同的尺寸要求，且因此，若使用兩介面裝置列，每一列僅具有一種介面裝置類型於該列上，則每一介面裝置類型可僅對彼類型來決定尺寸。此一般而言將產生減少功率介面裝置尺寸的能力，且將產生具有小於訊號介面裝置之功率介面裝置的系統。

在一些具體實施例中，該等功率介面裝置具有較該等訊號介面裝置之長度為短的長度。

一般較佳地是，該等功率介面裝置與該等訊號介面裝置全部具有實質上相同的寬度，因為此允許墊被更有效益地連接至外部接腳。因此，減少一個墊與另一墊相較之下的尺寸，一般而言係由減少該等墊的長度來完成。

在一些具體實施例中，在該外部列中的該等功率介面裝置之至少一些功率介面裝置鄰接於彼此，且在該內部列中的該等訊號介面裝置之至少一些訊號介面裝置鄰接於彼此。

介面裝置一般而言被設置為鄰接於彼此。在介面裝置被設置為圍繞晶片邊緣時，在角落處介面裝置可不鄰接於彼此，但也許可鄰接於角落裝置。

在一些具體實施例中，與彼此實質上相同的尺寸，諸如長度與寬度，包含與彼此分異少於 1 微米的尺寸。

顯然，製造容忍度使得被設計為相同尺寸的裝置，事實上可具有稍微不同的尺寸。一般而言，約 1 微米的容忍度對於此種設計為可接受的，使得具有少於 1 微米差異之尺寸的裝置被視為具有相同尺寸。

在一些具體實施例中，該等功率介面裝置與該等訊號介面裝置係在該等介面裝置各別的外部列與內部列中與彼此對齊。

一般而言，外部接腳被設置為平均分佈圍繞核心外部邊緣的固定圖樣，因此，較佳地是亦以平均方式設置墊。此亦幫助減少偏斜，並增進功率介面裝置的屏蔽樣態。

在其他具體實施例中，該等功率介面裝置與該等訊號介面裝置係在該等介面裝置各別的外部列與內部列中相對於彼此偏移一距離，該距離為該寬度的一半。

另一可具有進一步優點的平均圖樣，為在每一列中的介面裝置相對於彼此偏移介面裝置的一半。此種設置特

別地為佳，因為傳送至不同列中之不同裝置的線可在相同平面中鄰接於彼此傳送，偏移提供足夠的空間以供線從不同列平行於彼此執行。在裝置對齊時，線可需要被傳送於不同平面中以與彼此隔離。

在一些具體實施例中，該等介面裝置包含用於將線接合至該等介面裝置的接合墊，該等接合墊具有窄於該等介面裝置之寬度的寬度。

較佳地是接合墊窄於介面裝置，因為在此情況中接合墊可沿著平行於該核心之邊緣的列與彼此對齊。此表示來自該等接合墊至外部接腳的線將具有實質上相同的長度，從而減少了偏斜。若接合墊寬於介面裝置，則接合墊將需要被設置為交錯安排方式且不對齊。此產生不同長度的線，但具有允許較窄介面裝置的優點。

本發明之第二態樣提供一種提供訊號至積體電路的方法，該積體電路包含核心，該核心包含邏輯電路系統，該方法包含以下步驟：設置複數個介面裝置，該複數個介面裝置用於傳送訊號至該處理核心並將訊號從該處理核心傳送出，且該複數個介面裝置圍繞該處理核心的邊緣；其中該複數個介面裝置包含兩種介面裝置類型，一種類型為功率介面裝置，該功率介面裝置用於傳遞功率至該核心，第二類型為訊號介面裝置，該訊號介面裝置用於在該核心與在該積體電路外部的裝置之間傳送資料訊號；設置步驟，將該複數個介面裝置設置於兩列，此兩列包含外部列與內部列，該外部列朝向該核心的外部

邊緣，且該內部列位於該外部列中並靠近該核心的中心，該內部列包含該兩種介面裝置類型中之一者，而該外部列包含該兩種介面裝置類型中之另一者。

本發明之第三態樣提供一種積體電路，該積體電路包含：核心，該核心包含邏輯電路系統；複數個介面構件，用於傳送訊號至該處理核心與從該處理核心傳送訊號，該複數個介面構件包含兩種介面構件類型：一種類型為功率介面構件，該功率介面構件用於傳遞功率至該核心；以及第二類型為訊號介面構件，該訊號介面構件用於在該核心與在該積體電路外部的裝置之間傳送資料訊號；其中該複數個介面構件係設置於兩列，此兩列包含外部列與內部列，該外部列朝向該核心的外部邊緣，且該內部列位於該外部列中並靠近該核心的中心，該內部列包含該兩種介面構件類型中之一者，而該外部列包含該兩種介面構件類型中之另一者。

上述與其他的本發明標的、特徵與優點，將顯然於下列說明性具體實施例的實施方式，此實施方式將連同於附加圖式來閱讀。

【實施方式】

第 1 圖圖示根據本發明一具體實施例的積體電路 10。此積體電路被圖示為平面圖與側視圖。

積體電路 10 包含封裝 12，封裝 12 被形成為圍繞核心

14 且於核心 14 之上。核心 14 以半導體材料形成，且包含具有介面或輸入/輸出裝置的外部部分。該等輸入/輸出裝置被形成為兩列，此兩列在此具體實施例中為包含功率輸入/輸出裝置 16 的外部列以及包含訊號輸入/輸出裝置 18 的內部列。功率輸入/輸出裝置 16 提供不同電壓域所需的電壓位準。資料處理系統可操作於兩個電壓域中，此兩個電壓域包含在 DVDD 與 DVSS 之間的較高電壓域與在 VDD 與 VSS 之間的較低電壓域，較高電壓域可為周邊設備裝置（諸如 USB 驅動器）所操作的域，較低電壓域可為在矽晶片中的邏輯電路系統所操作的域。功率輸入/輸出裝置對該等不同的功率域提供適當的電壓位準。

如先前所述，邏輯電路系統 20 以在 VDD 與 VSS 之間的操作電壓操作，同時邏輯電路系統 20 所通訊的外部裝置可操作在較高的操作電壓域。因此，功率細胞元 16 同時在較高操作電壓域與較低操作電壓域提供功率供應，且訊號介面或輸入/輸出裝置 18 接收不同的功率訊號，並將傳至邏輯電路系統 20 的訊號轉換至較低電壓域，並將接收自邏輯電路系統的訊號（目標為在積體電路 10 外部的電路系統）轉換至較高電壓域。

因此，存在數個圍繞核心 14 邊緣執行的功率軌，且該等功率軌裝載用於兩個電壓域的電壓位準。功率軌不僅提供用於各種輸入/輸出細胞元的功率源，且功率軌亦提供邏輯電路系統 20 的一些電屏蔽。

在核心 14 的角落是角落細胞元 22，角落細胞元 22 用以將功率軌繞線圍繞角落。該等細胞元自身具有少量的邏輯。

介面或輸入/輸出裝置 16 與 18 之每一者具有接合墊 24。為了較易圖示說明，該等接合墊 24 僅圖示於兩個輸入/輸出細胞元。該等接合墊允許線 26 連接在輸入/輸出裝置與外部接腳之間。此允許訊號與功率傳送至邏輯電路系統 20 並從邏輯電路系統 20 傳送。

用以接合線之接合墊 24 的尺寸，在輸入/輸出細胞元的尺寸中為決定性的因子，且在此具體實施例中接合墊與輸入/輸出細胞元的寬度約為相同。若接合墊比該等細胞元寬，則接合墊可無法被對齊，且在該等接合墊的位置交錯安排可產生不同長度的線鏈結，不同長度的線鏈結在所傳送之訊號中可產生偏斜。

如可見於此具體實施例中，訊號輸入/輸出裝置 18 大於功率輸入/輸出裝置，因為訊號輸入/輸出裝置 18 需要更多邏輯。然而，因為功率輸入/輸出裝置與訊號輸入/輸出裝置被設置在不同列上，所以功率輸入/輸出裝置較之於訊號輸入/輸出裝置可具有較小的寬度，同時維持功率輸入/輸出裝置的對齊。此對齊是重要的，因為此對齊允許沿著裝置執行的軌被連接至輸入/輸出裝置的每一者。

雖然在此示意圖中未清楚圖示，存在以圍繞功率輸入/輸出裝置的環執行，且亦連接至執行於訊號輸入/輸出裝

置之上的其他軌的用於較高電壓域的功率軌與用於較低電壓域的功率軌。執行於訊號輸入/輸出裝置之上的兩個軌的一部分，被圖示為第 1 圖中的 30 與 32。30 與 32 提供從功率軌至訊號輸入/輸出裝置的連結。雖然為了簡潔僅圖示該等軌的一部分，事實上該等軌將以與圍繞功率輸入/輸出裝置執行的軌相同的方式，圍繞整個環境執行。

圖示於第 1 圖中之積體電路 10 的剖面圖，圖示核心 14 位於封裝 12 中且於封裝 12 之下。來自封裝的外部接腳 28 被經由線 26 連接至核心。核心係經由接合墊 24 接合至線，接合墊 24 被圖示於功率輸入/輸出裝置 16 上，但亦存在於訊號輸入/輸出裝置上。

訊號輸入/輸出裝置從邏輯電路系統接收訊號，並於輸出前將訊號轉換至較高電壓域。或者，訊號輸入/輸出裝置可接收在較高電壓域中的外部訊號，並於傳送至邏輯電路系統之前將外部訊號轉換至較低電壓域。以此方式，以在不同電壓域中的訊號操作的裝置可與彼此通訊。

此被更詳細圖示於第 2 圖中。第 2 圖圖示處理設備 50，處理設備 50 包含數個積體電路 10 以及另一周邊設備裝置 60。周邊設備裝置 60 在此具體實施例中為 USB 驅動器，且操作於較高電壓域中。該等裝置全部架設在未圖示的板上，並允許訊號被傳送於裝置之間。歸功於設置於功率積體電路 10 中的功率輸入/輸出裝置與訊號輸入/輸出裝置，操作於不同電壓域中的該等裝置可與彼

此通訊。

第 3 圖非常示意性地圖示根據本發明一具體實施例之輸入/輸出裝置外部與內部環的一部分。DQ0 至 DQ7 代表位元帶的資料細胞元，同時 DQSP/DQSM 代表選通 (strobe) 訊號。外部環包含功率細胞元，VDD 與 VSS 細胞元為較高電壓域的功率細胞元，同時 VDD 與 VSS 細胞元為較低電壓域的細胞元。亦存在電壓參考細胞元與 DECAP 細胞元 (為去耦合電容細胞元)。該等在外部環中的細胞元為 $130\ \mu$ ，短於為 $300\ \mu$ 的訊號輸入/輸出細胞元 (被圖示為沿著內部環排列)。該等細胞元接收並處理不同的訊號，確保接收於一個電壓域的訊號，被適當地輸出於另一電壓域。

第 4 圖示意性圖示設置於輸入/輸出迴路之部分中的功率細胞元與訊號輸入/輸出細胞元。在此示意圖中，功率細胞元 16 之每一者被圖示為具有線接合區域 24，如輸入/輸出細胞元。此外，圖示在細胞元之間傳送訊號的軌。應注意到，線接合為需要相對大接合墊 (圖示為 24) 的程序。在細胞元與軌之間的連結可被更輕易的完成。因此，因為軌執行於細胞元之每一者之上，細胞元之每一者可連接至任何所需訊號的軌。

在此具體實施例中，細胞元不被圖示為鄰接於彼此，以簡潔圖示說明，然而實際上在個別列中的細胞元將鄰接於彼此。在此具體實施例中，功率細胞元與訊號細胞元對齊彼此，且因此，接合至接合墊的線將到達相同處，

且因此必須到達於不同平面。

第 5 圖圖示替代性具體實施例，其中細胞元與彼此交錯安排。再次地，細胞元不被圖示為鄰接，但事實上細胞元將為鄰接。如可見於此設置中，線可與彼此並排行進至細胞元，且因此，不需將線發出於不同平面中，且因此，此設置可提供較先前設置更有效益的線連結。

在兩種設置中，細胞元的佈局為通常圖樣，且此圖樣與在積體電路外部封裝上之接腳的通常圖樣對齊。

如可所見，此雙列設置允許訊號介面裝置具有較功率介面裝置長的長度，且仍與彼此對齊，使得行進於一個訊號介面裝置之上的軌亦行進於所有其他訊號介面裝置之上。再者，接合墊與彼此對齊，使得裝載資料訊號的線具有類似的長度，且因此將在沿不同長度之線傳送時產生之在該等訊號之間的偏斜將減少。

第 6 圖為圖示說明根據本發明一具體實施例之方法之步驟的流程圖。此方法提供供應功率與訊號至積體電路的方法。設置功率介面裝置於圍繞積體電路邊緣之外部環的步驟，係與設置訊號介面裝置於外部環中之內部環的步驟一同執行。應注意到，該等步驟可由任何次序執行或甚至同時執行。線連結被提供至每一介面裝置，使得功率訊號可被傳遞至功率介面裝置，且資料訊號可被傳遞至訊號介面裝置。

功率軌隨後被設置於圍繞積體電路的環中，且連結被提供在該等軌與介面裝置之間。連結亦被提供在介面裝

置與核心處理邏輯之間。以此方式，介面裝置允許訊號被傳送至核心或從核心被傳送，並允許該等訊號被從一個電壓域轉移位準至另一電壓域，使得在系統中操作於不同電壓域中的裝置與電路可與彼此通訊。

雖然本文已參照附加圖式詳細說明了本發明的說明性具體實施例，應瞭解本發明並不限於彼等精確具體實施例，且在本發明領域中具有通常知識者可對本發明進行各種改變與修改，而不脫離本發明的範圍與精神，如由附加申請專利範圍所界定者。例如，下列附屬項的特徵可與獨立項的特徵進行各種組合，而不脫離本發明的範圍。

【圖式簡單說明】

第 1 圖圖示根據本發明一具體實施例的積體電路；

第 2 圖示意圖示處理設備，該處理設備包含根據本發明一具體實施例的複數個積體電路；

第 3 圖示意圖示根據本發明一具體實施例之在內部環與外部環中的介面裝置設置；

第 4 圖圖示根據本發明一具體實施例之與彼此對齊的介面裝置；

第 5 圖圖示根據本發明一具體實施例之相對於彼此偏移全介面寬度之一半的介面裝置；以及

第 6 圖圖示根據本發明一具體實施例之方法之步驟的

流程圖。

【主要元件符號說明】

10	積體電路	12	封裝
14	核心	16	功率輸入/輸出裝置
18	訊號輸入/輸出裝置	20	邏輯電路系統
22	角落細胞元	24	接合墊
26	線	28	接腳
30	軌	32	軌
50	處理設備	60	周邊設備裝置

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：100144696

※ 申請日期：100 年 12 月 5 日

※IPC 分類：H01L 23/58 2006.01

H01L 23/52 2006.01

H01L 21/58 2006.01

一、發明名稱：(中文/英文)

在積體電路中具有高面積效益之介面裝置設置/AREA EFFICIENT ARRANGEMENT OF INTERFACE DEVICES WITHIN AN INTEGRATED CIRCUIT

二、中文發明摘要：

本發明揭示一種積體電路，該積體電路包含：核心，該核心包含邏輯電路系統；複數個介面裝置，用於傳送訊號至處理核心與從處理核心傳送訊號，該複數個介面裝置包含兩種介面裝置類型：一種類型為功率介面裝置，該功率介面裝置用於傳遞功率至核心；以及第二類型為訊號介面裝置，該訊號介面裝置用於在核心與在積體電路外部的裝置之間傳送資料訊號；其中該複數個介面裝置係設置於兩列，此兩列包含外部列與內部列，該外部列朝向核心的外部邊緣，且該內部列位於外部列中並靠近核心的中心，該內部列包含兩種介面裝置類型中之一者，而外部列包含兩種介面裝置類型中之另一者。

三、英文發明摘要：

An integrated circuit is disclosed that comprises: a core comprising logic circuitry; a plurality of interface devices for transmitting signals to and from the processing core, the plurality of interface devices comprising two types of interface devices: one type being a power interface device

for delivering power to the core; and a second type being a signal interface device for transmitting data signals between the core and devices external to the integrated circuit; wherein the plurality of interface devices are arranged in two rows, an outer row towards an outer edge of the core and an inner row within the outer row closer to a centre of the core, the inner row comprising one of the two types of interface devices and the outer row comprising an other of the two types of interface devices.

七、申請專利範圍：

1. 一種積體電路，該積體電路包含：

一核心，該核心包含邏輯電路系統：

複數個介面裝置，用於傳送訊號至該處理核心與從該處理核心傳送訊號，該複數個介面裝置包含兩種介面裝置類型：

一種類型為一功率介面裝置，該功率介面裝置用於傳遞功率至該核心；以及

一第二類型為一訊號介面裝置，該訊號介面裝置用於在該核心與在該積體電路外部的裝置之間傳送資料訊號；其中

該複數個介面裝置係設置於兩列，此兩列包含一外部列與一內部列，該外部列朝向該核心的一外部邊緣，且該內部列位於該外部列中並靠近該核心的一中心，該內部列包含該兩種介面裝置類型中之一者，而該外部列包含該兩種介面裝置類型中之另一者。

2. 如請求項 1 所述之積體電路，其中該內部列包含訊號介面裝置，且該外部列包含功率介面裝置。

3. 如請求項 1 所述之積體電路，其中該外部列包含圍繞該核心之一外部周圍的一列，且該內部列包含與該內部列平行並位於該外部列中的一列。

4. 如請求項 1 所述之積體電路，其中該介面裝置為矩形並具有一長度與一寬度，該長度為該介面裝置的一尺寸，該尺寸係正交於該介面裝置位於該列上之該列，且該寬度為平行於該介面裝置位於該列上之該列的一尺寸，該複數個功率介面裝置之每一者具有實質上相同的一長度，且該複數個訊號介面裝置之每一者具有實質上相同的一長度，該等功率介面裝置的該長度係不同於該等訊號介面裝置的一長度。
5. 如請求項 4 所述之積體電路，其中該等功率介面裝置具有較該等訊號介面裝置之一長度為短的一長度。
6. 如請求項 4 所述之積體電路，其中該等功率介面裝置與該等訊號介面裝置全部具有實質上相同的一寬度。
7. 如請求項 1 所述之積體電路，其中在該外部列中的該等功率介面裝置之至少一些功率介面裝置鄰接於彼此，且在該內部列中的該等訊號介面裝置之至少一些訊號介面裝置鄰接於彼此。
8. 如請求項 4 所述之積體電路，其中與彼此實質上相同的尺寸，包含與彼此分異少於 1 微米的尺寸。

9. 如請求項 4 所述之積體電路，其中該等功率介面裝置與該等訊號介面裝置係在該等介面裝置各別的外部列與內部列中與彼此對齊。
10. 如請求項 4 所述之積體電路，其中該等功率介面裝置與該等訊號介面裝置係在該等介面裝置各別的外部列與內部列中相對於彼此偏移一距離，該距離為該寬度的一半。
11. 如請求項 4 所述之積體電路，其中該等介面裝置包含用於將線接合至該等介面裝置的接合墊，該等接合墊具有窄於該等介面裝置之一寬度的一寬度。
12. 如請求項 11 所述之積體電路，其中該等介面裝置列之每一者的該等接合墊係沿著平行於該核心之一邊緣的一列與彼此對齊。
13. 一種提供訊號至一積體電路的方法，該積體電路包含一核心，該核心包含邏輯電路系統，該方法包含以下步驟：

設置複數個介面裝置，該複數個介面裝置用於傳送訊號至該處理核心並將訊號從該處理核心傳送，且該複數個介面裝置圍繞該處理核心的一邊緣；其中

該複數個介面裝置包含兩種介面裝置類型，一種類型為一功率介面裝置，該功率介面裝置用於傳遞功率至該核心，一第二類型為一訊號介面裝置，該訊號介面裝置用於在該核心與在該積體電路外部的裝置之間傳送資料訊號；

設置步驟，將該複數個介面裝置設置於兩列，此兩列包含一外部列與一內部列，該外部列朝向該核心的一外部邊緣，且該內部列位於該外部列中並靠近該核心的一中心，該內部列包含該兩種介面裝置類型中之一者，而該外部列包含該兩種介面裝置類型中之另一者。

14. 如請求項 13 所述之積體電路，其中設置該複數個裝置於兩列之該設置步驟包含以下步驟：設置訊號介面裝置於該內部列中，以及設置功率介面裝置於該外部列中。
15. 如請求項 13 所述之積體電路，其中該等訊號介面裝置與該等功率介面裝置具有相同的一寬度，且設置該複數個裝置於兩列之該設置步驟包含以下步驟：設置該等功率介面裝置與該等訊號介面裝置為在該等介面裝置各別的外部列與內部列中相對於彼此偏移一距離，該距離為該寬度的一半。
16. 一種積體電路，該積體電路包含：

一核心，該核心包含邏輯電路系統：

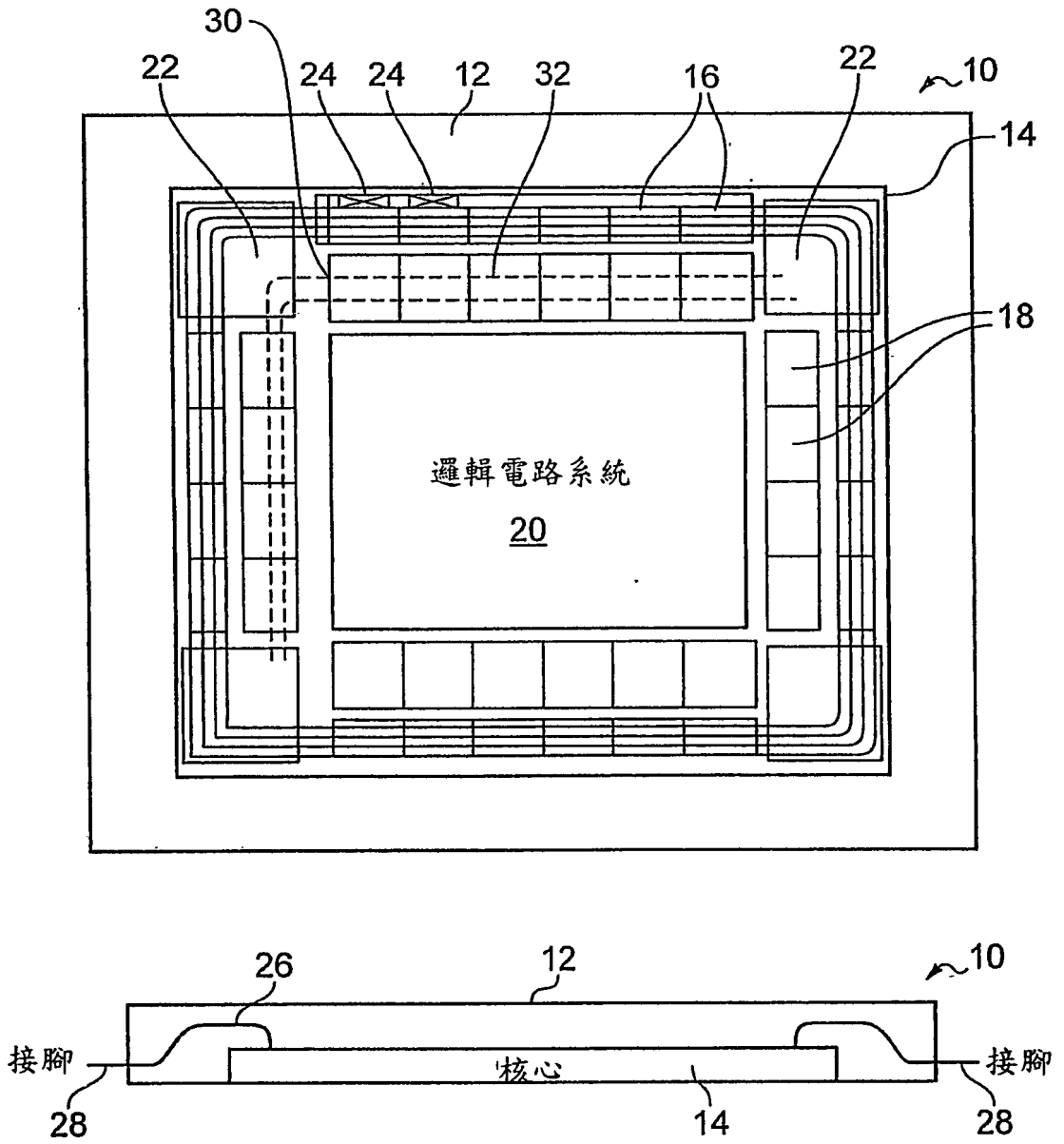
複數個介面構件，用於傳送訊號至該處理核心與從該處理核心傳送訊號，該複數個介面構件包含兩種介面構件類型：

一種類型為一功率介面構件，該功率介面構件用於傳遞功率至該核心；以及

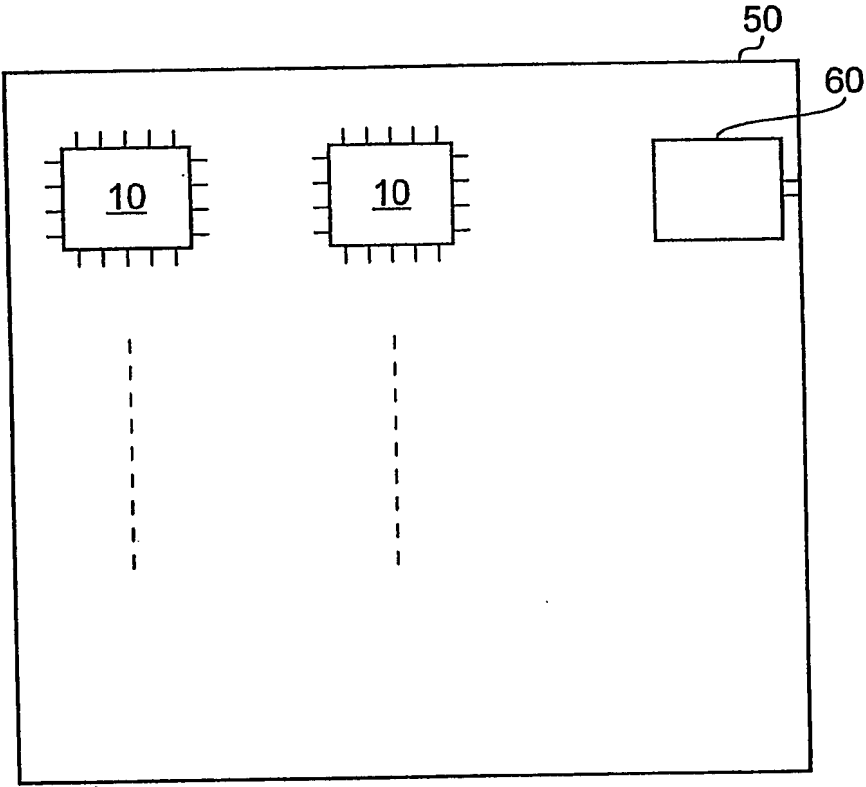
一第二類型為一訊號介面構件，該訊號介面構件用於在該核心與在該積體電路外部的裝置之間傳送資料訊號；其中

該複數個介面構件係設置於兩列，此兩列包含一外部列與一內部列，該外部列朝向該核心的一外部邊緣，且該內部列位於該外部列中並靠近該核心的一中心，該內部列包含該兩種介面構件類型中之一者，而該外部列包含該兩種介面構件類型中之另一者。

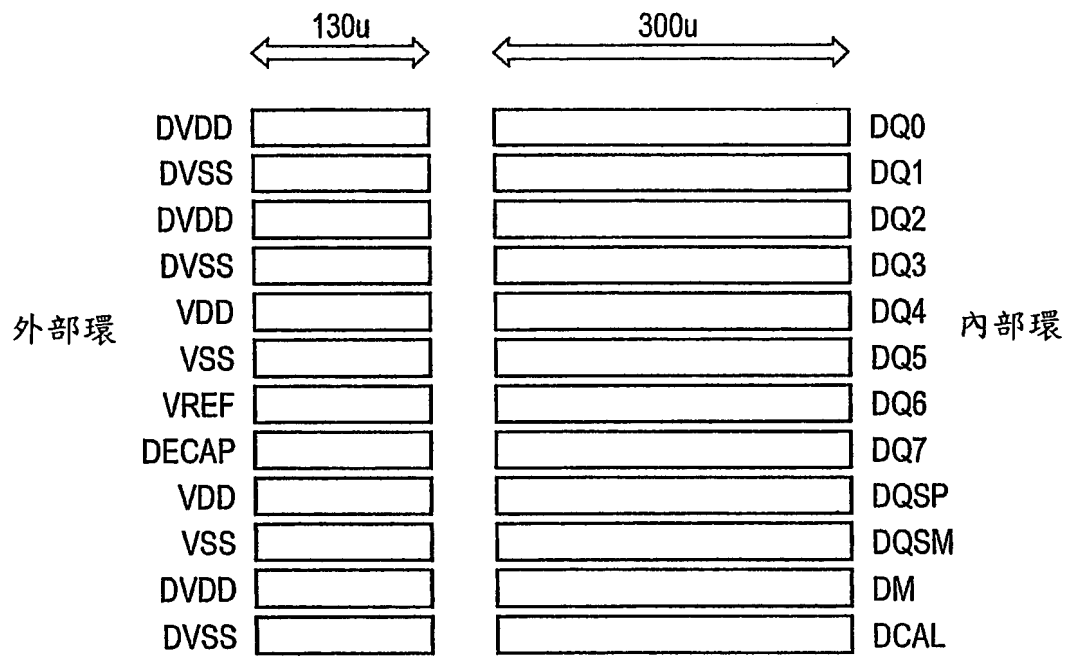
八、圖式：



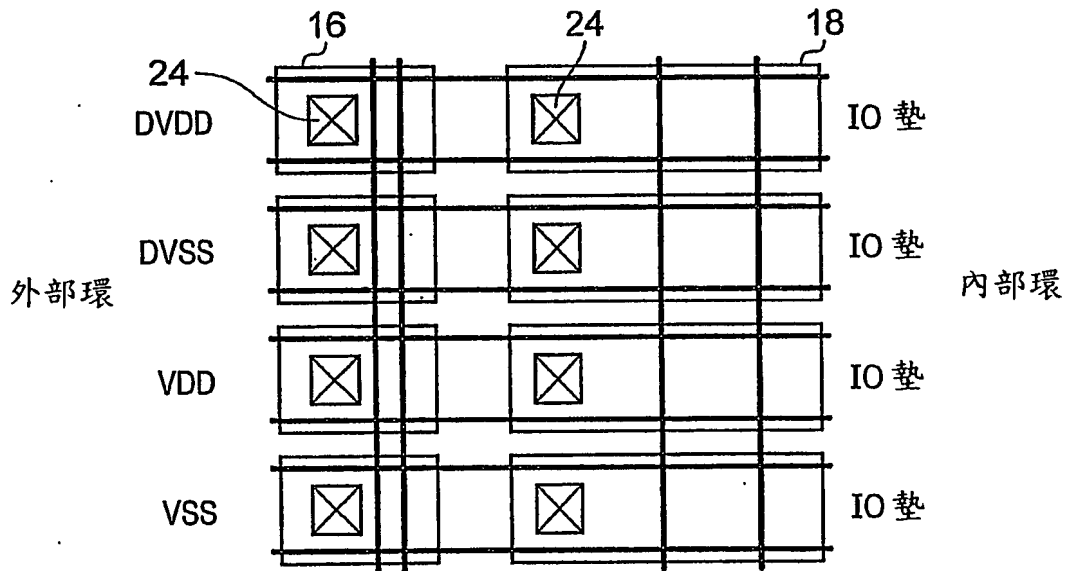
第 1 圖



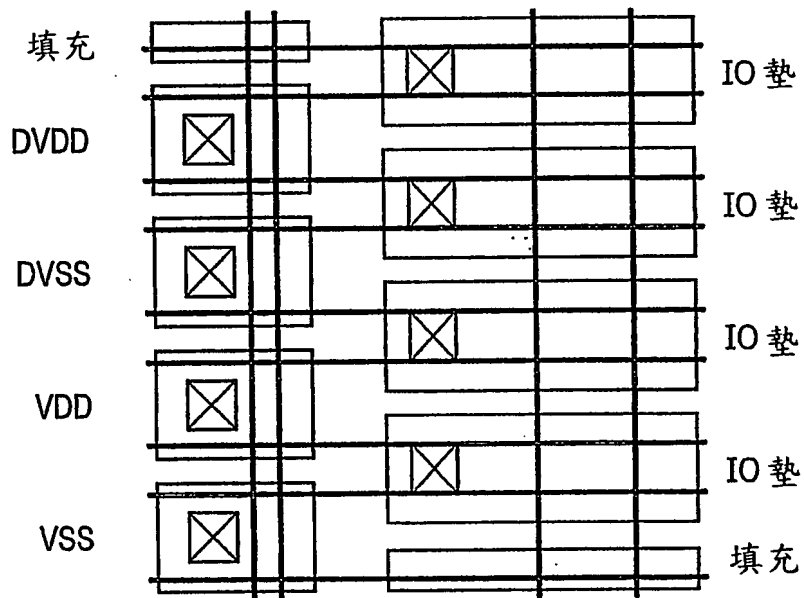
第 2 圖



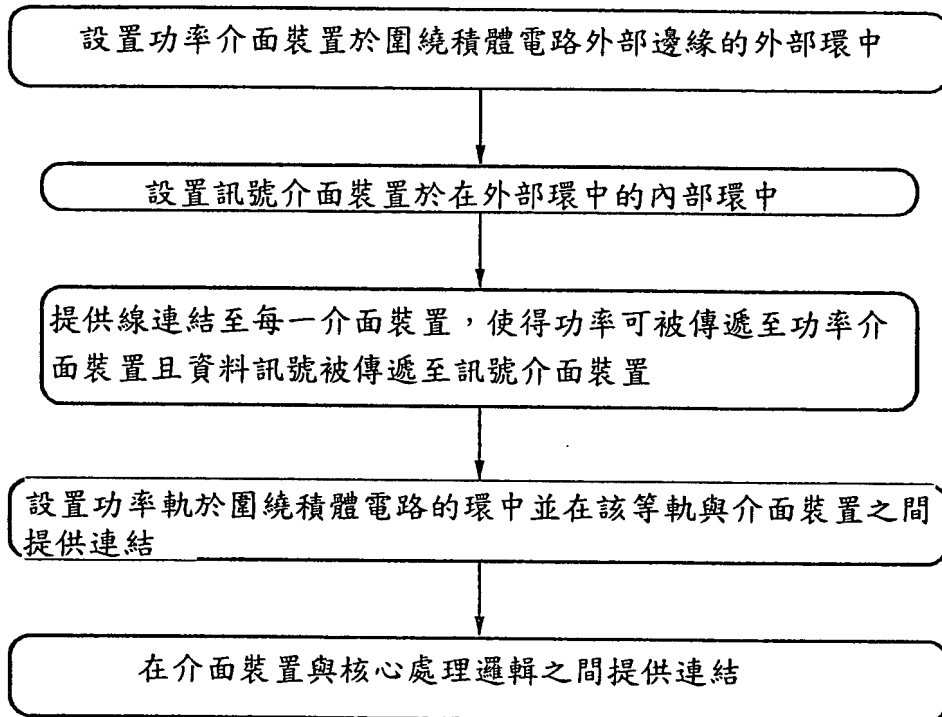
第 3 圖



第 4 圖



第 5 圖



第 6 圖

四、指定代表圖：

(一) 本案指定代表圖為：第 (1) 圖。

(二) 本代表圖之元件符號簡單說明：

10	積體電路	12	封裝
14	核心	16	功率輸入/輸出裝置
18	訊號輸入/輸出裝置	20	邏輯電路系統
22	角落細胞元	24	接合墊
26	線	28	接腳
30	軌	32	軌

五、本案若有化學式時，請揭示最能顯示發明特性的化學式：

無