



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년12월30일
(11) 등록번호 10-1580897
(24) 등록일자 2015년12월22일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01) G09G 5/04 (2006.01)
(21) 출원번호 10-2008-0097941
(22) 출원일자 2008년10월07일
심사청구일자 2013년10월07일
(65) 공개번호 10-2010-0038825
(43) 공개일자 2010년04월15일
(56) 선행기술조사문헌
JP08106075 A*
JP09149018 A*
JP2003168973 A*
KR1020070027267 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김년태
경기 용인시 기흥구 한보라1로64번길 22, 106동
602호 (보라동, 삼성래미안아파트)
정지운
경기도 광명시 모세로 27, 821동 201호 (철산동,
주공아파트)
(뒷면에 계속)
(74) 대리인
윤재석, 한지희, 권영규

전체 청구항 수 : 총 4 항

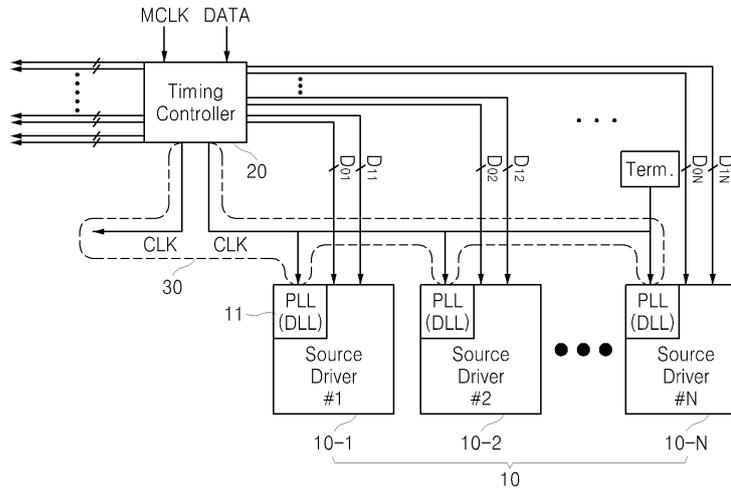
심사관 : 추장희

(54) 발명의 명칭 디스플레이 드라이버, 이의 동작 방법, 및 상기 디스플레이 드라이버를 포함하는 장치

(57) 요약

타이밍 컨트롤러 및 디스플레이 드라이버 간의 신호 전송 방법과 이를 이용한 드라이버 모듈 및 디스플레이 장치가 개시된다. 본 발명의 실시예에 따른 타이밍 컨트롤러와 디스플레이 드라이버 간의 신호 전송 인터페이스는, 디스플레이 드라이버 내부에 위상 동기 루프(PLL) 또는 지연 동기 루프(DLL)를 내장하고 저속도의 클록을 모든 디스플레이 드라이버 각각이 공유할 수 있도록 멀티 드롭 방식으로 제공한다. 따라서, 클록 라인 수를 최소로 하여 PCB 레이어 수를 줄이고 전자파 장애를 감소시킴으로써 전력 소모 및 소자 면적을 최소로 할 수 있다.

대표도 - 도1



(72) 발명자

강성호

대구 달서구 장기로 242, 115동 1205호 (감삼동,
우방드림시티)

정순미

경기도 수원시 팔달구 중부대로223번길 92, 주공2
단지아파트 206동 101호 (우만동)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제1 주파수를 갖는 클록을 수신하여 상기 제1 주파수와 상이한 제2 주파수를 갖는 다중 위상 클록으로 변환하여 출력하는 클록 재발생기; 및

상기 클록 재발생기에서 출력된 상기 다중 위상 클록에 기초하여 데이터를 프로세싱하는 데이터 변환부를 포함하고,

상기 데이터 변환부는,

상기 다중 위상 클록 중에서 데이터와의 스큐(skew)를 최소화하는 적어도 하나의 클록을 선택하고, 선택된 클록을 출력하는 디스큐잉 유닛; 및

상기 선택된 클록에 기초하여 상기 데이터를 디시얼라이징하는 디시얼라이징 유닛을 포함하는 디스플레이 드라이버.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

디스플레이 패널로 데이터를 전송하기 위한 다수의 디스플레이 드라이버들;

상기 데이터의 데이터 레이트보다 낮은 제1 주파수를 갖는 클록을 생성하고, 생성된 상기 클록을 상기 다수의 디스플레이 드라이버들 각각에 전송하는 타이밍 컨트롤러; 및

상기 타이밍 컨트롤러로부터 출력된 상기 클록이 상기 다수의 디스플레이 드라이버들 각각에 멀티 드롭(multi-drop) 방식으로 전송되도록 연결된 클록 라인을 포함하고,

상기 다수의 디스플레이 드라이버들 각각은,

상기 클록을 수신하여 상기 제1 주파수와 상이한 제2 주파수를 갖는 다중 위상 클록으로 변환하여 출력하는 클록 재발생기; 및

상기 클록 재발생기에서 출력된 상기 다중 위상 클록에 기초하여 데이터를 프로세싱하는 데이터 변환부를 포함하고,

상기 데이터 변환부는,

상기 다중 위상 클록 중에서 데이터와의 스큐(skew)를 최소화하는 적어도 하나의 클록을 선택하고, 선택된 클록을 출력하는 디스큐잉 유닛; 및

상기 선택된 클록에 기초하여 상기 데이터를 디시얼라이징하는 디시얼라이징 유닛을 포함하는 드라이버 모듈.

청구항 11

삭제

청구항 12

다수의 게이트 라인들, 다수의 데이터 라인들, 및 상기 게이트 라인들 및 상기 데이터 라인들의 교차점에 형성된 다수의 픽셀들을 포함하는 디스플레이 패널;

상기 데이터 라인에 데이터 및 클록을 전송하여 이미지를 디스플레이하도록 상기 디스플레이 패널을 구동하는 다수의 디스플레이 드라이버들;

상기 데이터의 데이터 레이트보다 낮은 제1 주파수를 갖는 상기 클록을 생성하고, 생성된 상기 클록을 상기 다수의 디스플레이 드라이버들에 전송하는 타이밍 컨트롤러; 및

상기 타이밍 컨트롤러로부터 출력된 상기 클록이 상기 다수의 디스플레이 드라이버들 각각에 멀티 드롭(multi-drop) 방식으로 전송되도록 연결된 클록 라인을 포함하고,

상기 다수의 디스플레이 드라이버들 각각은,

상기 클록을 수신하여 상기 제1 주파수와 상이한 제2 주파수를 갖는 다중 위상 클록으로 변환하여 출력하는 클록 재발생기; 및

상기 클록 재발생기에서 출력된 상기 다중 위상 클록에 기초하여 데이터를 프로세싱하는 데이터 변환부를 포함하고,

상기 데이터 변환부는,

상기 다중 위상 클록 중에서 데이터와의 스큐(skew)를 최소화하는 적어도 하나의 클록을 선택하고, 선택된 클록을 출력하는 디스큐잉 유닛; 및

상기 선택된 클록에 기초하여 상기 데이터를 디시얼라이징하는 디시얼라이징 유닛을 포함하는 디스플레이 장치.

청구항 13

삭제

청구항 14

제1주파수를 갖는 클록을 수신하여 상기 제1주파수와 상이한 제2주파수를 갖는 다중 위상 클록으로 변환하여 출력하는 단계;

상기 다중 위상 클록 중에서 데이터와의 스큐를 최소화하는 적어도 하나의 클록을 선택하고, 선택된 클록을 출력하는 단계; 및

상기 선택된 클록에 기초하여 상기 데이터를 디시얼라이징하는 단계를 포함하는 디스플레이 드라이버의 동작 방법.

청구항 15

삭제

청구항 16

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명에 따른 실시예는 디스플레이 드라이버, 이의 동작 방법, 상기 디스플레이 드라이버를 포함하는 드라이버 모듈, 및 상기 디스플레이 드라이버를 포함하는 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 최근의 디스플레이 패널은 점점 대형화되고 있고, 디스플레이 드라이버 IC도 더 많은 채널을 집적화(integration)하고 있는 추세이다. 높은 해상도(resolution)와 고속의 프레임 속도를 지원하기 위해서는 디스플레이 드라이버 IC와 타이밍 컨트롤러(timing controller) 간의 데이터 전송 속도를 현재의 100~200Mbps에서 500~2000Mbps 수준으로 높여주어야 한다.

[0003] 하지만, 종래의 방식을 이용할 경우, 데이터의 전송 속도를 증가시키는데 한계가 있고, 오버헤드(overhead)가 증가하며 전력 소모 및 PCB(printed circuit board) 레이어 수가 증가하게 된다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명의 실시예는 상기의 문제를 해결하기 위해 안출된 것으로서, 본 발명이 이루고자 하는 과제는 디스플레이 장치에 포함된 타이밍 컨트롤러와 디스플레이 드라이버 간에 효율적으로 신호를 전송할 수 있도록 하는 장치를 제공하는 것이다.

[0005] 또한, 본 발명이 이루고자 하는 다른 과제는 상기의 장치를 포함하는 드라이버 모듈 및 디스플레이 장치를 제공하는 것이다.

과제 해결수단

[0006] 상기의 과제를 해결하기 위한 타이밍 컨트롤러는, 데이터의 데이터 레이트에 상응하는 제1 주파수를 갖는 제1 클록을 수신하여 상기 제1 주파수와 상이한 제2 주파수를 갖는 제2 클록을 생성하고, 생성된 상기 제2 클록을 다수의 디스플레이 드라이버들 각각에 전송하기 위한 클록 발생기; 및 상기 데이터를 수신하고 수신된 상기 데이터를 변환하여 변환된 상기 데이터가 상기 제1 클록에 기초하여 상기 다수의 디스플레이 드라이버들 각각에 포인트 투 포인트(point to point) 방식으로 분배되도록 하는 데이터 처리부를 포함할 수 있다.

상기 클록 발생기는, 상기 제1 주파수보다 낮은 상기 제2 주파수를 갖는 상기 제2 클록을 생성하고, 생성된 상기 제2 클록을 상기 다수의 디스플레이 드라이버들 각각에 멀티 드롭(multi-drop) 방식으로 전송할 수 있다.

상기의 과제를 해결하기 위한 타이밍 컨트롤러는, 데이터의 데이터 레이트에 상응하는 제1 주파수를 갖는 제1 클록을 수신하여 상기 제1 주파수와 상이한 제2 주파수를 갖는 제2 클록을 생성하고, 생성된 상기 제2 클록을 다수의 디스플레이 드라이버들 각각에 멀티 드롭(multi-drop) 방식으로 전송하기 위한 클록 발생기; 및 상기 데이터를 수신하고 수신된 상기 데이터를 변환하여 변환된 상기 데이터가 상기 제1 클록에 기초하여 상기 다수의 디스플레이 드라이버들에 분배되도록 하는 데이터 처리부를 포함할 수 있다.

상기의 과제를 해결하기 위한 디스플레이 드라이버는, 제1 주파수를 갖는 클록을 수신하여 상기 제1 주파수와 상이한 제2 주파수를 갖는 다중 위상 클록으로 변환하여 출력하는 클록 재발생기; 및 상기 클록 재발생기에서 출력된 상기 다중 위상 클록에 기초하여 데이터를 프로세싱하는 데이터 변환부를 포함하고, 상기 데이터 변환부는, 상기 다중 위상 클록 중에서 데이터와의 스큐(skew)를 최소화하는 적어도 하나의 클록을 선택하고, 선택된

클록을 출력하는 디스큐잉 유닛, 및 상기 선택된 클록에 기초하여 상기 데이터를 디시얼라이징하는 디시얼라이징 유닛을 포함할 수 있다.

상기의 과제를 해결하기 위한 드라이버 모듈은, 디스플레이 패널로 데이터를 전송하기 위한 다수의 디스플레이 드라이버들; 상기 데이터의 데이터 레이트보다 낮은 제1 주파수를 갖는 클록을 생성하고, 생성된 상기 클록을 상기 다수의 디스플레이 드라이버들 각각에 전송하는 타이밍 컨트롤러; 및 상기 타이밍 컨트롤러로부터 출력된 상기 클록이 상기 다수의 디스플레이 드라이버들 각각에 멀티 드롭(multi-drop) 방식으로 전송되도록 연결된 클록 라인을 포함할 수 있다.

상기 다수의 디스플레이 드라이버들 각각은, 상기 제1 주파수를 갖는 클록을 수신하여 상기 제1 주파수와 상이한 제2 주파수를 갖는 다중 위상 클록으로 변환하여 출력하는 클록 재발생기; 및 상기 클록 재발생기에서 출력된 상기 다중 위상 클록에 기초하여 데이터를 프로세싱하는 데이터 변환부를 포함할 수 있다.

상기의 과제를 해결하기 위한 디스플레이 장치는, 다수의 게이트 라인들, 다수의 데이터 라인들, 및 상기 게이트 라인들 및 상기 데이터 라인들의 교차점에 형성된 다수의 픽셀들을 포함하는 디스플레이 패널; 상기 데이터 라인에 데이터 및 클록을 전송하여 이미지를 디스플레이하도록 상기 디스플레이 패널을 구동하는 다수의 디스플레이 드라이버들; 상기 데이터의 데이터 레이트보다 낮은 제1 주파수를 갖는 상기 클록을 생성하고, 생성된 상기 클록을 상기 다수의 디스플레이 드라이버들에 전송하는 타이밍 컨트롤러; 및 상기 타이밍 컨트롤러로부터 출력된 상기 클록이 상기 다수의 디스플레이 드라이버들 각각에 멀티 드롭(multi-drop) 방식으로 전송되도록 연결된 클록 라인을 포함할 수 있다.

상기의 과제를 해결하기 위한 타이밍 컨트롤러와 디스플레이 드라이버 간의 신호 전송 방법은, 데이터의 데이터 레이트에 상응하는 제1 주파수를 갖는 제1 클록을 수신하고, 상기 제1 클록을 상기 제1 주파수가 상이한 제2 주파수를 갖는 제2 클록으로 변환하는 단계; 및 상기 제2 클록을 다수의 디스플레이 드라이버들에 멀티 드롭(multi-drop) 방식으로 제공하는 단계를 포함할 수 있다.

상기 타이밍 컨트롤러와 디스플레이 드라이버 간의 신호 전송 방법은, 디스플레이를 위한 상기 데이터를 수신하는 단계; 및 수신된 상기 데이터를 상기 제1 클록에 기초하여 상기 다수의 디스플레이 드라이버들에 전송하는 단계를 더 포함할 수 있다.

수신된 상기 데이터를 상기 제1 클록에 기초하여 상기 다수의 디스플레이 드라이버들에 전송하는 단계는, 수신된 상기 데이터를 포인트 투 포인트(point-to-point) 방식으로 상기 다수의 디스플레이 드라이버들에 전송할 수 있다.

[0007] 삭제

[0008] 삭제

[0009] 삭제

[0010] 삭제

[0011] 삭제

[0012] 삭제

[0013] 삭제

- [0014] 삭제
- [0015] 삭제
- [0016] 삭제
- [0017] 삭제
- [0018] 삭제
- [0019] 삭제
- [0020] 삭제
- [0021] 삭제

효 과

- [0022] 본 발명의 실시예에 따른 디스플레이 장치는, 종래의 방식에 비해 클록 라인 수를 최소화 할 수 있다.
- [0023] 또한, 본 발명의 실시예에 따른 디스플레이 장치는, PCB 레이어 수를 줄일 수 있다.
- [0024] 또한, 본 발명의 실시예에 따른 디스플레이 장치는, EMI를 감소시키고 전력 소모 및 소자 면적을 최소화 할 수 있다.
- [0025] 또한, 본 발명의 실시예에 따른 디스플레이 장치는, 디스플레이 동작시 발생하는 오버헤드를 최소화할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0026] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조해야만 한다.
- [0027] 이하, 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 이해하고 실시할 수 있도록 본 발명의 바람직한 실시예를 상세히 설명하도록 한다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0028] 도 1은 본 발명의 실시예에 따른 드라이버 모듈(driver module)의 구성을 나타내는 블록도이다.
- [0029] 본 발명에서는 디스플레이 드라이버로서 소스 드라이버(10)를 예시하고 있지만 본 발명의 실시예는 이에 한정되지 않으며, 본 발명의 실시예에 따른 디스플레이 드라이버는 다양한 디스플레이 방식(예컨대, LCD, PDP, CPT, CDT, HDTV, OLED, 플렉서블 디스플레이 등)을 구동할 수 있는 모든 드라이버를 포함할 수 있다.
- [0030] 본 발명의 실시예에 따른 드라이버 모듈은, 타이밍 컨트롤러(20), 다수의 소스 드라이버들(10-1, 10-2, ... 10-N), 및 상기 타이밍 컨트롤러(20)로부터 출력된 클록(CLK)을 다수의 소스 드라이버들(10-1, 10-2, ... 10-N)로 제공하기 위한 클록 라인(30)을 포함할 수 있다.
- [0031] 본 발명의 실시예에 따른 타이밍 컨트롤러(20)는, 저속의 클록(CLK)을 각 소스 드라이버들(10-1, 10-2, ... 10-N)에 멀티-드롭(multi-drop) 형태로 제공할 수 있다.
- [0032] 도 1에 도시된 바와 같이, 타이밍 컨트롤러(20)에서 출력되는 클록(CLK)은 클록 라인(30)을 통하여 각 소스 드

라이버들(10-1, 10-2, ... 10-N)로 제공될 수 있다.

- [0033] 또한, 타이밍 컨트롤러(20)에서 출력되는 클록(CLK)은 데이터 레이트(data rate)와 상이한 주파수를 가질 수 있다. 실시예에 따라, 타이밍 컨트롤러(20)에서 출력되는 클록(CLK)의 주파수는 데이터 레이트보다 더 낮을 수 있다(예컨대, 클록(CLK)의 주파수 = 데이터 레이트 \times 1/N, N은 자연수, $N \geq 2$).
- [0034] 이때, 타이밍 컨트롤러(20)는 시스템(미도시)으로부터 수신된 마스터 클록(MCLK)의 주파수를 낮추어 출력하는 회로(예컨대, 클록 디바이더(clock divider) 등)를 포함할 수 있다. 타이밍 컨트롤러(20)의 내부 구성 및 동작에 대해서는 도 2를 참조하여 설명하기로 한다.
- [0035] PCB 상의 클록 라인 수를 최소화 하기 위해서 멀티 드롭(multi-drop) 방식으로 다수의 소스 드라이버에 고속의 클록을 제공하려면 데이터 전송 속도의 한계가 있을 수 있기 때문에, 이를 극복하기 위한 방법으로서 저속도의 클록(CLK)이 각 소스 드라이버(10-1, 10-2, ... 10-N)에 제공될 수 있다.
- [0036] 또한, 타이밍 컨트롤러(20)로부터 출력된 각각의 데이터(D_{01} , D_{11} , D_{02} , D_{12} , ... D_{0N} , D_{1N})는 데이터 버스(data bus)를 통해서 포인트 투 포인트(point to point) 방식으로 각각의 소스 드라이버(10-1, 10-2, ... 10-N)에 전달되고, 각각의 데이터(D_{01} , D_{11} , D_{02} , D_{12} , ... D_{0N} , D_{1N})를 수신한 각각의 소스 드라이버(10-1, 10-2, ... 10-N)는 디스플레이 패널(미도시)에 각각의 데이터를 전송하여 표현하고자 하는 이미지를 디스플레이하도록 한다.
- [0037] 타이밍 컨트롤러(20)에서 출력된 각각의 데이터(D_{01} , D_{11} , D_{02} , D_{12} , ... D_{0N} , D_{1N})는 데이터 라인을 통해 각각의 소스 드라이버(10-1, 10-2, ... 10-N)로 전송될 수 있다.
- [0038] 본 발명의 실시예에 따른 데이터는 1-페어(1-pair), 2-페어(2-pair) 또는 멀티-페어(multi-pair) 방식으로 전송될 수 있으며, 상기 전송 방식은 어플리케이션(application)에 따라 상이할 수 있다. 예컨대, 데이터 레이트가 증가하는 경우에 멀티-페어 전송 방식을 사용할 수 있다. 도 1은 2-페어에 N개의 디스플레이 드라이버가 한 개의 PCB에 배치된 경우를 예시한다.
- [0039] 또한, 상기 데이터는, RGB 데이터, 제어 신호(control signal), 스위칭 신호(switching signal), CS(charge share) 정보, 극성(polarity) 정보, 수평 동기 시작 신호, 라인 래치 신호 등을 포함할 수 있다.
- [0040] 또한, 상기 데이터는 시리얼라이제이션(serialization, 직렬화) 방식을 이용하여 데이터 라인을 통해서 순차적으로 전송될 수 있으며, 또는 두 개 이상의 데이터 라인을 통해서 전송될 수 있다.
- [0041] 주파수가 낮아진 클록(CLK)을 수신한 각각의 소스 드라이버(10-1, 10-2 ... 10-N)는 수신된 각 데이터(D_{01} , D_{11} , D_{02} , D_{12} , ... D_{0N} , D_{1N})를 복원하기에 적합하도록 클록(CLK)의 주파수 또는 위상 중에서 적어도 하나를 변환하는 클록 재발생기(clock regenerator, 11)를 포함할 수 있다.
- [0042] 예컨대, 클록 재발생기(11)는 위상 동기 루프(phase-locked loop, PLL)일 수 있다. 위상 동기 루프는, 주파수 변조된 신호로부터 베이스밴드(base-band) 신호를 안정적으로 추출하는데 사용되는 피드백 시스템(feedback system)으로서, 출력 신호의 위상을 수신 신호의 위상에 동기시키는 위상 동기 회로의 일 예이다.
- [0043] 위상 동기 루프(11)는 위상 비교기(phase comparator), 저역통과필터(low pass filter; LPF), 및 전압제어발진기(voltage controlled oscillator; VCO)를 포함할 수 있으며, 본 발명의 실시예에 따른 클록 재발생기(11)는 입력 신호의 주파수를 가변시켜 출력하거나 또는 다중 위상 클록을 생성하여 출력하는 회로의 일 예이다.
- [0044] 위상 동기 루프(11)는 아날로그 PLL(analog PLL), 디지털 PLL(digital PLL), 또는 디지털 프로세싱 PLL(digital processing PLL) 중 어느 하나일 수 있다.
- [0045] 또한, 위상 동기 루프(11)는 제1 주파수를 갖는 클록을 수신하여 상기 제1 주파수와 상이한 제2 주파수를 갖는 다중 위상 클록(multi-phase clock)으로 변환하여 출력할 수 있다.
- [0046] 상기 소스 드라이버(10)는 클록 재발생기(11)에 의하여 수행된 주파수 또는 위상 중 적어도 하나의 변환에 기초하여 데이터를 프로세싱할 수 있다. 프로세싱된 데이터는 디스플레이 드라이버 내부의 로직(logic)에 의해 해석되고, 각각 필요한 제어 신호와 이미지 데이터(예컨대, RGB 데이터)로 분리될 수 있다. 상기 소스 드라이버(10) 내부의 세부적인 동작에 대해서는 도 3를 참조하여 설명하기로 한다.
- [0047] 실시예에 따라, 마지막 소스 드라이버(10-N)에 연결된 클록 라인(30)이 종단(termination)될 수 있다.

- [0048] 도 2는 본 발명의 실시예에 따른 타이밍 컨트롤러(20)의 개략적인 블록도이다.
- [0049] 도 1 및 도 2를 참조하여 설명하면, 본 발명의 실시예에 따른 타이밍 컨트롤러(20)는 클록 발생기(clock generator, 21) 및 데이터 처리부(data processing unit, 22)를 포함할 수 있다.
- [0050] 클록 발생기(21)는 호스트로부터 데이터 레이트에 상응하는 주파수를 갖는 마스터 클록(MCLK)을 수신하여 마스터 클록(MCLK)의 주파수를 낮추고, 주파수가 낮추어진 클록(CLK)을 다수의 디스플레이 드라이버들(10-1, 10-2, ... 10-N) 각각에 전송할 수 있다.
- [0051] 보다 구체적으로, 상기 클록 발생기(21)는 마스터 클록(MCLK)의 주파수를 체배하여 체배된 클록(FCLK)을 출력하는 PLL(23) 및 상기 PLL(23)에서 출력된 클록(FCLK)을 분주하여 분주된 클록(CLK)을 출력하는 클록 디바이더(24)를 포함할 수 있다.
- [0052] 실시예에 따라, 상기 클록 디바이더(24)의 분주율은 상기 PLL(23)의 체배율보다 높게 설정될 수 있고, 따라서 상기 클록 발생기(21)에서 출력되는 클록(CLK)은 상기 마스터 클록(MCLK)보다 낮은 주파수를 가질 수 있다.
- [0053] 또한, 상기 PLL(23)에서 출력되는 클록(FCLK)은 상기 데이터 처리부(22)에 전송될 수 있고, 상기 데이터 처리부(22)는 상기 마스터 클록(MCLK) 또는 상기 PLL(23)에서 출력된 클록(FCLK) 중 적어도 하나에 기초하여 데이터(DATA)를 프로세싱할 수 있다.
- [0054] 상기 데이터 처리부(22)는, 디스플레이 패널의 사양(spec)에 맞도록 데이터(DATA)를 변환(예컨대, 전송 단위의 재설정 등)하고, 변환된 데이터(D_{0i} 및 D_{1i})가 다수의 디스플레이 드라이버들(10-1, 10-2, ... 10-N) 각각에 포인트 투 포인트 방식으로 분배되도록 한다.
- [0055] 상기 데이터(DATA)는 호스트(host)에서 출력될 수 있으며, 실시예에 따라 외부 메모리 장치로부터 출력될 수도 있다.
- [0056] 도 2에 도시된 데이터(D_{0i} 및 D_{1i}, i는 자연수, 1 ≤ i ≤ N)는 도 1에서 각 소스 드라이버들(10-1, 10-2, ... 10-N)에 제공되는 데이터(D₀₁, D₁₁, D₀₂, D₁₂, ... D_{0N}, D_{1N})를 개략적으로 나타낸 것이다.
- [0057] 상기 데이터 처리부(22)에서 출력된 데이터(D_{0i} 및 D_{1i})는 마스터 클록(MCLK) 또는 상기 PLL(23)에서 출력되는 클록(FCLK) 중 적어도 하나의 클록에 기초하여 다수의 소스 드라이버들(10-1, 10-2, ... 10-N)에 전송될 수 있다. 또는 실시예에 따라 상기 클록들(MCLK 및 FCLK)이 아닌 다른 클록에 동기되어 데이터(D_{0i} 및 D_{1i})가 전송될 수도 있다.
- [0058] 또한, 클록 발생기(21)는 주파수가 낮아진 클록(CLK)을 다수의 디스플레이 드라이버(10-1, 10-2, ... 10-N) 각각에 멀티 드롭(multi-drop) 방식으로 전송할 수 있다.
- [0059] 호스트로부터 데이터(DATA)와 함께 전달되는 마스터 클록(MCLK)은 데이터 레이트(예컨대, 1Gbps)에 상응하는 주파수(1GHz)를 가질 수 있다. 하지만, 클록 라인 수를 감소시키기 위해서 멀티 드롭 방식으로 각 디스플레이 드라이버들(10-1, 10-2, ... 10-N)에 클록(CLK)을 제공하려면 데이터 전송 속도의 한계가 있으므로, 본 발명에 따른 실시예에서는 클록 디바이더(21)에 의해 마스터 클록(MCLK)의 주파수를 낮추어 출력할 수 있다.
- [0060] 낮추어진 주파수(CLK)는 실시예에 따라 다양할 수 있으며, 예컨대 1Gbps인 데이터 레이트에 상응하는 주파수를 1/10로 줄이는 클록 디바이더(21)에서는 100MHz의 클록(CLK)을 출력할 수 있다.
- [0061] 또한, 데이터 처리부(22)는 호스트로부터 출력된 데이터(DATA)가 각각의 소스 드라이버(10-1, 10-2, ... 10-N)에 포인트 투 포인트(point to point) 방식으로 분배되도록 상기 데이터(DATA)를 프로세싱할 수 있다. 도 2에서는 데이터(D_{0i}, D_{1i})가 2-페어 방식으로 전송되는 것으로 예시하지만, 본 발명의 실시예는 이에 한정되지 않는다.
- [0062] 도 3는 본 발명의 실시예에 따른 디스플레이 드라이버(10)의 개략적인 블록도이다.
- [0063] 본 발명의 실시예에 따른 디스플레이 드라이버(10)는, 클록 재발생기(clock regenerator, 11) 및 데이터 변환부(data converting unit, 14)를 포함할 수 있다.
- [0064] 상기 클록 재발생기(11)는, 제1 주파수를 갖는 클록(CLK)을 수신하여 제1 주파수와 상이한 제2 주파수를 갖는 다중 위상 클록(CLK')으로 변환할 수 있다.
- [0065] 상기 데이터 변환부(14)는, 클록 재발생기(11)에서 출력된 다중 위상 클록(CLK')에 기초하여 데이터(D_{0i} 및 D_{1i}

i)를 프로세싱할 수 있다.

- [0066] 또한, 데이터 변환부(14)는, 다중 위상 클록(CLK') 중에서 데이터(D_{0i} 및 D_{1i})와의 스큐(skew)를 최소화하는 적어도 하나의 클록을 선택하여 선택된 클록(CLK")을 출력하는 디스큐잉 유닛(deskewing unit, 12), 및 디스큐잉 유닛(12)에서 출력된 클록(CLK")에 기초하여 상기 디스큐잉 유닛(12)에서 출력된 데이터(D_{0i}' 및 D_{1i}')를 디시얼라이징(deserializing)하는 디시얼라이징 유닛(deserializing unit, 13)을 포함할 수 있다.
- [0067] 상기 디스큐잉 유닛(12)에서 출력된 데이터(D_{0i}' 및 D_{1i}')는 상기 디스플레이 드라이버의 입력 데이터(D_{0i} 및 D_{1i})와 동일할 수 있으며, 또는 실시예에 따라 상이할 수도 있다.
- [0068] 실시예에 따라, 상기 제1 주파수는 데이터 레이트보다 더 낮고, 상기 제2 주파수는 상기 제1 주파수보다 더 높을 수 있다.
- [0069] 또한, 실시예에 따라, 상기 제1 주파수는 상기 데이터 레이트의 $1/N$ 배(N 은 자연수, $N \geq 2$)일 수 있고, 상기 제2 주파수는 상기 제1 주파수의 M 배(M 은 자연수, $N \geq 2$)일 수 있다.
- [0070] 도 1 내지 도 3을 참고하여 설명하면, 상기 디스플레이 드라이버(10)는 상기 타이밍 컨트롤러(20)로부터 출력된 클록(CLK) 및 데이터(D_{0i} 및 D_{1i})를 수신할 수 있다. 도 3에서는, 데이터(D_{0i} 및 D_{1i})가 2-페어 방식으로 전달되고 각 데이터(D_{0i} 및 D_{1i})는 차동 신호(differential signal)들로 표현되는 것으로 예시한다.
- [0071] 상기 타이밍 컨트롤러(20)로부터 데이터 레이트보다 더 낮은 제1 주파수를 갖는 클록(CLK)을 수신한 클록 재발생기(11)는, 수신된 클록(CLK)을 제1 주파수와 상이한 제2 주파수를 갖는 다중 위상 클록(CLK')으로 변환하여 출력할 수 있다. 예컨대, 클록 재발생기(11)는 위상 동기 루프(PLL)로 구현될 수 있다.
- [0072] 상기 제2 주파수는 데이터 변환부(14)의 데이터 프로세싱 모드(data processing mode)에 기초하여 결정될 수 있다.
- [0073] 예컨대, 데이터 변환부(14)가 풀 데이터 레이트(full data rate)로 데이터를 프로세싱할 경우 상기 제2 주파수는 상기 데이터 레이트와 동일할 수 있다. 유사하게, 데이터 변환부(14)가 하프 데이터 레이트(half data rate)로 데이터를 프로세싱할 경우 상기 제2 주파수는 상기 데이터 레이트의 $1/2$ 일 수 있다. 또한, 데이터 변환부(14)가 쿼터 데이터 레이트(quarter data rate)로 데이터를 프로세싱할 경우 상기 제2 주파수는 상기 데이터 레이트의 $1/4$ 일 수 있다.
- [0074] 또는 실시예에 따라, 클록 재발생기(11)는 예컨대 지연 동기 루프(DLL)로 구현될 수 있으며, 이 경우에 입력된 클록(CLK)의 주파수와 동일한 다중 위상 클록(CLK')을 출력할 수 있다.
- [0075] 다중 위상 클록(CLK')의 개수는 실시예에 따라 상이할 수 있으며, 예컨대 10개의 다중 위상 클록(CLK')을 생성하는 경우 각각의 클록은 인접한 클록과 36° ($360 / 10 = 36$)의 위상 차(phase difference)를 갖는다.
- [0076] 또한, 상기 디스큐잉 유닛(12)은, 다중 위상 클록(CLK') 중에서 데이터(D_{0i} , D_{1i})와의 스큐(skew)를 최소화하는 적어도 하나의 클록(CLK")을 선택하여 출력할 수 있다.
- [0077] 상기 디스큐잉 유닛(12)에서 출력된 클록(CLK")은 디시얼라이징 유닛(13)으로 전송되고, 디시얼라이징 유닛(13)은 디스큐잉 유닛(12)에서 출력된 클록(CLK")에 기초하여 데이터(D_{0i}' 및 D_{1i}')를 디시얼라이징할 수 있다.
- [0078] 도 3에서는 상기 데이터 변환부(14)에 포함된 디스큐잉 유닛(12)과 디시얼라이징 유닛(13)의 동작이 순차적으로 수행되는 것으로 예시하였지만, 실시예에 따라 디스큐잉 프로세싱과 디시얼라이징 프로세싱이 동시에 수행될 수도 있다.
- [0079] 도 3에서는 하나의 클록 포트에서 클록이 출력되어 두 개의 디시얼라이징 유닛(13)에 전송되는 것으로 도시하였지만, 실시예에 따라 두 개 이상의 클록 포트를 통해서 전송될 수도 있다.
- [0080] 상기 디시얼라이징 유닛(13)에 의해 데이터(D_{0i}' 및 D_{1i}')는 소정의 크기(예컨대, 8, 10, 또는 12 비트)를 갖는 데이터(data_1 및 data_2)의 단위로서 디시얼라이징될 수 있다.
- [0081] 도 3에서는 데이터(D_{0i} , D_{1i})가 2-페어 방식으로 전송되는 것으로 예시하였기 때문에 두 개의 디스큐잉 블록 및

두 개의 디시얼라이징 블록을 포함하는 것으로 도시하였지만, 디스큐잉 블록 및 디시얼라이징 블록의 개수는 실시예에 따라 상이할 수 있다.

- [0082] 입력된 데이터(D_{0i} 및 D_{1i})는 상기 디스큐잉 유닛(12)에서 출력된 클럭(CLK)에 기초하여 디시얼라이징 유닛(13)에서 디시얼라이징될 수 있고, 디시얼라이징된 데이터(data_1 및 data_2)는 대응되는 클럭(BCLK1 및 BCLK2)와 함께 디스플레이 패널(미도시)로 전송될 수 있다.
- [0083] 클럭(BCLK1 및 BCLK2)은 디시얼라이징된 데이터(data_1 및 data_2)와 동기될 수 있으며, 클럭(BCLK1 및 BCLK2)은 디스큐잉 유닛(12)에서 출력된 클럭(CLK)에 기초하여 생성될 수 있다. 또는 실시예에 따라, 클럭(BCLK1 및 BCLK2)은 디스큐잉 유닛(12)에서 출력된 클럭(CLK)과 동일할 수도 있다.
- [0084] 도 4는 본 발명의 실시예에 따른 디스플레이 장치(100)의 구성을 나타내는 블록도이다.
- [0085] 본 발명의 실시예에 따른 디스플레이 장치(100)는, 디스플레이 패널(40), 다수의 소스 드라이버들(10), 타이밍 컨트롤러(20) 및 클럭 라인(30)을 포함할 수 있다.
- [0086] 상기 소스 드라이버들(10)은, 디스플레이 패널(40)에 데이터 및 클럭을 전송하여 이미지를 디스플레이하도록 디스플레이 패널(40)을 구동시킨다.
- [0087] 상기 타이밍 컨트롤러(20)는 데이터 레이트보다 낮은 제1 주파수를 갖는 클럭(CLK)을 생성하고, 생성된 클럭(CLK)을 다수의 소스 드라이버들(10)에 전송할 수 있다.
- [0088] 또한, 상기 타이밍 컨트롤러(20)로부터 출력된 클럭(CLK)이 상기 다수의 소스 드라이버들(10) 각각에 멀티 드롭(multi-drop) 방식으로 전송되도록 클럭 라인(30)이 연결될 수 있다.
- [0089] 상술한 바와 같이, 상기 타이밍 컨트롤러(20)는 호스트로부터 데이터 레이트에 상응하는 주파수를 갖는 마스터 클럭(MCLK)을 수신하여 마스터 클럭(MCLK)의 주파수를 낮추고, 주파수가 낮추어진 클럭(CLK)을 다수의 소스 드라이버들(10)에 각각 멀티 드롭(multi-drop) 방식으로 전송한다.
- [0090] 도 4에서는 N개의 소스 드라이버(10)들을 포함하는 것으로 예시하였으며, 소스 드라이버(10)는 복수 개의 집적 회로들로 구성될 수 있다.
- [0091] 상기 게이트 드라이버(50)는, 타이밍 컨트롤러(20)로부터 출력되는 게이트 신호(gate signal, GS)에 기초하여 디스플레이 패널(40)의 게이트 라인들을 순차적으로 스캐닝(scanning)한다. 상기 게이트 신호(GS)는 상기 게이트 드라이버(50)를 구동시킬 수 있는 모든 신호들을 포함할 수 있다.
- [0092] 상기 디스플레이 패널(40)은 다수의 게이트 라인들과, 다수의 게이트 라인들과 교차하는 다수의 데이터 라인들과, 상기 게이트 라인과 상기 데이터 라인의 교차점에 형성된 다수의 픽셀(pixel)을 포함할 수 있다.
- [0093] 상기 픽셀은 매트릭스(matrix) 구조로 배치될 수 있으며, 각 픽셀은 게이트 라인과 데이터 라인에 게이트 전극 및 소스 전극이 각각 연결되는 박막 트랜지스터(T1)와, 박막 트랜지스터의 드레인 전극에 연결되는 액정 커패시터(C_{LC}) 및 스토리지 커패시터(C_{ST})를 포함할 수 있다.
- [0094] 이러한 구조에서, 상기 게이트 드라이버(50)에 의해 게이트 라인들이 순차적으로 선택되고 선택된 게이트 라인에 게이트 온 전압이 펄스 형태로 인가되면, 게이트 라인에 연결된 픽셀의 박막 트랜지스터가 턴 온(turn on)되고 이어서 상기 소스 드라이버(10)에 의해 각 데이터 라인에 픽셀 정보를 포함하는 전압이 인가된다.
- [0095] 이 전압은 해당 픽셀의 박막 트랜지스터를 거쳐 액정 커패시터(C_{LC})와 스토리지 커패시터(C_{ST})에 인가되며, 액정 커패시터(C_{LC}) 및 스토리지 커패시터(C_{ST})가 구동됨으로써 소정의 디스플레이 동작이 이루어진다.
- [0096] 상기 타이밍 컨트롤러(20)는 상기 게이트 드라이버(50)에 소정의 게이트 신호(GS)를 전송할 수 있으며, 상기 제어 신호는 예컨대 수직 동기 시작 신호, 게이트 출력 신호, 및 출력 인에이블 신호 등을 포함할 수 있다.
- [0097] 또한, 도 4에서는 타이밍 컨트롤러(20)가 소스 드라이버(10) 또는 게이트 드라이버(50)와 분리되어 있는 것으로 예시하였지만, 실시예에 따라 타이밍 컨트롤러(20)는 디스플레이 드라이버(10) 또는 게이트 드라이버(50)와 함께 하나의 칩에 형성될 수도 있다. 또는, 타이밍 컨트롤러(20), 디스플레이 드라이버(10), 및 게이트 드라이버(50)가 하나의 칩으로 형성될 수 있다.
- [0098] 도 5는 본 발명의 실시예에 따른 데이터 프로세싱 과정을 설명하는 순서도이다.

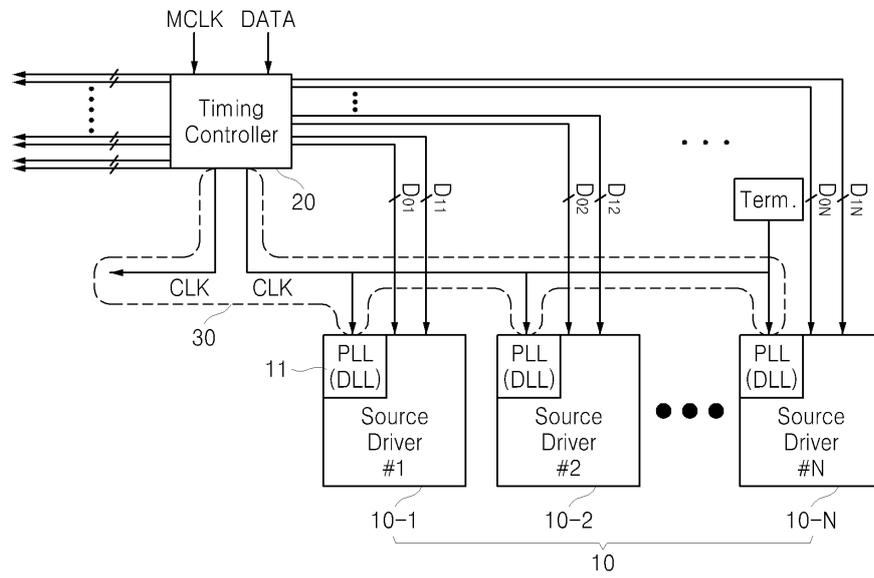
- [0099] 도 1 내지 도 5를 참조하면, 타이밍 컨트롤러(20)는 호스트에서 출력되는 마스터 클럭(MCLK)을 수신하여 수신된 클럭(MCLK)의 주파수를 낮춘다(S505). 예컨대, 타이밍 컨트롤러(20)는 클럭 디바이더(21)를 포함하여 주파수 다운 동작을 수행할 수 있다.
- [0100] 다음으로, 타이밍 컨트롤러(20)는 주파수가 낮추어진 클럭(CLK)을 각 디스플레이 드라이버(10-1, 10-2... 10-N)에 멀티 드롭(multi-drop) 방식으로 전송한다(S510).
- [0101] 전송된 클럭(CLK)을 수신한 각 소스 드라이버(10-1, 10-2... 10-N)는, 수신된 클럭(CLK)을 다른 주파수를 갖는 다중 위상 클럭(CLK')으로 변환한다(S515). 예컨대, 각 소스 드라이버(10-1, 10-2... 10-N)는 위상 동기 루프(PLL)를 포함하여 주파수 변환 동작을 수행할 수 있다.
- [0102] 다음으로, 각 소스 드라이버(10-1, 10-2... 10-N)는, 다중 위상 클럭(CLK') 중 적어도 하나에 기초하여 데이터(D_{0i} 및 D_{1i})와의 스큐(skew)를 최소화한다(S520). 이때, 데이터(D_{0i} 및 D_{1i})와의 스큐를 최소화하는 적어도 하나의 클럭(CLK'')이 선택될 수 있다.
- [0103] 다음으로, 선택된 클럭(CLK'')에 기초하여 데이터(D_{0i}' 및 D_{1i}')를 디시얼라이징(deserializing)한다(S525). 각 소스 드라이버(10-1, 10-2... 10-N)로부터 출력된 데이터(data_1 및 data_2) 및 클럭(BCLK1 및 BCLK2)은 디스플레이 패널로 전송되어, 이미지를 디스플레이하는데 사용될 수 있다.
- [0104] 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 것을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

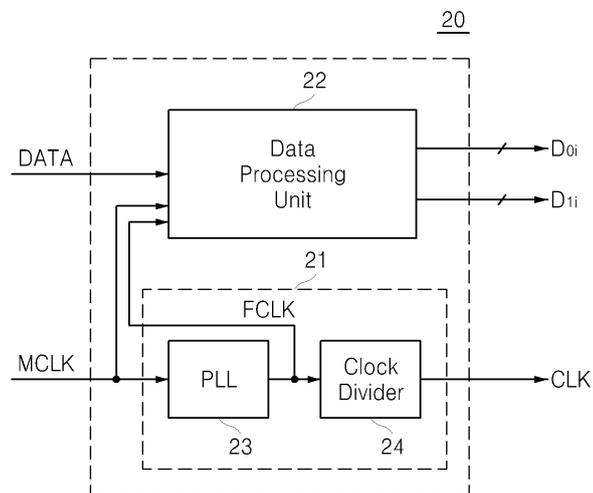
- [0105] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- [0106] 도 1은 본 발명의 실시예에 따른 디스플레이 모듈의 개략적인 블록도.
- [0107] 도 2는 본 발명의 실시예에 따른 타이밍 컨트롤러의 개략적인 블록도.
- [0108] 도 3는 본 발명의 실시예에 따른 디스플레이 드라이버의 개략적인 블록도.
- [0109] 도 4는 본 발명의 실시예에 따른 디스플레이 장치의 개략적인 블록도.
- [0110] 도 5는 본 발명의 실시예에 따른 데이터 프로세싱 과정을 설명하는 순서도.

도면

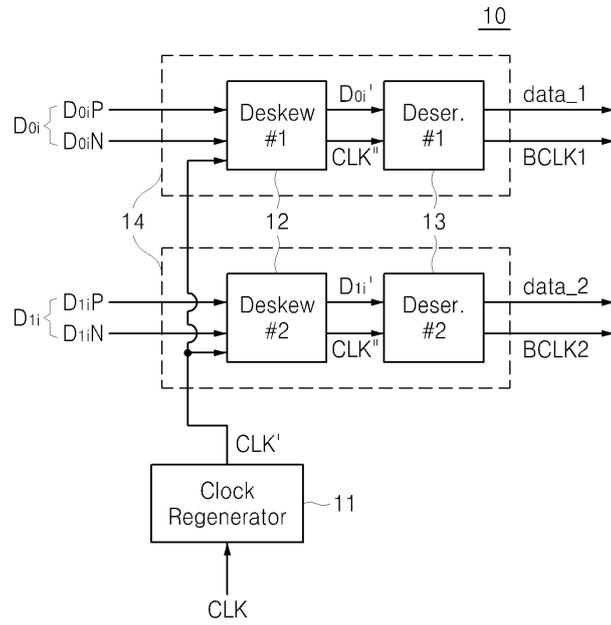
도면1



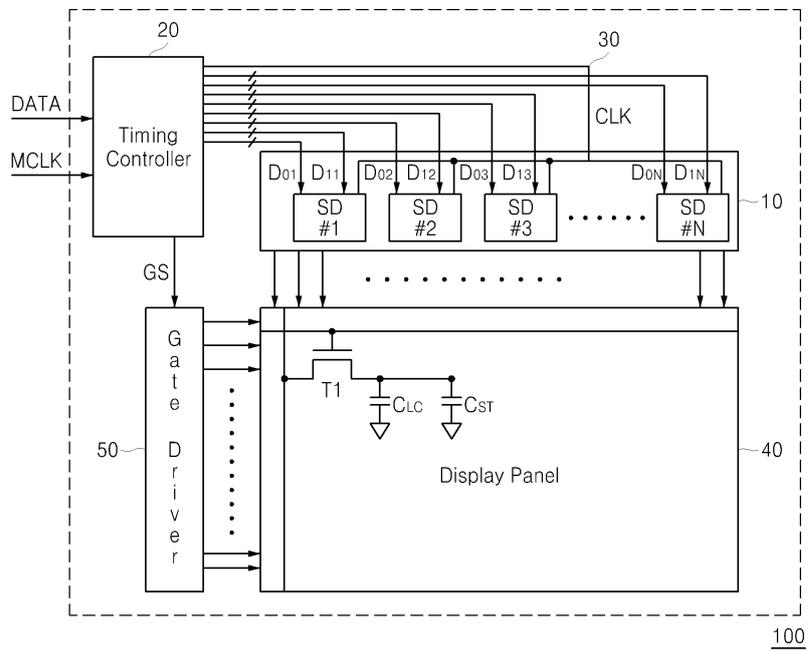
도면2



도면3



도면4



도면5

