



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월19일  
(11) 등록번호 10-2167603  
(24) 등록일자 2020년10월13일

(51) 국제특허분류(Int. Cl.)  
H01L 21/28 (2006.01)  
(21) 출원번호 10-2014-0001297  
(22) 출원일자 2014년01월06일  
심사청구일자 2018년12월11일  
(65) 공개번호 10-2015-0081620  
(43) 공개일자 2015년07월15일  
(56) 선행기술조사문헌  
JP2004193431 A\*  
(뒷면에 계속)

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
유우경  
경기도 수원시 팔달구 화양로50번길 30, 102동 603호 (화서동, 화서블루밍푸른숲아파트)  
라상호  
경기도 성남시 분당구 서현로 181, 210동 707호 (이매동, 이매촌한신아파트)  
(뒷면에 계속)  
(74) 대리인  
박영우

전체 청구항 수 : 총 7 항

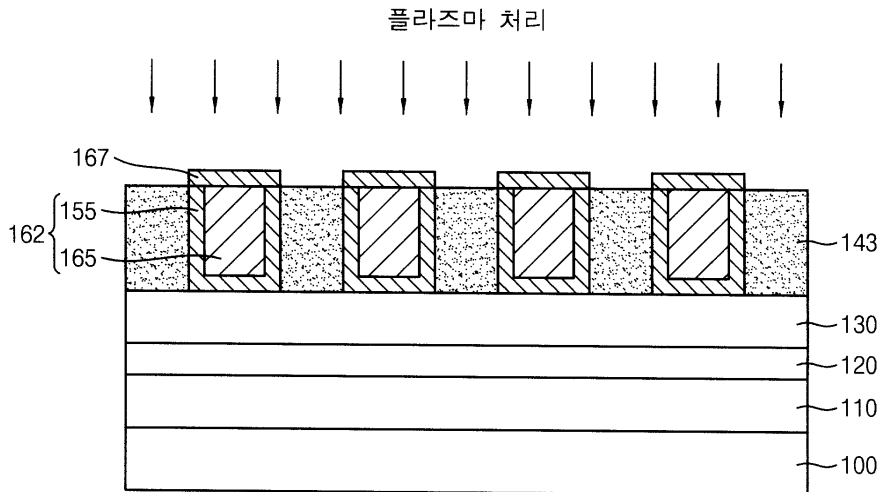
심사관 : 양진석

(54) 발명의 명칭 배선 구조물 형성 방법 및 반도체 장치의 제조 방법

(57) 요약

배선 구조물 형성 방법에 있어서, 기판 상에 층간 절연막을 형성한다. 층간 절연막 상에 희생막을 형성한다. 희생막을 부분적으로 제거하여 복수의 개구부들을 형성한다. 개구부들을 채우는 배선 패턴들을 형성한다. 희생막을 플라즈마 처리 공정에 의해 변성 희생막으로 변환시킨다. 변성 희생막을 습식 식각 공정에 의해 제거한다. 층간 절연막 상에 배선 패턴들을 커버하며, 인접하는 배선 패턴들 사이에서 에어 갭을 포함하는 절연막을 형성한다. 플라즈마 처리 공정 및 습식 식각 공정을 통해 희생막을 균일하게 제거함으로써 배선 패턴들 사이에 균일한 에어 갭을 형성할 수 있다.

대표도 - 도6



(72) 발명자

**백종민**

경기도 수원시 권선구 권선로436번길 21, 109동  
802호 (평동, 동남아파트)

**안상훈**

경기 고양시 일산동구 호수로 606, A동 608호 (장  
항동, 코오롱레이크폴리스I)

**이내인**

서울특별시 강남구 언주로 110, 2동 1002호 (개포  
동, 경남아파트)

(56) 선행기술조사문헌

JP2006165388 A\*

JP2009141199 A\*

JP2010258213 A\*

KR1020110111868 A\*

KR1020130115935 A\*

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

기관 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 희생막을 형성하는 단계;

상기 희생막을 부분적으로 제거하여 복수의 개구부들을 형성하는 단계;

상기 개구부들을 채우는 배선 패턴들을 형성하는 단계;

상기 희생막을 플라즈마 처리 공정에 의해 변성 희생막으로 변환시키는 단계;

상기 변성 희생막을 습식 식각 공정에 의해 제거하는 단계; 및

상기 층간 절연막 상에 상기 배선 패턴들을 커버하며, 인접하는 상기 배선 패턴들 사이에서 에어 갭을 포함하는 절연막을 형성하는 단계를 포함하며,

상기 플라즈마 처리 공정은 싱글 고주파 파워를 인가하여 수행되고,

상기 싱글 고주파 파워는  $0.004\text{W}/\text{mm}^2$  내지  $0.02\text{ W}/\text{mm}^2$  범위의 값을 갖는 것을 특징으로 하는 배선 구조물 형성 방법.

#### 청구항 2

제1항에 있어서, 상기 희생막은 탄화수소 그룹을 포함하는 실리콘 산화물을 사용하여 형성되는 것을 특징으로 하는 배선 구조물 형성 방법.

#### 청구항 3

제2항에 있어서, 상기 변성 희생막은 상기 희생막보다 큰 수소 함량 및 강한 친수성을 갖는 것을 특징으로 하는 배선 구조물 형성 방법.

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

제1항에 있어서, 상기 희생막을 상기 플라즈마 처리 공정에 의해 상기 변성 희생막으로 변환시키는 단계 및 상기 변성 희생막을 상기 습식 식각 공정에 의해 제거하는 단계는 복수회로 반복 수행되는 것을 특징으로 하는 배선 구조물 형성 방법.

#### 청구항 7

제1항에 있어서,

상기 희생막 및 상기 배선 패턴들 상에 캡핑막을 형성하는 단계; 및

상기 캡핑막을 부분적으로 식각하여 캡핑막 패턴을 형성하는 단계를 더 포함하며,

상기 캡핑막 패턴은 상기 배선 패턴보다 큰 너비를 갖는 것을 특징으로 하는 배선 구조물 형성 방법.

#### 청구항 8

제1항에 있어서,

상기 배선 패턴 상부를 부분적으로 제거하여, 상기 희생막의 측벽 및 상기 배선 패턴의 상면에 의해 정의되는 리세스를 형성하는 단계;

상기 희생막 상에 상기 리세스를 채우는 캡핑막을 형성하는 단계; 및

상기 캡핑막 상부를 평탄화하여 캡핑막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 배선 구조물 형성 방법.

**청구항 9**

기판 상에 트랜지스터를 형성하는 단계;

상기 기판 상에 상기 트랜지스터를 덮는 층간 절연막을 형성하는 단계;

상기 층간 절연막을 관통하여 상기 트랜지스터와 전기적으로 연결되는 콘택들을 형성하는 단계;

상기 층간 절연막 상에 희생막을 형성하는 단계;

상기 희생막을 부분적으로 제거하여 상기 콘택들을 노출시키는 개구부들을 형성하는 단계;

상기 개구부들을 채우는 배선 패턴들을 형성하는 단계;

상기 희생막을 플라즈마 처리 공정에 의해 변성 희생막으로 변환시키는 단계;

상기 변성 희생막을 습식 식각 공정에 의해 제거하는 단계; 및

상기 층간 절연막 상에 상기 배선 패턴들을 커버하며, 인접하는 상기 배선 패턴들 사이에서 에어 갭을 포함하는 절연막을 형성하는 단계를 포함하며,

상기 플라즈마 처리 공정은 싱글 고주파 파워를 인가하여 수행되고,

상기 싱글 고주파 파워는  $0.004\text{W}/\text{mm}^2$  내지  $0.02\text{ W}/\text{mm}^2$  범위의 값을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 10**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 배선 구조물 형성 방법 및 반도체 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 에어 갭을 포함하는 배선 구조물 형성 방법 및 에어 갭을 포함하는 반도체 장치의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 장치의 집적도가 증가함에 따라, 상기 반도체 장치에 포함되는 배선 패턴들 사이의 간격도 보다 작아지고 있다. 이에 따라, 인접하는 상기 배선 패턴들 사이에 발생하는 기생 커패시턴스의 크기가 증가할 수 있으며, 상기 기생 커패시턴스에 의해 상기 반도체 장치의 동작 속도 및 동작 신뢰성이 저하될 수 있다.

[0003] 상기 기생 커패시턴스의 발생을 억제하기 위해 인접하는 상기 배선 패턴들 사이에 에어 갭(air gap)을 형성시키기 위한 방법들이 개발되고 있다. 예를 들면, 상기 인접하는 상기 배선 패턴들 사이에 존재하는 절연막을 상기 에어 갭으로 치환할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 일 목적은 균일한 형상의 에어 갭을 포함하는 배선 구조물의 형성 방법을 제공하는 것이다.

- [0005] 본 발명의 다른 목적은 균일한 형상의 에어 갭을 포함하는 반도체 장치의 제조 방법을 제공하는 것이다.
- [0006] 그러나, 본 발명이 해결하고자 하는 과제는 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

**과제의 해결 수단**

- [0007] 상술한 본 발명의 일 목적을 달성하기 위한, 본 발명의 실시예들에 따른 배선 구조물 형성 방법에 있어서, 기판 상에 층간 절연막을 형성한다. 상기 층간 절연막 상에 희생막을 형성한다. 상기 희생막을 부분적으로 제거하여 복수의 개구부들을 형성한다. 상기 개구부들을 채우는 배선 패턴들을 형성한다. 상기 희생막을 플라즈마 처리 공정에 의해 변성 희생막으로 변환시킨다. 상기 변성 희생막을 습식 식각 공정에 의해 제거한다. 상기 층간 절연막 상에 상기 배선 패턴들을 커버하며, 인접하는 상기 배선 패턴들 사이에서 에어 갭을 포함하는 절연막을 형성한다.
- [0008] 예시적인 실시예들에 있어서, 상기 희생막은 탄화수소 그룹을 포함하는 실리콘 산화물을 사용하여 형성될 수 있다.
- [0009] 예시적인 실시예들에 있어서, 상기 희생막은 테오스(TEOS) 계열 실리콘 산화물 또는 알킬 치환기를 포함하는 폴리실록산(polysiloxane)을 사용하여 형성될 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 변성 희생막은 상기 희생막보다 큰 수소 함량을 가질 수 있다.
- [0011] 예시적인 실시예들에 있어서, 상기 변성 희생막은 상기 희생막보다 강한 친수성을 가질 수 있다.
- [0012] 예시적인 실시예들에 있어서, 상기 플라즈마 처리 공정은 반응가스로서 암모니아(NH<sub>3</sub>), 질소(N<sub>2</sub>) 또는 수소(H<sub>2</sub>)를 사용할 수 있다. 이들은 단독으로 혹은 2이상을 조합하여 사용될 수 있다.
- [0013] 예시적인 실시예들에 있어서, 상기 플라즈마 처리 공정은 싱글 고주파 파워를 인가하여 수행될 수 있다.
- [0014] 예시적인 실시예들에 있어서, 상기 싱글 고주파 파워는 0.004W/mm<sup>2</sup> 내지 0.02 W/mm<sup>2</sup> 범위의 값을 가질 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 플라즈마 처리 공정은 1 torr 내지 5 torr 압력 범위에서 수행될 수 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 희생막을 상기 플라즈마 처리 공정에 의해 상기 변성 희생막으로 변환시키는 단계 및 상기 변성 희생막을 상기 습식 식각 공정에 의해 제거하는 단계는 복수회로 반복 수행될 수 있다.
- [0017] 예시적인 실시예들에 있어서, 상기 배선 패턴 상에 캡핑막 패턴을 더 형성할 수 있다.
- [0018] 예시적인 실시예들에 있어서, 상기 캡핑막 패턴을 형성함에 있어서, 상기 희생막 및 상기 배선 패턴들 상에 캡핑막을 형성할 수 있다. 상기 캡핑막을 부분적으로 식각하여 상기 캡핑막 패턴을 형성할 수 있다. 상기 캡핑막 패턴은 상기 배선 패턴보다 큰 너비를 가질 수 있다.
- [0019] 예시적인 실시예들에 있어서, 상기 캡핑막 패턴을 형성함에 있어서, 상기 배선 패턴 상부를 부분적으로 제거하여, 상기 희생막의 측벽 및 상기 배선 패턴의 상면에 의해 정의되는 리세스를 형성할 수 있다. 상기 희생막 상에 상기 리세스를 채우는 캡핑막을 형성할 수 있다. 상기 캡핑막 상부를 평탄화할 수 있다.
- [0020] 예시적인 실시예들에 있어서, 상기 배선 패턴들을 형성함에 있어서, 상기 희생막 표면, 상기 개구부의 측벽 및 저면을 따라 배리어 도전막을 형성할 수 있다. 상기 배리어 도전막 상에 상기 개구부를 채우는 도전막을 형성할 수 있다. 상기 도전막 및 상기 배리어 도전막의 상부들을 평탄화하여 도전 패턴 및 배리어 도전막 패턴을 형성할 수 있다.
- [0021] 상술한 본 발명의 다른 목적을 달성하기 위한, 본 발명의 실시예들에 따른 반도체 소자의 제조 방법에 있어서, 기판 상에 트랜지스터를 형성한다. 상기 기판 상에 상기 트랜지스터를 덮는 층간 절연막을 형성한다. 상기 층간 절연막을 관통하여 상기 트랜지스터와 전기적으로 연결되는 콘택들을 형성한다. 상기 층간 절연막 상에 희생막을 형성한다. 상기 희생막을 부분적으로 제거하여 상기 콘택들을 노출시키는 개구부들을 형성한다. 상기 개구부들을 채우는 배선 패턴들을 형성한다. 상기 희생막을 플라즈마 처리 공정에 의해 변성 희생막으로 변환시킨다. 상기 변성 희생막을 습식 식각 공정에 의해 제거한다. 상기 층간 절연막 상에 상기 배선 패턴들을 커버하며, 인접하는 상기 배선 패턴들 사이에서 에어 갭을 포함하는 절연막을 형성한다.
- [0022] 예시적인 실시예들에 있어서, 상기 플라즈마 처리 공정은 0.004W/mm<sup>2</sup> 내지 0.02 W/mm<sup>2</sup> 범위의 싱글 고주파 파워를

인가하여 수행될 수 있다.

**발명의 효과**

[0023] 전술한 바와 같이 본 발명의 실시예들에 의하면, 배선 패턴들 사이의 희생막을 제거하고, 상기 희생막이 제거된 공간에 매립 특성이 낮은 절연막을 형성하여 에어 갭을 형성할 수 있다. 상기 에어 갭 형성시 상기 희생막에 대해 싱글 파워를 사용하는 플라즈마 처리를 수행하여, 상기 희생막을 변성 희생막으로 변환시킬 수 있다. 이후, 습식 식각 공정을 통해 상기 변성 희생막을 제거할 수 있다. 이에 따라, 예를 들면 듀얼 파워를 사용하는 플라즈마 에칭 공정 시 발생할 수 있는 희생막 이외의 다른 절연막 및 상기 배선 패턴의 손상 및/또는 상기 희생막의 불균일한 제거를 방지할 수 있다.

**도면의 간단한 설명**

[0024] 도 1 내지 도 8은 예시적인 실시예들에 따른 배선 구조물 형성 방법을 설명하기 위한 단면도들이다.  
 도 9 내지 도 14는 예시적인 실시예들에 따른 배선 구조물 형성 방법을 설명하기 위한 단면도들이다.  
 도 15 내지 도 17은 예시적인 실시예들에 따른 배선 구조물 형성 방법을 설명하기 위한 단면도들이다.  
 도 18 내지 도 23은 예시적인 실시예들에 따른 배선 구조물 형성 방법을 설명하기 위한 단면도들이다.  
 도 24 내지 도 32는 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

[0025] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

[0026] 본 발명의 각 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

[0027] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0028] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기판, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기판 상에 추가적으로 형성될 수 있다.

[0030] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.

[0031] 즉, 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0032] 도 1 내지 도 8은 예시적인 실시예들에 따른 배선 구조물 형성 방법을 설명하기 위한 단면도들이다.

[0033] 도 1을 참조하면, 기판(100) 상에 제1 층간 절연막(110), 패시베이션 막(120), 제2 층간 절연막(130) 및 희생막(140)을 순차적으로 형성할 수 있다.

[0034] 기판(100)으로서 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘-온-인슐레이터(Silicon-On-

Insulator: SOI) 기판, 게르마늄-온-인슐레이터(Germanium-On-Insulator: GOI) 기판 등과 같은 반도체 기판과, GaP 기판, GaAs 기판, GaSb 기판 등 과 같은 III-V족 반도체 기판을 사용할 수 있다.

- [0035] 제1 층간 절연막(110)은 저유전율(Low-K)을 갖는 실리콘 산화물 계열의 물질을 사용하여 형성될 수 있다. 상기 실리콘 산화물의 예로서, 피오엑스(Plasma Enhanced Oxide: PEOX), 테오스(TetraEthyl OrthoSilicate: TEOS), 비테오스(Boro TetraEthyl OrthoSilicate: BTEOS), 피테오스(Phosphorous TetraEthyl OrthoSilicate: PTEOS), 비피테오스(Boro Phospho TetraEthyl OrthoSilicate: BPTEOS), 비에스지(Boro Silicate Glass: BSG), 피에스지(Phospho Silicate Glass: PSG), 비피에스지(Boro Phospho Silicate Glass: BPSG) 등을 들 수 있다. 이들은 단독으로 혹은 2 이상을 조합하여 사용될 수 있다.
- [0036] 예시적인 실시예들에 따르면, 기판(100) 상에는 스위칭 소자, 트랜지스터 등과 같은 전자 소자(도시되지 않음), 하부 배선(도시되지 않음) 등이 형성될 수 있으며, 제1 층간 절연막(110)은 상기 전자 소자 및 하부 배선을 커버할 수 있다.
- [0037] 패시베이션 막(120)은 예를 들어, 실리콘 질화물 혹은 실리콘 산질화물을 사용하여 형성될 수 있다. 패시베이션 막(120)은 예를 들면, 상기 하부 배선 또는 상기 전자 소자를 식각 공정과 같은 후속 공정으로부터 보호할 수 있다. 이 경우, 패시베이션 막(120)은 식각 저지막 기능을 수행할 수 있다.
- [0038] 제2 층간 절연막(130)은 제1 층간 절연막(110)과 실질적으로 동일하거나 유사한 물질을 사용하여 형성될 수 있다. 예를 들면, 제2 층간 절연막(130) 역시 상술한 저유전율의 실리콘 산화물 계열의 물질을 사용하여 형성될 수 있다. 예시적인 실시예들에 따르면, 제2 층간 절연막(130) 내부에는 제2 층간 절연막(130) 및 패시베이션 막(120)을 관통하여 상기 전자 소자 및/또는 하부 배선과 전기적으로 연결되는 콘택 혹은 플러그(도시되지 않음) 등이 형성될 수 있다.
- [0039] 희생막(140)은 저유전율을 가지며, 플라즈마 처리에 의해 쉽게 화학적 구조가 변성될 수 있는 물질을 사용하여 형성될 수 있다. 예를 들면, 희생막(140)은 알킬기와 같은 탄화수소(hydrocarbon) 그룹을 포함하는 실리콘 산화물 계열의 물질을 사용하여 형성될 수 있다. 일 실시예에 있어서, 희생막(140)은 TEOS, BTEOS, PTEOS, BPTEOS와 같은 TEOS 계열의 실리콘 산화물 또는 알킬 치환기를 포함하는 폴리실록산(polysiloxane)을 사용하여 형성될 수 있다.
- [0040] 예시적인 실시예들에 따르면, 희생막(140) 및 제2 층간 절연막(130)은 실질적으로 동일한 물질을 사용하여 형성될 수 있다. 이 경우, 희생막(140) 및 제2 층간 절연막(130)은 서로 병합되어 일체로 형성될 수 있다. 일 실시예에 있어서, 희생막(140), 제2 층간 절연막(130) 및 제1 층간 절연막은 실질적으로 동일한 물질을 사용하여 형성될 수 있다.
- [0041] 예를 들면, 제1 층간 절연막(110), 패시베이션 막(120), 제2 층간 절연막(130) 및 희생막(140)은 화학 기상 증착(Cheical Vapor Deposition: CVD) 공정, 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition: LPCVD) 공정, 플라즈마 강화 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 공정, 고밀도 플라즈마 화학 기상 증착(High Density Plasma-Chemical Vapor Deposition: HDP-CVD) 공정, 스핀 코팅(spin coating) 공정 등을 통해 형성될 수 있다.
- [0042] 도 2를 참조하면, 희생막(140)을 부분적으로 제거하여 제1 개구부(145)를 형성한다. 제1 개구부(145)에 의해 제2 층간 절연막(130)의 상면이 노출될 수 있다.
- [0043] 예시적인 실시예들에 따르면, 희생막(140)은 사진 식각 공정을 통해 부분적으로 제거될 수 있다. 예를 들면, 희생막(140) 상에 포토레지스트 막(도시되지 않음)을 형성하고, 상기 포토레지스트 막을 노광 및 현상 공정을 통해 패터닝하여 포토레지스트 패턴을 형성할 수 있다. 상기 포토레지스트 패턴을 식각 마스크로 사용하여 희생막(140)을 부분적으로 제거함으로써 제1 개구부(145)를 형성할 수 있다. 이후, 상기 포토레지스트 패턴은 애싱(ashing) 및/또는 스트립(strip) 공정을 통해 제거될 수 있다. 일 실시예에 있어서, 상기 포토레지스트 막을 형성하기 전에 반사방지막(도시되지 않음)을 더 형성할 수도 있다.
- [0044] 도 3을 참조하면, 제1 개구부(145)를 채우는 배리어 도전막(150) 및 도전막(160)을 형성한다.
- [0045] 예시적인 실시예들에 따르면, 배리어 도전막(150)은 희생막(140) 상면 및 제1 개구부(145)의 측벽 및 저면을 따라 컨포멀하게 형성될 수 있다. 배리어 도전막(150)은 티타늄 질화물(TiNx), 탄탈륨 질화물(TaNx) 또는 텅스텐 질화물(WNx)과 같은 금속 질화물을 사용하여 형성될 수 있다. 배리어 도전막(150)은 도전막(160)에 포함된 금속 물질이 희생막(140) 또는 제2 층간 절연막(130)으로 확산되는 것을 방지할 수 있다. 또한, 배리어 도전막(150)

은 도전막(160) 형성을 위한 소정의 접착력을 제공하는 기능을 수행할 수 있다.

- [0046] 도전막(160)은 배리어 도전막(150) 상에 형성되어 제1 개구부(145)를 충분히 채우도록 형성될 수 있다. 도전막(160)은 구리(Cu), 알루미늄(Al), 티타늄(Ti) 또는 텅스텐(W)과 같은 금속 물질을 사용하여 형성될 수 있다.
- [0047] 배리어 도전막(150) 및 도전막(160)은 예를 들면, 물리 기상 증착(Physical Vapor Deposition: PVD) 공정, 스퍼터링(Sputtering) 공정 또는 원자층 증착(Atomic Layer Deposition: ALD) 공정을 통해 형성될 수 있다.
- [0048] 도 4를 참조하면, 도전막(160) 및 배리어 도전막(150)의 상부를 제거하여 제1 개구부(145)를 채우는 배리어 도전막 패턴(155) 및 도전 패턴(165)을 형성한다. 이에 따라, 제1 개구부(145) 내부에 배리어 도전막 패턴(155) 및 도전 패턴(165)을 포함하는 배선 패턴(162)을 형성할 수 있다.
- [0049] 예시적인 실시예들에 따르면, 화학 기계적 연마(Chemical Mechanical Polish: CMP) 공정을 통해 희생막(140) 상면이 노출될 때까지 도전막(160) 및 배리어 도전막(150)을 평탄화함으로써 배리어 도전막 패턴(155) 및 도전 패턴(165)을 수득할 수 있다.
- [0050] 도 5를 참조하면, 배선 패턴(162) 상에 캡핑막 패턴(167)을 형성할 수 있다.
- [0051] 예시적인 실시예들에 따르면, 희생막(140), 배리어 도전막 패턴(155) 및 도전 패턴(165) 상에 캡핑막을 형성한 후, 상기 캡핑막을 부분적으로 식각하여 배선 패턴(162)을 커버하는 캡핑막 패턴(167)을 수득할 수 있다.
- [0052] 상기 캡핑막은 도전 패턴(165)에 포함된 금속 보다 화학적으로 안정한 금속을 사용하여 PVD 공정, 스퍼터링 공정, ALD 공정 등을 통해 형성될 수 있다. 예를 들면, 상기 캡핑막은 알루미늄, 코발트(Co) 또는 몰리브덴(Mo)과 같은 금속을 사용하여 형성될 수 있다. 상기 캡핑막은 상기 금속의 질화물을 사용하여 형성될 수도 있다.
- [0053] 한편, 상기 캡핑막은 예를 들면, 과산화수소(H<sub>2</sub>O<sub>2</sub>), 인산 및/또는 황산을 포함하는 식각액을 사용하는 습식 식각 공정을 통해 부분적으로 식각될 수 있다.
- [0054] 도 6을 참조하면, 플라즈마 처리 공정을 수행하여 희생막(140)을 변성 희생막(143)으로 변환시킨다.
- [0055] 예시적인 실시예들에 따르면, 상기 플라즈마 처리 공정은 환원성 플라즈마 처리 공정을 포함할 수 있다. 예를 들면, 상기 플라즈마 처리 공정은 반응가스로서 암모니아(NH<sub>3</sub>), 질소(N<sub>2</sub>) 또는 수소(H<sub>2</sub>)를 사용할 수 있다. 이들은 단독으로 혹은 2 이상을 조합하여 사용될 수 있다. 이 경우, 공정 챔버 내에 상기 반응 가스를 주입한 후 RF 파워를 인가하여 상기 반응 가스를 플라즈마화 할 수 있다.
- [0056] 상기 플라즈마 처리 공정에 의해 희생막(140)의 화학적 구조가 변성되어 변성 희생막(143)이 형성될 수 있다. 예를 들면, 희생막(140)에 포함된 실리콘 산화물의 화학적 구조가 플라즈마 유도 손상(Plasma Induced Damage: PID)에 의해 변성될 수 있다. 일 실시예에 있어서, 희생막(140)이 알킬기를 포함하는 실리콘 산화물을 사용하여 형성된 경우, 상기 알킬기가 환원되어 제거될 수 있다. 상기 알킬기가 제거되는 경우 변성 희생막(143)은 희생막(140)에 비해 증가된 친수성을 가질 수 있다. 또한, 변성 희생막(143)은 희생막(140)에 비해 증가된 수소 함량을 가질 수 있다. 이 경우, 희생막(140) 내부에 수소 함량이 증가하여 실리콘 산화물에 포함된 Si-O 결합의 망상 구조가 일부 파괴될 수 있다.
- [0057] 한편, 배선 패턴(162)은 캡핑막 패턴(167)에 의해 커버되므로, 상기 PID 발생으로부터 보호될 수 있다.
- [0058] 예시적인 실시예들에 따르면, 상기 플라즈마 처리 공정은 상기 공정 챔버 내에 싱글 파워를 인가하여 수행될 수 있다. 예를 들면, 상기 플라즈마 처리 공정은 싱글 고주파 파워를 사용하여 수행될 수 있다.
- [0059] 듀얼(dual) 파워를 이용하여 상기 플라즈마 처리 공정을 수행하는 경우, 고주파 파워(high frequency power)에 의해 상기 반응 가스가 플라즈마로 변환되고, 저주파 파워(low frequency power)에 의해 플라즈마 이온의 충돌 속도가 강화될 수 있다. 상기 저주파 파워에 의해 강화된 플라즈마가 희생막(140)에 충돌하는 경우 일부 영역에서는 희생막(140) 아래의 제2 층간 절연막(130)까지 변성되어 후속 식각 공정에 의해 제2 층간 절연막(130)이 일부 제거될 수 있다. 또한, 상기 강화된 플라즈마에 의해 직접적으로 희생막(140) 및 제2 층간 절연막(130)이 제거될 수도 있다. 이에 따라, 배선 패턴(162)의 쓰러짐 또는 기울어짐 현상이 발생할 수 있다.
- [0060] 이와는 달리, 상기 강화된 플라즈마는 충돌 에너지에 의해 희생막(140)의 구조를 보다 치밀하게 변성시킬 수도 있다. 이 경우, 후속 식각 공정에 의해 변성 희생막(143)이 완전히 제거되지 않을 수 있다.
- [0061] 따라서, 듀얼 파워를 이용한 상기 플라즈마 처리 공정에서는 희생막(140) 제거량에 산포가 생겨, 배선 패턴



(162)이 형성된 전체 영역에 걸쳐 균일한 형상의 에어 갭(180, 도 8 참조)을 형성하기가 곤란하다.

- [0062] 그러나, 예시적인 실시예들에 따른 상기 플라즈마 처리 공정은 싱글 고주파 파워를 사용하여, 서로 다른 범위의 복수의 파워를 사용하는 경우 발생하는 불균일한 희생막(140) 제거 현상을 개선할 수 있다.
- [0063] 예시적인 실시예들에 따르면, 상기 싱글 고주파 파워는 약  $0.004\text{W}/\text{mm}^2$  내지 약  $0.02\text{W}/\text{mm}^2$  범위의 값을 가질 수 있다. 상기 싱글 고주파 파워의 값이 약  $0.004\text{W}/\text{mm}^2$  미만인 경우, 충분한 플라즈마가 발생하지 않아 희생막(140)이 전체적으로 균일하게 변성되지 않을 수 있다. 반면, 상기 싱글 고주파 파워의 값이 약  $0.02\text{W}/\text{mm}^2$  을 초과하는 경우 플라즈마 이온이 지나치게 가속되어 상기 플라즈마 처리 공정에 의해 희생막(140)이 직접 제거되어 제2 층간 절연막(130)까지 손상될 수 있다.
- [0064] 예시적인 실시예들에 따르면, 상기 플라즈마 처리 공정은 약 1 torr 내지 약 5 torr의 압력 조건에서 수행될 수 있다. 상기 압력이 약 1 torr 미만인 경우, 플라즈마 이온의 평균 자유 행로(mean free path)가 증가하므로, 상기 플라즈마 이온의 충돌 속도가 지나치게 증가할 수 있다. 따라서, 희생막(140)이 직접 제거되어 제2 층간 절연막(130)까지 손상될 수 있다. 한편, 상기 압력이 약 5 torr를 초과하는 경우 충분한 플라즈마 이온의 충돌 속도가 확보되지 않아 균일한 변성 희생막(143)이 형성되지 않을 수 있다.
- [0065] 도 7을 참조하면, 변성 희생막(143)을 제거하여 제2 개구부(170)를 형성한다.
- [0066] 예시적인 실시예들에 따르면, 변성 희생막(143)은 실리콘 산화물에 식각 선택성을 갖는 식각액을 사용하는 습식 식각 공정을 통해 제거될 수 있다. 이에 따라, 건식 식각 공정의 경우 발생할 수 있는 배선 패턴(162)의 손상을 방지할 수 있다. 상기 식각액은 불산(HF) 용액 혹은 버퍼 산화물 식각액(Buffer Oxide Etchant)을 포함할 수 있다.
- [0067] 예시적인 실시예들에 따르면, 변성 희생막(143) 및 제2 층간 절연막(130)은 서로 다른 화학적 구조를 가지고 있으므로, 식각속도를 조절하여 변성 희생막(143)만을 선택적으로 제거할 수 있다. 예를 들면, 상술한 바와 같이, 변성 희생막(143)은 상기 플라즈마 처리 공정에 의해 친수성이 강화될 수 있다. 이에 따라, 예를 들면 불산을 포함하는 상기 식각액과 보다 높은 친화도를 가질 수 있다. 따라서, 희생막(140)을 변성 희생막(143)으로 변화시킴으로써 상기 습식 식각 공정의 식각 속도 및 식각 선택비가 향상될 수 있다.
- [0068] 변성 희생막(143)이 제거됨에 따라, 인접하는 배선 패턴들(162) 사이에서 제2 개구부(170)가 정의될 수 있다. 제2 개구부(170)에 의해 제2 층간 절연막(130)의 상면이 노출될 수 있다.
- [0069] 도 8을 참조하면, 제2 층간 절연막(130) 상에 배선 패턴(162) 및 캡핑막 패턴(167)을 커버하는 절연막(175)을 형성한다. 예시적인 실시예들에 따르면, 절연막(175)은 인접하는 배선 패턴들(162) 사이에 형성되는 에어 갭(180)을 포함할 수 있다.
- [0070] 예시적인 실시예들에 따르면, 절연막(175)은 매립 특성 및/또는 컨포멀 특성이 낮은 공정 조건 및 재료를 사용하여 형성될 수 있다. 예를 들면, 절연막(175)은 TEOS 또는 CVD 산화물과 같은 실리콘 산화물을 사용하여 매립 특성이 상대적으로 낮은 CVD 공정 또는 스핀 코팅 공정을 통해 형성될 수 있다.
- [0071] 따라서, 절연막(175)은 제2 개구부(170)의 입구에서 캡핑막 패턴(167) 및/또는 배선 패턴(162)에 의해 오버행(overhang)되어 제2 개구부(170)를 완전히 채우지 못할 수 있다. 따라서, 인접하는 배선 패턴들(162) 사이에 에어 갭(180)이 형성될 수 있다.
- [0072] 예시적인 실시예들에 따르면, 상술한 플라즈마 처리 공정 및 습식 식각 공정에 의해 희생막(140)이 균일하게 제거되므로 에어 갭(180) 역시 배선 패턴(165)이 형성된 전 영역에 걸쳐 균일한 형상 및 높이로 형성될 수 있다.
- [0073] 일 실시예에 있어서, 절연막(175) 상부를 평탄화하기 위해, 예를 들면 CMP 공정을 추가적으로 수행할 수도 있다.
- [0074] 도 9 내지 도 14는 예시적인 실시예들에 따른 배선 구조물 형성 방법을 설명하기 위한 단면도들이다. 도 1 내지 도 8을 참조로 설명한 공정 및/또는 재료들과 실질적으로 동일하거나 유사한 공정 및/또는 재료들에 대한 상세한 설명은 생략한다. 또한, 도 1 내지 도 8에서 설명된 구성과 실질적으로 동일하거나 유사한 구성에 대해서는 동일하거나 유사한 참조부호를 사용한다.
- [0075] 도 9를 참조하면, 도 1 내지 도 5를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다. 이에 따라, 기판(100) 상에 제1 층간 절연막(110), 패시베이션 막(120), 제2 층간 절연막(130) 및 희생막

(140)을 형성하고, 희생막(140) 내부에 배리어 도전막 패턴(155) 및 도전 패턴(165)을 포함하는 배선 패턴(162)을 형성할 수 있다. 배선 패턴(162) 상에는 캡핑막 패턴(167)을 형성할 수 있다.

- [0076] 도 10을 참조하면, 제1 플라즈마 처리 공정을 통해 희생막(140) 상부를 제1 변성 희생막(143a)으로 변환시킨다.
- [0077] 상기 제1 플라즈마 처리 공정은 도 6을 참조로 설명한 플라즈마 처리 공정과 실질적으로 동일하거나 유사한 공정 조건으로 수행될 수 있다. 예시적인 실시예들에 따르면, 상기 제1 플라즈마 처리 공정은 약  $0.004\text{W}/\text{mm}^2$  내지 약  $0.02\text{W}/\text{mm}^2$  범위의 싱글 고주파 파워 조건에서, 약 1 torr 내지 약 5 torr의 압력 조건으로 환원성 반응 가스를 이용하여 수행될 수 있다.
- [0078] 상기 제1 플라즈마 처리 공정은 도 6을 참조로 설명한 플라즈마 처리 공정에 비해 단축된 플라즈마 처리 시간 동안 수행될 수 있다. 또는, 상기 제1 플라즈마 처리 공정은 도 6을 참조로 설명한 플라즈마 처리 공정에 비해 낮은 반응 가스 유량으로 수행될 수 있다.
- [0079] 이에 따라, 희생막(140)의 변성 속도 혹은 변성량을 감소시켜, 희생막(140)의 상부만을 제1 변성 희생막(143a)으로 변환시킬 수 있다.
- [0080] 도 11을 참조하면, 제1 변성 희생막(143a)을 제거한다. 제1 변성 희생막(143a)이 제거됨에 따라, 잔류하는 희생막(140)을 노출시키는 트렌치(147)가 형성될 수 있다.
- [0081] 예시적인 실시예들에 따르면, 제1 변성 희생막(143a)은 도 7을 참조로 설명한 바와 같이 불산(HF) 용액 혹은 버퍼 산화물 식각액(Buffer Oxide Etchant)과 같은 식각액을 사용한 습식 식각 공정을 통해 제거될 수 있다. 제1 변성 희생막(143a)은 희생막(140)에 비해 상기 식각액에 대해 보다 강한 친화도를 가질 수 있다. 따라서, 실질적으로 제1 변성 희생막(143a)을 잔류하는 희생막(140)에 대해서 선택적으로 제거할 수 있다.
- [0082] 도 12를 참조하면, 제2 플라즈마 처리 공정을 수행하여 트렌치(147)에 의해 노출된 잔류 희생막(140)을 제2 변성 희생막(143b)으로 변환시킬 수 있다.
- [0083] 예시적인 실시예들에 따르면, 상기 제2 플라즈마 처리 공정은 상기 제1 플라즈마 공정과 실질적으로 동일하거나 유사한 공정 조건으로 수행될 수 있다. 예를 들면, 상기 제2 플라즈마 처리 공정은 약  $0.004\text{W}/\text{mm}^2$  내지 약  $0.02\text{W}/\text{mm}^2$  범위의 싱글 파워 조건에서, 약 1 torr 내지 약 5 torr의 압력 조건으로 환원성 반응 가스를 이용하여 수행될 수 있다. 또한, 상기 제2 플라즈마 처리 공정은 도 6을 참조로 설명한 플라즈마 처리 공정에 비해 단축된 플라즈마 처리 시간 혹은 낮은 반응 가스 유량으로 수행될 수 있다.
- [0084] 도 13을 참조하면, 도 11을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 통해 제2 변성 희생막(143b)을 제거할 수 있다.
- [0085] 이에 따라, 인접하는 배선 패턴들(162) 사이에 제2 개구부(170)가 형성될 수 있으며, 제2 개구부(170)를 통해 제2 층간 절연막(130) 상면이 노출될 수 있다.
- [0086] 도 14를 참조하면, 도 8을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행할 수 있다. 이에 따라, 제2 층간 절연막(130) 상에 배선 패턴(162) 및 캡핑막 패턴(167)을 커버하는 절연막(175)을 형성할 수 있다. 예시적인 실시예들에 따르면, 절연막(175) 내부에는 인접하는 배선 패턴들(162) 사이에서 에어 갭(180)이 형성될 수 있다.
- [0087] 상술한 예시적인 실시예들에 따르면, 플라즈마 처리를 통한 변성 희생막 형성 단계 및 습식 식각 공정을 통한 상기 변성 희생막 제거 단계를 복수로 사이클로 반복 수행될 수 있다. 이에 따라, 희생막(140)의 식각 속도 및/또는 식각량을 보다 정밀하게 조절할 수 있다. 따라서, 1회의 사이클로 희생막(140)을 제거하는 경우보다 희생막(140) 제거의 균일성을 보다 향상시킬 수 있으며, 에어 갭(180) 형상의 균일성 역시 향상될 수 있다.
- [0088] 도 9 내지 도 14에서는 희생막(140)을 2회의 사이클로 분할 제거하는 것으로 설명하였으나, 반복 횟수가 반드시 이에 한정되는 것은 아니다. 예를 들면, 희생막(140)의 높이 및 공정의 경제성을 고려하여 상기 반복 ??수를 적절히 조절할 수 있다.
- [0089] 도 15 내지 도 17은 예시적인 실시예들에 따른 배선 구조물 형성 방법을 설명하기 위한 단면도들이다. 도 1 내지 도 8을 참조로 설명한 공정 및/또는 재료들과 실질적으로 동일하거나 유사한 공정 및/또는 재료들에 대한 상세한 설명은 생략한다. 또한, 도 1 내지 도 8에서 설명된 구성과 실질적으로 동일하거나 유사한 구성에 대해서

는 동일하거나 유사한 참조부호를 사용한다.

- [0090] 도 15를 참조하면, 도 1 내지 도 4를 참조로 설명한 공정들과 동일하거나 유사한 공정들을 수행할 수 있다. 이에 따라, 기관(100) 상에 제1 층간 절연막(110), 패시베이션 막(120), 제2 층간 절연막(130) 및 희생막(140)을 순차적으로 형성하고, 희생막(140)을 부분적으로 제거하여 제1 개구부(145)를 형성할 수 있다. 이후, 제1 개구부(145) 내부에 배리어 도전막 패턴(155) 및 도전 패턴(165)을 포함하는 배선 패턴(162)을 형성할 수 있다.
- [0091] 도 16을 참조하면, 도 5를 참조로 설명한 공정과 실질적으로 유사한 공정을 수행하여, 배선 패턴(162)을 커버하는 캡핑막 패턴(167a)을 형성할 수 있다.
- [0092] 예시적인 실시예들에 따르면, 캡핑막 패턴(167a)은 배선 패턴(162) 보다 넓은 너비를 갖도록 형성될 수 있다. 이 경우, 캡핑막 패턴(167a)은 배선 패턴(162)을 완전히 커버하면서, 희생막(140)까지 연장될 수 있다.
- [0093] 도 17을 참조하면, 도 6 내지 도 8을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.
- [0094] 이에 따라, 희생막(140)을 플라즈마 처리 공정을 통해 변성 희생막으로 변환 시키고, 습식 식각 공정을 통해 상기 변성 희생막을 제거함으로써, 인접하는 배선 패턴들(162) 사이에 제2 개구부들(도시되지 않음)을 형성할 수 있다. 이후, 매립 특성이 낮은 절연 물질을 사용하여 제2 층간 절연막(130) 상에 배선 패턴(162) 및 캡핑막 패턴(167a)을 커버하는 절연막(175)을 형성할 수 있다. 이에 따라, 절연막(175) 내부에는 인접하는 배선 패턴들(162) 사이에 에어 갭(180)이 형성될 수 있다.
- [0095] 예시적인 실시예들에 따르면, 캡핑막 패턴(167a)은 배선 패턴(162)보다 큰 너비를 가지므로, 배선 패턴(162)의 측면 방향으로 돌출될 수 있다. 이에 따라, 캡핑막 패턴(167a)에 의해 상기 제2 개구부의 입구가 좁아질 수 있으며, 절연막(175)은 캡핑막 패턴(167a)에 의해 보다 용이하게 오버행될 수 있다. 따라서, 절연막(175)의 매립 특성이 열화되어 인접하는 배선 패턴들(162) 사이에 에어 갭(180)이 균일한 형상으로 보다 용이하게 형성될 수 있다.
- [0096] 일 실시예에 있어서, 희생막(140)은 도 10 내지 도 13을 참조로 설명한 바와 같이, 플라즈마 처리 공정 및 습식 식각 공정을 복수회 반복 수행하여 제거될 수도 있다.
- [0097] 도 18 내지 도 23은 예시적인 실시예들에 따른 배선 구조물 형성 방법을 설명하기 위한 단면도들이다. 도 1 내지 도 8을 참조로 설명한 공정 및/또는 재료들과 실질적으로 동일하거나 유사한 공정 및/또는 재료들에 대한 상세한 설명은 생략한다. 또한, 도 1 내지 도 8에서 설명된 구성과 실질적으로 동일하거나 유사한 구성에 대해서는 동일하거나 유사한 참조부호를 사용한다.
- [0098] 도 18을 참조하면, 도 1 내지 도 3을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다. 이에 따라, 기관(100) 상에 제1 층간 절연막(110), 패시베이션 막(120), 제2 층간 절연막(130) 및 희생막(140)을 순차적으로 형성하고, 희생막(140)을 부분적으로 제거하여 제1 개구부(145)를 형성할 수 있다. 이후, 희생막(140) 상에 제1 개구부(145)를 채우는 배리어 도전막(150) 및 도전막(160)을 형성할 수 있다.
- [0099] 도 19를 참조하면, 도 4를 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행할 수 있다. 이에 따라, 예를 들면 CMP 공정을 통해 희생막(140) 상면이 노출될 때까지 도전막(160) 및 배리어 도전막(150)을 평탄화함으로써 배리어 도전막 패턴(155) 및 도전 패턴(165)을 포함하는 배선 패턴(162)을 획득할 수 있다.
- [0100] 도 20을 참조하면, 배선 패턴(162)의 상부를 제거하여 리세스(149)를 형성할 수 있다.
- [0101] 예시적인 실시예들에 따르면, 에치-백(etch-back) 공정을 통해 도전 패턴(165) 및 배리어 도전막 패턴(155)를 부분적으로 제거함으로써, 희생막(140)의 측벽 및 배선 패턴(162)의 상면에 의해 정의되는 리세스(149)가 형성될 수 있다.
- [0102] 도 21을 참조하면, 희생막(140) 상에 리세스(149)를 채우는 캡핑막(163)을 형성할 수 있다.
- [0103] 예시적인 실시예들에 따르면, 캡핑막(163)은 도전 패턴(165)에 포함된 금속 보다 화학적으로 안정한 금속을 사용하여 PVD 공정, 스퍼터링 공정, ALD 공정 등을 통해 형성될 수 있다. 예를 들면, 캡핑막(163)은 알루미늄, 코발트(Co) 또는 몰리브덴(Mo)과 같은 금속을 사용하여 형성될 수 있다. 상기 캡핑막은 상기 금속의 질화물을 사용하여 형성될 수도 있다.
- [0104] 도 22를 참조하면, 캡핑막(163) 상부를 예를 들면, CMP 공정을 통해 희생막(140)의 상기 상면이 노출될 때까지

연마할 수 있다. 이에 따라, 도전 패턴(165) 및 배리어 도전막 패턴(155) 상에 리세스(149)를 채우는 캡핑막 패턴(169)이 형성될 수 있다.

- [0105] 도 23을 참조하면, 도 6 내지 도 8을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.
- [0106] 이에 따라, 희생막(140)을 플라즈마 처리 공정을 통해 변성 희생막으로 변환 시키고, 습식 식각 공정을 통해 상기 변성 희생막을 제거함으로써, 인접하는 배선 패턴들(162) 사이에 제2 개구부들(도시되지 않음)을 형성할 수 있다.
- [0107] 이후, 매립 특성이 낮은 절연 물질을 사용하여 제2 층간 절연막(130) 상에 배선 패턴(162) 및 캡핑막 패턴(169)을 커버하는 절연막(175)을 형성할 수 있다. 이에 따라, 절연막(175) 내부에는 인접하는 배선 패턴들(162) 사이에서 에어 갭(180)이 형성될 수 있다.
- [0108] 상술한 예시적인 실시예들에 따르면, 캡핑막 패턴(169)이 리세스(149)를 채우도록 형성되므로, 캡핑막 패턴(169)이 배선 패턴(162) 상에 자기 정렬될 수 있다. 따라서, 캡핑막 패턴(169)이 배선 패턴(162) 상에 오정렬되어, 후속 플라즈마 처리 공정, 식각 공정 등에 의해 배선 패턴(162)이 손상되는 현상을 방지할 수 있다.
- [0109] 일 실시예에 있어서, 희생막(140)은 도 10 내지 도 13을 참조로 설명한 바와 같이, 플라즈마 처리 공정 및 습식 식각 공정을 복수회 반복 수행하여 제거될 수도 있다.
- [0110] 도 24 내지 도 32는 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 1 내지 도 8, 도 9 내지 도 14, 도 15 내지 도 17, 및 도 18 내지 도 23을 참조로 설명한 공정 및/또는 재료들과 실질적으로 동일하거나 유사한 공정 및/또는 재료들에 대한 상세한 설명은 생략한다.
- [0111] 도 24를 참조하면, 기판(200) 상에 게이트 구조물(210)을 형성한 후, 게이트 구조물(210)과 인접한 기판(200) 상부에 불순물 영역들(205, 207)을 형성한다.
- [0112] 기판(200)은 제1 영역(I) 및 제2 영역(II)을 포함할 수 있다. 예를 들면, 제1 영역(I) 및 제2 영역(II)은 각각 엔모스(Negative Metal Oxide Semiconductor: NMOS) 영역 및 피모스(Positive Metal Oxide Semiconductor: PMOS) 영역으로 제공될 수 있다. 이 경우, 기판(200)의 제1 영역(I)에는 p형 불순물을 도핑하여 기판(200) 상부에 p형 웰(도시되지 않음)이 형성될 수 있고, 기판(200)의 제2 영역(II)에는 n형 불순물을 도핑하여 기판(200) 상부에 n형 웰(도시되지 않음)이 형성될 수 있다.
- [0113] 기판(200)으로서 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기판, 게르마늄-온-인슐레이터(Germanium-On-Insulator: GOI) 기판 등과 같은 반도체 기판과, GaP 기판, GaAs 기판, GaSb 기판 등 과 같은 III-V족 반도체 기판을 사용할 수 있다.
- [0114] 한편, 얇은 트렌치 분리(Shallow Trench Isolation: STI) 공정을 통해 기판(200) 상부에 소자 분리막(202)을 형성할 수 있다. 소자 분리막(202)에 의해 기판(200)의 액티브 영역 및 필드 영역이 구분될 수 있다.
- [0115] 예시적인 실시예들에 따르면, 기판(200) 상에 게이트 절연막, 게이트 전극막 및 게이트 마스크막을 순차적으로 형성한 후, 사진 식각 공정을 통해 이들을 식각하여 게이트 절연막 패턴(213), 게이트 전극(215) 및 게이트 마스크(217)를 포함하는 게이트 구조물(210)을 획득할 수 있다.
- [0116] 상기 게이트 절연막은 실리콘 산화물 혹은 금속 산화물을 사용하여 형성될 수 있다. 일 실시예에 있어서, 상기 게이트 절연막은 기판(200) 상면에 열 산화 공정을 수행하여 형성될 수도 있다. 상기 게이트 전극막은 도핑된 폴리실리콘, 금속, 금속 질화물 또는 금속 실리사이드를 사용하여 형성될 수 있다. 상기 게이트 마스크막은 실리콘 질화물을 사용하여 형성될 수 있다. 상기 게이트 절연막, 상기 게이트 전극막 및 상기 게이트 마스크막은 CVD 공정, PVD 공정, ALD 공정, 스프인 코팅 공정 등을 통해 획득될 수 있다.
- [0117] 게이트 구조물(210)을 이온 주입 마스크로 사용하여 불순물을 주입함으로써 게이트 구조물(210)과 인접한 제1 영역(I) 및 제2 영역(II)의 기판(200) 상부에 각각 제1 불순물 영역(205) 및 제2 불순물 영역(207)을 형성할 수 있다. 예시적인 실시예들에 따르면, 제1 불순물 영역(205)은 인(P), 비소(As)와 같은 n형 불순물을 포함할 수 있으며, 제2 불순물 영역(207)은 붕소(B), 갈륨(Ga)과 같은 p형 불순물을 포함할 수 있다.
- [0118] 이 경우, 기판(200)의 제2 영역(II)을 커버하는 예를 들면, 제1 포토레지스트 마스크를 형성한 후, 제1 영역(I) 상에 상기 n형 불순물을 주입하여 제1 불순물 영역(205)을 형성할 수 있다. 이후, 상기 제1 포토레지스트 마스크는 애싱(ahing) 및/또는 스트립(strip) 공정을 통해 제거할 수 있다. 이어서, 기판(200)의 제1 영역(I)을 커

버하는 예를 들면, 제2 포토레지스트 마스크를 형성한 후, 제2 영역(II) 상에 상기 p형 불순물을 주입하여 제2 불순물 영역(207)을 형성할 수 있다. 상기 제2 포토레지스트 마스크는 애싱 및/또는 스트립 공정을 통해 제거할 수 있다.

- [0119] 이에 따라, 기판(200)의 제1 영역(I) 상에는 제1 불순물 영역(205) 및 게이트 구조물(210)에 의해 NMOS 트랜지스터가 정의될 수 있다. 또한, 기판(200)의 제2 영역(II) 상에는 제2 불순물 영역(207) 및 게이트 구조물(210)에 의해 PMOS 트랜지스터가 정의될 수 있다. 따라서, 기판(200) 상에는 씨모스(Complementary Metal Oxide Semiconductor: CMOS) 트랜지스터가 형성될 수 있다.
- [0120] 게이트 구조물(210)의 측벽 상에는 게이트 스페이서(219)를 형성할 수 있다. 예를 들면, 기판(200) 상에 게이트 구조물(210)을 덮는 스페이서막을 형성한 후, 상기 스페이서막을 이방성 식각하여 게이트 스페이서(219)를 형성할 수 있다. 상기 스페이서막은 예를 들면, 실리콘 질화물을 사용하여 CVD 공정, 스펀 코팅 공정 등을 통해 형성될 수 있다.
- [0121] 도 25를 참조하면, 기판(200) 상에 게이트 구조물(210)을 덮는 제1 층간 절연막(220)을 형성하고, 제1 층간 절연막(220)을 관통하여 제1 및 제2 불순물 영역(205, 207)과 접촉되는 제1 콘택들(230)을 형성할 수 있다. 이후, 제1 층간 절연막(220) 상에 제1 희생막(240)을 형성할 수 있다.
- [0122] 예를 들면, 제1 층간 절연막(220)은 저유전율을 갖는 실리콘 산화물 계열의 물질을 사용하여 CVD 공정, 스펀 코팅 공정 등을 통해 형성될 수 있다. 제1 층간 절연막(220)을 부분적으로 식각하여, 제1 및 제2 불순물 영역들(205, 207)을 노출시키는 제1 콘택 홀들을 형성할 수 있다. 제1 층간 절연막(220) 상에 상기 제1 콘택 홀들을 채우는 도전막을 형성한 후, 상기 도전막의 상부를 제1 층간 절연막(220) 상면이 노출될 때까지 CMP 공정을 통해 평탄화함으로써 제1 콘택들(230)을 획득할 수 있다. 상기 도전막은 금속, 금속 질화물 또는 금속 실리사이드를 사용하여 ALD 공정, 스퍼터링 공정, PVD 공정 등을 통해 형성될 수 있다.
- [0123] 일 실시예에 있어서, 제1 콘택(230)은 게이트 스페이서(219)와 접촉할 수 있다. 이 경우, 상기 제1 콘택 홀에 의해 게이트 스페이서(219)가 노출될 수 있으며, 상기 제1 콘택 홀 및 제1 콘택(230)은 게이트 스페이서(219)에 자기 정렬될 수 있다.
- [0124] 제1 희생막(240)은 도 1 및 도 2를 참조로 설명한 희생막(140) 형성을 위한 공정 및 재료와 실질적으로 동일하거나 유사한 공정 및 재료를 활용하여 형성될 수 있다. 이에 따라, 제1 희생막(240)을 실질적으로 제1 층간 절연막(220)의 전면 상에 형성 후, 이를 부분적으로 식각함으로써 제1 콘택들(230)의 상면을 노출시키는 복수의 개구부들(245)을 형성할 수 있다.
- [0125] 도 26을 참조하면, 도 3 및 도 4를 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정들을 수행하여, 개구부(245) 내부에 제1 콘택(230)과 전기적으로 연결되는 제1 배리어 도전막 패턴(255) 및 제1 도전 패턴(265)을 형성할 수 있다. 이에 따라, 제1 배리어 도전막 패턴(255) 및 제1 도전 패턴(265)을 포함하는 제1 배선 패턴(262)을 획득할 수 있다.
- [0126] 도 27을 참조하면, 도 5를 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행하여, 제1 배선 패턴(262) 상에 제1 캡핑막 패턴(267)을 형성할 수 있다.
- [0127] 일 실시예에 있어서, 도 16을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 통해 상기 제1 캡핑막 패턴을 형성할 수도 있다.
- [0128] 일 실시예에 있어서, 도 20 내지 도 22를 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 통해 상기 제1 캡핑막 패턴을 형성할 수도 있다.
- [0129] 도 28을 참조하면, 도 6 내지 도 8을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행할 수 있다.
- [0130] 이에 따라, 상술한 플라즈마 처리 공정 및 습식 식각 공정을 통해 제1 희생막(240)을 제거하고 제1 층간 절연막(220) 상에 제1 배선 패턴(262)을 덮는 제1 절연막(275)을 형성할 수 있다. 인접하는 제1 배선 패턴들(262) 사이의 제1 절연막(275) 내부에는 제1 에어 갭(280)이 형성될 수 있다.
- [0131] 일 실시예에 있어서, 제1 희생막(240)은 도 10 내지 도 13을 참조로 설명한 바와 같이, 플라즈마 처리 공정 및 습식 식각 공정을 복수회 반복 수행하여 제거될 수도 있다.
- [0132] 도 29를 참조하면, 예를 들면 제1 캡핑막 패턴(267) 상면이 노출될 때까지 제1 절연막(275) 상부를 CMP 공정을

통해 평탄화할 수 있다.

- [0133] 도 30을 참조하면, 제1 절연막(275) 및 제1 캡핑막 패턴(267) 상에 제2 층간 절연막(320)을 형성하고, 제2 층간 절연막(320)을 관통하여 제1 배선 패턴(262)과 전기적으로 연결되는 제2 콘택(330)을 형성할 수 있다.
- [0134] 제2 층간 절연막(320) 및 제2 콘택(330)은 각각 제1 층간 절연막(220) 및 제1 콘택(230)과 실질적으로 동일하거나 유사한 공정 및/또는 재료를 활용하여 형성될 수 있다.
- [0135] 도 31을 참조하면, 도 25 내지 도 27을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정을 수행할 수 있다.
- [0136] 이에 따라, 제2 층간 절연막(320) 및 제2 콘택(330) 상에 제2 희생막(340)을 형성하고, 제2 희생막(340)을 부분적으로 제거하여 제2 콘택(330)을 노출시키는 개구부를 형성할 수 있다. 이후, 상기 개구부를 채우며, 제2 콘택(330)과 전기적으로 연결되는 제2 배리어 도전막 패턴(355) 및 제2 도전 패턴(365)을 형성할 수 있다. 이에 따라, 제2 배리어 도전막 패턴(355) 및 제2 도전 패턴(365)을 포함하는 제2 배선 패턴(362)을 수득할 수 있다. 추가적으로, 제2 배선 패턴(362) 상에 제2 캡핑막 패턴(367)을 형성할 수 있다.
- [0137] 예시적인 실시예들에 따르면, 제2 배선 패턴(362) 중 일부는 제1 영역(I) 및 제2 영역(II)의 트랜지스터들을 서로 연결할 수 있다. 예를 들면, 제2 배선 패턴(362)은 NMOS 영역 및 PMOS 영역 사이의 전기적 신호 전달이 수행되는 배선을 포함할 수 있다.
- [0138] 도 32를 참조하면, 도 6 내지 도 8을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행할 수 있다.
- [0139] 이에 따라, 상술한 플라즈마 처리 공정 및 습식 식각 공정을 통해 제2 희생막(340)을 제거하고 제2 층간 절연막(320) 상에 제2 배선 패턴(362)을 덮는 제2 절연막(375)을 형성할 수 있다. 인접하는 제2 배선 패턴들(362) 사이의 제2 절연막(375) 내부에는 제2 에어 갭(380)이 형성될 수 있다.
- [0140] 일 실시예에 있어서, 제2 희생막(340)은 도 10 내지 도 13을 참조로 설명한 바와 같이, 플라즈마 처리 공정 및 습식 식각 공정을 복수회 반복 수행하여 제거될 수도 있다.
- [0141] 이어서, 제2 절연막(375) 상부를 예를 들면, CMP 공정을 통해 평탄화할 수 있다. 일 실시예에 있어, 제2 절연막(375) 및 제2 배선 패턴(362) 상에 추가적인 배선 구조물을 더 형성할 수도 있다.
- [0142] 이하에서는, 희생막 제거 방법에 대해 구체적인 실시예 및 비교예를 통해 설명한다.
- [0143] 제거된 희생막의 균일도 평가
- [0144] 실리콘 기판 상에 TEOS를 사용하여 희생막을 형성하였다. 상기 희생막에 대해 NH<sub>3</sub>/N<sub>2</sub>혼합가스를 반응가스로 사용하여 350°C온도에서 120초간 플라즈마 처리 공정을 수행하고, 희석 불산 용액을 사용하여 상기 희생막을 습식 식각을 통해 부분적으로 식각하였다.
- [0145] 잔류하는 희생막에 대해 비균일도(Non Uniformity: N/U)를 측정하였다. 상기 비균일도는 잔류하는 희생막 상면에서 최고점 및 최저점의 높이 차이를 측정하여 계산된다. 상기 높이 차이가 클수록 비균일도 값이 상승한다.
- [0146] 상기 플라즈마 처리 공정의 RF 파워 및 압력 조건을 변경하면서 반복적으로 희생막에 대한 비균일도 및 식각 속도를 측정하였다. 구체적으로, 고주파 파워(HF) 및 저주파 파워(LF)를 함께 사용하는 듀얼 파워 플라즈마 처리 공정을 활용하여 상기 희생막을 부분적으로 제거한 후 비균일도 및 식각 속도를 측정하였으며(비교예), 싱글 고주파 파워 플라즈마 처리 공정을 활용하여 상기 희생막을 부분적으로 제거한 후 비균일도 및 식각 속도를 측정하였다(실시예). 비교예 및 실시예에 따라 얻어진 결과들을 하기의 표 1에 나타낸다.

**표 1**

구 분	압력(Torr)	RF 파워(W/mm <sup>2</sup> ) (HF/LF)	비균일도 (%)	식각속도 (Å/sec)
비교예 1	1.7	0.008/0.003	11.64	62
비교예 2	2.4	0.008/0.003	10.39	67
비교예 3	2.4	0.012/0.003	16.81	43
비교예 4	1.7	0.008/0.003	10.01	42
비교예 5	1.7	0.012/0.003	11.91	48

비교예 6	2.4	0.012/0.003	10.47	49
비교예 7	2.4	0.008/0.003	29.15	56
실시예 1	2.4	0.02	5.72	89
실시예 2	4.2	0.012	6.34	62
실시예 3	2.4	0.007	4.50	95
실시예 4	2.4	0.006	9.60	72
실시예 5	2.4	0.004	5.4	88
실시예 6	1.7	0.003	14.01	78
실시예 7	5.2	0.002	11.23	56
실시예 8	2.4	0.03	12.31	89
실시예 9	0.8	0.02	11.35	92

[0148] 표 1을 참조하면, 예를 들어 싱글 고주파 파워 플라즈마 처리 공정을 활용한 실시예들은 듀얼 파워 플라즈마 처리 공정에 의한 비교예들에 비해 전체적으로 낮은 희생막 비균일도를 나타내었다. 특히, 실시예 1 내지 5의 경우 10보다 작은 우수한 비균일도를 나타내었다. 또한, 실시예들은 비교예들에 비해 전체적으로 보다 높은 식각 속도를 나타내었다.

[0149] 실시예 6 및 실시예 7을 참조하면, 싱글 고주파 파워의 값이  $0.004W/mm^2$  미만으로 지나치게 낮아짐에 따라, 비균일도 값이 10% 이상으로 상승하였다. 특히, 실시예 7의 경우 상기 공정 챔버 압력이 5torr 이상으로 지나치게 상승함에 따라 식각 속도 역시 다른 실시예들에 비해 저하되었다. 또한 실시예 9의 경우 상기 공정 챔버의 압력이 1torr 미만으로 감소함에 따라 플라즈마 충돌 속도가 지나치게 증가하여, 비균일도 값이 10% 이상으로 상승하였다.

[0150] 한편, 실시예 8을 참조하면 싱글 파워의 값이  $0.02W/mm^2$ 을 초과함에 따라 비균일도 값이 역시 10% 이상으로 상승하였다.

[0151] 상기의 실시예들을 통해 적절한 값의 싱글 파워가 인가되는 플라즈마 처리 공정을 통해 희생막을 균일하게 제거할 수 있으며, 따라서 상기 희생막이 제거된 공간에 균일한 에어 갭을 형성할 수 있음을 예측할 수 있다.

**산업상 이용가능성**

[0152] 본 발명의 예시적인 실시예들은 고집적도 및 미세 피치 패턴을 포함하는 배선 구조물 및 반도체 장치에 있어서, 기생 커패시턴스에 따른 간섭 및 크로스 토크(crosstalk)현상을 감소시키는 데 활용될 수 있다.

[0153] 따라서, 본 발명의 예시적인 실시예들을 활용하여 신뢰성 높은 각종 반도체 장치들, 예를 들면 디램(Dynamic Random Access Memory: DRAM) 장치, 낸드 플래시(Nand Flash) 장치, 자성 메모리(Magnetic Random Access Memory: MRAM) 장치, 가변 저항 메모리(Resistive Random Access Memory: ReRAM) 장치 등을 제조할 수 있다.

[0154] 상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 특히 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

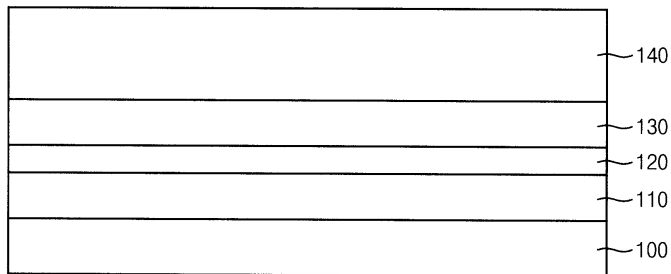
**부호의 설명**

- [0155] 100, 200: 기판
- 110, 220: 제1 층간 절연막
- 120: 패시베이션 막
- 130, 320: 제2 층간 절연막
- 140: 희생막
- 143: 변성 희생막
- 143a: 제1 변성 희생막
- 143b: 제2 변성 희생막
- 145: 제1 개구부
- 147: 트렌치
- 149: 리세스
- 150: 배리어 도전막
- 155: 배리어 도전막 패턴
- 160: 도전막
- 162: 배선 패턴
- 163: 캡핑막

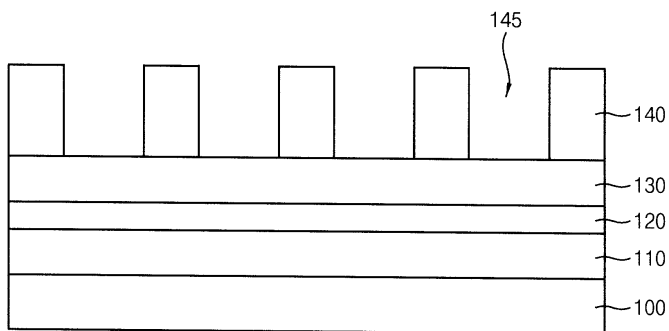
- |                    |                        |
|--------------------|------------------------|
| 165: 도전 패턴         | 167, 167a, 169: 캡핑막 패턴 |
| 170: 제2 개구부        | 175: 절연막               |
| 180: 에어 갭          | 202: 소자 분리막            |
| 205: 제1 불순물 영역     | 207: 제2 불순물 영역         |
| 210: 게이트 구조물       | 213: 게이트 절연막 패턴        |
| 215: 게이트 전극        | 217: 게이트 마스크           |
| 219: 게이트 스페이서      | 230: 제1 콘택             |
| 240: 제1 희생막        | 245: 개구부               |
| 255: 제1 배리어 도전막 패턴 | 262: 제1 배선 패턴          |
| 265: 제1 도전 패턴      | 267: 제1 캡핑막 패턴         |
| 275: 제1 절연막        | 280: 제1 에어 갭           |
| 330: 제2 콘택         | 340: 제2 희생막            |
| 355: 제2 배리어 도전막 패턴 | 362: 제2 배선 패턴          |
| 365: 제2 도전 패턴      | 367: 제2 캡핑막 패턴         |
| 375: 제2 절연막        | 380: 제2 에어 갭           |

도면

도면1

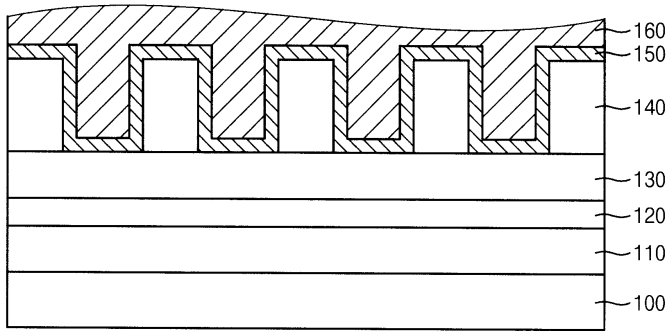


도면2

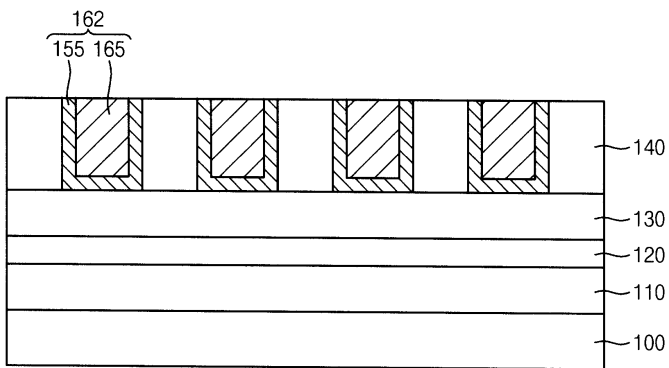




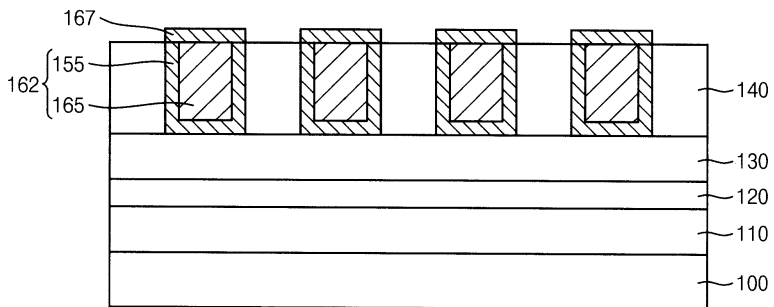
도면3



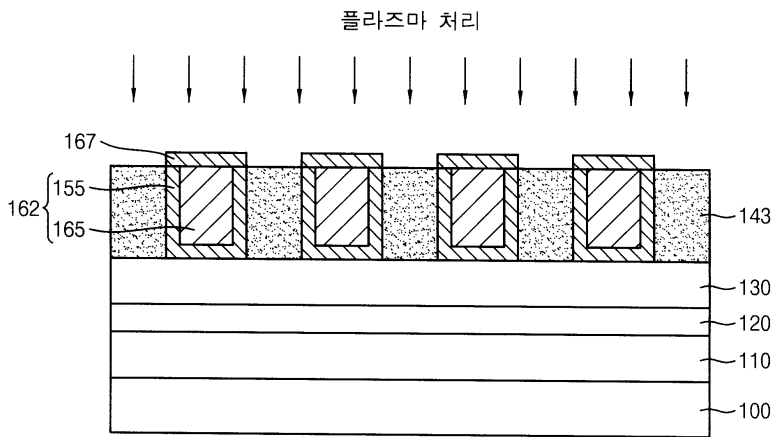
도면4



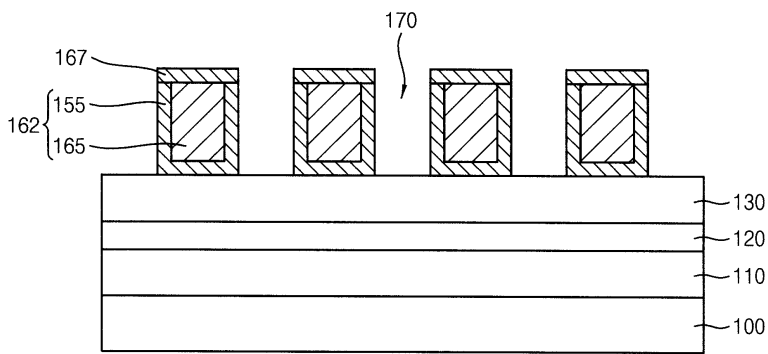
도면5



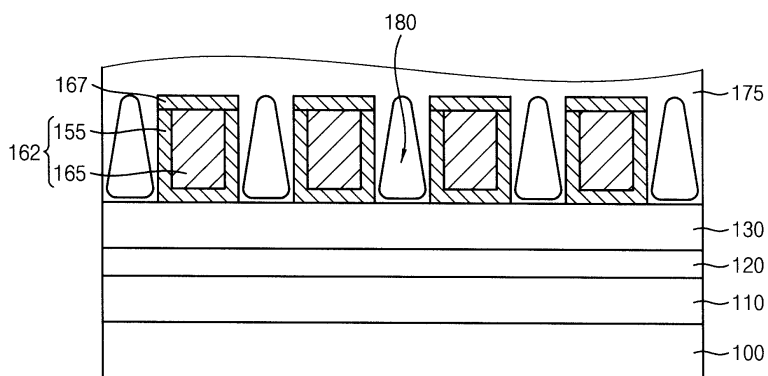
도면6



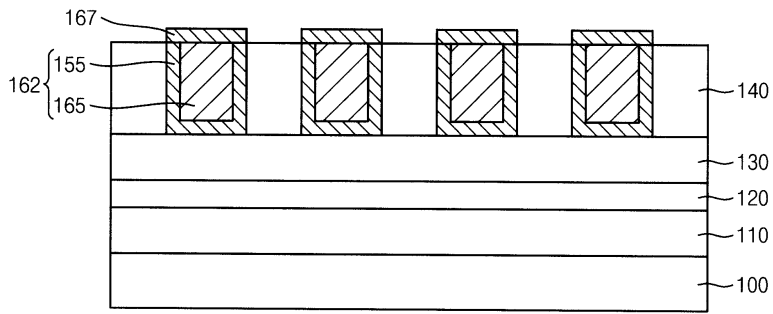
도면7



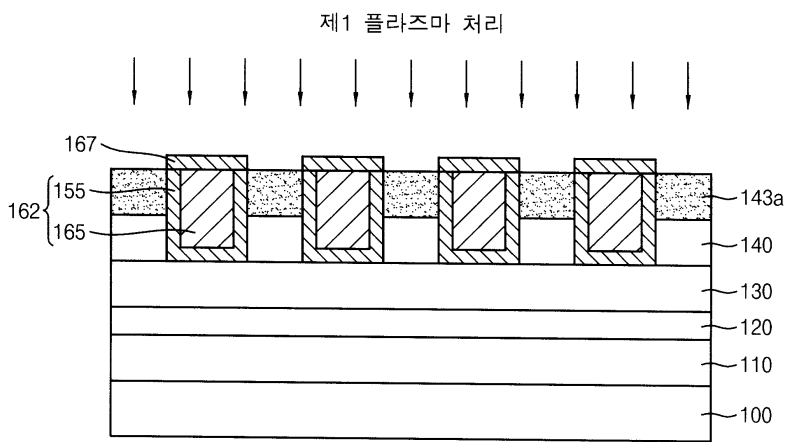
도면8



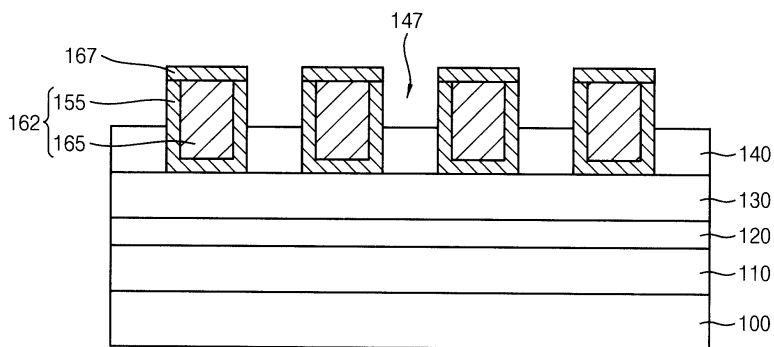
도면9



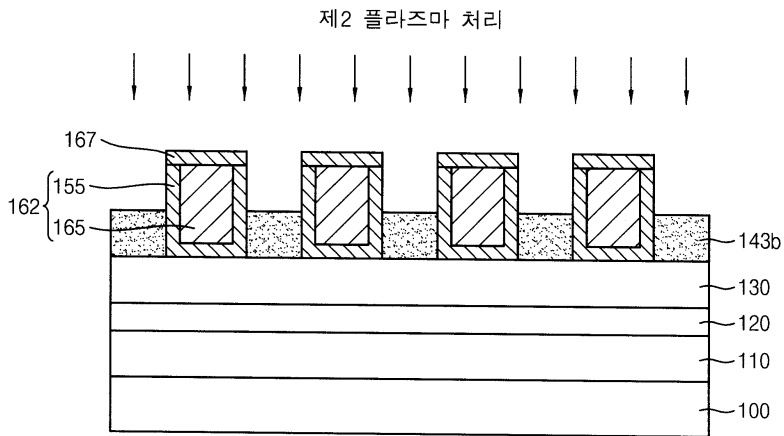
도면10



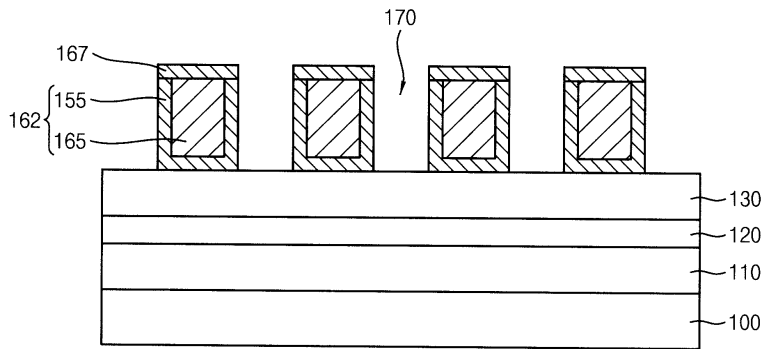
도면11



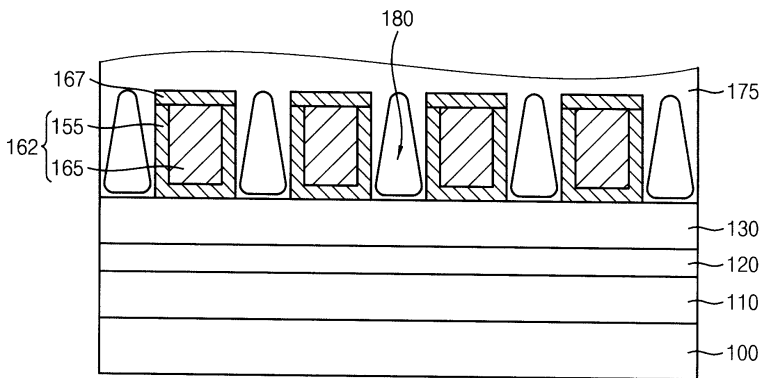
도면12



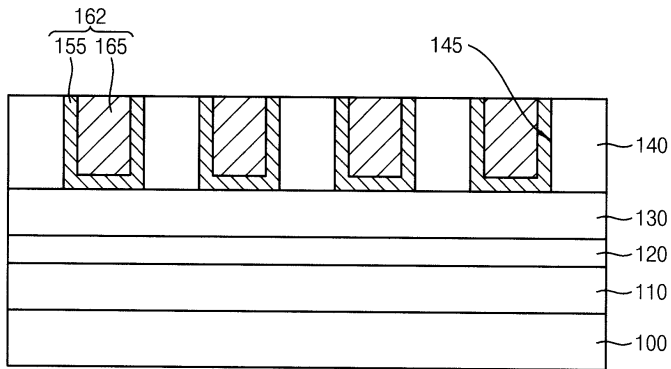
도면13



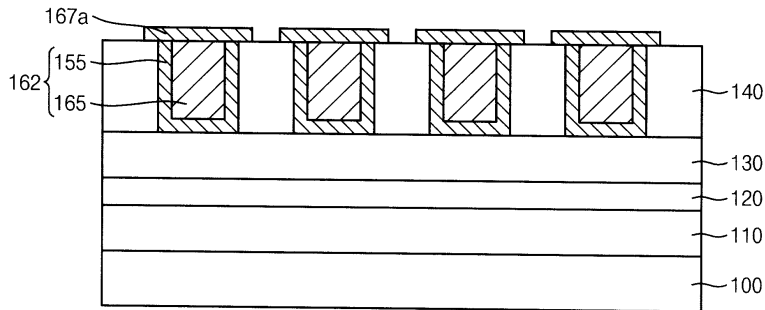
도면14



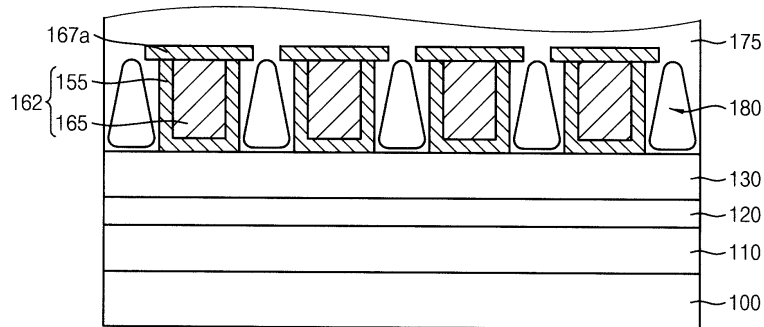
도면15



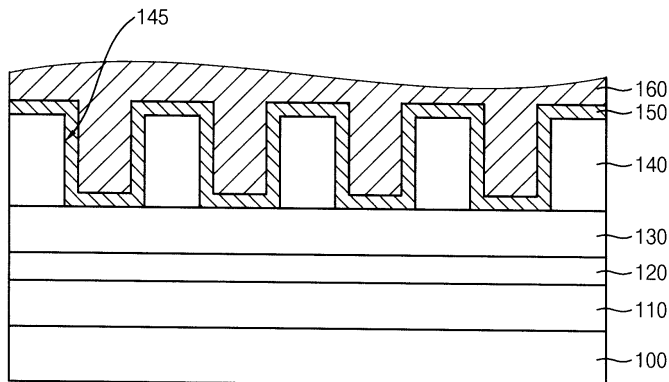
도면16



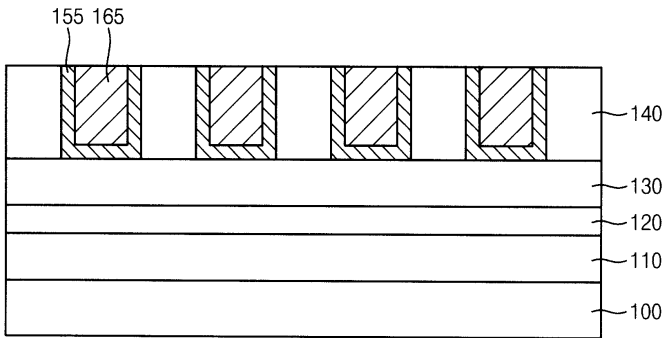
도면17



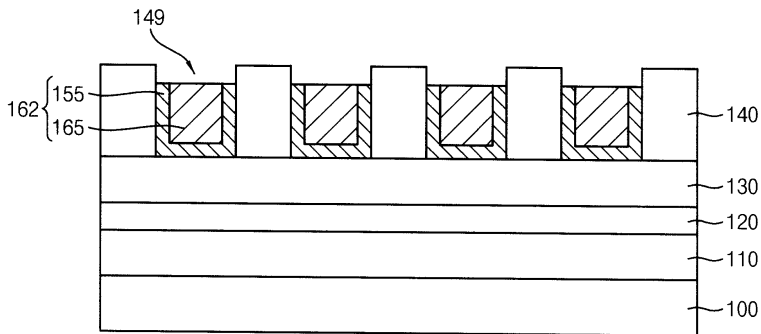
도면18



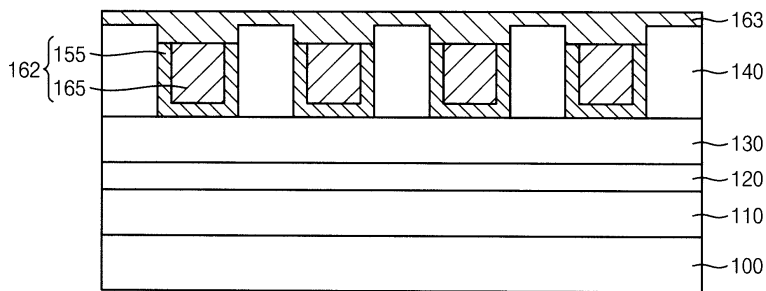
도면19



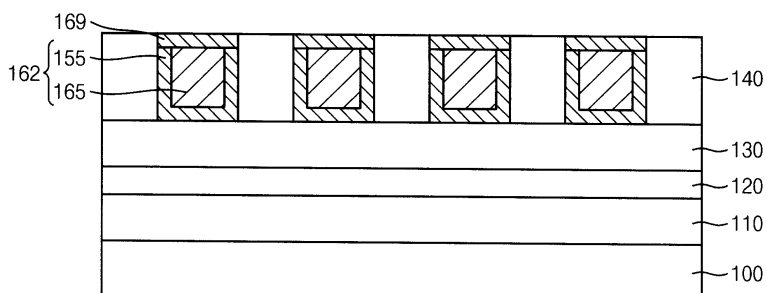
도면20



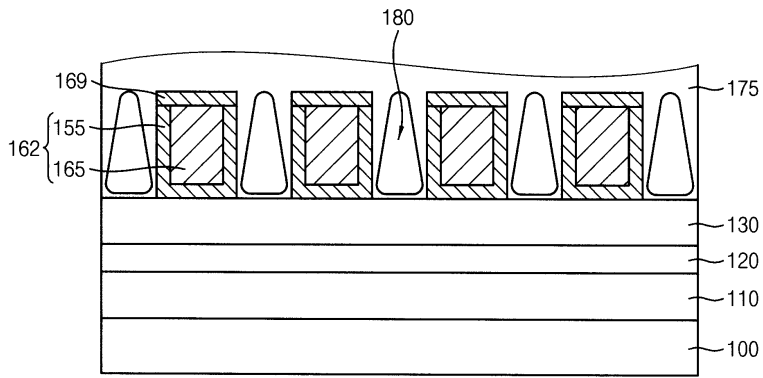
도면21



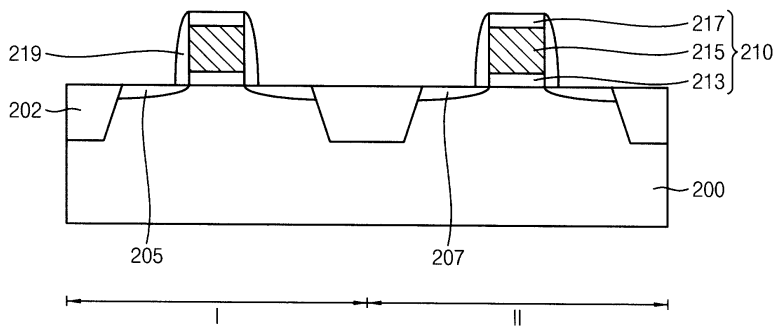
도면22



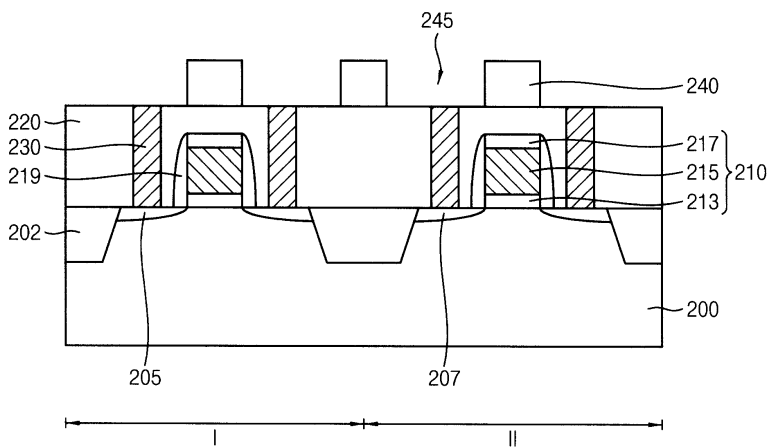
도면23



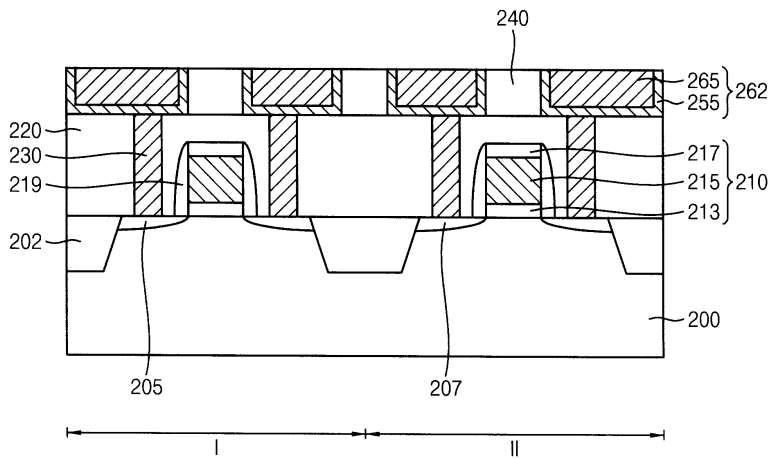
도면24



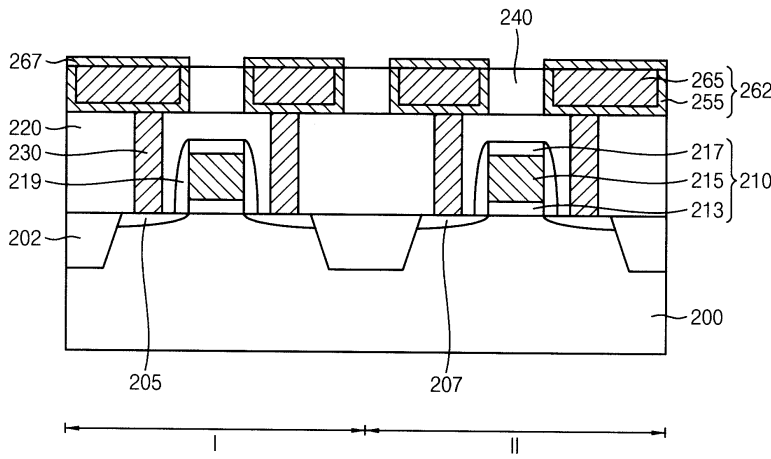
도면25



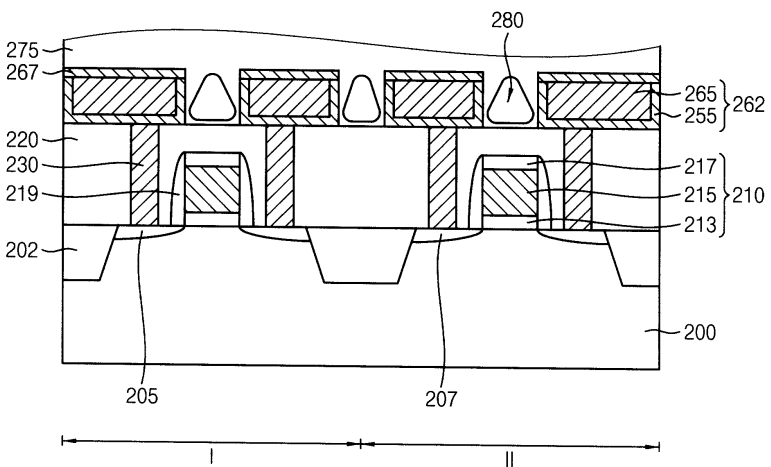
도면26



도면27

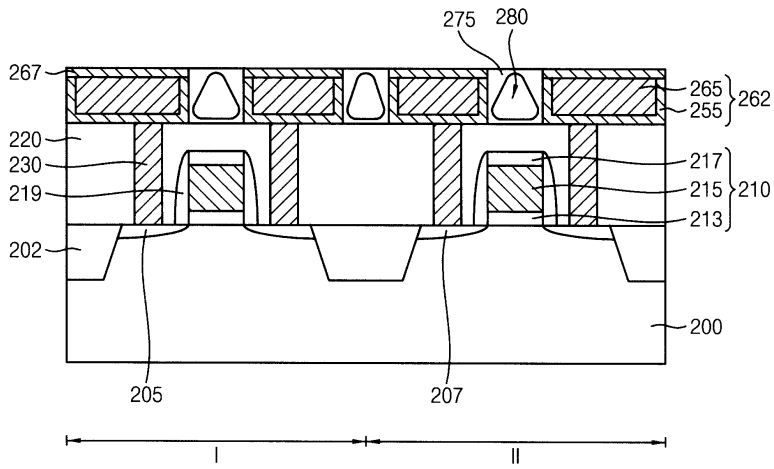


도면28

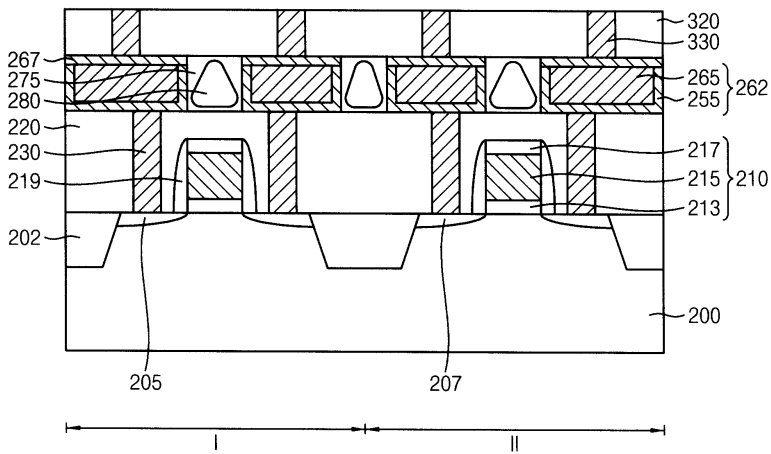




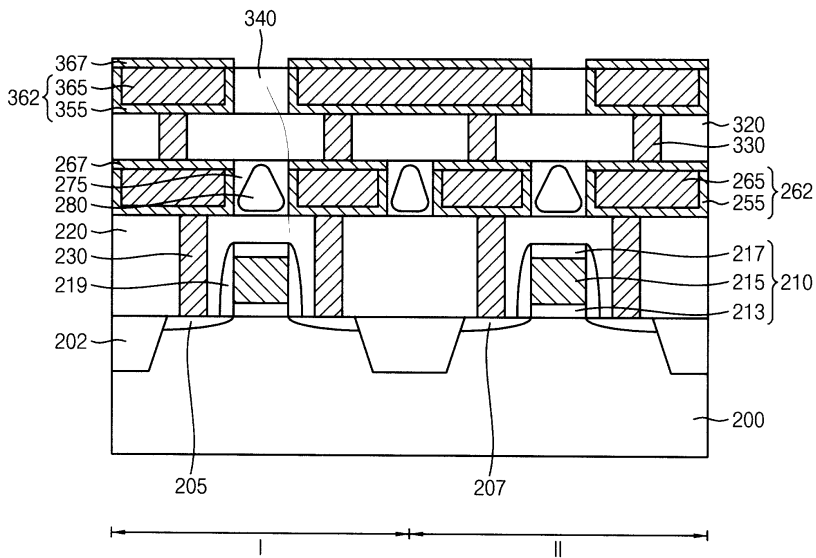
도면29



도면30



도면31



도면32

