

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3861957号
(P3861957)

(45) 発行日 平成18年12月27日(2006.12.27)

(24) 登録日 平成18年10月6日(2006.10.6)

(51) Int. Cl.

F I

G06T 1/60 (2006.01)
G11C 7/00 (2006.01)
G11C 11/401 (2006.01)

G06T 1/60 450F
G11C 7/00 311F
G11C 11/34 371H

請求項の数 11 (全 37 頁)

(21) 出願番号 特願平10-22172
(22) 出願日 平成10年2月3日(1998.2.3)
(65) 公開番号 特開平11-219429
(43) 公開日 平成11年8月10日(1999.8.10)
審査請求日 平成17年1月20日(2005.1.20)

(73) 特許権者 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74) 代理人 100082131
弁理士 稲本 義雄
(72) 発明者 近藤 哲二郎
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 奥村 明弘
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

審査官 真木 健彦

最終頁に続く

(54) 【発明の名称】 記憶装置、並びに書き込み方法および読み出し方法

(57) 【特許請求の範囲】

【請求項1】

所定の順番で1画素単位で入力される下位階層の画像を構成するN画素から、上位階層の画像の1画素を生成しながら、前記下位階層および上位階層の画像を記憶する記憶装置であって、

前記下位階層の画像を記憶する下位階層記憶手段と、

前記下位階層記憶手段に記憶された前記下位階層の画像を、N-1画素単位で読み出すための制御を行う制御手段と、

前記下位階層記憶手段から読み出された前記下位階層の画像を構成するN-1画素と、入力された前記下位階層の画像の1画素との合計N画素から、前記上位階層の画像の1画素を生成する上位階層生成手段と、

前記上位階層生成手段によって生成された画素で構成される前記上位階層の画像を記憶する上位階層記憶手段と

を備えることを特徴とする記憶装置。

【請求項2】

前記制御手段は、前記下位階層の画像を構成する画素の水平方向または垂直方向の位置にそれぞれ対応する水平アドレスおよび垂直アドレスの一部によって、前記下位階層記憶手段のアドレスを指定することにより、前記下位階層記憶手段に記憶された前記下位階層の画像を、N-1画素単位で読み出す

ことを特徴とする請求項1に記載の記憶装置。

10

20

【請求項 3】

前記下位階層記憶手段は、前記上位階層の画像の1画素を生成するのに用いる前記下位階層の画像のN画素について、そのN画素のうち、最後に入力される画素である最終入力画素を除くN - 1画素のみを記憶し、

前記制御手段は、前記下位階層の画像のN画素のうち、前記最終入力画素が入力されるタイミングで、前記下位階層の画像の、対応するN - 1画素を、前記下位階層記憶手段から読み出す

ことを特徴とする請求項1に記載の記憶装置。

【請求項 4】

前記上位階層生成手段は、

前記下位階層記憶手段から読み出されたN - 1画素を加算する第1の加算手段と、前記第1の加算手段の加算結果と、前記最終入力画素とを加算する第2の加算手段とを有する

ことを特徴とする請求項3に記載の記憶装置。

【請求項 5】

前記下位階層記憶手段が、前記上位階層の画像の1画素を生成するのに用いる前記下位階層の画像のN画素について、そのN画素のうち、最後に入力される画素である最終入力画素を除くN - 1画素のみを記憶する場合において、

前記下位階層記憶手段から読み出された前記下位階層の画像を構成するN - 1画素のうちの1つを選択して出力する選択手段と、

前記上位階層記憶手段に記憶された前記上位階層の画像の1画素と、その1画素を生成するのに用いた前記下位階層の画像のN画素のうち、前記下位階層記憶手段から読み出された前記下位階層の画像を構成するN - 1画素とから、前記下位階層の画像を構成する前記最終入力画素を生成して出力する下位階層生成手段と

をさらに備えることを特徴とする請求項1に記載の記憶装置。

【請求項 6】

前記下位階層生成手段は、

前記下位階層記憶手段から読み出されたN - 1画素を加算する加算手段と、前記上位階層の画像の1画素から、前記加算手段の加算結果を減算する減算手段とを有する

ことを特徴とする請求項5に記載の記憶装置。

【請求項 7】

所定の順番で1画素単位で入力される下位階層の画像を構成するN画素から、上位階層の画像の1画素を生成しながら、前記下位階層および上位階層の画像を記憶する記憶装置における画像の書き込み方法であって、

前記下位階層の画像の画素を書き込む一方、

書き込まれた前記下位階層の画像を、N - 1画素単位で読み出し、

その下位階層の画像を構成するN - 1画素と、入力された前記下位階層の画像の1画素との合計N画素から、前記上位階層の画像の1画素を生成し、

生成された前記上位階層の画像の画素を書き込む

ことを特徴とする書き込み方法。

【請求項 8】

所定の順番で1画素単位で入力される下位階層の画像を構成するN画素から、上位階層の画像の1画素を生成しながら、前記下位階層および上位階層の画像を記憶する記憶装置であって、

前記上位階層の画像の1画素を生成するのに用いる前記下位階層の画像のN画素について、そのN画素のうち、最後に入力される画素である最終入力画素を除くN - 1画素のみを記憶する下位階層記憶手段と、

前記下位階層記憶手段に記憶された前記下位階層の画像を、N - 1画素単位で読み出すための制御を行う制御手段と、

10

20

30

40

50

前記下位階層の画像を構成するN画素から生成される前記上位階層の画像を構成する画素を記憶する上位階層記憶手段と、
 前記下位階層記憶手段から読み出された前記下位階層の画像を構成するN - 1画素のうちの1つを選択して出力する選択手段と、
 前記上位階層記憶手段に記憶された前記上位階層の画像の1画素と、その1画素を生成するのに用いた前記下位階層の画像のN画素のうち、前記下位階層記憶手段から読み出された前記下位階層の画像を構成するN - 1画素とから、前記下位階層の画像を構成する前記最終入力画素を生成して出力する下位階層生成手段と
 を備えることを特徴とする記憶装置。

【請求項9】

前記制御手段は、前記下位階層の画像を構成する画素の水平方向または垂直方向の位置にそれぞれ対応する水平アドレスおよび垂直アドレスの一部によって、前記下位階層記憶手段のアドレスを指定することにより、前記下位階層記憶手段に記憶された前記下位階層の画像を、N - 1画素単位で読み出す
 ことを特徴とする請求項8に記載の記憶装置。

【請求項10】

前記下位階層生成手段は、
 前記下位階層記憶手段から読み出されたN - 1画素を加算する加算手段と、
 前記上位階層の画像の1画素から、前記加算手段の加算結果を減算する減算手段と
 を有する
 ことを特徴とする請求項8に記載の記憶装置。

【請求項11】

所定の順番で1画素単位で入力される下位階層の画像を構成するN画素から、上位階層の画像の1画素を生成しながら、前記下位階層および上位階層の画像を記憶する記憶装置における画像の読み出し方法であって、
 前記記憶装置が、
 前記上位階層の画像の1画素を生成するのに用いる前記下位階層の画像のN画素について、そのN画素のうち、最後に入力される画素である最終入力画素を除くN - 1画素のみを記憶する下位階層記憶手段と、
 前記下位階層の画像を構成するN画素から生成される前記上位階層の画像を構成する画素を記憶する上位階層記憶手段と
 を備え、
 前記下位階層記憶手段から、前記下位階層の画像を構成するN - 1画素を読み出し、そのうちの1つを選択して出力する一方、
 前記上位階層記憶手段に記憶された前記上位階層の画像の1画素と、その1画素を生成するのに用いた前記下位階層の画像のN画素のうち、前記下位階層記憶手段から読み出された前記下位階層の画像を構成するN - 1画素とから、前記下位階層の画像を構成する前記最終入力画素を生成して出力する
 ことを特徴とする読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記憶装置、並びに書き込み方法および読み出し方法に関し、特に、例えば、画素数の異なる複数の階層の画像を形成する階層符号化を行う場合などに用いて好適な記憶装置、並びに書き込み方法および読み出し方法に関する。

【0002】

【従来の技術】

例えば、高解像度の画像データを、最下位階層または第1の階層の画像データとして、それより画素数の少ない第2の階層の画像データを形成し、さらに、それより画素数の少ない第3の階層の画像データを形成し、以下、同様にして、所定の最上位階層までの画像デ

10

20

30

40

50

ータを形成する符号化手法がある。このような符号化は、階層符号化と呼ばれ、各階層の画像データは、例えば、その階層に対応した解像度（画素数）のモニタで表示される。従って、ユーザ側では、階層符号化された画像データのうち、自身が有するモニタの解像度に対応するものを選択することで、その画像データを視聴することができる。また、階層符号化により得られた各階層の画像は、例えば、そのうちの上位階層のものを表示しておき、ユーザの操作などに対応して、下位階層のものに切り替えることによって、画像の拡大などにも利用することができる。

【 0 0 0 3 】

ところで、ある解像度の画像データを最下位階層（第1階層）の画像データとして、上位階層の画像データを、順次形成し、それらのすべてを、そのまま記憶や伝送などする場合 10
には、最下位階層の画像データだけを記憶等する場合に比較して、上位階層の画像データの分だけ、記憶容量や伝送容量が余計に必要となる。

【 0 0 0 4 】

そこで、そのような記憶容量等の増加を低減する階層符号化方法を、本件出願人は先に提案している。

【 0 0 0 5 】

即ち、例えば、いま、 2×2 画素（横 \times 縦）の4画素の加算値を、上位階層の画素（画素値）とし、3階層の階層符号化を行うものとする。この場合、いま、最下位階層の画像として、例えば、図16に示すように、 4×4 画素を考えると、その左上の 2×2 画素の4画素 h_{00} , h_{10} , h_{01} , h_{11} の加算値 m_0 が演算され、これが、第2階層の左上 20
の1画素とされる。同様にして、最下位階層の画像の右上の4画素 h_{20} , h_{30} , h_{21} , h_{31} の加算値 m_1 、左下の4画素 h_{02} , h_{12} , h_{03} , h_{13} の加算値 m_2 、右下の4画素 h_{22} , h_{32} , h_{23} , h_{33} の加算値 m_3 が演算され、それぞれが、第2階層の右上、左下、右下の1画素とされる。さらに、第2階層の 2×2 画素の4画素 m_0 , m_1 , m_2 , m_3 の加算値 q_0 が演算され、これが、第3階層、即ち、ここでは、最上位階層の画像の画素とされる。

【 0 0 0 6 】

以上の画素 h_{00} 乃至 h_{33} , m_0 乃至 m_3 , q_0 を、そのまま全部記憶などさせたのでは、上述のように、第2階層の画素 m_0 乃至 m_3 、第3階層の画素 q_0 の分だけ余分に記憶容量等が必要となる。 30

【 0 0 0 7 】

そこで、図16に示すように、第3階層の画素 q_0 を、第2階層の画素 m_0 乃至 m_3 のうちの、例えば、右下の画素 m_3 の位置に配置する。これにより、第2階層は、画素 m_0 乃至 m_2 および q_0 で構成されることになる。

【 0 0 0 8 】

さらに、図16に示すように、第2階層の画素 m_0 を、それを求めるのに用いた第1階層の画素 h_{00} , h_{10} , h_{01} , h_{11} のうちの、例えば、右下の画素 h_{11} の位置に配置する。第2階層の残りの画素 m_1 , m_2 , q_0 も、同様に、第1階層の画素 h_{31} , h_{13} , h_{33} に代えて配置する。なお、画素 q_0 は、第1階層の画素 h_{22} , h_{32} , h_{23} , h_{33} から直接求められたものではないが、それらから直接求められた m_3 に代えて第2階層に配置されているものであるから、画素 h_{33} の位置に画素 m_3 を配置する代わりに、画素 q_0 を配置する。 40

【 0 0 0 9 】

以上のようにすることで、全画素数は 4×4 の16画素となり、元の最下位階層の画素数と変わらない。従って、この場合、記憶容量等の増加を低減することができる。

【 0 0 1 0 】

一方、以上のような階層符号化において、画素 q_0 と代えられた画素 m_3 および h_{33} 、画素 m_0 乃至 m_2 とそれぞれ代えられた画素 h_{11} , h_{31} , h_{13} の復号は、次のようにして行うことができる。

【 0 0 1 1 】

10

20

30

40

50

即ち、 q_0 は、 m_0 乃至 m_3 の加算値であるから、式 $q_0 = m_0 + m_1 + m_2 + m_3$ が成り立つ。従って、式 $m_3 = q_0 - (m_0 + m_1 + m_2)$ により、 m_3 を求めることができる。

【0012】

また、 m_0 は、 h_{00} , h_{10} , h_{01} , h_{11} の加算値であるから、式 $m_0 = h_{00} + h_{10} + h_{01} + h_{11}$ が成り立つ。従って、式 $h_{11} = m_0 - (h_{00} + h_{10} + h_{01})$ により、 h_{11} を求めることができる。同様にして、 h_{31} , h_{13} , h_{33} も求めることができる。なお、 h_{33} は、上述したようにして m_3 を求めてから求めることになる。

【0013】

【発明が解決しようとする課題】

ところで、以上のような階層符号化を行うにあたっては、従来においては、その階層符号化結果を記憶する汎用的なメモリ（例えば、SRAM（Static Random Access Memory）やDRAM（Dynamic RAM）など）の他に、下位階層の画素（画素値）のラインディレイを行うための遅延回路などが必要であった。

【0014】

即ち、図16に示した場合において、例えば、第2階層の画素 m_0 を求めるためには、式 $m_0 = h_{00} + h_{10} + h_{01} + h_{11}$ を演算する必要があり、従って、2ラインに亘る第1階層の画素 h_{00} , h_{10} , h_{01} , h_{11} が必要である。また、メモリへの画像データの供給は、一般に、画素単位で、左から右方向に、かつ、上から下の方向に、即ち、

【0015】

このため、第2階層の画素 m_0 を求めるには、 h_{00} で始まるラインを、1ラインと1画素分だけ遅延して、 h_{01} で始まるラインの h_{01} および h_{11} が供給されるのを待って、 m_0 を計算し、その後、 h_{00} で始まるラインのメモリへの書き込みを行う必要がある。

【0016】

従って、従来においては、階層符号化の結果を記憶するためのメモリの他に、画像データのラインディレイを行う遅延回路が必要であり、装置が大型化し、また、高速処理を行うための弊害となっていた。

【0017】

本発明は、このような状況に鑑みてなされたものであり、装置の小型化を図るとともに、高速な処理を可能とするものである。

【0018】

【課題を解決するための手段】

請求項1に記載の記憶装置は、下位階層の画像を記憶する下位階層記憶手段と、下位階層記憶手段に記憶された下位階層の画像を、 $N - 1$ 画素単位で読み出すための制御を行う制御手段と、下位階層記憶手段から読み出された下位階層の画像を構成する $N - 1$ 画素と、入力された下位階層の画像の1画素との合計 N 画素から、上位階層の画像の1画素を生成する上位階層生成手段と、上位階層生成手段によって生成された画素で構成される上位階層の画像を記憶する上位階層記憶手段とを備えることを特徴とする。

【0019】

請求項7に記載の書き込み方法は、下位階層の画像の画素を書き込む一方、書き込まれた下位階層の画像を、 $N - 1$ 画素単位で読み出し、その下位階層の画像を構成する $N - 1$ 画素と、入力された下位階層の画像の1画素との合計 N 画素から、上位階層の画像の1画素を生成し、生成された上位階層の画像の画素を書き込むことを特徴とする。

【0020】

請求項8に記載の記憶装置は、上位階層の画像の1画素を生成するのに用いる下位階層の画像の N 画素について、その N 画素のうち、最後に入力される画素である最終入力画素を

10

20

30

40

50

除くN - 1画素のみを記憶する下位階層記憶手段と、下位階層記憶手段に記憶された下位階層の画像を、N - 1画素単位で読み出すための制御を行う制御手段と、下位階層の画像を構成するN画素から生成される上位階層の画像を構成する画素を記憶する上位階層記憶手段と、下位階層記憶手段から読み出された下位階層の画像を構成するN - 1画素のうちの1つを選択して出力する選択手段と、上位階層記憶手段に記憶された上位階層の画像の1画素と、その1画素を生成するのに用いた下位階層の画像のN画素のうち、下位階層記憶手段から読み出された下位階層の画像を構成するN - 1画素とから、下位階層の画像を構成する最終入力画素を生成して出力する下位階層生成手段とを備えることを特徴とする。

【0021】

請求項11に記載の読み出し方法は、下位階層記憶手段から、下位階層の画像を構成するN - 1画素を読み出し、そのうちの1つを選択して出力する一方、上位階層記憶手段に記憶された上位階層の画像の1画素と、その1画素を生成するのに用いた下位階層の画像のN画素のうち、下位階層記憶手段から読み出された下位階層の画像を構成するN - 1画素とから、下位階層の画像を構成する最終入力画素を生成して出力することを特徴とする。

【0022】

請求項1に記載の記憶装置においては、下位階層記憶手段は、下位階層の画像を記憶し、制御手段は、下位階層記憶手段に記憶された下位階層の画像を、N - 1画素単位で読み出すための制御を行うようになされている。上位階層生成手段は、下位階層記憶手段から読み出された下位階層の画像を構成するN - 1画素と、入力された下位階層の画像の1画素との合計N画素から、上位階層の画像の1画素を生成し、上位階層記憶手段は、上位階層生成手段によって生成された画素で構成される上位階層の画像を記憶するようになされている。

【0023】

請求項7に記載の書き込み方法においては、下位階層の画像の画素を書き込む一方、書き込まれた下位階層の画像を、N - 1画素単位で読み出し、その下位階層の画像を構成するN - 1画素と、入力された下位階層の画像の1画素との合計N画素から、上位階層の画像の1画素を生成し、生成された上位階層の画像の画素を書き込むようになされている。

【0024】

請求項8に記載の記憶装置においては、下位階層記憶手段は、上位階層の画像の1画素を生成するのに用いる下位階層の画像のN画素について、そのN画素のうち、最後に入力される画素である最終入力画素を除くN - 1画素のみを記憶し、制御手段は、下位階層記憶手段に記憶された下位階層の画像を、N - 1画素単位で読み出すための制御を行うようになされている。上位階層記憶手段は、下位階層の画像を構成するN画素から生成される上位階層の画像を構成する画素を記憶し、選択手段は、下位階層記憶手段から読み出された下位階層の画像を構成するN - 1画素のうちの1つを選択して出力するようになされている。下位階層生成手段は、上位階層記憶手段に記憶された上位階層の画像の1画素と、その1画素を生成するのに用いた下位階層の画像のN画素のうち、下位階層記憶手段から読み出された下位階層の画像を構成するN - 1画素とから、下位階層の画像を構成する最終入力画素を生成して出力するようになされている。

【0025】

請求項11に記載の読み出し方法においては、下位階層記憶手段から、下位階層の画像を構成するN - 1画素を読み出し、そのうちの1つを選択して出力する一方、上位階層記憶手段に記憶された上位階層の画像の1画素と、その1画素を生成するのに用いた下位階層の画像のN画素のうち、下位階層記憶手段から読み出された下位階層の画像を構成するN - 1画素とから、下位階層の画像を構成する最終入力画素を生成して出力するようになされている。

【0026】**【発明の実施の形態】**

以下に、本発明の実施の形態を説明するが、その前に、特許請求の範囲に記載の発明の各

10

20

30

40

50

手段と以下の実施の形態との対応関係を明らかにするために、各手段の後の括弧内に、対応する実施の形態（但し、一例）を付加して、本発明の特徴を記述すると、次のようになる。

【0027】

即ち、請求項1に記載の記憶装置は、所定の順番で1画素単位で入力される下位階層の画像を構成するN画素から、上位階層の画像の1画素を生成しながら、下位階層および上位階層の画像を記憶する記憶装置であって、下位階層の画像を記憶する下位階層記憶手段（例えば、図2に示す第1階層メモリ1や、第2階層メモリ2など）と、下位階層記憶手段に記憶された下位階層の画像を、N-1画素単位で読み出すための制御を行う制御手段（例えば、図2に示すアドレス供給回路4およびコントローラ5など）と、下位階層記憶手段から読み出された下位階層の画像を構成するN-1画素と、入力された下位階層の画像の1画素との合計N画素から、上位階層の画像の1画素を生成する上位階層生成手段（例えば、図2に示す加算器6および加減算器10や、加算器7および加減算器11など）と、上位階層生成手段によって生成された画素で構成される上位階層の画像を記憶する上位階層記憶手段（例えば、図2に示す第2階層メモリ2や、第3階層メモリ3など）とを備えることを特徴とする。

10

【0028】

請求項4に記載の記憶装置は、上位階層生成手段が、下位階層記憶手段から読み出されたN-1画素を加算する第1の加算手段（例えば、図2に示す加算器6や7など）と、第1の加算手段の加算結果と、最終入力画素とを加算する第2の加算手段（例えば、図2に示す加減算器10や11など）とを有することを特徴とする。

20

【0029】

請求項5に記載の記憶装置は、下位階層記憶手段が、上位階層の画像の1画素を生成するのに用いる下位階層の画像のN画素について、そのN画素のうち、最後に入力される画素である最終入力画素を除くN-1画素のみを記憶する場合において、下位階層記憶手段から読み出された下位階層の画像を構成するN-1画素のうちの1つを選択して出力する選択手段（例えば、図2に示すセレクタ8や9など）と、上位階層記憶手段に記憶された上位階層の画像の1画素と、その1画素を生成するのに用いた下位階層の画像のN画素のうち、下位階層記憶手段から読み出された下位階層の画像を構成するN-1画素とから、下位階層の画像を構成する最終入力画素を生成して出力する下位階層生成手段（例えば、図2に示す加算器6および加減算器10や、加算器7および加減算器11など）とをさらに備えることを特徴とする。

30

【0030】

請求項6に記載の記憶装置は、下位階層生成手段が、下位階層記憶手段から読み出されたN-1画素を加算する加算手段（例えば、図2に示す加算器6や7など）と、上位階層の画像の1画素から、加算手段の加算結果を減算する減算手段（例えば、図2に示す加減算器10や11など）とを有することを特徴とする。

【0031】

請求項8に記載の記憶装置は、所定の順番で1画素単位で入力される下位階層の画像を構成するN画素から、上位階層の画像の1画素を生成しながら、下位階層および上位階層の画像を記憶する記憶装置であって、上位階層の画像の1画素を生成するのに用いる下位階層の画像のN画素について、そのN画素のうち、最後に入力される画素である最終入力画素を除くN-1画素のみを記憶する下位階層記憶手段（例えば、図2に示す第1階層メモリ1や、第2階層メモリ2など）と、下位階層記憶手段に記憶された下位階層の画像を、N-1画素単位で読み出すための制御を行う制御手段（例えば、図2に示すアドレス供給回路4およびコントローラ5など）と、下位階層の画像を構成するN画素から生成される上位階層の画像を構成する画素を記憶する上位階層記憶手段（例えば、図2に示す第2階層メモリ2や、第3階層メモリ3など）と、下位階層記憶手段から読み出された下位階層の画像を構成するN-1画素のうちの1つを選択して出力する選択手段（例えば、図2に示すセレクタ8や9など）と、上位階層記憶手段に記憶された上位階層の画像の1画素と

40

50

、その1画素を生成するのに用いた下位階層の画像のN画素のうち、下位階層記憶手段から読み出された下位階層の画像を構成するN-1画素とから、下位階層の画像を構成する最終入力画素を生成して出力する下位階層生成手段（例えば、図2に示す加算器6および加減算器10や、加算器7および加減算器11など）とを備えることを特徴とする。

【0032】

請求項10に記載の記憶装置は、下位階層生成手段が、下位階層記憶手段から読み出されたN-1画素を加算する加算手段（例えば、図2に示す加算器6や7など）と、上位階層の画像の1画素から、加算手段の加算結果を減算する減算手段（例えば、図2に示す加減算器10や11など）とを有することを特徴とする。

【0033】

請求項11に記載の読み出し方法は、所定の順番で1画素単位で入力される下位階層の画像を構成するN画素から、上位階層の画像の1画素を生成しながら、下位階層および上位階層の画像を記憶する記憶装置における画像の読み出し方法であって、記憶装置が、上位階層の画像の1画素を生成するのに用いる下位階層の画像のN画素について、そのN画素のうち、最後に入力される画素である最終入力画素を除くN-1画素のみを記憶する下位階層記憶手段（例えば、図2に示す第1階層メモリ1や、第2階層メモリ2など）と、下位階層の画像を構成するN画素から生成される上位階層の画像を構成する画素を記憶する上位階層記憶手段（例えば、図2に示す第2階層メモリ2や、第3階層メモリ3など）とを備え、下位階層記憶手段から、下位階層の画像を構成するN-1画素を読み出し、そのうちの1つを選択して出力する一方、上位階層記憶手段に記憶された上位階層の画像の1画素と、その1画素を生成するのに用いた下位階層の画像のN画素のうち、下位階層記憶手段から読み出された下位階層の画像を構成するN-1画素とから、下位階層の画像を構成する最終入力画素を生成して出力することを特徴とする。

【0034】

なお、勿論この記載は、各手段を上記したものに限定することを意味するものではない。

【0035】

図1は、本発明を適用した記憶装置（階層メモリ）のアーキテクチャの概要を示している。

【0036】

この記憶装置は、第1乃至第3階層の3階層の画像を構成する画素をそれぞれ記憶する第1階層メモリ1、第2階層メモリ2、第3階層メモリ3、3入力の加算を行う加算器6および7、並びに2入力の加算または減算を行う加減算器10および11で構成されており、例えば、前述の図16における場合と同様に、下位階層における2×2画素の4画素の加算値を、上位階層の画素（画素値）として求めることにより、3階層の階層符号化を行うようになされている。

【0037】

即ち、いま、最下位階層（第1階層）の画像として、例えば、図1に示すように、4×4画素を考え、この4×4画素（の画素値）が、例えば、ラインスキャン順に、即ち、h00, h10, h20, h30, h01, h11, h21, h31, h02, h12, h22, h32, h03, h13, h23, h33の順で入力されるとする。

【0038】

この場合、1ライン目の4画素h00, h10, h20, h30は、第1階層メモリ1に、順次記憶されていく。そして、2ライン目の入力が始まると、その最初の画素（左から1列目の画素）h01は、やはり、第1階層メモリ1に記憶される。そして、2ライン目の2番目の画素（左から2列目の画素）、即ち、第2階層の画素m0を生成するのに用いる第1階層の画素h00, h10, h01, h11のうちの、最後に入力される画素（最終入力画素）h11が入力されると、第1階層メモリ1に、既に記憶されている第1階層の3画素h00, h10, h01が、同時に読み出され、加算器6に供給される。加算器6は、第1階層の画素h00, h10, h01を加算し、その加算値を、加減算器10に供給する。

10

20

30

40

50

【 0 0 3 9 】

加減算器 1 0 には、加算器 6 の加算値の他、画素 h_{11} も供給される。ここで、加減算器 1 0 は、加算器 1 0 A と減算器 1 0 B とで構成されている。加減算器 1 0 では、加算器 1 0 A において、画素 h_{11} と、加算器 6 の加算値 ($h_{00} + h_{10} + h_{01}$) とが加算され、第 2 階層の画素 m_0 ($= h_{00} + h_{10} + h_{01} + h_{11}$) が求められる (生成される)。そして、第 1 階層の画素 h_{11} または第 2 階層の画素 m_0 のうちの、画素 m_0 のみが、記憶される。即ち、画素 h_{11} は、第 1 階層メモリ 1 に記憶されないが、画素 m_0 は、第 2 階層メモリ 2 に記憶される。

【 0 0 4 0 】

ここで、本実施の形態では、下位階層における 2×2 画素の 4 画素の加算値が、上位階層の 1 の画素 (画素値) として求められるが、この上位階層の 1 画素を生成するのに用いる下位階層の 4 画素のうち、最後に入力されるものを、以下、適宜、最終入力画素という。

10

【 0 0 4 1 】

画素 h_{11} の後に供給される、2 ライン目の 3 番目の画素 h_{21} は、第 1 階層メモリ 1 に記憶され、2 ライン目の 4 番目の画素、即ち、第 2 階層の画素 m_1 を生成するのに用いる第 1 階層の画素 h_{20} , h_{30} , h_{21} , h_{31} のうちの、最後に入力される画素 h_{31} が入力されると、第 1 階層メモリ 1 に、既に記憶されている第 1 階層の 3 画素 h_{20} , h_{30} , h_{21} が、同時に読み出され、加算器 6 に供給される。加算器 6 では、画素 h_{20} , h_{30} , h_{21} の加算値が求められ、加減算器 1 0 に供給される。

【 0 0 4 2 】

加減算器 1 0 には、加算器 6 の加算値の他、最終入力画素 h_{31} も供給され、加算器 1 0 A において、それらの加算値、即ち、第 2 階層の画素 m_1 ($= h_{20} + h_{30} + h_{21} + h_{31}$) が求められる。そして、第 1 階層の最終入力表示 h_{31} または第 2 階層の画素 m_1 のうちの画素 m_1 のみが、記憶される。即ち、最終入力画素 h_{31} は、第 1 階層メモリ 1 に記憶されないが、画素 m_1 は、第 2 階層メモリ 2 に記憶される。

20

【 0 0 4 3 】

第 2 階層の画素 m_2 を求めるのに用いる第 1 階層の画素 h_{02} , h_{12} , h_{03} , h_{13} についても同様の処理が行われ、これにより、第 1 階層の画素 h_{02} , h_{12} , h_{03} が、第 1 階層メモリ 1 に記憶され、さらに、第 2 階層の画素 m_2 が求められ、第 2 階層メモリ 2 に記憶される。

30

【 0 0 4 4 】

また、第 2 階層の画素 m_3 を求めるのに用いる第 1 階層の画素 h_{22} , h_{32} , h_{23} , h_{33} についても同様の処理が行われ、これにより、第 1 階層の画素 h_{02} , h_{12} , h_{03} が、第 1 階層メモリ 1 に記憶され、さらに、第 2 階層の画素 m_3 が求められるが、第 2 階層の画素 m_3 は、第 2 階層メモリ 2 には記憶されない。

【 0 0 4 5 】

即ち、第 1 階層の画素が入力され、その 2×2 画素から第 2 階層の画素 m_0 乃至 m_3 を生成するという点に注目すれば、図 1 の実施の形態では、第 1 階層の 2×2 画素の右下の画素 h_{11} , h_{31} , h_{13} , h_{33} が、第 2 階層の画素を生成するための第 1 階層の最終入力画素となるが、そのようにして得られた第 2 階層の 2×2 画素 m_0 乃至 m_3 から、第 3 階層の画素 q を生成するという点に注目すれば、第 2 階層の 2×2 画素 m_0 乃至 m_3 の右下の画素 m_3 は、第 3 階層の画素を生成するための第 2 階層の最終入力画素といえることができる。

40

【 0 0 4 6 】

そこで、第 1 階層の 4×4 画素の最も右下の画素 h_{33} が入力され、上述したようにして、第 2 階層の画素 m_3 が得られると、第 2 階層の最終入力画素が入力されたとして、第 1 階層の 2×2 画素から第 2 階層の 1 画素を求める場合と同様にして、第 2 階層の 2×2 画素から第 3 階層の 1 画素が求められる。

【 0 0 4 7 】

即ち、第 3 階層の画素 q を生成するのに用いる第 2 階層の画素 m_0 乃至 m_3 のうちの、第

50

2 階層の最終入力画素 m_3 が入力されると、第 2 階層メモリ 2 に、既に記憶されている第 2 階層の 3 画素 m_0 乃至 m_2 が、同時に読み出され、加算器 7 に供給される。加算器 7 は、第 2 階層の画素 m_0 乃至 m_2 を加算し、その加算値を、加減算器 11 に供給する。

【0048】

加減算器 11 には、加算器 7 の加算値の他、最終入力画素 m_3 も供給される。ここで、加減算器 11 は、加算器 11A と減算器 11B とで構成されている。加減算器 11 では、加算器 11A において、最終入力画素 m_3 と、加算器 7 の加算値 ($m_0 + m_1 + m_2$) とが加算され、第 3 階層の画素 q ($= m_0 + m_1 + m_2 + m_3$) が求められる (生成される)。そして、この第 3 階層の画素 q が、第 3 階層メモリ 3 に記憶される。

【0049】

次に、以上のようにして記憶 (階層符号化) された第 1 乃至第 3 階層の画像を構成する画素の読み出しについて説明する。

【0050】

まず、第 3 階層の画像については、第 3 階層メモリ 3 に記憶された画素が、その記憶された順に、単に読み出されて出力される (図 1 の実施の形態では、第 3 階層の画素として、1 の画素 q しか記憶されていないので、この画素 q が読み出されるだけである)。

【0051】

次に、第 2 階層の画像については、第 2 階層の最終入力画素 m_3 以外の画素 m_0 乃至 m_2 を読み出すタイミングでは、各画素 m_0 乃至 m_2 が、第 2 階層メモリ 2 から読み出されて出力される。そして、第 2 階層の最終入力画素 m_3 を読み出すべきタイミングでは、第 2 階層メモリ 2 に記憶されている、対応する画素、即ち、最終入力画素 m_3 とともに、第 3 階層の画素 q を生成するのに用いた 3 画素 m_0 乃至 m_2 が、同時に読み出され、加算器 7 に供給される。加算器 7 では、画素 m_0 乃至 m_2 の加算値が求められ、加減算器 11 に供給される。

【0052】

同時に、第 3 階層メモリ 3 から、最終入力画素 m_3 を用いて生成された第 3 階層の画素 q が読み出され、加減算器 11 に供給される。加減算器 11 では、減算器 11B において、画素 q から、加算器 7 の加算値が減算され、これにより、最終入力画素 m_3 ($= q - (m_0 + m_1 + m_2)$) が求められて出力される。

【0053】

次に、第 1 階層の画像については、第 1 階層の最終入力画素 h_{11} , h_{31} , h_{13} , h_{33} 以外の画素を読み出すタイミングでは、各画素が、第 1 階層メモリ 1 から読み出されて出力される。そして、第 1 階層の最終入力画素 h_{11} を読み出すタイミングでは、第 1 階層メモリ 1 に記憶されている、対応する画素、即ち、最終入力画素 h_{11} とともに、第 2 階層の画素 m_0 を生成するのに用いた 3 画素 h_{00} , h_{10} , h_{01} が、同時に読み出され、加算器 6 に供給される。加算器 6 では、画素 h_{00} , h_{10} , h_{01} の加算値が求められ、加減算器 10 に供給される。

【0054】

同時に、第 2 階層メモリ 2 から、最終入力画素 h_{11} を用いて生成された第 2 階層の画素 m_0 が読み出され、加減算器 10 に供給される。加減算器 10 では、減算器 10B において、画素 m_0 から、加算器 6 の加算値が減算され、これにより、最終入力画素 h_{11} ($= m_0 - (h_{00} + h_{10} + h_{01})$) が求められて出力される。

【0055】

他の最終入力画素 h_{31} , h_{13} , h_{33} を読み出すタイミングにおいても、同様にして、画素 h_{31} , h_{13} , h_{33} がそれぞれ求められて出力される。

【0056】

なお、第 1 階層の最終入力画素 h_{33} を読み出すタイミングにおいては、その画素 h_{33} を求めるのに、第 2 階層の最終入力画素 m_3 が必要となるが、この画素 m_3 は、上述したようにして求められる。

【0057】

10

20

30

40

50

以上のように、下位階層の画素を記憶する第1階層メモリ1および第2階層メモリ2からの画素の読み出しを、上位階層の画素を構成するのに用いる下位階層の 2×2 画素のうちの、最終入力画素を除く3画素単位で行うようにしたので、第1階層メモリ1および第2階層メモリ2が、従来において外付けされていた遅延回路の役割をも果たすようになり、これにより、そのような遅延回路を設けずに、各階層の画像の書き込み（階層符号化）を行い、さらに、書き込まれた各階層の画像の読み出し（復号）を行うことが可能となる。そして、その結果、装置の小型化、処理の高速化を図ることが可能となる。

【0058】

また、図1の実施の形態では、書き込み時の上位階層の画素および読み出し時の最終入力画素を演算する演算回路としては、3入力の加算器と、加算または減算を選択的に行う加減算器とがあれば良く、さらに、3入力の加算器は、書き込み時と読み出し時とで共通の演算に用いることができるから、シンプルなハードウェア構成で、記憶装置を実現することができる。

10

【0059】

次に、図2は、図1の記憶装置の、より詳細な構成例を示している。

【0060】

第1階層メモリ1は、アドレス供給回路4によって指定されるアドレス（のメモリセル）に、セクタ8から供給される第1階層の画素（第1階層の画像を構成する画素の画素値）を記憶し、また、そのアドレスに記憶されている第1階層の画素を読み出し、加算器6およびセクタ8に出力するようになされている。

20

【0061】

即ち、第1階層メモリ1は、そのアドレス端子ADに供給される、アドレス供給回路4からのアドレスに、そのデータ端子D1乃至D3に供給されるセクタ8からの第1階層の画素を記憶するようになされている。また、第1階層メモリ1は、そのアドレス端子ADに供給される、アドレス供給回路4からのアドレスに記憶されている第1階層の画素を読み出し、そのデータ端子D1乃至D3から、加算器6およびセクタ8に供給するようになされている。

【0062】

なお、第1階層メモリ1は、アドレス供給回路4によって指定されるアドレス（のメモリセル）に、セクタ8から供給される第1階層の画素（第1階層の画像を構成する画素の画素値）を、3画素単位で記憶し、また、そのアドレスに記憶されている第1階層の画素を、3画素単位で読み出し、加算器6およびセクタ8に出力するようになされている。

30

【0063】

即ち、例えば、第1階層メモリ1の1のアドレスに対応するメモリセルは、第1階層の画素に割り当てられているビット数の3倍のビットを記憶することができるようになされている。具体的には、例えば、第1階層の画素が8ビットで表現されるとき、第1階層メモリ1のメモリセルは、図3に示すように、 $24(8 \times 3)$ ビットのデータを記憶することができるように構成されており、これにより、第1階層メモリ1では、1のアドレスが指定されると、24ビット単位、即ち、3画素単位で、第1階層の画素の読み書きが行われるようになされている。

40

【0064】

ここで、第1階層メモリ1において、上述のようにして1のアドレスに対して読み書きされる第1階層の3画素は、第1階層メモリ1のデータ端子D1乃至D3を介して、それぞれ、やりとりされるようになされている。

【0065】

なお、3画素単位での読み書きは、その他、例えば、第1階層メモリ1のメモリセルを、8ビットのデータを記憶することができるように構成し、1のアドレスを、3つのメモリセルに対応させて行うようにしても良い。

【0066】

また、第1階層メモリ1のライトイネーブル端子WEには、コントローラ5から、1ビット

50

トのライトイネーブル信号 $w e 1$ が供給されるようになされており、第 1 階層メモリ 1 では、ライトイネーブル信号 $w e 1$ が、H (High) または L (Low) レベルのうちの、例えば H レベルのとき、アドレス供給回路 4 が供給するアドレスへの書き込みが行われ、L レベルのとき、アドレス供給回路 4 が供給するアドレスからの読み出しが行われるようになされている。

【 0 0 6 7 】

さらに、第 1 階層メモリ 1 のチップイネーブル CE 端子には、コントローラ 5 から、1 ビットのチップイネーブル信号 $c e 1$ が供給されるようになされており、第 1 階層メモリ 1 では、チップイネーブル信号 $c e 1$ が、H または L レベルのうちの、例えば H レベルのときのみ、データ (第 1 階層の画素の画素値) の読み出しまたは書き込みが行われるようになされている。

10

【 0 0 6 8 】

従って、第 1 階層メモリ 1 では、チップイネーブル信号 $c e 1$ が H レベルの場合において、ライトイネーブル信号 $w e 1$ も H レベルのとき、アドレス供給回路 4 から供給されるアドレスへのデータの書き込みが行われ、ライトイネーブル信号 $w e 1$ が L レベルのとき、アドレス供給回路 4 から供給されるアドレスからのデータの読み出しが行われる。一方、チップイネーブル信号 $c e 1$ が L レベルの場合においては、第 1 階層メモリ 1 では、データの読み書きは行われない。

【 0 0 6 9 】

ここで、第 1 階層メモリ 1 は、少なくとも、1 画面分の第 1 階層の画像の 3 / 4 のデータを記憶することができるようになされている。従って、例えば、図 4 に示すように、横 × 縦が 1 9 2 0 × 1 0 8 0 画素で 1 画面が構成される画像が、第 1 階層の画像として、記憶装置に入力され、また、その 1 画素に 8 ビットが割り当てられているとすると、第 1 階層メモリ 1 は、1 9 2 0 画素 × 1 0 8 0 画素 × 8 ビット × 3 / 4 ビット、即ち、約 1 2 メガビットの記憶容量を有する。なお、第 1 階層メモリ 1 の記憶容量が、1 画面分の第 1 階層の画像のデータ量以下である、その 3 / 4 倍で済むのは、本実施の形態では、上述したように、第 1 階層の 2 × 2 画素のうちの、最終入力画素が記憶されないからである。このことは、次に説明する第 2 階層メモリ 2 についても同様である。

20

【 0 0 7 0 】

なお、第 1 階層メモリ 1 のマスクビット端子 MB には、セクタ 8 からマスクビット信号 $m b$ が供給されるようになされているが、これについては、後述する。

30

【 0 0 7 1 】

第 2 階層メモリ 2 も、第 1 階層メモリ 1 における場合と同様にして、アドレス供給回路 4 によって指定されるアドレスに、セクタ 9 から供給される第 2 階層の画素 (第 2 階層の画像を構成する画素の画素値) を、3 画素単位で記憶し、また、そのアドレスに記憶されている第 1 階層の画素を、3 画素単位で読み出し、加算器 7 およびセクタ 9 に出力するようになされている。

【 0 0 7 2 】

即ち、第 2 階層メモリ 2 のアドレス端子 AD には、アドレス供給回路 4 からアドレスが供給されるようになされており、さらに、そのライトイネーブル端子 WE またはチップイネーブル端子 CE には、コントローラ 5 から 1 ビットのライトイネーブル信号 $w e 2$ またはチップイネーブル信号 $c e 2$ がそれぞれ供給されるようになされている。

40

【 0 0 7 3 】

そして、第 2 階層メモリ 2 では、チップイネーブル信号 $c e 2$ が H レベルの場合において、ライトイネーブル信号 $w e 2$ も H レベルのとき、アドレス供給回路 4 から供給されるアドレスへのデータの書き込みが 3 画素単位で行われ、ライトイネーブル信号 $w e 2$ が L レベルのとき、アドレス供給回路 4 から供給されるアドレスからのデータの読み出しが 3 画素単位で行われる。なお、一度に読み書きされる 3 画素は、第 2 階層メモリ 2 のデータ端子 D 1 乃至 D 3 を介して、それぞれ、やりとりされるようになされている。

【 0 0 7 4 】

50

ここで、第2階層メモリ2のマスクビット端子MBには、第1階層メモリ1における場合と同様に、セクタ9からマスクビット信号mbが供給されるようになされているが、これについても、後述する。

【0075】

なお、第2階層メモリ2は、少なくとも、1画面分の第2階層の画像の3/4のデータを記憶することができるようになされている。即ち、本実施の形態では、第2階層の1画素は、8ビットで表される第1階層の画素の4つを加算して求められるので、10ビットで表されることになる。また、第2階層の1画素は、第1階層の2×2画素から求められるから、第2階層の画像の横と縦の画素数は、いずれも、第1階層の画像の1/2になる。従って、第2階層メモリ2は、1920画素×1/2×1080画素×1/2×10ビット×3/4ビット、即ち、約3.7メガビットの記憶容量を有する。

10

【0076】

第3階層メモリ3は、アドレス供給回路4によって指定されるアドレスに、加減算器11から供給される第3階層の画素(第3階層の画像を構成する画素の画素値)を、1画素単位で記憶し、また、そのアドレスに記憶されている第3階層の画素を、1画素単位で読み出し、加減算器11に出力するようになされている。

【0077】

即ち、第3階層メモリ3のアドレス端子ADには、アドレス供給回路4からアドレスが供給されるようになされており、さらに、そのライトイネーブル端子WEまたはチップイネーブル端子CEには、コントローラ5から1ビットのライトイネーブル信号we3またはチップイネーブル信号ce3がそれぞれ供給されるようになされている。

20

【0078】

そして、第3階層メモリ3では、チップイネーブル信号ce3がHレベルの場合において、ライトイネーブル信号we3もHレベルのとき、アドレス供給回路4から供給されるアドレスへのデータの書き込みが1画素単位で行われ、ライトイネーブル信号we3がLレベルのとき、アドレス供給回路4から供給されるアドレスからのデータの読み出しが1画素単位で行われる。なお、第3階層メモリにおいて読み書きされるデータ(第3階層の画素の画素値)は、そのデータ端子Dを介してやりとりされるようになされている。

【0079】

なお、第3階層メモリ3は、少なくとも、1画面分の第3階層の画像のデータを記憶することができるようになされている。即ち、本実施の形態では、第3階層の1画素は、10ビットで表される第2階層の画素の4つを加算して求められるので、12ビットで表されることになる。また、第3階層の1画素は、第2階層の2×2画素から求められるから、第2階層の画像の横と縦の画素数は、いずれも、第2階層の画像の1/2、即ち、第1階層の画像の1/4になる。従って、第3階層メモリ3は、1920画素×1/4×1080画素×1/4×12ビット、即ち、約1.1メガビットの記憶容量を有する。

30

【0080】

アドレス供給回路4は、記憶装置に入力される画像を構成する画素の水平方向または垂直方向の位置に対応したアドレスそれぞれとしての水平アドレスまたは垂直アドレスを発生するアドレス発生回路4Aを有し、そのアドレス発生回路4Aが出力する水平アドレスおよび垂直アドレスを加工して、第1階層メモリ1、第2階層メモリ2、および第3階層メモリ3に供給するようになされている。

40

【0081】

即ち、アドレス供給回路4は、第1階層メモリ1または第2階層メモリ2に対しては、第1または第2階層の画素が3画素単位で読み書きされるように、水平アドレスおよび垂直アドレスをそれぞれ加工して供給する。また、アドレス供給回路5は、第3階層メモリ3に対しては、第3階層の画素が1画素単位で読み書きされるように、水平アドレスおよび垂直アドレスを加工して供給する。

【0082】

また、アドレス供給回路4は、水平アドレスおよび垂直アドレスの下位ビットを、制御信

50

号として、コントローラ 5、並びにセクタ 8 および 9 に供給するようになされている。

【0083】

なお、本実施の形態では、図 4 に示したように、水平方向が 1920 画素で、垂直方向が 1080 ラインで 1 画面が構成される画像（デジタル画像データ）が入力され、また、 $\log_2 1920$ 以上の最小の整数と、 $\log_2 1080$ 以上の最小の整数とは、いずれも 11 であるため、アドレス発生回路 4A が出力する水平アドレスおよび垂直アドレスは、いずれも 11 ビット（少なくとも 11 ビット）で表される。

【0084】

また、アドレス発生回路 4A は、記憶装置に入力される画像を構成する画素に同期したクロックのタイミングで、水平アドレスおよび垂直アドレスを発生するようになされている。

10

【0085】

加算器 6 は、3 入力の加算器で、第 1 階層メモリ 1 のデータ端子 D1 乃至 D3 から同時に出力される 8 ビットの第 1 階層の 3 画素の加算値を演算し、その加算値を、加減算器 10 に出力するようになされている。加算器 7 も、3 入力の加算器で、第 2 階層メモリ 2 のデータ端子 D1 乃至 D3 から同時に出力される 10 ビットの第 2 階層の 3 画素の加算値を演算し、その加算値を、加減算器 11 に出力するようになされている。

【0086】

セクタ 8 の入出力端子 DIO1 には、記憶装置に入力された画像が供給されるようになされている。ここで、記憶装置には、階層符号化対象の、例えば、プログレッシブな画像を構成する画素が、ラインスキャン順に入力（順次走査されて入力）されるようになされており、そのようにラインスキャン順に入力される画像の画素が、セクタ 8 に供給されるようになされている。

20

【0087】

セクタ 8 は、その入出力端子 DIO1 に供給された階層符号化対象の画像の画素を、第 1 階層の画素として、その入出力端子 IO1 乃至 IO3 のうちのいずれかから、第 1 階層メモリ 1 のデータ端子 D1 乃至 D3 の対応するものに供給するようになされている。即ち、図 2 の実施の形態では、セクタ 8 の入出力端子 IO1 乃至 IO3 は、第 1 階層メモリ 1 のデータ端子 D1 乃至 D3 とそれぞれ接続されており、従って、セクタ 8 の入出力端子 IO1 乃至 IO3 から出力された画素は、第 1 階層メモリ 1 のデータ端子 D1 乃至 D3 に、それぞれ供給されるようになされている。但し、セクタ 8 は、後述するように、階層符号化対象の画像の画素を、その入出力端子 IO1 乃至 IO3 のうちのいずれからも出力せず、その入出力端子 DIO2 を介して、加減算器 10 に出力する場合もある。

30

【0088】

また、セクタ 8 の入出力端子 IO1 乃至 IO3 には、第 1 階層メモリ 1 のデータ端子 D1 乃至 D3 から出力される第 1 階層の 3 画素がそれぞれ供給されるようになされており、セクタ 8 は、その 3 画素のうちのいずれか 1 つを、アドレス供給回路 4 から供給される制御信号（上述したように、水平アドレスおよび垂直アドレスの下位ビット）に基づいて選択し、第 1 階層の画素として、その入出力端子 DIO1 から出力するようになされている。但し、セクタ 8 は、後述するように、その入出力端子 IO1 乃至 IO3 に供給される 3 画素のうちのいずれも選択せず、その入出力端子 DIO2 に供給される加減算器 10 の出力を選択し、第 1 階層の画素として、その入出力端子 DIO1 から出力する場合もある。

40

【0089】

さらに、セクタ 8 は、マスクビット信号 mb を、第 1 階層メモリ 1 のマスクビット端子 MB に供給するようになされている。

【0090】

セクタ 9 は、その入出力端子 DIO1 に供給される加減算器 10 の出力を、第 2 階層の画素として、その入出力端子 IO1 乃至 IO3 のうちのいずれかから、第 2 階層メモリ 2 のデータ端子 D1 乃至 D3 の対応するものに供給するようになされている。即ち、図 2 の

50

実施の形態では、セクタ9の入出力端子I O 1乃至I O 3は、第2階層メモリ2のデータ端子D 1乃至D 3とそれぞれ接続されており、従って、セクタ9の入出力端子I O 1乃至I O 3から出力された画素は、第2階層メモリ2のデータ端子D 1乃至D 3に、それぞれ供給されるようになされている。但し、セクタ9は、後述するように、加減算器10の出力を、その入出力端子I O 1乃至I O 3のうちいずれからも出力せず、その入出力端子D I O 0 2から加減算器11に出力する場合もある。

【0091】

また、セクタ9の入出力端子I O 1乃至I O 3には、第2階層メモリ2のデータ端子D 1乃至D 3から出力される第1階層の3画素がそれぞれ供給されるようになされており、セクタ9は、その3画素のうちいずれか1つを、アドレス供給回路4から供給される制御信号(上述したように、水平アドレスおよび垂直アドレスの下位ビット)に基づいて選択し、第2階層の画素として、その入出力端子D I O 1から出力するようになされている。但し、セクタ9は、後述するように、その入出力端子I O 1乃至I O 3に供給される3画素のうちいずれも選択せず、その入出力端子D I O 2から供給される加減算器11の出力を選択し、第2階層の画素として、その入出力端子D I O 1から出力する場合もある。

10

【0092】

さらに、セクタ9は、マスクビット信号m bを、第2階層メモリ2のマスクビット端子M Bに供給するようになされている。

【0093】

加減算器10は、加算器6の出力と、セクタ8の入出力端子D I O 2の出力とを加算し、その加算値を、第2階層の画素として、セクタ9の入出力端子D I O 1に供給するようになされている。さらに、加減算器10は、セクタ9の入出力端子D I O 1の出力から、加算器6の出力を減算し、その減算値を、第1階層の画素として、セクタ8の入出力端子D I O 2に供給するようになされている。

20

【0094】

加減算器11は、加算器7の出力と、セクタ9の入出力端子D I O 2の出力とを加算し、その加算値を、第3階層の画素として、第3階層メモリ3のデータ端子Dに供給するようになされている。さらに、加減算器11は、第3階層メモリ3のデータ端子Dから供給される第3階層の画素から、加算器7の出力を減算し、その減算値を、第2階層の画素として、セクタ9の入出力端子D I O 2に供給するようになされている。

30

【0095】

次に、その動作について説明する。

【0096】

なお、ここでは、上述の図4に示したように、1画面が1920×1080画素で構成され、各画素が8ビットで表されるプログレッシブな画像が、第1階層の画像として、記憶装置に供給されるものとする。

【0097】

さらに、第1階層の画像を構成する画素を、その最も左上の画素を $h(0, 0)$ として、左から $x + 1$ 番目で、上から $y + 1$ 番目にある画素を $h(x, y)$ と表す。本実施の形態では、第1階層の画像は、上述したように、1920×1080画素で構成されるから、 x または y は、それぞれ0乃至1919または0乃至1079の範囲の整数値をとる。

40

【0098】

また、0乃至959(=1920/2-1)または0乃至539(=1080/2-1)の範囲の整数値をそれぞれとる変数 s または t を考えると、第2階層の画像を構成する画素は、第1階層の隣接する2×2画素

$$h(2s, 2t), \quad h(2s+1, 2t),$$

$$h(2s, 2t+1), \quad h(2s+1, 2t+1)$$

の加算値となるが、それを $m(s, t)$ と表す。従って、式

$$m(s, t) = h(2s, 2t) + h(2s+1, 2t) + h(2s, 2t+1) + h(2s+1, 2t+1)$$

50

・・・(1)

が成り立つ。

【0099】

さらに、0乃至479(=1920/4-1)または0乃至269(=1080/4-1)の範囲の整数値をそれぞれとる変数mまたはnを考えると、第3階層の画像を構成する画素は、第2階層の隣接する2×2画素

$m(2m, 2n)$, $m(2m+1, 2n)$,
 $m(2m, 2n+1)$, $m(2m+1, 2n+1)$

の加算値、即ち、第1階層の隣接する4×4画素

$h(4m, 4n)$, $h(4m+1, 4n)$, $h(4m+2, 4n)$, $h(4m+3, 4n)$,
 $h(4m, 4n+1)$, $h(4m+1, 4n+1)$, $h(4m+2, 4n+1)$, $h(4m+3, 4n+1)$,
 $h(4m, 4n+2)$, $h(4m+1, 4n+2)$, $h(4m+2, 4n+2)$, $h(4m+3, 4n+2)$,
 $h(4m, 4n+3)$, $h(4m+1, 4n+3)$, $h(4m+2, 4n+3)$, $h(4m+3, 4n+3)$

の加算値となるが、それを $q(m, n)$ と表す。従って、式

$q(m, n) = m(2m, 2n) + m(2m+1, 2n) + m(2m, 2n+1) + m(2m+1, 2n+1)$
 $= h(4m, 4n) + h(4m+1, 4n) + h(4m+2, 4n) + h(4m+3, 4n)$
 $+ h(4m, 4n+1) + h(4m+1, 4n+1) + h(4m+2, 4n+1) + h(4m+3, 4n+1)$
 $+ h(4m, 4n+2) + h(4m+1, 4n+2) + h(4m+2, 4n+2) + h(4m+3, 4n+2)$
 $+ h(4m, 4n+3) + h(4m+1, 4n+3) + h(4m+2, 4n+3) + h(4m+3, 4n+3)$

・・・(2)

が成り立つ。

【0100】

また、アドレス発生回路4Aでは、データの書き込み時および読み出し時のいずれの場合も、水平アドレスHAおよび垂直アドレスVAの組合せ(HA, VA)が、例えば、

(0, 0), (1, 0), ..., (1919, 0),

(0, 1), (1, 1), ..., (1919, 1),

.

.

.

(0, 1079), (1, 1079), ..., (1919, 1079)

の順(順次走査に対応する順)で、クロックに同期して供給されるものとする。そして、書き込み時(階層符号化時)においては、水平アドレスHAおよび垂直アドレスVAに対応する位置の画素が、セレクタ8の入出力端子DIO1に供給されるものとする。

【0101】

さらに、水平アドレスHAおよび垂直アドレスVAは、ここでは、上述したように、いずれも11ビットで表されるが、この11ビットの水平アドレスHAの各ビットを、その最下位ビットを ha_0 として、 ha_1 , ha_2 , ..., ha_{10} (ha_{10} は最上位ビット)と表すとともに、11ビットの垂直アドレスVAの各ビットも同様に、その最下位ビットを va_0 として、 va_1 , va_2 , ..., va_{10} (va_{10} は最上位ビット)と表す。なお、この場合において、コントローラ5にはビット ha_0 および ha_1 並びにビット va_0 および va_1 が、セレクタ8にはビット ha_0 および va_0 が、セレクタ9にはビット ha_1 および va_1 が、制御信号として、アドレス供給回路4から供給されるようになされている。

【0102】

この場合、第1階層メモリ1、第2階層メモリ2、または第3階層メモリ3には、第1乃至第3階層の画素が、次のようにして書き込まれる。

【0103】

即ち、まず、第1階層メモリ1についてであるが、コントローラ5は、ライトイネーブル信号 we_1 およびチップイネーブル信号 ce_1 を、いずれもHレベルにして、第1階層メモリ1に供給する。また、アドレス供給回路4は、アドレス発生回路4Aが出力する水平

10

20

30

40

50

アドレスHAの一部としての、そのうちの最下位ビットha0を除く上位10ビットha1乃至ha10と、垂直アドレスVAの一部としての、最下位ビットva0を除く上位10ビットva1乃至va10を、第1階層メモリ1のアドレス端子ADに供給する。さらに、アドレス供給回路4は、水平アドレスHAの最下位ビットha0と、垂直アドレスVAの最下位ビットva0を、制御信号として、セクタ8に出力する。

【0104】

従って、第2階層の画素 $m(s, t)$ を求めるのに用いる第1階層の 2×2 の4画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ 、 $h(2s+1, 2t+1)$ が、セクタ8の入出力端子DIO1に入力されるタイミングにおいては、アドレス供給回路4は、いずれのタイミングでも、第1階層メモリ1の同一アドレス (s, t) を指

10

【0105】

一方、セクタ8では、その入出力端子DIO1に供給される第1階層の画素が、アドレス供給回路4からの制御信号ha0およびva0に基づき、その入出力端子IO1乃至IO3またはDIO2のうちのいずれかから出力される。

【0106】

即ち、セクタ8は、制御信号ha0およびva0がいずれも0のとき、つまり、その入出力端子DIO1に、第1階層の画素 $h(2s, 2t)$ が入力されたとき、その画素 $h(2s, 2t)$ を、入出力端子IO1から出力する。また、セクタ8は、制御信号ha0またはva0が、それぞれ1または0のとき、つまり、その入出力端子DIO1に、第1階層の画素 $h(2s+1, 2t)$ が入力されたとき、その画素 $h(2s+1, 2t)$ を、入出力端子IO2から出力する。さらに、セクタ8は、制御信号ha0またはva0が、それぞれ0または1のとき、つまり、その入出力端子DIO1に、第1階層の画素 $h(2s, 2t+1)$ が入力されたとき、その画素 $h(2s, 2t+1)$ を、入出力端子IO3から出力する。また、セクタ8は、制御信号ha0およびva0がいずれも1のとき、つまり、その入出力端子DIO1に、第1階層の画素 $h(2s+1, 2t+1)$ が入力されたとき、その画素 $h(2s+1, 2t+1)$ を、入出力端子DIO2から出力する。

20

【0107】

従って、セクタ8においては、図5に示すように、第1階層の画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ 、または $h(2s+1, 2t+1)$ は、その入出力端子IO1乃至IO3、またはDIO2から、第1階層メモリ1のデータ端子D1乃至D3、または加減算器10に、それぞれ出力される。

30

【0108】

そして、第1階層メモリ1では、そのデータ端子D1乃至D3に供給されるデータが、アドレス (s, t) に記憶される。

【0109】

ここで、図3に示したように、第1階層メモリ1においては(第2階層メモリ2についても同様)、あるアドレス (s, t) のメモリセルは、第1階層の3画素分のデータを記憶することができるようになされており、本実施の形態では、そのようなメモリセルの左から最初の8ビット、次の8ビット、最後の8ビットに、画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ が、それぞれ記憶されるようになされている。即ち、本実施の形態では、第1階層メモリ1のメモリセルの左から最初の8ビット、次の8ビット、最後の8ビットに、第1階層メモリ1のデータ端子D1乃至D3からの入力が、同時に記憶されるようになされている。

40

【0110】

しかしながら、画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ が、第1階層メモリ1のデータ端子D1乃至D3に供給されるのは、アドレス発生回路4Aが、水平アドレスHAと垂直アドレスVAの組(HA, VA)として、 $(2s, 2t)$ 、 $(2s+1, 2t)$ 、 $(2s, 2t+1)$ をそれぞれ出力しているときであり、その出力タイミングは一致していない。そして、セクタ8では、その入出力端子IO1から、画

50

画素 $h(2s, 2t)$ が出力されるタイミングにおいては、他の入出力端子 $IO2$ および $IO3$ の出力は不定になっており、同様に、入出力端子 $IO2$ から画素 $h(2s+1, 2t)$ が出力されるタイミング、または入出力端子 $IO3$ から画素 $h(2s, 2t+1)$ が出力されるタイミングにおいても、それぞれ入出力端子 $IO1$ および $IO3$ 、または $IO1$ および $IO2$ の出力は不定になっている。

【0111】

従って、この場合、例えば、水平アドレス HA と垂直アドレス VA の組 (HA, VA) として、 $(2s, 2t)$ が出力されるタイミングにおいて、第1階層メモリ1のメモリセルの左から最初の8ビットに、画素 $h(2s, 2t)$ を書き込んだ後、水平アドレス HA と垂直アドレス VA の組 (HA, VA) として、 $(2s, 2t)$ が出力されるタイミングにおいては、第1階層メモリ1のメモリセルの左から最初の8ビットの次の8ビットには、画素 $h(2s+1, 2t)$ が書き込まれるが、第1階層メモリ1のメモリセルの左から8ビットには、既に画素 $h(2s, 2t)$ が書き込まれているにもかかわらず、セクタ8の入出力端子 $IO1$ から出力される不定のデータが上書きされることになる。

10

【0112】

そこで、セクタ8では、アドレス供給回路4からの制御信号 $ha0$ および $va0$ に基づき、第1階層メモリ1のメモリセルへの書き込みをビット単位で制御するためのマスクビット信号 mb が生成され、第1階層メモリ1のマスクビット端子 MB に供給されるようになされている。

【0113】

即ち、セクタ8は、制御信号 $ha0$ および $va0$ がいずれも0のとき、つまり、その入出力端子 $IO1$ から第1階層メモリ1のデータ端子 $D1$ に、画素 $h(2s, 2t)$ を出力するとき、図6(A)に示すように、アドレス (s, t) のメモリセルの最初の8ビットの次の8ビット、および最後の8ビットをマスクする(それらのビットへの書き込みを行わないようにする)ためのマスクビット信号 mb を、第1階層メモリ1に供給する。また、セクタ8は、制御信号 $ha0$ または $va0$ が、それぞれ1または0のとき、つまり、その入出力端子 $IO2$ から第1階層メモリ1のデータ端子 $D2$ に、画素 $h(2s+1, 2t)$ を出力するとき、図6(B)に示すように、アドレス (s, t) のメモリセルの最初の8ビット、および最後の8ビットをマスクするためのマスクビット信号 mb を、第1階層メモリ1に供給する。さらに、セクタ8は、制御信号 $ha0$ または $va0$ が、それぞれ0または1のとき、つまり、その入出力端子 $IO3$ から第1階層メモリ1のデータ端子 $D3$ に、画素 $h(2s, 2t+1)$ を出力するとき、図6(C)に示すように、アドレス (s, t) のメモリセルの最初の8ビット、および次の8ビットをマスクするためのマスクビット信号 mb を、第1階層メモリ1に供給する。

20

30

【0114】

これにより、第1階層メモリ1では、画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、または $h(2s, 2t+1)$ が供給されるタイミングにおいて、図7に示すように、アドレス (s, t) のメモリセルの最初の8ビット、次の8ビット、または最後の8ビットにのみ、画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、または $h(2s, 2t+1)$ が、それぞれ書き込まれる。

40

【0115】

なお、マスクビット信号 mb は、メモリセルの最初の8ビット、次の8ビット、または最後の8ビットの3つの領域のうちのいずれか1への書き込みのみを許可するためのものであるから、少なくとも2ビットの信号である必要がある。

【0116】

以上のようにして、第1階層メモリ1においては、図8に示すように、第2階層の画素 $m(s, t)$ を求めるのに用いる第1階層の 2×2 の4画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ 、 $h(2s+1, 2t+1)$ について、そのうちの最後に入力される画素(最終入力画素) $h(2s+1, 2t+1)$ を除く3画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ だけが書き込まれていく。

50

【0117】

一方、制御信号 $h a 0$ および $v a 0$ がいずれも 1 の場合、上述したように、第 1 階層の画素 $h(2s+1, 2t+1)$ が、セクタ 8 から加減算器 10 に出力されるが、この場合においては、コントローラ 5 は、ライトイネーブル信号 $w e 1$ を L レベルにする。即ち、コントローラ 5 は、アドレス供給回路 4 から供給される制御信号 $h a 0$ および $v a 0$ がいずれも 1 の場合、ライトイネーブル信号 $w e 1$ を H レベルから L レベルにして、第 1 階層メモリ 1 に供給する。

【0118】

従って、アドレス発生回路 4 A がアドレス $(2s+1, 2t+1)$ を出力するタイミングにおいては、第 1 階層メモリ 1 は、読み出し状態となり、アドレス供給回路 4 からのアドレス (s, t) に記憶されているデータ、即ち、既に記憶されている第 1 階層の 3 画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$ が、同時に読み出される。この 3 画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$ は、第 1 階層メモリ 1 のデータ端子 D1 乃至 D3 からそれぞれ出力され、図 9 に示すように、加算器 6 に供給される。

10

【0119】

加算器 6 では、第 1 階層メモリ 1 からの 3 画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$ が加算され、その加算値は、加減算器 10 に供給される。加減算器 10 では、図 9 に示すように、加算器 6 からの加算値と、セクタ 8 からの画素 $h(2s+1, 2t+1)$ とが加算され、これにより、第 2 階層の画素 $m(s, t)$ ($= h(2s, 2t) + h(2s+1, 2t) + h(2s, 2t+1) + h(2s+1, 2t+1)$) が求められる。この画素 $m(s, t)$ は、加減算器 10 から出力され、セクタ 9 の入出力端子 DIO1 に入力される。

20

【0120】

従って、第 2 階層の画素 $m(s, t)$ を求めるのに用いる第 1 階層の 2×2 の 4 画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, $h(2s+1, 2t+1)$ のうちの最終入力画素 $h(2s+1, 2t+1)$ が入力されるタイミングにおいては、図 10 に示すように、第 1 階層メモリ 1 のアドレス (s, t) に記憶されている第 1 階層の 3 画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$ が読み出され、それらと最終入力画素 $h(2s+1, 2t+1)$ とを用いて、第 2 階層の画素 $m(s, t)$ が求められる。そして、この画素 $m(s, t)$ は、次に説明するようにして、第 2 階層メモリ 2 に書き込まれる。

30

【0121】

以上のようにして加減算器 10 からセクタ 9 に供給される第 2 階層の画素 $m(s, t)$ に対しては、第 2 階層メモリ 2、加算器 7、セクタ 9、または加減算器 11 において、第 1 階層メモリ 1、加算器 6、セクタ 8、または加減算器 10 における場合とそれぞれ同様の処理が施され、これにより、第 2 階層メモリ 2 に、第 2 階層の画素が記憶されていくとともに、第 3 階層の画素が生成されていく。

【0122】

即ち、コントローラ 5 は、ライトイネーブル信号 $w e 2$ およびチップイネーブル信号 $c e 2$ を、いずれも H レベルにして、第 2 階層メモリ 2 に供給する。また、アドレス供給回路 4 は、アドレス発生回路 4 A が出力する水平アドレス H A の一部としての、そのうちの最下位ビット $h a 0$ とその 1 つ上位のビット $h a 1$ を除く上位 9 ビット $h a 2$ 乃至 $h a 10$ と、垂直アドレス V A の一部としての、最下位ビット $v a 0$ およびその 1 つ上位のビット $v a 1$ を除く上位 9 ビット $v a 2$ 乃至 $v a 10$ を、第 2 階層メモリ 2 のアドレス端子 A D に供給する。さらに、アドレス供給回路 4 は、水平アドレス H A の最下位ビットから 1 つ上位の $h a 1$ と、垂直アドレス V A の最下位ビットから 1 つ上位の $v a 1$ を、制御信号として、セクタ 9 に出力する。

40

【0123】

従って、第 3 階層の画素 $q(m, n)$ を求めるのに用いる第 2 階層の 2×2 の 4 画素 m (

50

$2m, 2n$), $m(2m+1, 2n)$, $m(2m, 2n+1)$, $m(2m+1, 2n+1)$ が、セクタ9の入出力端子DIO1にされるタイミングにおいては、アドレス供給回路4は、いずれのタイミングでも、第2階層メモリ2の同一アドレス(m, n)を指定する信号を、第2階層メモリ2に出力する。

【0124】

一方、セクタ9では、その入出力端子DIO1に供給される第2階層の画素が、アドレス供給回路4からの制御信号ha1およびva1に基づき、その入出力端子IO1乃至IO3またはDIO2のうちのいずれかから出力される。

【0125】

即ち、セクタ9は、制御信号ha1およびva1がいずれも0のとき、つまり、その入出力端子DIO1に、第2階層の画素 $m(2m, 2n)$ が入力されたとき、その画素 $m(2m, 2n)$ を、入出力端子IO1から出力する。また、セクタ9は、制御信号ha1またはva1が、それぞれ1または0のとき、つまり、その入出力端子DIO1に、第2階層の画素 $h(2m+1, 2n)$ が入力されたとき、その画素 $m(2m+1, 2n)$ を、入出力端子IO2から出力する。さらに、セクタ9は、制御信号ha1またはva1が、それぞれ0または1のとき、つまり、その入出力端子DIO1に、第2階層の画素 $m(2m, 2n+1)$ が入力されたとき、その画素 $m(2m, 2n+1)$ を、入出力端子IO3から出力する。また、セクタ9は、制御信号ha1およびva1がいずれも1のとき、つまり、その入出力端子DIO1に、第2階層の画素 $m(2m+1, 2n+1)$ が入力されたとき、その画素 $m(2m+1, 2n+1)$ を、入出力端子DIO2から出力する。

【0126】

従って、セクタ9においては、第2階層の画素 $m(2m, 2n)$, $m(2m+1, 2n)$, $m(2m, 2n+1)$ 、または $m(2m+1, 2n+1)$ は、その入出力端子IO1乃至IO3、またはDIO2から、第2階層メモリ2のデータ端子D1乃至D3、または加減算器11に、それぞれ出力される。

【0127】

そして、第2階層メモリ2では、第1階層メモリ1における場合と同様にして、そのデータ端子D1乃至D3に供給されるデータが、アドレス(m, n)に記憶される。

【0128】

即ち、第2階層メモリ2のメモリセルは、図3に示した第1階層メモリ1のメモリセルと同様に構成されている。但し、第2階層の画素は、上述したように、10ビットで表されるため、第2階層メモリ2のメモリセルは、10ビットで表される3画素、即ち、30ビットのデータを記憶することができるようになされている。

【0129】

そして、セクタ9では、アドレス供給回路4からの制御信号ha1およびva1に基づき、第2階層メモリ2のメモリセルへの書き込みをビット単位で制御するためのマスクビット信号mbが生成され、第2階層メモリ2のマスクビット端子MBに供給される。

【0130】

即ち、セクタ9は、制御信号ha1およびva1がいずれも0のとき、つまり、その入出力端子IO1から第2階層メモリ2のデータ端子D1に、画素 $m(2m, 2n)$ を出力するとき、アドレス(m, n)のメモリセルの最初の10ビットの次の10ビット、および最後の8ビットをマスクする(それらのビットへの書き込みを行わないようにする)ためのマスクビット信号mbを、第2階層メモリ2に供給する。また、セクタ9は、制御信号ha1またはva1が、それぞれ1または0のとき、つまり、その入出力端子IO2から第2階層メモリ2のデータ端子D2に、画素 $m(2m+1, 2n)$ を出力するとき、アドレス(m, n)のメモリセルの最初の10ビット、および最後の10ビットをマスクするためのマスクビット信号mbを、第2階層メモリ2に供給する。さらに、セクタ9は、制御信号ha1またはva1が、それぞれ0または1のとき、つまり、その入出力端子IO3から第2階層メモリ2のデータ端子D3に、画素 $m(2m, 2n+1)$ を出力するとき、アドレス(m, n)のメモリセルの最初の10ビット、および次の10ビットを

10

20

30

40

50

マスクするためのマスクビット信号 m_b を、第2階層メモリ2に供給する。

【0131】

これにより、第2階層メモリ2では、画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、または $m(2m, 2n+1)$ が供給されるタイミングにおいて、アドレス (m, n) のメモリセルの最初の10ビット、次の10ビット、または最後の10ビットにのみ、画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、または $m(2m, 2n+1)$ が、それぞれ書き込まれる。

【0132】

以上のようにして、第2階層メモリ2においては、第3階層の画素 $q(m, n)$ を求めるのに用いる第2階層の 2×2 の4画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ 、 $m(2m+1, 2n+1)$ のうちの最後に入力される画素(最終入力画素) $m(2m+1, 2n+1)$ を除く3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ だけが書き込まれていく。

【0133】

一方、制御信号 h_{a1} および v_{a1} がいずれも1の場合、上述したように、第2階層の画素 $m(2m+1, 2n+1)$ が、セクタ9から加減算器10に出力されるが、この場合においては、コントローラ5は、ライトイネーブル信号 w_e2 をLレベルにする。即ち、コントローラ5は、アドレス供給回路4から供給される制御信号 h_{a1} および v_{a1} がいずれも1の場合、ライトイネーブル信号 w_e2 をHレベルからLレベルにして、第2階層メモリ2に供給する。

【0134】

従って、この場合、第2階層メモリ2は、読み出し状態となり、アドレス供給回路4からのアドレス (m, n) に記憶されているデータ、即ち、既に記憶されている第2階層の3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ が、同時に読み出される。この3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ は、第2階層メモリ2のデータ端子D1乃至D3からそれぞれ出力され、加算器7に供給される。

【0135】

加算器7では、第2階層メモリ2からの3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ が加算され、その加算値は、加減算器11に供給される。加減算器11では、加算器7からの加算値と、セクタ9からの画素 $m(2m+1, 2n+1)$ とが加算され、これにより、第3階層の画素 $q(m, n) (= m(2m, 2n) + m(2m+1, 2n) + m(2m, 2n+1) + m(2m+1, 2n+1))$ が求められる。この画素 $q(m, n)$ は、加減算器11から出力され、第3階層メモリ3のデータ端子Dに入力される。

【0136】

従って、第3階層の画素 $q(m, n)$ を求めるのに用いる第2階層の 2×2 の4画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ 、 $m(2m+1, 2n+1)$ のうちの最終入力画素 $m(2m+1, 2n+1)$ が入力されるタイミングにおいては、即ち、図11に示すように、加減算器10において、図10で説明したようにして、最終入力画素 $m(2m+1, 2n+1)$ が求められ、セクタ9に出力される場合においては、第2階層メモリ2のアドレス (m, n) に既に記憶されている第2階層の3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ が同時に読み出され、それらと最終入力画素 $m(2m+1, 2n+1)$ とを用いて、第3階層の画素 $q(m, n)$ が求められる。

【0137】

即ち、第3階層の画素 $q(m, n)$ を求めるのに用いる第2階層の 2×2 の4画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ 、 $m(2m+1, 2n+1)$ それぞれを求めることから考えれば、第1階層の4画素 $h(4m, 4n)$ 、 $h(4m+1, 4n)$ 、 $h(4m, 4n+1)$ 、 $h(4m+1, 4n+1)$ から第2階層の画素 $m(2$

10

20

30

40

50

$m, 2n$) が求められ、また、第1階層の4画素 $h(4m+2, 4n)$, $h(4m+3, 4n)$, $h(4m+2, 4n+1)$, $h(4m+3, 4n+1)$ から第2階層の画素 $(2m+1, 2n)$ が求められる。さらに、第1階層の4画素 $h(4m, 4n+2)$, $h(4m+1, 4n+2)$, $h(4m, 4n+3)$, $h(4m+1, 4n+3)$ から第2階層の画素 $m(2m, 2n+1)$ が求められ、また、第1階層の4画素 $h(4m+2, 4n+2)$, $h(4m+3, 4n+2)$, $h(4m+2, 4n+3)$, $h(4m+3, 4n+3)$ から第2階層の画素 $(2m+1, 2n+1)$ が求められる。そして、以上のようにして求められた第2階層の 2×2 の4画素 $m(2m, 2n)$, $m(2m+1, 2n)$, $m(2m, 2n+1)$, $m(2m+1, 2n+1)$ から、第3階層の画素 $q(m, n)$ が求められる。

10

【0138】

この第3階層の画素 $q(m, n)$ は、次に説明するようにして、第3階層メモリ3に書き込まれる。

【0139】

なお、加減算器10において、第2階層の画素 $m(s, t)$ が得られるのは、セレクタ8に、第1階層の画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, $h(2s+1, 2t+1)$ が入力されてからであり、それぞれの画素が入力されるタイミングにおいて、アドレス発生回路4Aは、アドレス $(2s, 2t)$, $(2s+1, 2t)$, $(2s, 2t+1)$, $(2s+1, 2t+1)$ を出力する。一方、第2階層メモリ2には、アドレス発生回路4Aが出力する水平アドレスHAまたは垂直アドレスVAのそれぞれ上位9ビットが、アドレスとして与えられるから、1の第2階層の画素 $m(s, t)$ を得るための第1階層の4画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$, $h(2s+1, 2t+1)$ が入力されるタイミングにおいて、第2階層メモリ2には、いずれも同一のアドレスが与えられる。

20

【0140】

しかしながら、加減算器10において、第2階層の画素 $m(s, t)$ が得られるのは、画素 $h(2s+1, 2t+1)$ が入力されるタイミングにおいてであり、画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$ が入力されるタイミングでは、いずれのタイミングにおいても、第2階層の画素 $m(s, t)$ は得られていない。従って、書き込み時には、第2階層メモリ2において、画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$ が入力されるタイミングでは、書き込み動作を行わず、第2階層の画素 $m(s, t)$ が得られる画素 $h(2s+1, 2t+1)$ が入力されるタイミングでのみ、書き込み動作を行う必要がある。

30

【0141】

そこで、コントローラ5は、アドレス供給回路4からの制御信号としての水平アドレスHAまたは垂直アドレスVAそれぞれの最下位ビット ha_0 または va_0 が、いずれも1の場合にのみ、チップイネーブル信号 ce_2 をHレベルにし、他の場合はLレベルにするようになされている。

【0142】

次に、以上のようにして加減算器11から第3階層メモリ3のデータ端子Dに供給される第3階層の画素 $q(m, n)$ は、第3階層メモリ3において記憶される。

40

【0143】

即ち、コントローラ5は、ライトイネーブル信号 we_3 およびチップイネーブル信号 ce_3 を、いずれもHレベルにして、第3階層メモリ3に供給する。また、アドレス供給回路4は、アドレス発生回路4Aが出力する水平アドレスHAおよび垂直アドレスVAを、第2階層メモリ2に供給する場合と同様に加工し、水平アドレスHAの上位9ビット ha_2 乃至 ha_{10} と、垂直アドレスVAの上位9ビット va_2 乃至 va_{10} を、第3階層メモリ3のアドレス端子ADに供給する。

【0144】

従って、第3階層メモリ3には、第3階層の画素 $q(m, n)$ の位置に対応するアドレス

50

(m, n) が供給される。そして、第3階層メモリ3では、アドレス(m, n)に、加減算器11から供給される第3階層の画素 $q(m, n)$ が記憶される。

【0145】

なお、加減算器11において、第3階層の画素 $q(m, n)$ が得られるのは、セレクタ9に、第2階層の画素 $m(2m, 2n)$, $m(2m+1, 2n)$, $m(2m, 2n+1)$, $m(2m+1, 2n+1)$ が入力されてからであり、さらに、第2階層の画素 $m(2m, 2n)$ は、第1階層の4画素 $h(4m, 4n)$, $h(4m+1, 4n)$, $h(4m, 4n+1)$, $h(4m+1, 4n+1)$ が入力されてから、第2階層の画素 $m(2m+1, 2n)$ は、第1階層の4画素 $h(4m+2, 4n)$, $h(4m+3, 4n)$, $h(4m+2, 4n+1)$, $h(4m+3, 4n+1)$ が入力されてから、第2階層の画素 $m(2m, 2n+1)$ は、第1階層の4画素 $h(4m, 4n+2)$, $h(4m+1, 4n+2)$, $h(4m, 4n+3)$, $h(4m+1, 4n+3)$ が入力されてから、第2階層の画素 $m(2m+1, 2n+1)$ は、第1階層の4画素 $h(4m+2, 4n+2)$, $h(4m+3, 4n+2)$, $h(4m+2, 4n+3)$, $h(4m+3, 4n+3)$ が入力されてから、それぞれ求められる。

10

【0146】

そして、アドレス発生回路4Aは、第1階層の 4×4 の16画素 $h(4m, 4n)$, $h(4m+1, 4n)$, $h(4m, 4n+1)$, $h(4m+1, 4n+1)$, $h(4m+2, 4n)$, $h(4m+3, 4n)$, $h(4m+2, 4n+1)$, $h(4m+3, 4n+1)$, $h(4m, 4n+2)$, $h(4m+1, 4n+2)$, $h(4m, 4n+3)$, $h(4m+1, 4n+3)$, $h(4m+2, 4n+2)$, $h(4m+3, 4n+2)$, $h(4m+2, 4n+3)$, $h(4m+3, 4n+3)$ が入力されるタイミングにおいて、アドレス($4m, 4n$), ($4m+1, 4n$), ($4m, 4n+1$), ($4m+1, 4n+1$), ($4m+2, 4n$), ($4m+3, 4n$), ($4m+2, 4n+1$), ($4m+3, 4n+1$), ($4m, 4n+2$), ($4m+1, 4n+2$), ($4m, 4n+3$), ($4m+1, 4n+3$), ($4m+2, 4n+2$), ($4m+3, 4n+2$), ($4m+2, 4n+3$), ($4m+3, 4n+3$)を、それぞれ出力する。

20

【0147】

一方、第3階層メモリ3には、アドレス発生回路4Aが出力する水平アドレスHAまたは垂直アドレスVAのそれぞれ上位9ビットが、アドレスとして与えられるから、1の第3階層の画素 $q(m, n)$ を得るための、上述の第1階層の 4×4 の16画素が入力されるタイミングにおいて、第3階層メモリ3には、いずれも同一のアドレス(m, n)が与えられる。

30

【0148】

しかしながら、加減算器11において、第3階層の画素 $q(m, n)$ が得られるのは、上述の 4×4 の16の第1階層の画素のうち画素 $h(4m+3, 4n+3)$ が入力されるタイミング(第2階層でいえば、画素 $m(2m+1, 2n+1)$ が入力されるタイミング)においてであり、第1階層の他の15画素が入力されるタイミングでは、いずれのタイミングにおいても、第3階層の画素 $q(m, n)$ は得られていない。従って、書き込み時には、第3階層メモリ3において、上述の第1階層の他の15画素が入力されるタイミングでは、書き込み動作を行わず、第3階層の画素 $q(m, n)$ が得られる、第1階層の画素 $h(4m+3, 4n+3)$ が入力されるタイミングでのみ、書き込み動作を行う必要がある。

40

【0149】

そこで、コントローラ5は、アドレス供給回路4からの制御信号としての水平アドレスHAまたは垂直アドレスVAそれぞれの最下位ビット ha_0 または va_0 が、いずれも1で、かつそれぞれの最下位ビットの1つ上位のビット ha_1 または va_1 も、いずれも1の場合にのみ、チップイネーブル信号 ce_3 をHレベルにし、他の場合はLレベルにするようになされている。

【0150】

50

以上のように、第1階層と第2階層との関係からすれば、下位階層である第1階層の画素を記憶する第1階層メモリ1からの画素の読み出しを、上位階層である第2階層の画素を構成するのに用いる第1階層の 2×2 画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ 、 $h(2s+1, 2t+1)$ のうちの、最終入力画素 $h(2s+1, 2t+1)$ を除く3画素単位で行うようにしたので、第1階層メモリ1が、従来において外付けされていた遅延回路の役割をも果たすようになり、これにより、そのような遅延回路を設けずに、第1階層の画像から第2階層の画像を求めながら、それらの書き込みを行うことが可能となる。また、第2階層と第3階層との関係からすれば、下位階層である第2階層の画素を記憶する第2階層メモリ2からの画素の読み出しを、上位階層である第3階層の画素を構成するのに用いる第2階層の 2×2 画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ 、 $m(2m+1, 2n+1)$ のうちの、最終入力画素 $m(2m+1, 2n+1)$ を除く3画素単位で行うようにしたので、第2階層メモリ2が、従来において外付けされていた遅延回路の役割をも果たすようになり、これにより、そのような遅延回路を設けずに、第2階層の画像から第3階層の画像を求めながら、それらの書き込みを行うことが可能となる。

10

【0151】

次に、以上のようにして書き込まれた第1乃至第3階層の画像の読み出しについて説明する。なお、読み出しについては、説明の都合上、第3階層、第2階層、第1階層の順で説明する。

【0152】

まず、第3階層の画素の読み出しについて説明する。

20

【0153】

第3階層の画素の読み出しにおいては、アドレス供給回路4は、書き込み時における場合と同様のアドレスを、第3階層メモリ3に与える。また、コントローラ5は、ライトイネーブル信号 $w e 3$ をLレベルにして、第3階層メモリ3に与える。さらに、コントローラ5は、書き込み時における場合と同様のチップイネーブル信号 $c e 3$ を、第3階層メモリ3に与える。

【0154】

即ち、アドレス供給回路4から第3階層メモリ3に対しては、アドレス発生回路4Aが出力する水平アドレスHAまたは垂直アドレスVAのそれぞれ上位9ビットが、アドレスとして与えられるから、アドレス発生回路4Aが、アドレス $(4m, 4n)$ 、 $(4m+1, 4n)$ 、 $(4m, 4n+1)$ 、 $(4m+1, 4n+1)$ 、 $(4m+2, 4n)$ 、 $(4m+3, 4n)$ 、 $(4m+2, 4n+1)$ 、 $(4m+3, 4n+1)$ 、 $(4m, 4n+2)$ 、 $(4m+1, 4n+2)$ 、 $(4m, 4n+3)$ 、 $(4m+1, 4n+3)$ 、 $(4m+2, 4n+2)$ 、 $(4m+3, 4n+2)$ 、 $(4m+2, 4n+3)$ 、 $(4m+3, 4n+3)$ を出力する場合においては、第3階層メモリ3には、いずれの場合においても、アドレス (m, n) が与えられる。この場合、第3階層メモリ3の同一アドレスから、第3階層の画素が、16回読み出されることになる。

30

【0155】

そこで、このような同一アドレスからの画素の重複読み出しを避けるため、コントローラ5は、書き込み時における場合と同様に、アドレス供給回路4からの制御信号としての水平アドレスHAまたは垂直アドレスVAそれぞれの最下位ビット $h a 0$ または $v a 0$ が、いずれも1で、かつそれぞれの最下位ビットの1つ上位のビット $h a 1$ または $v a 1$ も、いずれも1の場合にのみ、チップイネーブル信号 $c e 3$ をHレベルにし、他の場合はLレベルにするようになされている。

40

【0156】

以上により、第3階層メモリ3に対しては、0乃至479または0乃至269の範囲の整数値をそれぞれとる変数 m または n によって表されるアドレス (m, n) が、ラインスキャン順に与えられ、各アドレスに記憶された第3階層の画素 $q(m, n)$ が読み出される。この第3階層の画素 (m, n) は、第3階層メモリ3のデータ端子Dから、ラインスキ

50

ラン順に出力される。

【0157】

次に、第2階層の画素の読み出しについて説明する。

【0158】

この場合、アドレス供給回路4は、第3階層メモリ3に対するアドレスとして、上述したようなアドレスを与えるとともに、第2階層メモリ2に対するアドレスとして、書き込み時における場合と同様に、アドレス発生回路4Aが出力する水平アドレスHAまたは垂直アドレスVAそれぞれの上位9ビットを与える。

【0159】

また、コントローラ5は、第3階層メモリ3に対して、上述したようなライトイネーブル信号we3およびチップイネーブル信号ce3を与えるとともに、第2階層メモリ2に対して、Lレベルのライトイネーブル信号we2を与える。さらに、コントローラ5は、書き込み時における場合と同様のチップイネーブル信号ce2を、第2階層メモリ2に与える。

10

【0160】

従って、この場合、アドレス発生回路4Aが、水平アドレスHAと垂直アドレスVAとの組(HA, VA)として、アドレス(2s, 2t), (2s+1, 2t), (2s, 2t+1), (2s+1, 2t+1)を出力するタイミングのうちの、アドレス(2s+1, 2t+1)を出力するタイミングでのみ、第2階層メモリ2において、データ(第2階層の画素)の読み出しが行われる。

20

【0161】

さらに、アドレス供給回路4は、アドレス発生回路4Aが出力する水平アドレスHAまたは垂直アドレスVAそれぞれの上位9ビットを、第2階層メモリ2に対して、アドレスとして与えるから、アドレス発生回路4Aが、アドレス(4m, 4n), (4m+1, 4n), (4m, 4n+1), (4m+1, 4n+1), (4m+2, 4n), (4m+3, 4n), (4m+2, 4n+1), (4m+3, 4n+1), (4m, 4n+2), (4m+1, 4n+2), (4m+2, 4n+2), (4m+3, 4n+2), (4m, 4n+3), (4m+1, 4n+3), (4m+2, 4n+3), (4m+3, 4n+3)を出力する場合には、いずれの場合も、アドレス(m, n)が、第2階層メモリ2に与えられる。

30

【0162】

そして、上述したことから、第2階層メモリ2においてデータの読み出しが行われるのは、アドレス発生回路4Aが、アドレス(4m, 4n), (4m+1, 4n), (4m, 4n+1), (4m+1, 4n+1), (4m+2, 4n), (4m+3, 4n), (4m+2, 4n+1), (4m+3, 4n+1), (4m, 4n+2), (4m+1, 4n+2), (4m+2, 4n+2), (4m+3, 4n+2), (4m, 4n+3), (4m+1, 4n+3), (4m+2, 4n+3), (4m+3, 4n+3)を出力する場合のうちの、アドレス(4m+1, 4n+1), (4m+3, 4n+1), (4m+1, 4n+3), (4m+3, 4n+3)を出力する場合である。

【0163】

以上から、第2階層メモリ2においては、アドレス発生回路4Aが、アドレス(4m+1, 4n+1), (4m+3, 4n+1), (4m+1, 4n+3), (4m+3, 4n+3)を出力する場合に、いずれの場合にも、アドレス(m, n)が与えられ、そのアドレス(m, n)からデータが読み出される。

40

【0164】

一方、上述したことから、第2階層メモリ2のアドレス(m, n)には、第2階層の3画素m(2m, 2n), m(2m+1, 2n), m(2m, 2n+1)が記憶されており、アドレス発生回路4Aが、アドレス(4m+1, 4n+1), (4m+3, 4n+1), (4m+1, 4n+3), (4m+3, 4n+3)を出力する場合には、いずれの場合も、第2階層の3画素m(2m, 2n), m(2m+1, 2n), m(2m, 2n+1)が読み出される。

50

1) が、第2階層メモリ2から同時に読み出され、そのデータ端子D1乃至D3から、それぞれ出力される。

【0165】

そして、アドレス発生回路4Aが、アドレス $(4m+1, 4n+1)$ 、 $(4m+3, 4n+1)$ 、 $(4m+1, 4n+3)$ を出力する場合においては、いずれの場合においても、第2階層メモリ2のデータ端子D1乃至D3から出力される第2階層の3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ は、セレクタ9の入出力端子IO1乃至IO3に、それぞれ供給される。

【0166】

セレクタ9では、図12に示すように、その入出力端子IO1乃至IO3に供給される第2階層の3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ 、またはその入出力端子DIO2に供給される加減算器11の出力のうちのいずれか1つが、コントローラ5からの制御信号ha1およびva1に基づき、第2階層の画像の読み出し結果として選択され、その入出力端子DIO1から出力される。

10

【0167】

即ち、セレクタ9は、制御信号ha1およびva1がいずれも0のとき、つまり、アドレス発生回路4Aが、アドレス $(4m+1, 4n+1)$ を出力するとき、第2階層メモリ2のデータ端子D1から、セレクタ9の入出力端子IO1に供給される第2階層の画素 $(2m, 2n)$ を選択し、その入出力端子DIO1から出力する。

【0168】

また、セレクタ9は、制御信号ha1またはva1が、それぞれ1または0のとき、つまり、アドレス発生回路4Aが、アドレス $(4m+3, 4n+1)$ を出力するとき、第2階層メモリ2のデータ端子D2から、セレクタ9の入出力端子IO2に供給される第2階層の画素 $(2m+1, 2n)$ を選択し、その入出力端子DIO1から出力する。

20

【0169】

さらに、セレクタ9は、制御信号ha1またはva1が、それぞれ0または1のとき、つまり、アドレス発生回路4Aが、アドレス $(4m+1, 4n+3)$ を出力するとき、第2階層メモリ2のデータ端子D2から、セレクタ9の入出力端子IO3に供給される第2階層の画素 $(2m, 2n+1)$ を選択し、その入出力端子DIO1から出力する。

【0170】

そして、セレクタ9は、制御信号ha1およびva1がいずれも1のとき、つまり、アドレス発生回路4Aが、アドレス $(4m+3, 4n+3)$ を出力するとき、加減算器11から、その入出力端子DIO2に供給されるデータを選択して、その入出力端子DIO1から出力する。

30

【0171】

即ち、アドレス発生回路4Aが、アドレス $(4m+1, 4n+3)$ を出力する場合においても、第2階層メモリ2のデータ端子D1乃至D3からは、第2階層の3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ が出力されるが、この第2階層の3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ は、加算器7に供給されて、その加算値が演算される。そして、加算器7において得られた加算値は、加減算器11に供給される。

40

【0172】

さらに、アドレス発生回路4Aが、アドレス $(4m+1, 4n+3)$ を出力する場合においては、上述したように、第3階層メモリ3から第3階層の画素 $q(m, n)$ が読み出され、この第3階層の画素 $q(m, n)$ は、第3階層の画像の読み出し結果として外部に出力される他、加減算器11にも供給される。

【0173】

加減算器11では、第3階層の画素 $q(m, n)$ から、加算器7の加算値を減算することにより、第2階層の画素 $m(2m+1, 2n+1) (= q(m, n) - (m(2m, 2n) + m(2m+1, 2n) + m(2m, 2n+1)))$ が求められ、セレクタ9の入出力端

50

子D I O 2に供給される。セレクタ9では、その入出力端子D I O 2に供給される第2階層の画素 $m(2m+1, 2n+1)$ が選択されて出力される。

【0174】

即ち、この場合、図13に示すように、第2階層メモリ2から、第2階層の3画素 $(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ が同時に読み出されるとともに、第3階層メモリ3から、第3階層の画素 $q(m, n)$ が読み出される。そして、図14に示すように、加算器7において、第2階層メモリ2から読み出された第2階層の3画素 $m(2m, 2n)$ 、 $m(2m+1, 2n)$ 、 $m(2m, 2n+1)$ の加算値が演算され、さらに、加減算器11において、第3階層の画素 $q(m, n)$ から、加算器7における加算値が減算されることにより、書き込み時には記憶されなかった第2階層の画素 $m(2m+1, 2n+1)$ が求められる。そして、この第2階層の画素 $m(2m+1, 2n+1)$ が、セレクタ9の入出力端子D I O 2に入力され、その入出力端子D I O 1から出力される。

10

【0175】

次に、第1階層の画素の読み出しについて説明する。

【0176】

この場合、アドレス供給回路4は、第2階層メモリ2および第3階層メモリ3に対するアドレスとして、上述したようなアドレスを与えるとともに、第1階層メモリ1に対するアドレスとして、書き込み時における場合と同様に、アドレス発生回路4Aが出力する水平アドレスHAまたは垂直アドレスVAそれぞれの上位10ビットを与える。

20

【0177】

また、コントローラ5は、第2階層メモリ2または第3階層メモリ3に対して、上述したようなライトイネーブル信号 $w e 2$ または $w e 3$ 、およびチップイネーブル信号 $c e 2$ または $c e 3$ をそれぞれ与えるとともに、第1階層メモリ1に対して、Lレベルのライトイネーブル信号 $w e 1$ を与える。さらに、コントローラ5は、書き込み時における場合と同様のチップイネーブル信号 $c e 1$ (常時、Hレベルのチップイネーブル信号 $c e 1$)を、第1階層メモリ1に与える。

【0178】

従って、この場合、アドレス発生回路4Aが、水平アドレスHAと垂直アドレスVAとの組 (HA, VA) として、アドレス $(2s, 2t)$ 、 $(2s+1, 2t)$ 、 $(2s, 2t+1)$ 、 $(2s+1, 2t+1)$ を出力する場合のいずれの場合も、アドレス (s, t) が、第1階層メモリ1に与えられ、そのアドレス (s, t) に記憶されている第1階層の3画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ が同時に読み出される。この同時に読み出された第1階層の3画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ は、第1階層メモリ1のデータ端子D1乃至D3から、それぞれ出力される。

30

【0179】

そして、アドレス発生回路4Aが、アドレス $(2s, 2t)$ 、 $(2s+1, 2t)$ 、 $(2s, 2t+1)$ を出力する場合においては、いずれの場合においても、第1階層メモリ1のデータ端子D1乃至D3から出力される第1階層の3画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ は、セレクタ8の入出力端子I O 1乃至I O 3に、それぞれ供給される。

40

【0180】

セレクタ8では、その入出力端子I O 1乃至I O 3に供給される第1階層の3画素 $h(2s, 2t)$ 、 $h(2s+1, 2t)$ 、 $h(2s, 2t+1)$ 、またはその入出力端子D I O 2に供給される加減算器10の出力のうちいずれか1つが、コントローラ5からの制御信号 $h a 0$ および $v a 0$ に基づき、第1階層の画像の読み出し結果として選択され、その入出力端子D I O 1から出力される。

【0181】

即ち、セレクタ8は、制御信号 $h a 0$ および $v a 0$ がいずれも0のとき、つまり、アドレ

50

ス発生回路4Aが、アドレス $(2s, 2t)$ を出力するとき、第1階層メモリ1のデータ端子D1から、セクタ8の入出力端子DIO1に供給される第1階層の画素 $(2s, 2t)$ を選択し、その入出力端子DIO1から出力する。

【0182】

また、セクタ8は、制御信号ha0またはva0が、それぞれ1または0のとき、つまり、アドレス発生回路4Aが、アドレス $(2s+1, 2t)$ を出力するとき、第1階層メモリ1のデータ端子D2から、セクタ8の入出力端子DIO2に供給される第1階層の画素 $(2s+1, 2t)$ を選択し、その入出力端子DIO1から出力する。

【0183】

さらに、セクタ8は、制御信号ha0またはva0が、それぞれ0または1のとき、つまり、アドレス発生回路4Aが、アドレス $(2s, 2t+1)$ を出力するとき、第1階層メモリ2のデータ端子D3から、セクタ8の入出力端子DIO3に供給される第1階層の画素 $(2s, 2t+1)$ を選択し、その入出力端子DIO1から出力する。

10

【0184】

そして、セクタ8は、制御信号ha0およびva0がいずれも1のとき、つまり、アドレス発生回路4Aが、アドレス $(2s+1, 2t+1)$ を出力するとき、加減算器10から、その入出力端子DIO2に供給されるデータを選択して、その入出力端子DIO1から出力する。

【0185】

即ち、アドレス発生回路4Aが、アドレス $(2s+1, 2t+1)$ を出力する場合においても、第1階層メモリ1のデータ端子D1乃至D3からは、第1階層の3画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$ が出力されるが、この第1階層の3画素 $h(2s, 2t)$, $h(2s+1, 2t)$, $h(2s, 2t+1)$ は、加算器6に供給されて、その加算値が演算される。そして、加算器6において得られた加算値は、加減算器10に供給される。

20

【0186】

さらに、アドレス発生回路4Aが、アドレス $(2s+1, 2t+1)$ を出力する場合においては、上述したようにして、セクタ9の入出力端子DIO1から第2階層の画素 $m(s, t)$ が出力され、この第2階層の画素 $m(s, t)$ は、第2階層の画像の読み出し結果として外部に出力される他、加減算器10にも供給される。

30

【0187】

加減算器10では、第2階層の画素 $m(s, t)$ から、加算器6の加算値を減算することにより、第1階層の画素 $h(2s+1, 2t+1) (= m(s, t) - (h(2s, 2t) + h(2s+1, 2t) + h(2s, 2t+1)))$ が求められ、セクタ8の入出力端子DIO2に供給される。セクタ8では、その入出力端子DIO2に供給される第1階層の画素 $h(2s+1, 2t+1)$ が選択されて出力される。

【0188】

即ち、アドレス発生回路4Aが、アドレス $(2s+1, 2t+1)$ を出力する場合において、そのアドレス $(2s+1, 2t+1)$ が、 $(4m+1, 4n+1)$ で表されるときには、図15に示すように、第1階層メモリ1から、第1階層の3画素 $h(4m, 4n)$, $h(4m+1, 4n)$, $h(4m, 4n+1)$ が同時に読み出されるとともに、第2階層メモリ2から、第2階層の画素 $m(2m, 2n)$ が読み出される。そして、加算器6において、第1階層の3画素 $h(4m, 4n)$, $h(4m+1, 4n)$, $h(4m, 4n+1)$ の加算値が演算され、さらに、加減算器10において、第2階層の画素 $m(2m, 2n)$ から、加算器6における加算値が減算されることにより、書き込み時には記憶されなかった第1階層の画素 $h(4m+1, 4n+1)$ が求められる。そして、この第1階層の画素 $h(4m+1, 4n+1)$ が、セクタ8の入出力端子DIO2に入力され、その入出力端子DIO1から出力される。

40

【0189】

また、アドレス発生回路4Aが出力するアドレス $(2s+1, 2t+1)$ が、 $(4m+3$

50

、 $4n + 1$) で表されるときには、図 15 に示すように、第 1 階層メモリ 1 から、第 1 階層の 3 画素 $h(4m + 2, 4n)$ 、 $h(4m + 3, 4n)$ 、 $h(4m + 2, 4n + 1)$ が同時に読み出されるとともに、第 2 階層メモリ 2 から、第 2 階層の画素 $m(2m + 1, 2n)$ が読み出される。そして、加算器 6 において、第 1 階層の 3 画素 $h(4m + 2, 4n)$ 、 $h(4m + 3, 4n)$ 、 $h(4m + 2, 4n + 1)$ の加算値が演算され、さらに、加減算器 10 において、第 2 階層の画素 $m(2m + 1, 2n)$ から、加算器 6 における加算値が減算されることにより、書き込み時には記憶されなかった第 1 階層の画素 $h(4m + 3, 4n + 1)$ が求められる。そして、この第 1 階層の画素 $h(4m + 3, 4n + 1)$ が、セクタ 8 の入出力端子 D I O 2 に入力され、その入出力端子 D I O 1 から出力される。

10

【0190】

さらに、アドレス発生回路 4 A が出力するアドレス $(2s + 1, 2t + 1)$ が、 $(4m + 1, 4n + 3)$ で表されるときには、図 15 に示すように、第 1 階層メモリ 1 から、第 1 階層の 3 画素 $h(4m, 4n + 2)$ 、 $h(4m + 1, 4n + 2)$ 、 $h(4m, 4n + 3)$ が同時に読み出されるとともに、第 2 階層メモリ 2 から、第 2 階層の画素 $m(2m, 2n + 1)$ が読み出される。そして、加算器 6 において、第 1 階層の 3 画素 $h(4m, 4n + 2)$ 、 $h(4m + 1, 4n + 2)$ 、 $h(4m, 4n + 3)$ の加算値が演算され、さらに、加減算器 10 において、第 2 階層の画素 $m(2m, 2n + 1)$ から、加算器 6 における加算値が減算されることにより、書き込み時には記憶されなかった第 1 階層の画素 $h(4m + 1, 4n + 3)$ が求められる。そして、この第 1 階層の画素 $h(4m + 1, 4n + 3)$ が、セクタ 8 の入出力端子 D I O 2 に入力され、その入出力端子 D I O 1 から出力される。

20

【0191】

また、アドレス発生回路 4 A が出力するアドレス $(2s + 1, 2t + 1)$ が、 $(4m + 3, 4n + 3)$ で表されるときには、図 15 に示すように、第 2 階層メモリ 2 から、第 2 階層の 3 画素 $m(2m, 2n)$ 、 $m(2m + 1, 2n)$ 、 $m(2m, 2n + 1)$ が同時に読み出されるとともに、第 3 階層メモリ 3 から、第 3 階層の画素 $q(m, n)$ が読み出され、これにより、上述したようにして、第 2 階層の画素 $m(2m + 1, 2n + 1)$ が求められ、セクタ 9 の入出力端子 D I O 1 から出力されて、加減算器 10 に供給される。

【0192】

さらに、この場合、図 15 に示すように、第 1 階層メモリ 1 から、第 1 階層の 3 画素 $h(4m + 2, 4n + 2)$ 、 $h(4m + 3, 4n + 2)$ 、 $h(4m + 2, 4n + 3)$ が同時に読み出され、加算器 6 において、それらの加算値が演算される。そして、加減算器 10 において、セクタ 9 からの第 2 階層の画素 $m(2m + 1, 2n + 1)$ から、加算器 6 における加算値が減算されることにより、書き込み時には記憶されなかった第 1 階層の画素 $h(4m + 3, 4n + 3)$ が求められ、セクタ 8 の入出力端子 D I O 2、さらには、その入出力端子 D I O 1 を介して出力される。

30

【0193】

以上のように、第 1 階層と第 2 階層との関係からすれば、下位階層である第 1 階層の画素を記憶する第 1 階層メモリ 1 からの画素の読み出しを、上位階層である第 2 階層の画素を構成するのに用いる第 1 階層の 2×2 画素 $h(2s, 2t)$ 、 $h(2s + 1, 2t)$ 、 $h(2s, 2t + 1)$ 、 $h(2s + 1, 2t + 1)$ のうちの、最終入力画素 $h(2s + 1, 2t + 1)$ を除く 3 画素単位で行うようにしたので、第 1 階層メモリ 1 が、従来において外付けされていた遅延回路の役割をも果たすようになり、これにより、そのような遅延回路を設けずに、書き込み時には記憶されなかった第 1 階層の画素を求めながら、第 1 階層の画像の読み出しを行うことが可能となる。また、第 2 階層と第 3 階層との関係からすれば、下位階層である第 2 階層の画素を記憶する第 2 階層メモリ 2 からの画素の読み出しを、上位階層である第 3 階層の画素を構成するのに用いる第 2 階層の 2×2 画素 $m(2m, 2n)$ 、 $m(2m + 1, 2n)$ 、 $m(2m, 2n + 1)$ 、 $m(2m + 1, 2n + 1)$ のうちの、最終入力画素 $m(2m + 1, 2n + 1)$ を除く 3 画素単位で行うようにしたので、

40

50

第2階層メモリ2が、従来において外付けされていた遅延回路の役割をも果たすようになり、これにより、そのような遅延回路を設けずに、書き込み時には記憶されなかった第2階層の画素を求めながら、第2階層の画像の読み出しを行うことが可能となる。

【0194】

そして、その結果、装置の小型化を図るとともに、高速な階層符号化、さらには各階層の画像の高速な読み出しが可能となる。

【0195】

なお、本実施の形態では、第1階層メモリ1、第2階層メモリ2、第3階層メモリ3に対して、アドレス発生回路4Aが出力する水平アドレスHAおよび垂直アドレスVAの一部を与えてアドレス指定を行うようにしたが、第1階層メモリ1、第2階層メモリ2、第3階層メモリ3のアドレッシングの方法は、これに限定されるものではない。

10

【0196】

また、本実施の形態では、第1階層メモリ1、第2階層メモリ2、第3階層メモリ3に対して、画像を構成する画素の水平および垂直方向の位置に対応する水平アドレスまたは垂直アドレスを与えてアクセスするようにしたが、第1階層メモリ1、第2階層メモリ2、第3階層メモリ3には、その他、例えば、時間方向に対応するアドレスをさらに与えてアクセスするようにすることも可能である。この場合、第2や第3階層の画素は、横および縦の空間方向に散らばる第1階層の画素の他、時間方向に散らばる第1階層の画素も加算して形成されることになる。

【0197】

さらに、第1階層メモリ1、第2階層メモリ2、第3階層メモリ3は、それぞれ物理的に1つのメモリである必要はなく、それらのすべてを、1のメモリで構成することも可能である。この場合、1のメモリの記憶領域を、第1階層メモリ1、第2階層メモリ2、第3階層メモリ3の3つそれぞれに割り当てるようにすれば良い。

20

【0198】

また、本実施の形態では、特に言及しなかったが、図2の記憶装置を構成する各ブロックは、それぞれ、独立の集積回路で構成することも可能であるし、その全体を、例えば、1チップのCMOS (Complementary Metal Oxide Semiconductor) 上などに構成することも可能である。

【0199】

さらに、本実施の形態では、第1階層の画素のビット割当量を8ビットとし、第1階層メモリ1、第2階層メモリ2、または第3階層メモリ3のメモリセルのデータ長を、第1乃至第3階層の画素の桁落ちがないように、それぞれ8、10、または12ビットとしたが、第1階層メモリ1、第2階層メモリ2、および第3階層メモリ3のメモリセルのデータ長は、例えば、一律に8ビットなどとすることも可能である。但し、この場合、第2または第3階層の画素については、第1または第2階層の2×2画素の加算値の下位2ビットを切り捨てた値(この値は、加算値を4で除算したものに相当するから、平均値となる)をそれぞれ記憶させることになり、従って、桁落ちが生じるので、データの可逆性は失われることになる。

30

【0200】

即ち、桁落ちがないようにしたときには、記憶していない第1階層の画素や第2階層の画素(画素値)は、上述の式(1)や(2)によって正確に求めることができるが、桁落ちが生じるようにしたときには、記憶していない第1階層の画素や第2階層の画素については、近似値しか得られなくなり、正確な値を求めることはできなくなる。

40

【0201】

また、本実施の形態では、プログレッシブな画像を対象に、階層符号化を行うようにしたが、本発明は、インターレース走査される画像にも適用可能である。

【0202】

さらに、本実施の形態では、階層数を3としたが、階層数は2であっても良いし、あるいは、4以上であっても良い。

50

【0203】

また、本実施の形態では、下位階層の 2×2 の4画素の加算値を、その1つ上位の上位階層の画素(画素値)とするようにしたが、上位階層の画素の形成の仕方は、これに限定されるものではない。なお、4画素以外のN画素から、上位階層の画素を生成する場合、第1階層メモリ1および第2階層メモリ2からの画素の読み出しは、N-1画素単位で行うようにする必要がある。

【0204】

さらに、図1の記憶装置は、基本的には、ハードウェアによって実現されるが、コンピュータに、上述の処理を行わせるようなプログラムを実行させることによって実現可能である。

10

【0205】

また、本実施の形態では、画素(画素値)を、例えば、RAM(Random Access Memory)などに代表されるメモリに記憶させるようにしたが、画素は、その他、例えば、磁気ディスクや、光磁気ディスク、磁気テープ、光カードなどの記録媒体に記憶(記録)させるようにすることも可能である。

【0206】

さらに、本実施の形態では、第1階層メモリ1および第2階層メモリ2からの画素の読み出しだけでなく、書き込みも、3画素単位で行うようにしたが、書き込みは、1画素単位で行うようにしても良い。

【0207】

また、上述の説明から明らかであるが、記憶装置からの各階層の画像の出力は、同時に行うこともできるし、また、いずれか1の階層についてだけ行うことも可能である。

20

【0208】

さらに、本発明は、静止画および動画のうちのいずれにも適用可能である。

【0209】**【発明の効果】**

請求項1に記載の記憶装置および請求項7に記載の書き込み方法によれば、下位階層の画像の画素が書き込まれる一方で、書き込まれた下位階層の画像が、N-1画素単位で読み出され、その下位階層の画像を構成するN-1画素と、入力された下位階層の画像の1画素との合計N画素から、上位階層の画像の1画素が生成され、その生成された上位階層の画像の画素が書き込まれる。従って、例えば、下位階層の画像を構成するN画素から、上位階層の画像を構成する1画素を求めて記憶することを、下位階層の画像を遅延する遅延手段を別途設けることなく行うことが可能となる。

30

【0210】

請求項8に記載の記憶装置および請求項11に記載の読み出し方法によれば、下位階層記憶手段から、下位階層の画像を構成するN-1画素が読み出され、そのうちの1つが選択されて出力される一方で、上位階層記憶手段に記憶された上位階層の画像の1画素と、その1画素を生成するのに用いた下位階層の画像のN画素のうち、下位階層記憶手段から読み出された下位階層の画像を構成するN-1画素とから、下位階層の画像を構成する最終入力画素が生成されて出力される。従って、上位階層の画像を構成する1画素を求めるのに用いた下位階層の画像を構成するN画素のうち最終入力画素を、下位階層の画像を遅延する遅延手段を別途設けることなく求めることが可能となる。

40

【図面の簡単な説明】

【図1】本発明を適用した記憶装置の一実施の形態の構成を示す図である。

【図2】図1の記憶装置のより詳細な構成例を示すブロック図である。

【図3】図1の第1階層メモリ1のメモリセルの構成を説明するための図である。

【図4】図2の記憶装置に入力される画像の構成を説明するための図である。

【図5】画像の書き込み時におけるセクタ8の処理を説明するための図である。

【図6】マスクビット信号の役割を説明するための図である。

【図7】第1階層メモリ1のメモリセルにおける第1階層の画素の記憶状態を説明するた

50

めの図である。

【図8】第1階層メモリ1に書き込まれる第1階層の画素を示す図である。

【図9】画像の書き込み時における加算器6および加減算器10の処理を説明するための図である。

【図10】画像の書き込み時における第2階層の画素の生成方法を説明するための図である。

【図11】画像の書き込み時における第3階層の画素の生成方法を説明するための図である。

【図12】画像の読み出し時におけるセレクタ9の処理を説明するための図である。

【図13】書き込み時に記憶されなかった第2階層の画素の生成方法を説明するための図である。

【図14】画像の読み出し時における加算器7および加減算器11の処理を説明するための図である。

【図15】書き込み時に記憶されなかった第1階層の画素の生成方法を説明するための図である。

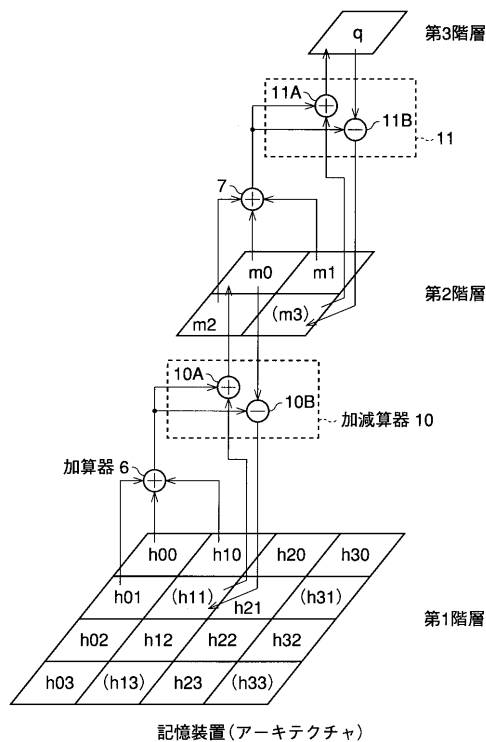
【図16】本件出願人が先に提案した階層符号化方法を説明するための図である。

【符号の説明】

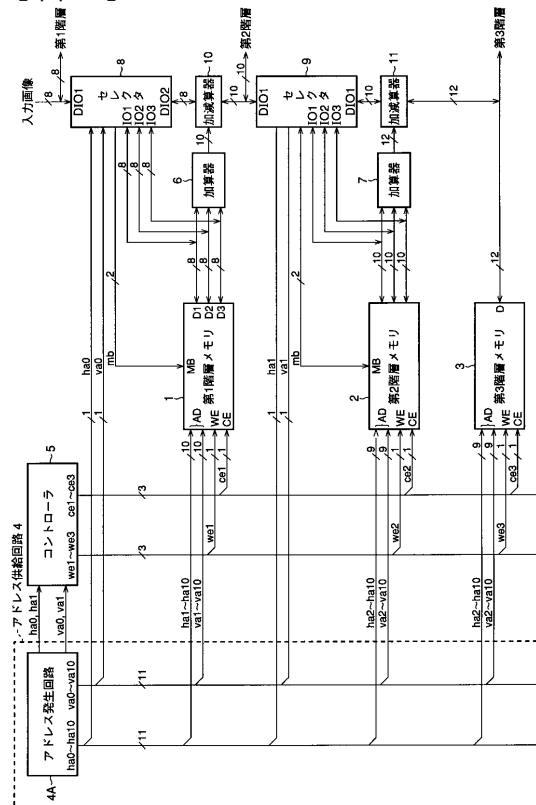
1 第1階層メモリ, 2 第2階層メモリ, 3 第3階層メモリ, 4 アドレス供給回路, 4A アドレス発生回路, 5 コントローラ, 6, 7 加算器, 8, 9 セレクタ, 10, 11 加減算器

20

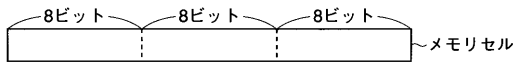
【図1】



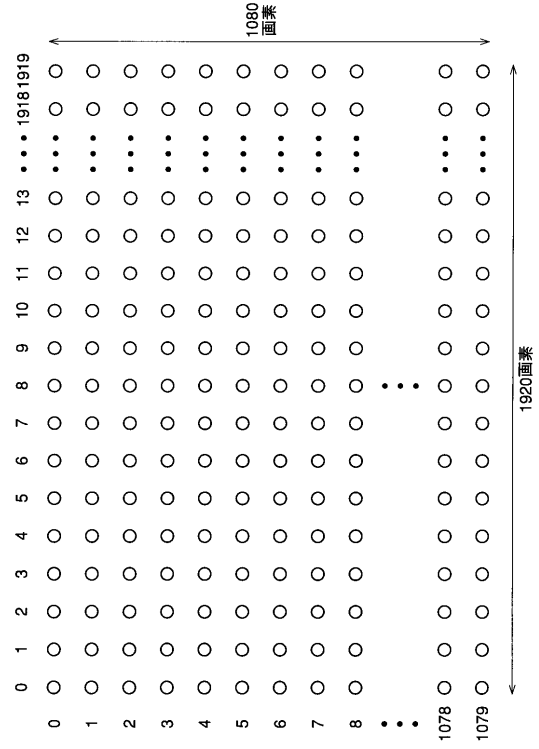
【図2】



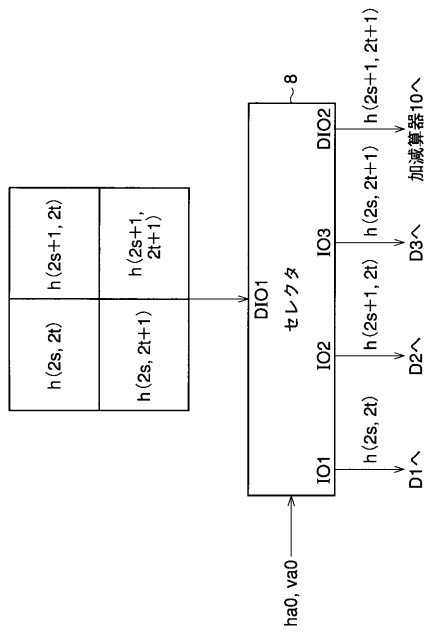
【 図 3 】



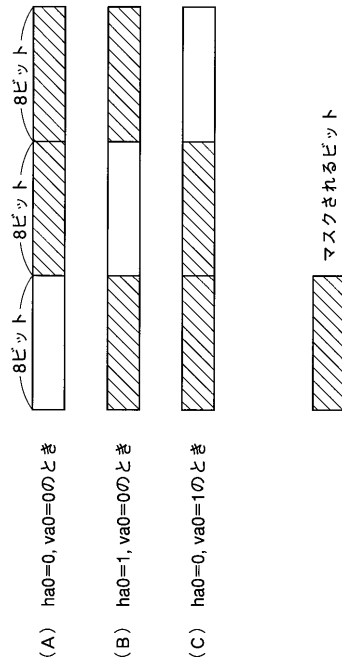
【 図 4 】



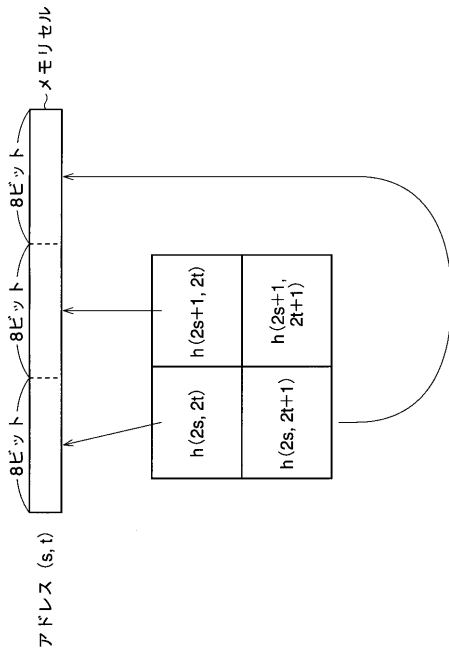
【 図 5 】



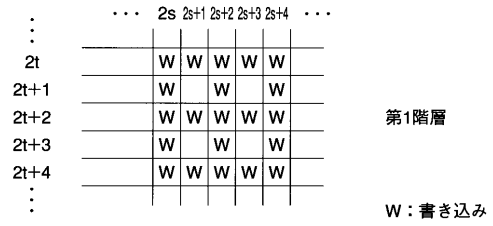
【 図 6 】



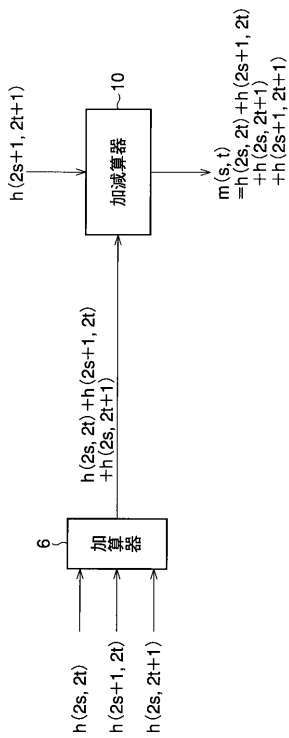
【 図 7 】



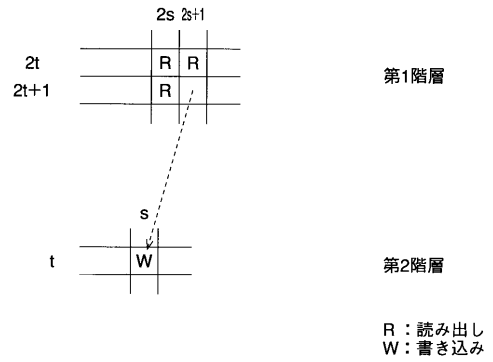
【 図 8 】



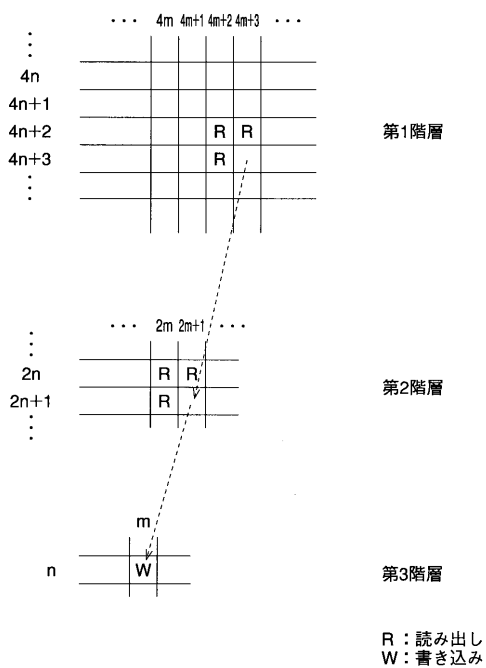
【 図 9 】



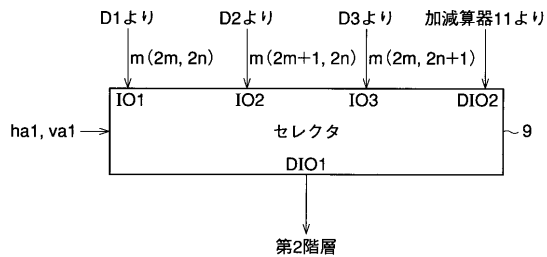
【 図 10 】



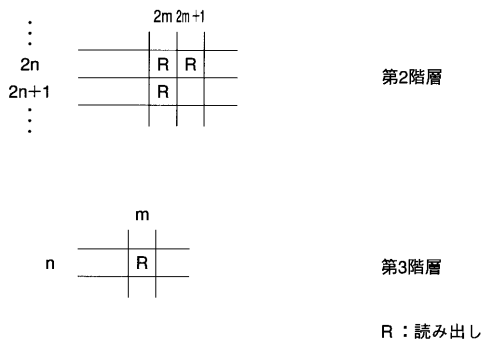
【 図 1 1 】



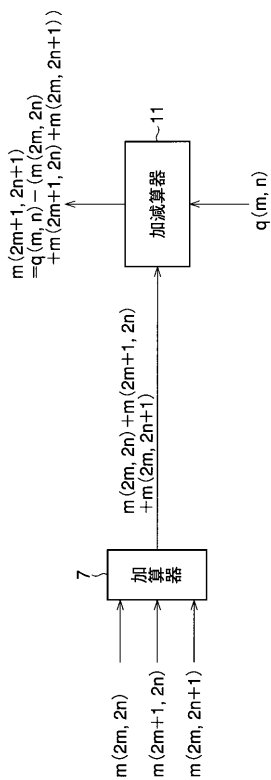
【 図 1 2 】



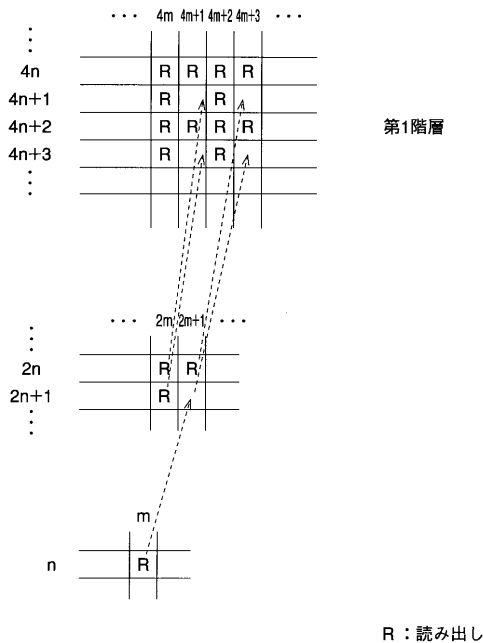
【 図 1 3 】



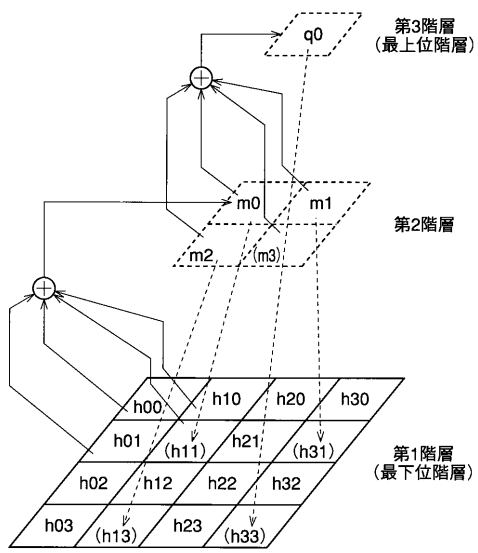
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



階層符号化

フロントページの続き

- (56)参考文献 特開平11- 55479 (J P , A)
特開平 5-284367 (J P , A)
特開平 6-314085 (J P , A)
特開平 9-139944 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G06T 1/60 450

G06T 9/00