



(10) **DE 10 2017 131 023 A1** 2018.07.05

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2017 131 023.1**

(22) Anmeldetag: **21.12.2017**

(43) Offenlegungstag: **05.07.2018**

(51) Int Cl.: **H01L 21/66** (2006.01)

H01L 23/50 (2006.01)

H01L 21/28 (2006.01)

H01L 21/301 (2006.01)

(30) Unionspriorität:

15/395,404 **30.12.2016** **US**

(71) Anmelder:

**Analog Devices Global Unlimited Company,
Hamilton, BM**

(74) Vertreter:

**WITTE, WELLER & PARTNER Patentanwälte mbB,
70173 Stuttgart, DE**

(72) Erfinder:

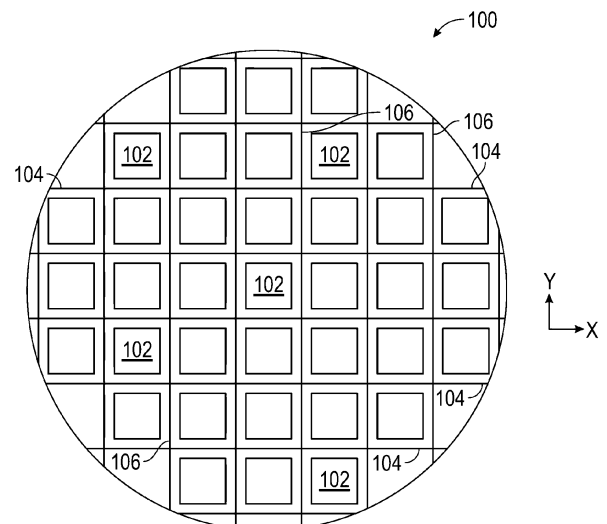
**O'Donnell, John Jude, Norwood, Mass., US;
Lyden, Colin G., Norwood, Mass., US; Geary,
Shane, Norwood, Mass., US; Hurwitz, Jonathan
Ephraim David, Edinburgh, GB; Beucier, Brian,
Norwood, Mass., US**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Halbleiterwafer mit Markierungslinienleiter und entsprechendes Verfahren**

(57) Zusammenfassung: Ein Halbleiterwafer ist bereitgestellt, der Folgendes aufweist: wenigstens zwei integrierte Schaltkreise (ICs); eine Markierungslinie, die sich angrenzend an die wenigstens zwei ICs erstreckt; und einen ersten Leiter, der sich innerhalb der Markierungslinie erstreckt und elektrisch mit den wenigstens zwei ICs gekoppelt ist.



Beschreibung

Hintergrund

[0001] Während der Herstellung eines integrierten Schaltkreises wird eine große Anzahl von IC-Dies (IC: Integrated Circuit - integrierter Schaltkreis) auf einem einzigen Halbleiterwafer gebildet. Die ICs sind in einem Gittermuster angeordnet, wobei Markierungslinien bzw. Ritzlinien (scribe lines) zwischen ihnen verlaufen. Nachdem die ICs auf dem Halbleiterwafer gefertigt wurden, wird der Wafer entlang der Markierungslinien in einem „Vereinzelung“ genannten Prozess geschnitten, um die einzelnen ICs für eine anschließende Kapselung und Verwendung zu separieren.

[0002] Etliche Testebenen werden während der IC-Herstellung durchgeführt. Waferebene-Prozessstestverfahren werden an Testschaltkreisen durchgeführt, um zu testen, ob ein IC-Herstellungsprozess tatsächlich Schaltkreise produziert, welche Herstellungsprozessanforderungen erfüllen. Oft werden Prozessstesterschaltkreise innerhalb von Markierungslinien zur Verwendung während des Herstellungsprozesses gebildet. Zum Beispiel beinhaltet ein Prozessstesterschaltkreis oft eine Testtransistorvorrichtung, die innerhalb einer Markierungslinie gebildet ist. IC-Tests auf Waferebene werden an einzelnen ICs durchgeführt, bevor der Wafer geschnitten wird, um die einzelnen ICs zur Kapselung zu separieren. IC-Testen auf Waferebene wird verwendet, um defekte ICs zu identifizieren und auszusortieren, bevor die Kosten des Kapselns und weiteren Testens auftreten. Testen auf Waferebene wird auch verwendet, um eine große Anzahl an ICs für einen Betrieb bei unterschiedlichen Temperaturen zu kalibrieren, indem ein gesamter Wafer mit den darauf gebildeten ICs auf jede von mehreren unterschiedlichen Temperaturen erwärmt wird und indem jeder IC zum ordnungsgemäßen Arbeiten bei jeder unterschiedlichen Temperatur kalibriert wird. Funktionstests auf Ebene einzelner ICs werden oft durchgeführt, nachdem die ICs vereinzelt und gekapselt wurden.

[0003] Einzelne ICs beinhalten elektrische Kontaktpads, die sowohl zum Testen auf Waferebene vor der Vereinzelung und Kapselung der ICs als auch zum zusätzlichen Testen und Betriebsverwendung nach der Kapselung verwendet werden. Eine IC-Testvorrichtung beinhaltet typischerweise Sondenkontakte zum Kontaktieren der IC-Kontaktpads auf einzelnen ICs, um Teststimulussignale an die ICs zu liefern und um Testergebnissignale von den ICs zu empfangen. Während des Testens auf Waferebene empfangen die Kontaktpads Teststimulussignale, die durch einen oder mehrere nadelartige Sondenkontakte der externen Testvorrichtung bereitgestellt werden, und liefern Testergebnissignale über die Sondenkontakte an die Testvorrichtung. Die ICs auf einem Wafer

werden allgemein einer nach dem anderen oder in kleinen Gruppen getestet. In beiden Fällen werden die Sondenkontakte gewöhnlich in physischen und elektrischen Kontakt mit Kontaktpads jedes einzelnen IC oder jeder einzelnen Gruppe von ICs, der bzw. die zu testen sind, gebracht. Etliche Sondenkontakttestdurchgänge über einen Wafer können notwendig sein, um alle erforderlichen Tests auszuführen. Zum Beispiel kann ein separater Testdurchgang bei jeder von mehreren unterschiedlichen Temperaturen erforderlich sein. Jedes Testen eines IC oder einer Gruppe von ICs erfordert einen Ausrichtungsprozess, um einzelne Sondenkontakte für einen physischen und elektrischen Kontakt mit einzelnen IC-Kontaktpads auszurichten. Infolgedessen kann IC-Testen auf Waferebene ein zeitaufwändiger Prozess sein.

Kurzdarstellung

[0004] Es wird ein Halbleiterwafer bereitgestellt, in dem sich Leiter innerhalb von Markierungslinien erstrecken. Die Markierungslinien erstrecken sich angrenzend an integrierte Schaltkreise (ICs), die auf dem Wafer angeordnet sind. Signale können über die Leiter innerhalb der Markierungslinien an die ICs geliefert werden.

[0005] Bei einem Aspekt beinhaltet ein Halbleiterwafer einen ersten und zweiten IC und eine Markierungslinie, die sich zwischen ihnen erstreckt. Ein Metallleiter erstreckt sich innerhalb der Markierungslinie und ist elektrisch mit dem wenigstens einen des ersten und zweiten IC gekoppelt.

[0006] Bei einem anderen Aspekt beinhaltet ein Halbleiterwafer mehrere ICs, die in einem zweidimensionalen Gitter angeordnet sind, das mehrere Reihen aus ICs und mehrere Spalten aus ICs beinhaltet. Mehrere erste Markierungslinien erstrecken sich jeweils angrenzend an mehrere ICs in angrenzenden Reihen aus ICs. Mehrere zweite Markierungslinien erstrecken sich jeweils angrenzend an mehrere ICs innerhalb angrenzender Spalten aus ICs. Mehrere erste Leiter erstrecken sich jeweils angrenzend an mehrere ICs innerhalb einer ersten Markierungslinie.

[0007] Bei einem anderen Aspekt ist ein Verfahren zum Testen integrierter Schaltkreise auf Waferebene bereitgestellt, das Leiten eines elektronischen Signals zwischen einem Metallleiter innerhalb einer Markierungslinie und einem integrierten Schaltkreis beinhaltet.

Figurenliste

Fig. 1 ist eine veranschaulichende Zeichnung, die einen Teil eines Wafers zeigt, der eine große Anzahl an integrierten Schaltkreisen beinhaltet, die in einem zweidimensionalen Gittermuster

ter angeordnet sind, in dem Markierungslinien Grenzen zwischen ICs demarkieren.

Fig. 2 ist eine veranschaulichende vergrößerte Querschnittsansicht eines Teils des Halbleiterwafers aus **Fig. 1**, die eine Markierungslinie zeigt, die sich zwischen angrenzenden ICs erstreckt.

Fig. 3A ist eine veranschaulichende Zeichnung, die an Testen auf Wafer Ebene beteiligte On-Chip-Schaltkreise, die innerhalb einzelner ICs angeordnet sind, und innerhalb von Markierungslinien befindliche Signalleiter repräsentiert, die auf dem Halbleiterwafer aus **Fig. 1** gebildet sind.

Fig. 3b ist eine veranschaulichende Zeichnung, die alternative an Testen auf Wafer Ebene beteiligte On-Chip-Schaltkreise repräsentiert, die teilweise innerhalb einzelner ICs und teilweise innerhalb Markierungslinien angeordnet sind, die auf einer alternativen Ausführungsform des Halbleiterwafers aus **Fig. 1** gebildet sind.

Fig. 4 ist ein veranschaulichendes Flussdiagramm, das einen IC-Testprozess veranschaulicht, der Wafer Ebene-Testsignale über Markierungslinien sendet und empfängt.

Fig. 5A ist eine veranschaulichende Draufsicht eines Wafers, der eine große Anzahl an beispielhaften Maskenbelichtungsgebieten (reticle exposure regions) beinhaltet, die in einem zweidimensionalen Gittermuster angeordnet sind.

Fig. 5B ist eine vergrößerte Ansicht eines beispielhaften Maskenbelichtungsgebiets des Wafers auf **Fig. 5A**.

Fig. 6 ist eine veranschaulichende perspektivische Ansicht des Wafers einschließlich mehrerer Wafer Ebene-Testpadgitterstellen, die jeweils mehrere Wafer Ebene-Testkontaktpads beinhalten, und einer Testvorrichtung mit Testsonden, die gewisse Wafer Ebene-Testkontaktpads kontaktieren.

Fig. 7 ist eine veranschaulichende Zeichnung, die eine alternative Ausführungsform eines Layouts der Markierungslinienleiterpfade und der Wafer Ebene-Testpadgitterstellen innerhalb eines Maskenbelichtungsgebiets zeigt.

Fig. 8 ist ein veranschaulichendes Flussdiagramm, das einen Prozess zum Identifizieren eines defekten IC innerhalb eines Maskenbelichtungsgebiets repräsentiert.

Fig. 9 ist ein veranschaulichendes Blockdiagramm, das Einzelheiten eines Teils des Wafers 100 aus **Fig. 1** zeigt.

Beschreibung von Ausführungsformen

[0008] **Fig. 1** ist eine veranschaulichende Zeichnung, die einen Teil eines Wafers **100** zeigt, der eine große Anzahl an integrierten Schaltkreisen (ICs) **102** beinhaltet, die in einem zweidimensionalen Gittermuster angeordnet sind, in dem Markierungslinien **104**, **106** Grenzen zwischen ICs demarkieren. Mehrere erste Markierungslinien **104** erstrecken sich parallel zu einer ersten Achse (z. B. einer horizontalen x-Achse) und mehrere zweite Markierungslinien erstrecken sich parallel zu einer zweiten Achse (z. B. einer vertikalen y-Achse) **106**, die senkrecht zu der ersten Achse ist. Die ersten und zweiten Markierungslinien **104**, **106** definieren ein zweidimensionales Markierungsliniengittermuster, in dem jeder IC **102** durch zwei erste Markierungslinien **104** begrenzt wird und durch zwei zweite Markierungslinien **106** begrenzt wird. Während des Testens auf Wafer Ebene werden Leistungssignale, Steuersignale und Referenzsignale, die durch eine (nicht gezeigte) Off-Chip-Testvorrichtung produziert werden, über die Markierungslinien **104** und/oder die Markierungslinien **106** propagiert, so dass sie alle der ICs auf dem Wafer **100** erreichen.

[0009] Bei manchen Ausführungsformen beinhaltet eine Markierungslinie **104**, **106** längliche Schlitze, Kerben oder Öffnungen, die durch Schichten bereitgestellt sind, die über einem Substrat gebildet sind. Bei manchen Ausführungsformen sind die Markierungslinien mit einem Material, wie etwa Siliciumdioxid, gefüllt, wodurch eine Markierungslinie mit einer physischen Struktur erschaffen wird. Alternativ dazu beinhalten Markierungslinien bei manchen Ausführungsformen einen länglichen erhöhten Bereich oder eine Mesastruktur. Die Markierungslinien **104**, **106** können gleichzeitig mit der Bildung von jedem der ICs **102** produziert werden.

[0010] **Fig. 2** ist eine veranschaulichende Beispielquerschnittsansicht eines Teils des Halbleiterwafers **100** aus **Fig. 1**, die eine Querschnittsansicht eines Teils einer ersten Markierungslinie **104-1** zeigt, die sich zwischen angrenzenden ICs **102-1**, **102-2** auf gegenüberliegenden Seiten des Markierungslinienteils **104-1** erstreckt. Der Markierungslinienteil **104-1** beinhaltet eine erste Metalleiterschicht (M1) und eine zweite Metalleiterschicht (M2) zur Erstreckung innerhalb der Markierungslinie **104-1**, um Steuersignale und/oder ein Leistungssignal und/oder ein Referenzsignal eines IC zu leiten. Bei manchen Ausführungsformen erstrecken sich ein oder mehrere Metalleiter M1, M2 direkt über eine Markierungslinie, um ICs miteinander zu koppeln, die sich angrenzend aneinander auf gegenüberliegenden Seiten einer Markierungslinie befinden. Bei manchen Ausführungsformen Metalleiter, die sich entlang eines Teils der Länge einer Markierungslinie erstrecken, so dass sie nichtangrenzende ICs koppeln.

[0011] Der Halbleiterwafer **100** stellt ein Substratgebiet **222** bereit, auf dem mehrere Schichten **224** während einer IC-Herstellung abgeschieden werden, um die ICs zu produzieren. Bei manchen Ausführungsformen alternieren die Schichten **224** zwischen Schichten eines leitfähigen Typs und Schichten eines isolierenden Typs. Die ICs beinhalten Schaltkreistrukturen **212**, wie etwa Transistorvorrichtungsstrukturen. Eine bestimmte Schicht kann etliche Unterschichten beinhalten, z. B. kann eine leitende Schicht etliche leitende Unterschichten beinhalten, wie etwa eine Aluminiumschicht über einer Titan-Wolfram-Legierung-Schicht, und können Schichten eines Isolationsstyps etliche Unterschichten aufweisen, wie etwa zum Beispiel eine PECVD-Schicht (PECVD: Plasma Enhanced Chemical Vapor Deposition - plasmaunterstützte chemische Gasphasenabscheidung), eine SOG-Schicht (SOG: Spin-On-Glass - aufgeschleudertes Glas) oder eine andere Schicht über einer Oxidschicht.

[0012] Fig. **3A** ist eine veranschaulichende Zeichnung, die einen Waferteil **100-1** repräsentiert, der drei ICs **102** beinhaltet, die jeweils einen On-Chip-Schaltkreis **302** beinhalten, der am Testen auf Waferebene beteiligt ist. Bei dem Beispielwaferteil **100-1** beinhaltet jeder IC **102** eine On-Chip-Schaltungsanordnung **302**, die unter Verwendung von Signalen, die auf Signalleiterleitungen **341-343** bereitgestellt werden, die sich innerhalb der Markierungslinien **106** erstrecken, mit Leistung versorgt und gesteuert werden. Die Signalleiterleitungen **341-344** koppeln die On-Chip-Schaltungsanordnung **302** mit einzelnen ICs **102**. Spezieller koppeln die Signalleiterleitungen mit der On-Chip-Schaltungsanordnung **302** mehrerer ICs **102**, die die Signale auf den Leiterleitungen **341-344** teilen. Bei manchen Ausführungsformen durchlaufen mehrere Signalleiterleitungen **341-344** mehrere ICs **102** und durchlaufen mehrere Markierungslinien **106**, um geteilte Signale an mehrere ICs zu liefern, die durch die Markierungslinien **106** voneinander separiert sind.

[0013] Die Beispiel-On-Chip-Schaltkreise **302** beinhalten eine funktionale Schaltungsanordnung **304**, die mit einer Messschaltungsanordnung **306** gekoppelt ist, die zum Testen einer Leistungsfähigkeit der funktionalen Schaltungsanordnung **304** verwendet wird, und eine Speicherschaltungsanordnung **308**, die zum Speichern von Messergebnissen verwendet wird. Bei manchen Ausführungsformen wirkt ein On-Chip-Schaltkreis **302** als ein Testschaltkreis und speichert die Speicherschaltungsanordnung **308** Messergebnisse, die Kalibrierungswerte zum Kalibrieren der Leistungsfähigkeit der funktionalen Schaltungsanordnung **306** basierend auf den gespeicherten Messungen repräsentieren. Die Messschaltungsanordnung **306** misst typischerweise eine Spannung und/oder einen Strom, um Leistungsfähigkeitseigenschaften, wie etwa zum Beispiel Frequenz, Impe-

danz, Verstärkung oder Linearität, zu bestimmen. Wie unten unter Bezugnahme auf Fig. **3B** erklärt wird, wird bei manchen Ausführungsformen ein Teil eines am Testen auf Waferebene beteiligten On-Chip-Schaltkreises **302**, der nicht mehr verwendet wird, sobald ein IC kalibriert wurde, wie etwa eine gewisse Messschaltungsanordnung **304**, innerhalb der Markierungslinien **106** angeordnet.

[0014] Variationen von Chipverarbeitungs- und -kapselungsvorgängen können zu Abweichungen funktionaler Schaltkreise, wie etwa analoger Schaltkreise und Sensoren, von ihren Zielspezifikationen führen. Um die Leistungsfähigkeit des Systems, in dem diese Komponenten platziert werden zu optimieren, ist es oft notwendig, eine Schaltungsanordnung „abzugleichen“, um Spezifikationen zu erfüllen. Ein Abgleichvorgang kompensiert Variationen der Leistungsfähigkeit der analogen Schaltkreise aufgrund von Herstellungsabweichungen dieser Komponenten. Alternativ dazu wird bei manchen Ausführungsformen statt eines Abgleichs eine Aufzeichnung eines gemessenen Wertes zur späteren Verwendung zum Kompensieren gespeichert.

[0015] Spezieller beinhaltet die funktionale Schaltungsanordnung **304** bei dem gezeigten Beispiel eine Bandabstandsreferenz (BGR: Band Gap Reference), beinhaltet die Messschaltungsanordnung **306** einen Abgleichlogikschaltkreis, der zum Implementieren eines oder mehrerer Abgleichalgorithmen konfiguriert ist, und beinhaltet die Speicherschaltungsanordnung **308** einen Abgleichwertspeicherschaltkreis. Eine BGR wird typischerweise als Spannungsreferenz verwendet, die gegenüber Variationen der Temperatur, der Versorgungsspannung und Prozessparameter unempfindlich ist. Eine BGR wird typischerweise durch einen Abgleichprozess zum ordnungsgemäßen Betrieb bei unterschiedlichen Temperaturen kalibriert. Abgleichen der veranschaulichenden funktionalen BGR-Schaltungsanordnung **304** wird durch einen Algorithmus gesteuert, der unter Verwendung der Abgleichlogikmessschaltungsanordnung **304** ausgeführt wird. Die Trimmlogikmessschaltungsanordnung **306** kann dazu konfiguriert sein, einen oder mehrere einer Vielzahl an Abgleichalgorithmen auszuführen, die dazu funktionsfähig sind, Kalibrierungswerte zur Verwendung, um Werte von Referenzabgleichbits anzupassen, die beim Abgleichen der funktionalen BGR-Schaltungsanordnung **304** verwendet werden, zu bestimmen. Bei manchen Ausführungsformen umschließt das Abgleichen ein einmaliges Programmieren, bei dem der Abgleichspeicher Sicherungen beinhaltet, die normalerweise unterbrochen oder nicht unterbrochen werden, und/oder durch Programmieren eines einmalig programmierbaren dedizierten Memory, wie etwa eines ROM. Bei anderen Ausführungsformen umschließt Abgleichen mehrmaliges Programmieren, bei dem der Abgleichspeicher **308** einen

Flash-Speicher aufweist, der mehrmals neu programmiert werden kann. Ein Satz von „Abgleichbits“ wird basierend auf Ergebnissen des Abgleichalgorithmus ausgewählt, um anzugeben, welche Sicherungen unterbrochen werden sollen und welche Sicherungen nicht unterbrochen belassen werden sollen und/oder welche Memorybits in einem dedizierten ROM oder in einem Flash-Speicher gesetzt werden sollen.

[0016] Eine Spannungsleistungleiterleitung **312**, Steuersignalleiterleitungen **314** und eine Referenzsignalleiterleitung **316** erstrecken sich über den Waferteil **100-1** von einem IC **102** zu dem nächsten und erstrecken sich über die Markierungslinien **106**, so dass sie alle der ICs **102** des Waferteils **100-1** erreichen. Der Spannungsleistungleiter **312** ist gekoppelt, um ein Spannungsleistungssignal von einer Off-Chip-Quelle, wie etwa einem (unten beschriebenen) Tester, über ein oder mehrere erste Testpads **341** zu erhalten. Die Steuersignalleiter **314** sind gekoppelt, um Steuersignale von einer Off-Chip-Quelle über ein oder mehrere zweite Testpads **342** zu erhalten. Die Steuersignale können enthalten sein, um Taktsignale bereitzustellen. Zudem können Steuerleitungen enthalten sein, um Messergebnissignale an einen Testerschaltkreis, der unten vollständiger beschrieben ist, bereitzustellen. Der Referenzsignalleiter **316** ist gekoppelt, um ein Referenzsignal von einer Off-Chip-Quelle über ein oder mehrere zweite Testpads **343** zu erhalten. Bei manchen Ausführungsformen erstrecken sich die Leistungs- **312**, die Steuerleitungen **314** und die Referenzleitung **316** innerhalb einzelner ICs **102** und über Markierungslinien **106**, so dass sie von einem IC zu dem nächsten gehen, so dass sie gleichzeitig die Spannung, die Referenz- und Steuersignale an die Testschaltkreise **302** mehrerer ICs **102** liefern. Im Betrieb wird ein Spannungsleistungssignal (V_{DD}) zu den On-Chip-Schaltkreisen **302** auf Signalleiterleitungen **312** geliefert, die sich über die ICs **102** von einem IC zu dem nächsten erstrecken und die sich über die Markierungslinien **106** erstrecken. Der Wafer **100** wirkt als ein Massespannungspotential. Gleichermaßen werden Steuersignale auf den Steuersignalleiterleitungen **314** geliefert, die sich über die ICs **102** und über die Markierungslinien **106** erstrecken, und werden Referenzsignale auf der Referenzsignalleitung **316** geliefert, die sich über die ICs **102** und über die Markierungslinien **106** erstreckt.

[0017] Im Betrieb initiieren die Steuersignale auf den Steuersignalleitungen **314** eine Ausführung des Abgleichalgorithmus, wodurch ein Abgleichprozess initiiert wird. Das Referenzsignal auf der Leitung **316** liefert einen Referenzspannungswert, bei dem die BGR für eine gegebene Temperatur arbeiten sollte. Die Abgleichlogikschaltungsanordnung **306** ist dazu konfiguriert, eine Spannung, die durch die BGR **304** produziert wird, mit dem bereitgestellten Referenzspannungswert unter alternativen möglichen Abgleichkonfigurationen zu vergleichen, um zu bestimmen, wel-

che Abgleichkonfiguration dazu führt, dass die BGR **304** einen gewünschten Spannungspegel liefert. Ein Kalibrierungswert, der basierend auf dem Abgleichalgorithmus bestimmt wird, wird in dem Abgleichspeicher **308** gespeichert. Der Abgleichprozess kann bei jeder von mehreren unterschiedlichen Temperaturen durchgeführt werden.

[0018] Bei manchen Ausführungsformen beinhaltet die funktionale Schaltungsanordnung **304** einen Sensor, wie etwa einen Temperatursensor, einen Gas-sensor oder einen Beschleunigungsmesser. Externe Stimuli werden an den Sensor übermittelt und ein Sensorwert, der durch den Sensor als Reaktion auf die Stimuli erzeugt wird, wird zum Kalibrieren des Sensors verwendet. Bei der alternativen Ausführungsform ist kein Messschaltkreis erforderlich. Eine Kalibrierung, die basierend auf den Stimuli produziert wird, wird in dem Messschaltkreis **308** gespeichert.

[0019] Fig. **3B** ist eine veranschaulichende Zeichnung, die einen Waferteil **100-2** repräsentiert, der drei ICs **102-2** beinhaltet, die jeweils eine funktionale On-Chip-Schaltungsanordnung **304**, eine On-Chip-Messschaltungsanordnung **306** und eine On-Chip-Speicherschaltungsanordnung **308** beinhalten, die am Testen auf Waferebene und/oder Kalibrieren beteiligt sind. Bei dem Beispielwaferteil **100-2** werden bei jedem IC **102-2** die funktionale On-Chip-Schaltungsanordnung **304**, die Messschaltungsanordnung **306** und die Speicherschaltungsanordnung **308** unter Verwendung von Signalen, die auf geteilten Leitungen bereitgestellt werden, die sich innerhalb der Markierungslinien **106-2** erstrecken, mit Leistung versorgt und gesteuert. Ein Teil der On-Chip-Schaltungsanordnung, speziell die Messschaltungsanordnung **306**, ist innerhalb der Markierungslinien **106-1** angeordnet. Der Betrieb der funktionalen Schaltungsanordnung **304**, der On-Chip-Messschaltungsanordnung **306** und der On-Chip-Speicherschaltungsanordnung **308** ist oben unter Bezugnahme auf Fig. **3A** erklärt.

[0020] Fig. **4** ist ein veranschaulichendes Flussdiagramm, das einen On-Chip-IC-Testprozess **400** veranschaulicht, der Waferebene-Testsignale über Markierungslinien sendet und empfängt. Der Prozess **400** ist unter Bezugnahme auf den Waferteil **100-1** aus Fig. **3A** erklärt. Es versteht sich, dass der gleiche Prozess auch mit dem Waferteil **100-2** aus Fig. **3B** verwendet werden kann. In Block **402** wird ein Leistungssignal auf dem ersten Testpad **341** empfangen und wird über die Leistungsleitung **312**, die sich innerhalb einer Markierungslinie **106** erstreckt, bereitgestellt, um die testbezogenen Schaltkreise **302** mit Leistung zu versorgen. In Block **404** wird ein Referenzsignal (V_{ref}) auf dem zweiten Testpad **342** empfangen und wird über die Referenzsignalleitung **316**, die sich innerhalb einer Markierungslinie **106** erstreckt, zur Verwendung beim

Testen funktionaler Schaltkreise **304** der ICs **102** des Waferteils **100-1** bereitgestellt. In Block **406** wird ein Chipadressenauswahlsteuersignal über das dritte Testpad **343** empfangen und über die Steuerleitungen **314**, die sich innerhalb einer Markierungslinie **106** erstrecken und die Abgleichlogikmessschaltkreise **306** eines oder mehrerer ICs **102** des Waferteils **100-2** adressieren, bereitgestellt. Als Reaktion auf ein passendes Chipauswahladressensignal, das auf den Steuerleitungen **314** empfangen wird, veranlasst Block **408**, dass die Logikschaltungsanordnung **306** einen Abgleichalgorithmus initiiert. In Block **410** speichern die Speicherschaltkreise **308** der momentan adressierten ICs **102** die Testergebnisse. In Block **412** sendet der Logikschaltkreis **306** ein Testsignal über die Steuersignalleitungen **314** und das dritte Testpad **343** an eine (nicht gezeigte) Testvorrichtung, um anzugeben, ob die BGR 304 erfolgreich abgeglichen wurde.

[0021] Ein Halbleiter-IC-Herstellungsprozess, der zum Produzieren eines Wafers **100** aus **Fig. 1-Fig. 2** verwendet wird, umschließt die Bildung der mehreren Schichten **224** auf einem Wafer. Insbesondere umschließt eine Herstellung der ICs **102** typischerweise einen Photolithographieprozess. Während der Bildung einer typischen IC-Schicht **224** wird der Wafer **100** mit einem Photolackmaterial bedeckt. Eine Photomaske, allgemein als Maske (reticle) (nicht gezeigt) bezeichnet, wird ausgewählt, die ein Bildprojektionsmuster definiert, das verwendet wird, um geometrische Formen innerhalb der Schicht zu erzeugen. Die Maske beinhaltet undurchlässige Gebiete, die für gegebene Strahlungswellenlängen nichttransparent sind, und blanke Gebiete, die bei den gegebenen Strahlungswellenlängen transparent sind. Eine Licht-, „Strahlung“-Quelle leuchtet Licht auf die Maske und ein Bild, das durch das undurchlässige und blanke Gebiet definiert wird, wird durch ein Linsensystem auf ein Maskenbelichtungsgebiet auf der Waferoberfläche projiziert. Die Maske ermöglicht dadurch eine selektive Belichtung gewisser Teile der Photolackbeschichtung hinsichtlich der Strahlung und eine selektive Blockierung einer Belichtung anderer Bereiche hinsichtlich der Strahlung. Anschließend an die Maskenbildprojektion und die sich ergebende Photolackbelichtung wird der Wafer einem nächsten Maskenbelichtungsgebiet übergeben und wird das projizierte Bild dieser nächsten Maske verwendet, um Formen physischer Geometrien, die in der Schicht gebildet sind, zu bestimmen. Dieser Übergabe- und Belichtungsprozess fährt mit der ausgewählten Maske fort, bis alle Maskengebiete innerhalb des Die belichtet worden sind. Sobald das Maskenbild auf alle Gebiete des Wafers projiziert wurde, scheidet ein physikalischer Abscheidungsprozess Material auf die Schicht gemäß der Photolackbelichtungsstruktur ab. Dieser Prozess wiederholt die Verwendung unterschiedlicher Masken für unterschiedliche IC-Fertigungsschichten. Dementsprechend kann ein gegeb-

enes Maskenbelichtungsgebiet eines Wafers Licht durch mehrere unterschiedliche Masken, die unterschiedlichen Schichten entsprechen, ausgesetzt werden.

[0022] Bei manchen Ausführungsformen fährt das Testen auf Waferebene auf einer Maskenach-Maske-Basis fort. Die Testvorrichtung liefert einzelne Testsignale an die Waferebene-Testkontaktpads jeder einzelnen Maske, um die ICs dieses Maskenbelichtungsgebiets einzuschalten und zu testen. Dementsprechend muss die Testvorrichtung nur einen Spannungsleistungspegel bereitstellen, der zur Leistungsverorgung der ICs einer einzelnen Maske ausreicht, welche zusammen getestet werden.

[0023] **Fig. 5A** ist eine veranschaulichende Draufsicht eines Wafers **500**, der eine große Anzahl an beispielhaften Maskenbelichtungsgebieten **502** beinhaltet, die in einem zweidimensionalen Gittermuster angeordnet sind. Der Wafer **500** ist allgemein kreisförmig im Querschnitt mit einer Ausrichtungsfläche **504** zur Verwendung beim Ausrichten des Wafers **500** während der Fertigung der ICs **102** auf ihm. **Fig. 5B** ist eine vergrößerte Ansicht eines beispielhaften einzelnen Maskenbelichtungsgebiets **502** des Wafers **500** aus **Fig. 5A**, welches eine große Anzahl an einzelnen integrierten Schaltkreisen **102** beinhaltet, die in einem zweidimensionalen Gittermuster angeordnet sind, bei dem vertikale und horizontale Markierungslinien **104**, **106** Grenzen zwischen den ICs **102** demarkieren. Jedes Maskenbelichtungsgebiet **502** schließt einen Teil einer Oberfläche des Wafers **500** ein und diese beinhaltet mehrere ICs **102**. Der Wafer **500** beinhaltet mehrere Maskenbelichtungsgebiete **502**.

[0024] Unter Bezugnahme auf **Fig. 5B** beinhaltet das beispielhafte Wafermaskenbelichtungsgebiet ein zweidimensionales Gitter aus ICs **102** mit ersten (vertikalen) Markierungslinien **104**, die sich zwischen angrenzenden Reihen aus ICs **102** erstrecken, und mit zweiten (horizontalen) Markierungslinien **106**, die sich zwischen angrenzenden Spalten aus ICs **102** erstrecken. Bei einer Ausführungsform sind Waferebene-Testkontaktpads, die in **Fig. 6** gezeigt sind, die unten besprochen wird, an mehreren Waferebene-Testpadgitterstellen **512** innerhalb des beispielhaften Maskenbelichtungsgebiets **502** bereitgestellt. (Nicht gezeigte) Signalleiter erstrecken sich innerhalb der Markierungslinien **104**, **106** zu Komponenten von Test- und/oder Kalibrierungsschaltkreisen, die innerhalb einzelner ICs **102** angeordnet sind und/oder innerhalb Markierungslinien **104**, **106** angeordnet sind. Das heißt, Wafer-Ebene-Testkontaktpads werden anstelle von ICs **102** an diesen mehreren Testpadgitterstellen **512** gebildet, die auf vier Seiten von ICs **102** umgeben werden. Da die Waferebene-Testkontaktpads nur zum Testen auf Waferebene verwendet werden, müssen sie nicht klein ge-

nug bemessen sein, um innerhalb eines gekapselten IC gekapselt zu werden, und daher können sie physisch größere Abmessungen als elektrische Kontaktpads aufweisen, die auf den einzelnen ICs angeordnet sind. Testvorrichtungssondenkontakte können mit solchen Waferenebene-Testkontaktpads mit größerer Abmessung einfacher und schneller zum Speed-Waferenebenen-Testen ausgerichtet werden.

[0025] Fig. 6 ist eine veranschaulichende perspektivische Ansicht des Wafers 500, der mehrere Waferenebene-Testpadgitterstellen 512 beinhaltet, die jeweils mehrere Waferenebenen-Testkontaktpads 602 beinhalten. Einzelne ICs 102 sind mit gestrichelten Linien angegeben. Es ist eine Testvorrichtung 622 gezeigt, die Testsonden 624 beinhaltet. Die Testsonden 624 sind in physischem Kontakt mit den Waferenebene-Kontaktpads 602 einer der Waferenebene-Testpadgitterstellen 512 gezeigt. Im Betrieb werden Teststeuer- und/oder Stimulussignale und Testergebnissignale über die Kontaktpads 602 und die Testsonden 624 an die und von den ICs 102 des Wafers 500 kommuniziert. Wie oben besprochen, werden die Teststeuer- und/oder Stimulus und Ergebnissignale von dem IC 102 an den nächsten über Leiter kommuniziert, die sich innerhalb von Markierungslinien zwischen ICs 102 erstrecken. Es versteht sich, dass das Testen gegebenenfalls auch unter Verwendung der Pads in den aktiven ICs vorgenommen werden kann, wobei in diesem Fall dedizierte Waferenebenen-Testkontaktpads möglicherweise nicht erforderlich sind.

[0026] Fig. 7 ist eine veranschaulichende Zeichnung, die ein alternatives Maskenbelichtungsgebiet 700 eines Wafers zeigt. Das Maskenbelichtungsgebiet 700 beinhaltet sechshundfünfzig ICs 1021-10256, die in sieben Reihen aus IC-Gitterstellen angeordnet sind, die als Y0 bis Y6 beschriftet sind, und beinhaltet acht Spalten aus IC-Gitterstellen, die als X0 bis X8 beschriftet sind, wie gezeigt ist. Einzelne ICs sind als 1 bis 55 beschriftet. Eckengitterstellen (X0, Y0), (X0, Y6), (X7, Y0) und (X7, Y6) enthalten erste, zweite und dritte Waferenebenen-Testkontaktpads 702, 704, 706. Die ersten Waferenebene-Kontaktpads 702 stellen ein Spannungsleistungssignal bereit. Die zweiten Waferenebene-Testkontaktpads 704 stellen ein Chipaktivierungssignal bereit. Die dritten Waferenebene-Testkontaktpads 704 stellen E/A-Steuersignale bereit. Die verbleibenden Gitterstellen enthalten zu testende identische ICs. Unter Bezugnahme auf zum Beispiel Fig. 5A versteht sich, dass eine Lokalisierung der Waferenebene-Testkontaktpads nahe den vier Ecken des Maskenbelichtungsgebiets sicherstellt, dass Teile des Wafers, die für eine Maske nur teilweise freigelegt sind, wie etwa die Gebiete 524, 526, 528 und 530, ein Waferenebene-Testkontaktpad beinhalten, so dass ICs in solchen Teilgebieten getestet werden können.

[0027] Die ersten Waferenebene-Testkontaktpads 702 sind mit jedem von mehreren ersten Markierungslinienleitern 712 gekoppelt, die sich in einer ersten (horizontalen) Richtung entlang einer Länge innerhalb jeder von mehreren ersten (horizontalen) Markierungslinien 722 erstrecken, um ein Spannungsleistungssignal an die ICs 102 zu kommunizieren, um die ICs auswählbar zum Testen einzuschalten. Das IC-Substrat stellt ein Massepotential bereit. Die zweiten Waferenebene-Testkontaktpads 704 sind mit jedem von mehreren zweiten Markierungslinienleitern 714 gekoppelt, die sich in einer zweiten (vertikalen) Richtung entlang einer Länge innerhalb jeder von mehreren zweiten (vertikalen) Markierungslinien 724 zu einem Aktivierungssteuersignal erstrecken, das zum auswählbaren Aktivieren von ICs zum Testen verwendet wird. Die dritten Waferenebenen-Testkontaktpads 706 innerhalb der Eckengitterstellen bei (X0, Y6) und (X7, Y6) sind mit einem oder mehreren dritten Markierungslinienleitern 726-1 gekoppelt, die sich in einer ersten (horizontalen) Richtung entlang einer Reihe aus ICs 102 entlang eines Randes (z. B. eines oberen) des Maskenbelichtungsgebiets 700 erstrecken. Die dritten Waferenebenen-Testkontaktpads 706 innerhalb der Eckengitterstellen bei (X0, Y0) und (X7, Y0) sind mit einem oder mehreren vierten Markierungslinienleitern 726-2 gekoppelt, die sich in einer zweiten (vertikalen) Richtung entlang einer Spalte aus ICs 102 entlang eines Randes (z. B. eines linken) des Maskenbelichtungsgebiets 700 erstrecken.

[0028] Markierungslinienüberquerungsleiter 732, 734 stellen E/A-Signalfade über Markierungslinien zwischen angrenzenden ICs 102 auf gegenüberliegenden Seiten der Markierungslinien bereit. Erste Markierungslinienüberquerungsleiter 732 stellen erste (horizontale) Signalfade zwischen ICs 102 bereit, die angrenzend aneinander in unterschiedlichen Gitterspalten angeordnet sind. Zweite Markierungslinienüberquerungsleiter 734 stellen zweite (vertikale) Signalfade zwischen ICs 102 bereit, die angrenzend aneinander in unterschiedlichen Gitterreihen angeordnet sind.

[0029] Die vierten Markierungslinienleiter 726-2 sind gekoppelt, um E/A-Signale an eine Spalte aus ICs 102 des Maskenbelichtungsgebiets 700 zu leiten. Diese ICs 102 kommunizieren wiederum die E/A-Signale über ihre lokalen ersten Markierungslinienüberquerungsleiter 732 usw. an ihre Nachbar-ICs. Die dritten Markierungslinienleiter 726-1 sind gekoppelt, um E/A-Signale an eine Reihe aus ICs 102 zu leiten. Diese ICs 102 kommunizieren wiederum die E/A-Signale über ihre lokalen zweiten Markierungslinienüberquerungsleiter 734 usw. an ihre Nachbar-ICs. Es versteht sich, dass Kommunizieren von E/A-Signalen über Markierungslinien einen Bedarf an einem Adressenarray mit Adressleitungen, die sich innerhalb der Markierungsgebiete erstrecken, unnötig macht.

[0030] Während des Testens auf Waferebene versorgt ein Leistungssignal, das an die Kontaktpads **702** geliefert wird, die ICs auswählbar mit Leistung, aktiviert ein Aktivierungssignal, das an die Pads **704** geliefert wird, auswählbar die ICs und stellen E/A-Signale, die an den Pads **706** bereitgestellt werden, auswählbar Adress-, Steuer- und Ergebnissignale bereit. Die E/A-Signale werden unter Verwendung der Markierungslinienüberquerungsleiter **732** und/oder **734** von einem IC **102** über Markierungslinien an den nächsten propagiert, um Adress-, Steuer- und Ergebnissignale durch das Maskenbelichtungsgebiet **700** hindurch zu kommunizieren. Die E/A-Signale beinhalten durch die Testvorrichtung bereitgestellte Informationen, die den Pfad zwischen ICs bestimmen.

[0031] Gewisse IC-Defekte können Testen anderer ICs in einem Maskenbelichtungsgebiet auf Waferebene stören. Da mehrere ICs zusammen getestet werden, weist ein defekter IC innerhalb eines Maskenbelichtungsgebiets das Potential auf, Waferebene-Testergebnisse für mehrere ICs innerhalb des Gebiets zu verfälschen. Zum Beispiel könnte ein IC innerhalb des Maskenbelichtungsgebiets **700** einen Defekt aufweisen, der einen Kurzschluss oder einen offenen Schaltkreis verursacht. Falls dieser defekte IC durch eine Testvorrichtung mit einer gemeinsamen Leistungsquelle zusammen mit mehreren anderen nichtdefekten ICs innerhalb des Maskengebiets während des Testens auf Waferebene gekoppelt wird, dann könnte der defekte Kurzschluss oder offene Schaltkreis Testergebnisse für die nichtdefekten ICs verfälschen. Entsprechend werden ICs mit Defekten, die das Testen anderer ICs verfälschen können, identifiziert und von dem Testen eines Maskenbelichtungsgebiets auf Waferebene ausgeschlossen.

[0032] Bei manchen Ausführungsformen können erste Markierungsleiter **712**, die sich innerhalb erster Markierungslinien **722** erstrecken, und zweite Markierungsleiter **714**, die sich innerhalb zweiter Markierungslinien **724** erstrecken, so konfiguriert sein, dass sie sich über ihre jeweiligen Markierungslinien und/oder entlang longitudinaler Längen ihrer jeweiligen Markierungslinien erstrecken. Zum Beispiel können die ersten Markierungslinienleiter **712** so konfiguriert sein, dass sie sich innerhalb einer ersten Markierungslinie erstrecken, um auswählbar ICs **30**, **37**, die angrenzend aneinander und auf gegenüberliegenden Seiten einer ersten Markierungslinie **722** angeordnet sind, über die erste Markierung **722** voneinander zu koppeln. Auch können zum Beispiel die ersten Markierungslinienleiter **712** so konfiguriert sein, dass sie sich innerhalb einer ersten Markierungslinie **722** erstrecken, um auswählbar nichtangrenzende ICs **30**, **36**, zu koppeln und um auswählbar nichtangrenzende ICs **30**, **37**, die auf gegenüberliegenden Seiten einer ersten Markierungslinie **712** angeordnet

sind, über die erste Markierung **712** voneinander zu koppeln. Außerdem können zum Beispiel die ersten Markierungslinienleiter **712** so konfiguriert sein, dass sie sich innerhalb einer ersten Markierungslinie **722** erstrecken, um auswählbar angrenzende ICs **30**, **31**, die auf derselben Seite einer ersten Markierungslinie **712** angeordnet sind, zu koppeln.

[0033] Gleichermaßen können zum Beispiel die zweiten Markierungsleiter **714** so konfiguriert sein, dass sie sich innerhalb einer zweiten Markierungslinie **724** erstrecken, um auswählbar ICs **30**, **31**, die angrenzend aneinander und auf gegenüberliegenden Seiten einer zweiten Markierungslinie **724** angeordnet sind, über die zweite Markierungslinie **724** zu koppeln. Auch können zum Beispiel die zweiten Markierungslinienleiter **714** so konfiguriert sein, dass sie sich innerhalb einer zweiten Markierungslinie **724** erstrecken, um auswählbar nichtangrenzende ICs **30**, **23**, die auf gegenüberliegenden Seiten einer zweiten Markierungslinie **724** angeordnet sind, über die zweite Markierung **714** voneinander zu koppeln und um auswählbar nichtangrenzende ICs **30**, **15**, die auf gegenüberliegenden Seiten einer zweiten Markierungslinie **724** angeordnet sind, über die zweite Markierung **714** voneinander zu koppeln. Außerdem können zum Beispiel die zweiten Markierungslinienleiter **714** so konfiguriert sein, dass sie sich innerhalb einer zweiten Markierungslinie **724** erstrecken, um auswählbar angrenzende ICs **30**, **22**, die auf derselben Seite einer zweiten Markierungslinie **714** angeordnet sind, zu koppeln.

[0034] Fig. 8 ist ein veranschaulichendes Flussdiagramm, das einen Prozess **800** zum Identifizieren eines defekten IC innerhalb eines Maskenbelichtungsgebiets repräsentiert. In Block **802** wählt die Testvorrichtung eine Reihe von ICs aus, die noch nicht hinsichtlich defekter ICs getestet wurde. In Block **804** liefert die Testvorrichtung ein Spannungsleistungssignal an einen ersten Markierungslinienleiter, der gekoppelt ist, um ICs der vorliegend ausgewählten Reihe mit Leistung zu versorgen. In Block **806** wählt die Testvorrichtung einen IC aus der vorliegend ausgewählten Reihe aus, der noch nicht hinsichtlich eines Defekts getestet wurde. In Block **808** liefert die Testvorrichtung ein Aktivierungssignal an einen zweiten Markierungslinienleiter, der gekoppelt ist, um den vorliegend ausgewählten IC der vorliegend ausgewählten Reihe mit Leistung zu versorgen. Bei Entscheidungsblock **810** bestimmt die Testvorrichtung, ob der vorliegend ausgewählte IC eine Versorgungssignalunregelmäßigkeit aufzeigt, die einen Defekt, wie etwa einen offenen Schaltkreis oder einen Kurzschluss angibt. Falls Entscheidungsblock **810** bestimmt, dass der vorliegend ausgewählte IC eine Versorgungssignalunregelmäßigkeit aufzeigt, die einen Defekt angibt, dann fließt die Steuerung zu Block **814**, bei dem die Testvorrichtung den defekten IC operativ entfernt. Anschließend an Block **814**

fließt die Steuerung zu Entscheidungsblock **812**, der dem Block **814** folgt. Falls Block **810** bestimmt, dass es keine derartige Versorgungssignalunregelmäßigkeit gibt, dann fließt die Steuerung direkt zu Entscheidungsblock **812**. Entscheidungsblock **812** bestimmt, ob es weitere ICs in der vorliegend ausgewählten Reihe gibt, die noch nicht getestet wurden. Falls ja, fließt die Steuerung dann zurück zu Block **806**. Falls nein, fließt die Steuerung dann zu Block **816** und bestimmt die Testvorrichtung, ob es weitere Reihen gibt, die noch nicht getestet wurden. Falls ja, fließt die Steuerung dann zurück zu Block **802**. Falls nein, endet der Prozess.

[0035] Eine operative Entfernung eines defekten IC kann Senden eines Steuersignals beinhalten, um eine elektrische Trennung des defekten IC von einem Markierungslinienspannungsleiter während des Testens auf Waferebene zu bewirken. Eine Trennung kann Durchbrennen einer oder mehrerer Sicherungen oder Öffnen eines oder mehrerer Schalter beinhalten, um eine Verbindung zwischen dem defekten IC und einem Markierungslinienspannungsleiter zu entfernen. Alternativ dazu kann eine Trennung Laserschneiden einer oder mehrerer Verbindungen zwischen dem defektiven IC und einem Markierungslinienspannungsleiter beinhalten.

[0036] Fig. 9 ist ein veranschaulichendes Blockdiagramm, das Einzelheiten eines Teils des Wafers **100** aus Fig. 1 zeigt. Sechs ICs **102-1** bis **102-6** sind gezeigt, wobei sich eine erste Markierungslinie **104-1** und zwei Markierungslinien **106-1**, **106-2** zwischen ihnen in einem Netzmuster erstrecken. Die ICs **102-1** bis **102-6** sind angrenzend an die erste Markierungslinie **104-1** gezeigt. Die ICs **102-1**, **102-4**, **102-2** und **102-5** sind angrenzend an die zweite Markierungslinie **106-1** gezeigt. Die ICs **102-2**, **102-5**, **102-3** und **102-6** sind angrenzend an die zweite Markierungslinie **106-2** gezeigt. Die ICs **102-1** und **102-4** sind angrenzend aneinander und auf gegenüberliegenden Seiten der ersten Markierungslinie **104-1** angeordnet gezeigt. Die ICs **102-1** und **102-2** sind angrenzend aneinander und auf gegenüberliegenden Seiten der zweiten Markierungslinie **106-1** angeordnet gezeigt. Die ICs **102-1** und **102-3** sind nichtangrenzend aneinander und auf derselben Seite der ersten Markierungslinie **104-1** angeordnet gezeigt. Die ICs **102-1** und **102-6** sind nichtangrenzend aneinander und auf gegenüberliegenden Seiten der ersten Markierungslinie **104-1** angeordnet gezeigt.

[0037] Einzelne Leiterteile **831**, die auswählbare Schalterschaltkreise **841** beinhalten, sind angeordnet, um einzelne ICs **102-1** bis **102-6** auswählbar mit einzelnen Spannungsleistungsleitern **312-1**, **314-1**, **314-2** zu koppeln, wie gezeigt ist. Einzelne Schaltersteuerleitungen **851** sind gekoppelt, um Schalterauswahlsteuersignale zu kommunizieren, die durch einen gegebenen IC bereitgestellt werden, um ei-

nen gegebenen unterschiedlichen IC auswählbar mit einem Spannungsleistungsleiter zu koppeln. Dementsprechend können zum Beispiel Schaltersteuersignale von einem gegebenen IC verwendet werden, um auswählbar zu bestimmen, ob ein unterschiedlicher IC mit einem Spannungsleistungsleiter gekoppelt ist.

[0038] Es wird zum Beispiel angenommen, dass der Entscheidungsblock **810** bestimmt, dass der erste IC **102-1** einen Defekt aufweist, der seine operative Entfernung von dem Testen auf Waferebene erfordert. In Block **814** sendet die Testvorrichtung Spannungsleistungssignale und Aktivierungssignale, um den zweiten IC **102-2** einzuschalten und zu aktivieren, während der erste IC **102-1** nicht eingeschaltet wird. Die Testvorrichtung adressiert Steuersignale an den zweiten IC **102-2**, die bewirken, dass er ein Schalterauswahlsteuersignal über die Schaltersteuerleitung **851** sendet, die innerhalb der zweiten Markierungslinie **106-1** angeordnet ist, die sich zwischen dem ersten und zweiten IC **102-1**, **102-2** erstreckt, um den ersten IC **102-1** auswählbar elektrisch von dem Spannungsleistungsleiter **314-1** zu trennen, um dadurch den ersten IC **102-1** operativ während des Testens auf Waferebene von dem Wafer **100** zu entfernen. Bei manchen Ausführungsformen beinhalten die auswählbaren Schalterschaltkreise **841** Sicherungsschaltkreise. Bei manchen Ausführungsformen beinhalten die auswählbaren Schalterschaltkreise **841** FET-Schalterschaltkreise.

[0039] Die obige Beschreibung wird präsentiert, um einem Fachmann zu ermöglichen, einen Halbleiterwafer mit Leitern, die innerhalb von Markierungslinien angeordnet sind, um gleichzeitig Testsignale an und von mehreren ICs zu kommunizieren, zu erschaffen und zu verwenden. Verschiedene Modifikationen an den Ausführungsformen ergeben sich einem Fachmann sogleich und die allgemeinen hier definierten Prinzipien können auf andere Ausführungsformen und Anwendungen angewandt werden, ohne von der Idee und dem Schutzzumfang der Erfindung abzuweichen. In der vorausgehenden Beschreibung sind zahlreiche Einzelheiten zu dem Zweck der Erklärung dargelegt. Jedoch weiß ein Durchschnittsfachmann, dass die Erfindung ohne die Verwendung dieser speziellen Einzelheiten umgesetzt werden kann. In anderen Fällen sind wohlbekannte Prozesse in Blockdiagrammform gezeigt, um die Beschreibung der Erfindung nicht mit unnötigen Einzelheiten unklar zu machen. Identische Bezugsziffern können verwendet werden, um unterschiedliche Ansichten des gleichen oder ähnlichen Gegenstands in unterschiedlichen Zeichnungen zu repräsentieren. Dementsprechend sind die vorausgehende Beschreibung und die Zeichnungen von Ausführungsformen gemäß der vorliegenden Erfindung lediglich für die Prinzipien der Erfindung veranschaulichend. Daher versteht es sich, dass verschiedene Modifikationen an den Aus-

führungsformen durch einen Fachmann vorgenommen werden können, ohne von der Idee und dem Schutzzumfang der Erfindung, der in den angehängten Ansprüchen definiert ist, abzuweichen.

Patentansprüche

1. Halbleiterwafer, der Folgendes aufweist:

einen ersten integrierten Schaltkreis, IC;
einen zweiten IC;
eine Markierungslinie, die sich zwischen dem ersten IC und dem zweiten IC erstreckt; und
einen ersten Metallleiter, der sich innerhalb der Markierungslinie erstreckt und der elektrisch mit wenigstens einem des ersten und zweiten IC gekoppelt ist.

2. Halbleiterwafer nach Anspruch 1, der ferner Folgendes beinhaltet:

einen On-Chip-Schaltkreis, der innerhalb des ersten IC angeordnet ist;
wobei der erste Metallleiter mit dem On-Chip-Schaltkreis koppelt.

3. Halbleiterwafer nach Anspruch 1, der ferner Folgendes beinhaltet:

einen On-Chip-Schaltkreis, der innerhalb jedes des ersten und zweiten IC angeordnet ist;
wobei der erste Metallleiter mit jedem der On-Chip-Schaltkreise koppelt.

4. Halbleiterwafer nach einem der Ansprüche 1 bis 3, der ferner Folgendes aufweist:

einen Schalter, der innerhalb der Markierungslinie angeordnet ist, um den ersten Metallleiter zwischen dem ersten und zweiten IC auswählbar zu koppeln.

5. Halbleiterwafer nach Anspruch 1, der ferner Folgendes beinhaltet:

ein Testpad, das elektrisch gekoppelt ist, um ein Signal an den ersten Metallleiter zu liefern.

6. Halbleiterwafer nach einem der vorhergehenden Ansprüche, der ferner Folgendes aufweist:

einen Testschaltkreis, der eine erste Schaltkreiskomponente beinhaltet, die innerhalb wenigstens eines IC angeordnet ist, und der eine zweite Schaltkreiskomponente beinhaltet, die innerhalb der Markierungslinie angeordnet ist;
wobei der erste Metallleiter elektrisch mit der zweiten Schaltkreiskomponente gekoppelt ist, die innerhalb der Markierungslinie angeordnet ist.

7. Halbleiterwafer nach einem der vorhergehenden Ansprüche, der ferner Folgendes aufweist:

einen On-Chip-Schaltkreis, der innerhalb des ersten IC angeordnet ist;
wobei der erste Metallleiter mit dem On-Chip-Schaltkreis koppelt;
ein Testpad, das elektrisch gekoppelt ist, um ein Leistungssignal an den ersten Metallleiter zu liefern.

8. Halbleiterwafer nach einem der Ansprüche 1 bis 6, der ferner Folgendes aufweist:

einen On-Chip-Schaltkreis, der innerhalb des ersten IC angeordnet ist;
einen Schalter, der innerhalb der Markierungslinie angeordnet ist, um den ersten Metallleiter auswählbar mit dem On-Chip-Schaltkreis zu koppeln; und
ein Testpad, das elektrisch gekoppelt ist, um ein Leistungssignal an den ersten Metallleiter zu liefern.

9. Halbleiterwafer nach einem der vorhergehenden Ansprüche, der ferner Folgendes aufweist:

einen zweiten Metallleiter, der sich innerhalb der Markierungslinie erstreckt und der elektrisch mit dem wenigstens einen des ersten und zweiten IC gekoppelt ist;
einen Testschaltkreis mit einer Schaltkreiskomponente, die innerhalb des wenigstens einen des ersten und zweiten IC angeordnet ist;
ein erstes Testpad, das elektrisch gekoppelt ist, um ein Spannungsleistungssignal an den ersten Metallleiter zu liefern; und
ein zweites Testpad, das elektrisch gekoppelt ist, um ein Referenzsignal an den zweiten Metallleiter zu liefern;
wobei der erste Metallleiter gekoppelt ist, um ein Spannungsleistungssignal an den Testschaltkreis zu liefern; und
wobei der zweite Metallleiter gekoppelt ist, um ein Referenzsignal an den Testschaltkreis zu liefern.

10. Halbleiterwafer nach einem der Ansprüche 1 bis 8, der ferner Folgendes aufweist:

einen zweiten Metallleiter, der sich innerhalb der Markierungslinie erstreckt und der elektrisch mit dem wenigstens einen des ersten und zweiten IC gekoppelt ist;
einen dritten Metallleiter, der sich innerhalb der Markierungslinie erstreckt und der elektrisch mit dem wenigstens einen des ersten und zweiten IC gekoppelt ist;
einen Testschaltkreis mit einer Schaltkreiskomponente, die innerhalb des wenigstens einen des ersten und zweiten IC angeordnet ist;
wobei der erste Leiter elektrisch gekoppelt ist, um ein Spannungsleistungssignal an den Testschaltkreis zu liefern;
wobei der zweite Leiter elektrisch gekoppelt ist, um ein Referenzsignal an den Testschaltkreis zu liefern; und
wobei der dritte Leiter elektrisch gekoppelt ist, um ein Steuersignal an den Testschaltkreis zu liefern.

11. Halbleiterwafer nach einem der vorhergehenden Ansprüche, der ferner Folgendes aufweist:

einen Schalter, der dazu konfiguriert ist, wenigstens einen des ersten und zweiten IC auswählbar von dem ersten Leiter zu trennen.

12. Halbleiterwafer nach Anspruch 11, wobei der Schalter innerhalb der Markierungslinie angeordnet ist.

nem ersten integrierten Schaltkreis und einem zweiten integrierten Schaltkreis.

Es folgen 10 Seiten Zeichnungen

13. Halbleiterwafer nach Anspruch 11, wobei der Schalter dazu konfiguriert ist, ein Schaltersteuersignal von einem des ersten und zweiten IC zu empfangen, um den anderen des ersten und zweiten IC auswählbar von dem ersten Leiter zu trennen.

14. Halbleiterwafer, der Folgendes aufweist: mehrere integrierte Schaltkreise, ICs, die in einem zweidimensionalen Gitter angeordnet sind; mehrere Markierungslinien, die sich zwischen mehreren ICs in dem Gitter erstrecken; und einen ersten Leiter, der sich innerhalb wenigstens einer ersten Markierungslinie angrenzend an mehrere ICs erstreckt.

15. Halbleiterwafer nach Anspruch 14, der ferner Folgendes beinhaltet: ein Testpad, das elektrisch gekoppelt ist, um ein Signal an den ersten Leiter zu liefern; wobei das Testpad zwischen ICs innerhalb des Gitters angeordnet ist.

16. Halbleiterwafer nach Anspruch 14, der ferner Folgendes beinhaltet: ein Testpad, das elektrisch gekoppelt ist, um ein Signal an den ersten Leiter zu liefern; wobei das Testpad an einer Grenze des Gitters angeordnet ist.

17. Halbleiterwafer nach einem der Ansprüche 14 bis 16, der ferner Folgendes aufweist: mehrere On-Chip-Schaltkreise, die jeweils innerhalb eines unterschiedlichen der mehreren ICs angeordnet sind; wobei der erste Leiter gekoppelt ist, um ein Signal an jeden der On-Chip-Schaltkreise zu liefern.

18. Verfahren zum Testen integrierter Schaltkreise auf Waferebene, das Folgendes aufweist: Leiten eines elektronischen Signals zwischen einem Metallleiter innerhalb einer Markierungslinie und einem integrierten Schaltkreis.

19. Verfahren nach Anspruch 18, das ferner Folgendes beinhaltet: Leiten des elektronischen Signals auf einem Metallleiter innerhalb einer Markierungslinie zwischen einem Testpad und einem integrierten Schaltkreis.

20. Verfahren nach Anspruch 18, das ferner Folgendes beinhaltet: Leiten des elektronischen Signals auf einem Metallleiter innerhalb einer Markierungslinie zwischen ei-

Anhängende Zeichnungen

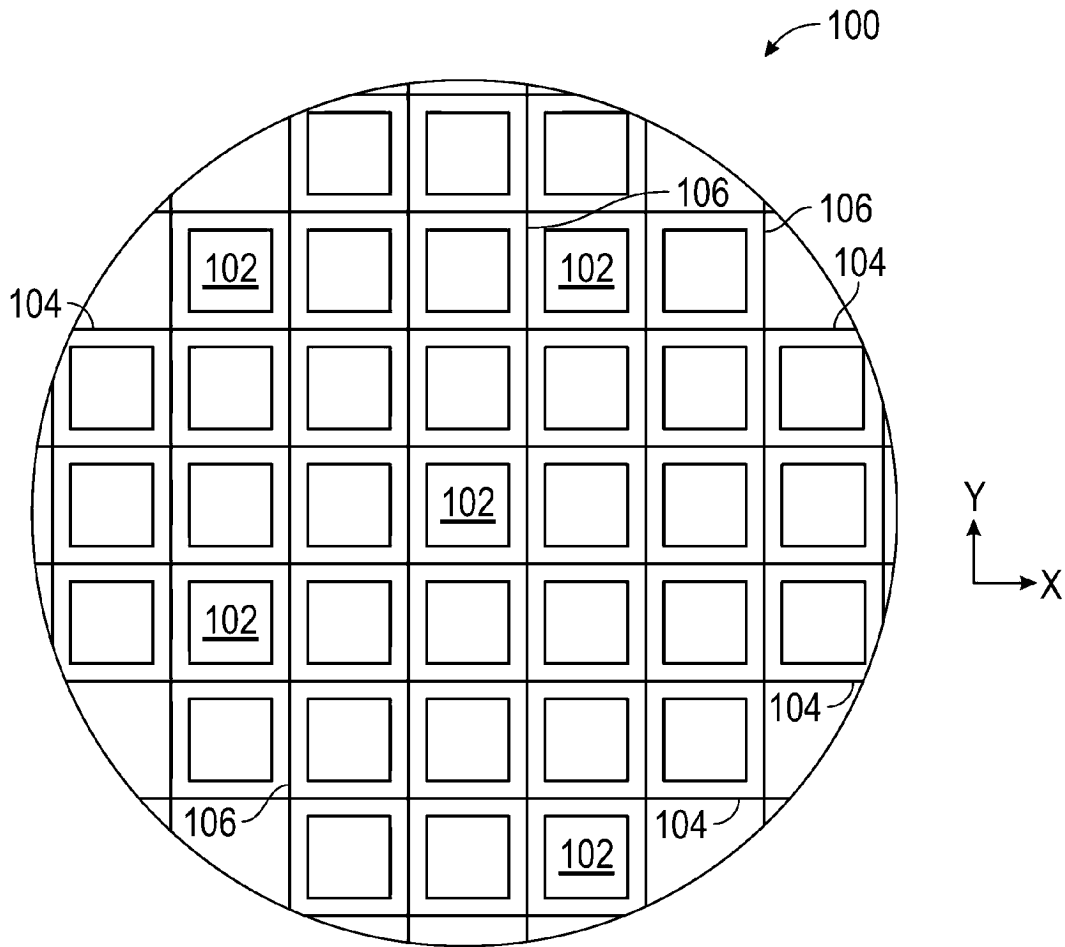


FIG. 1

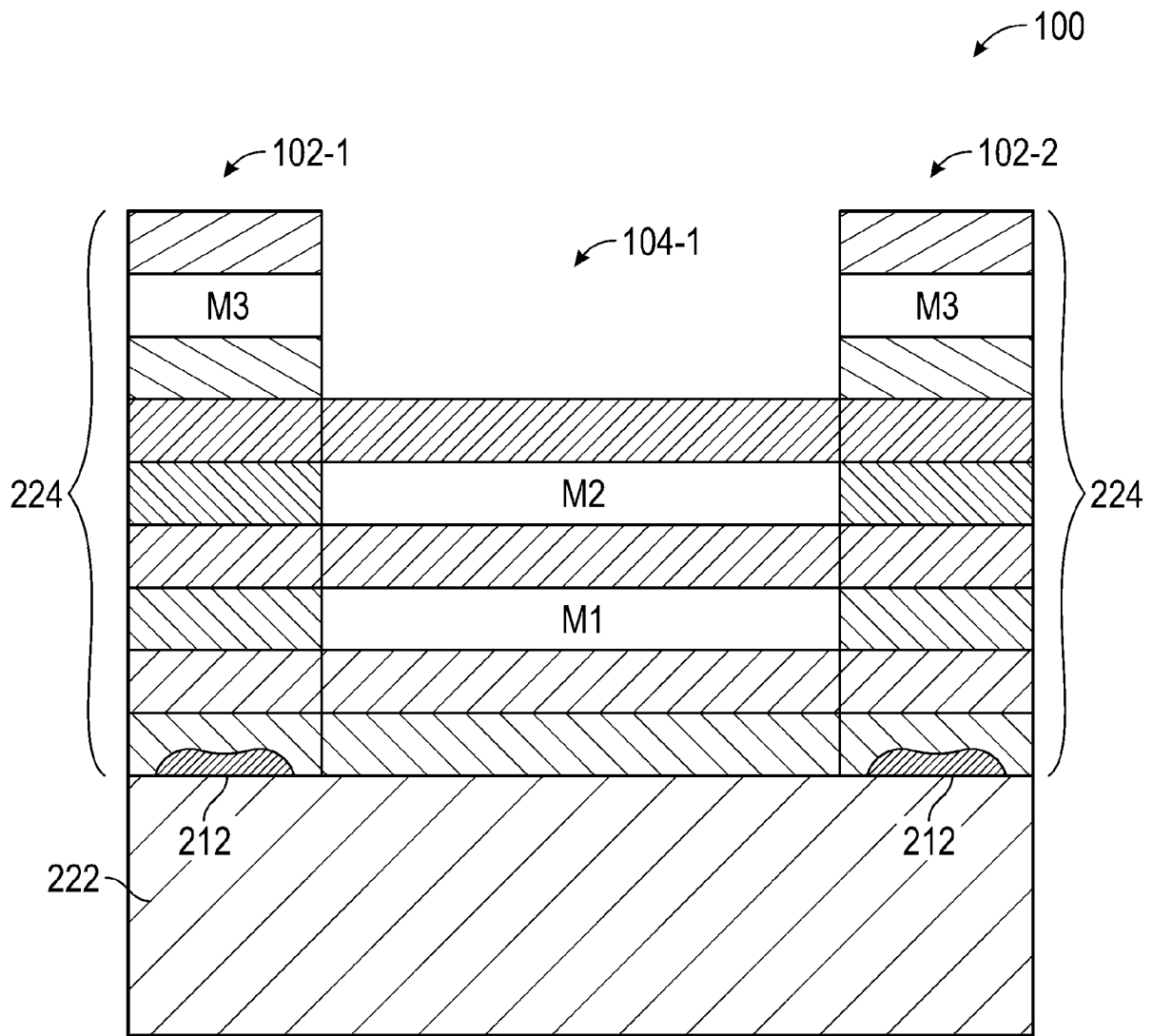


FIG. 2

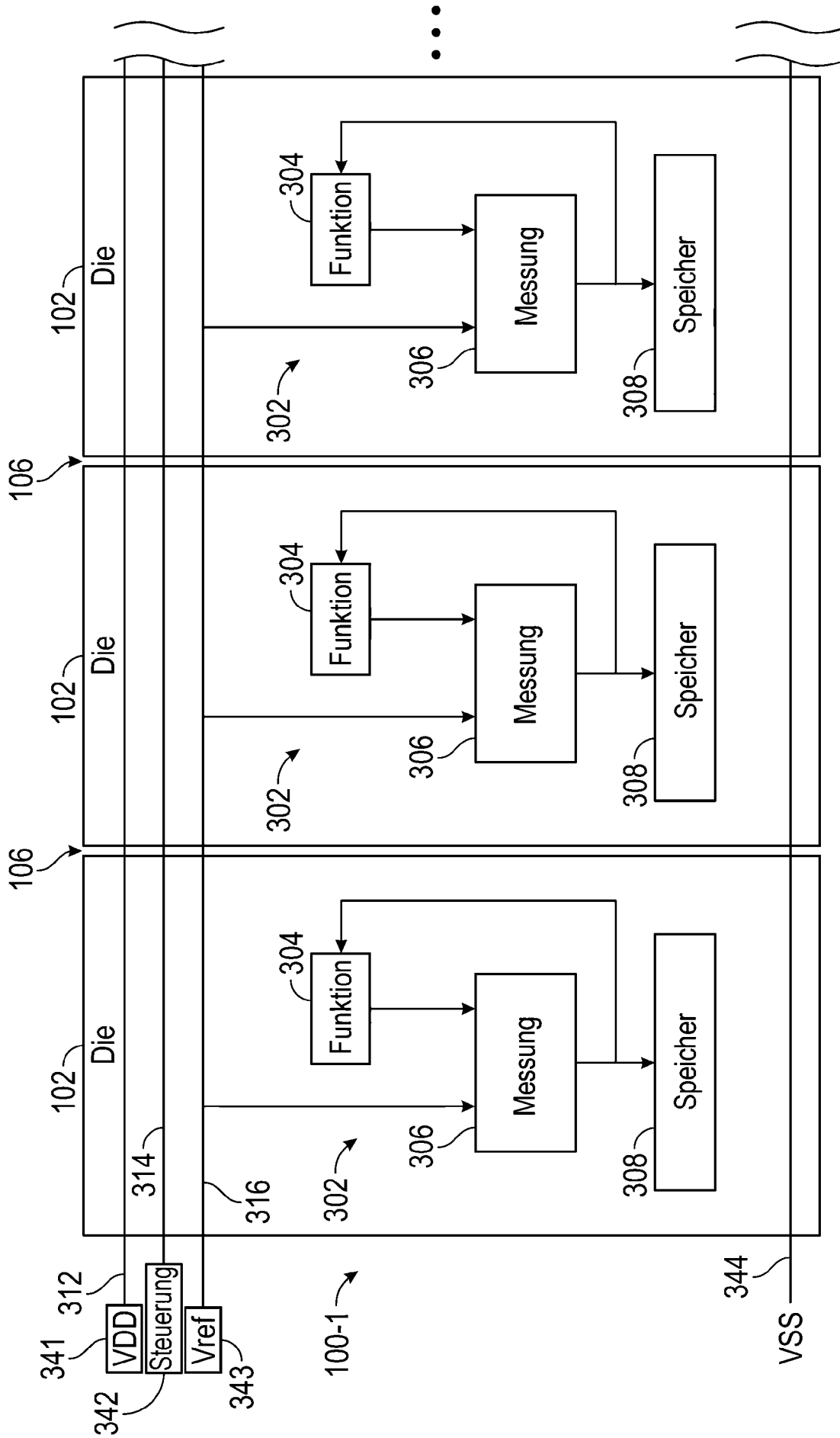


FIG. 3A

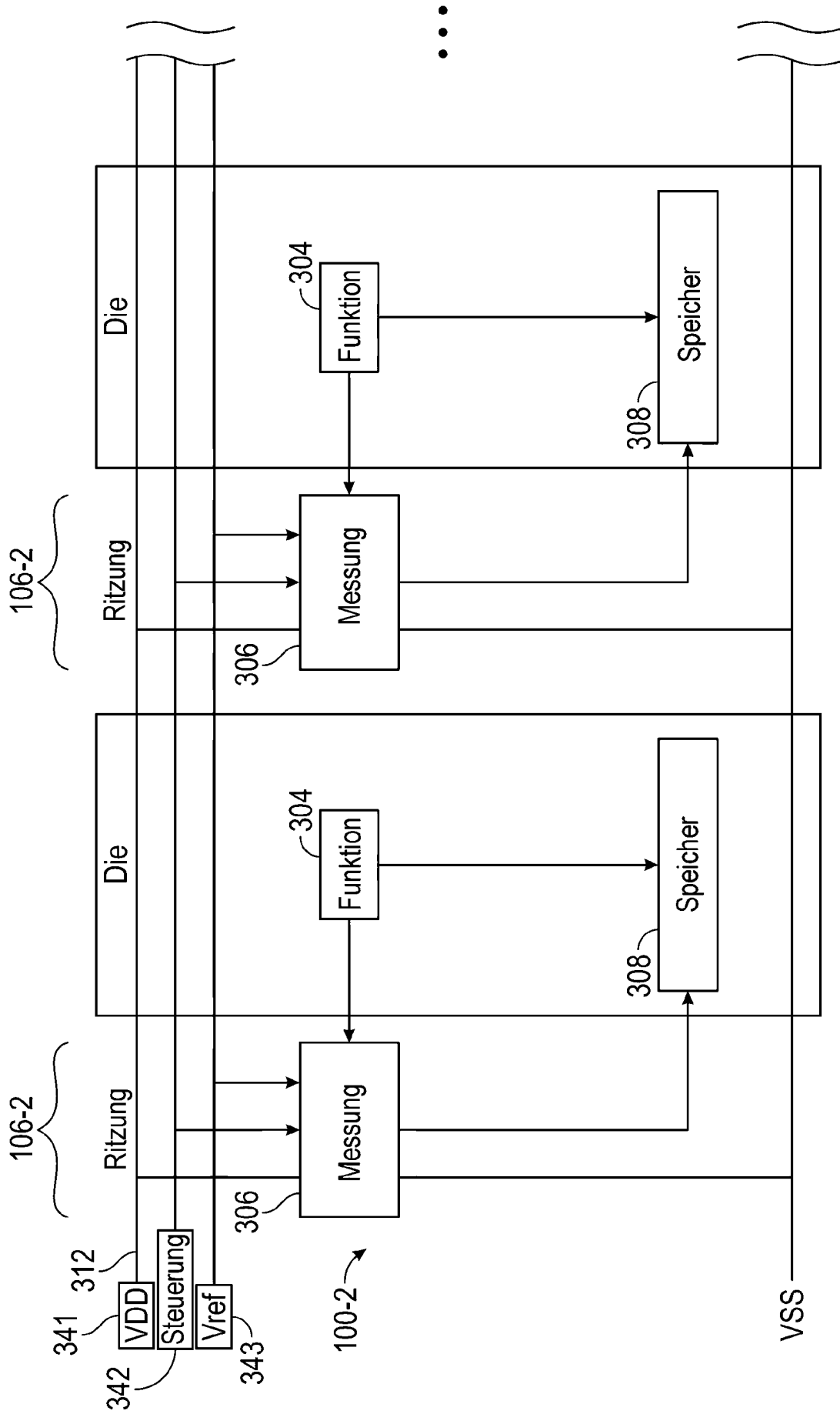


FIG. 3B

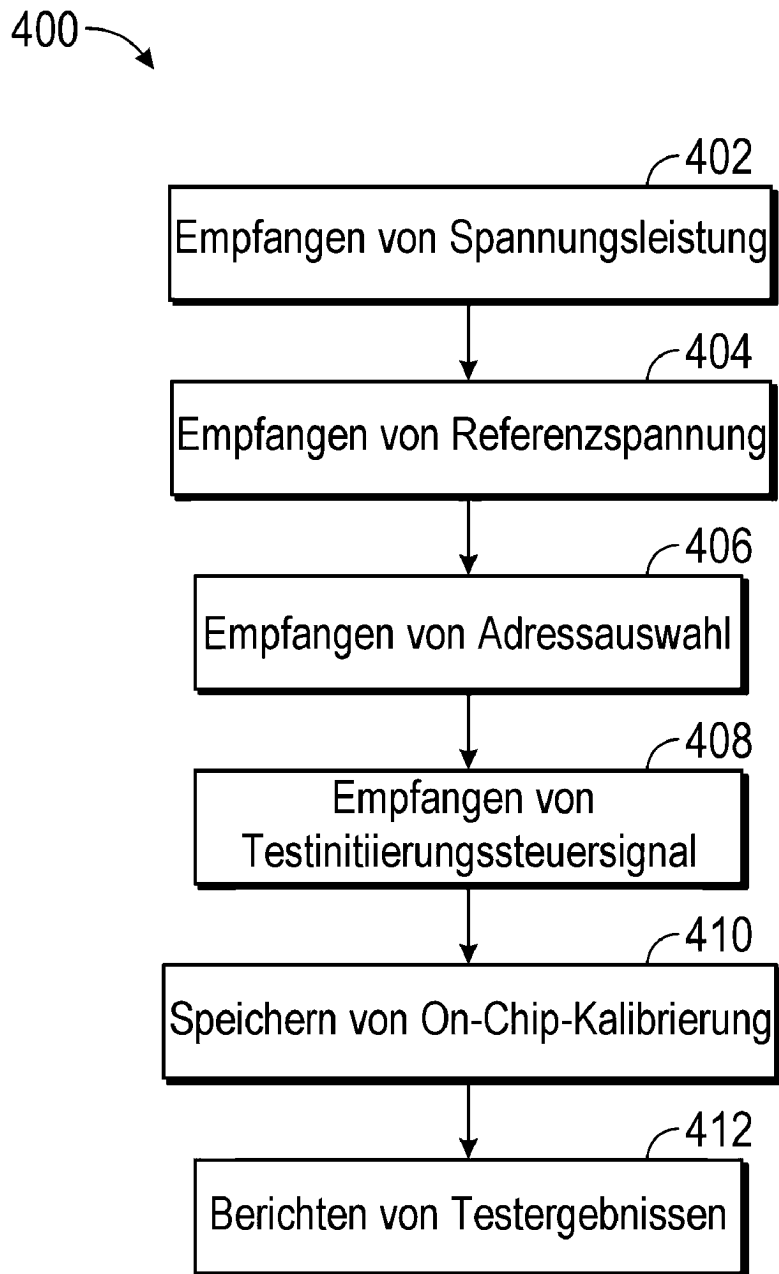


FIG. 4

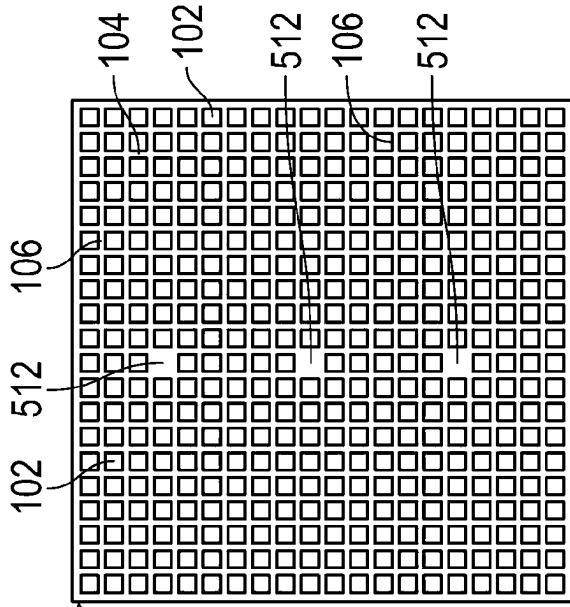


FIG. 5B

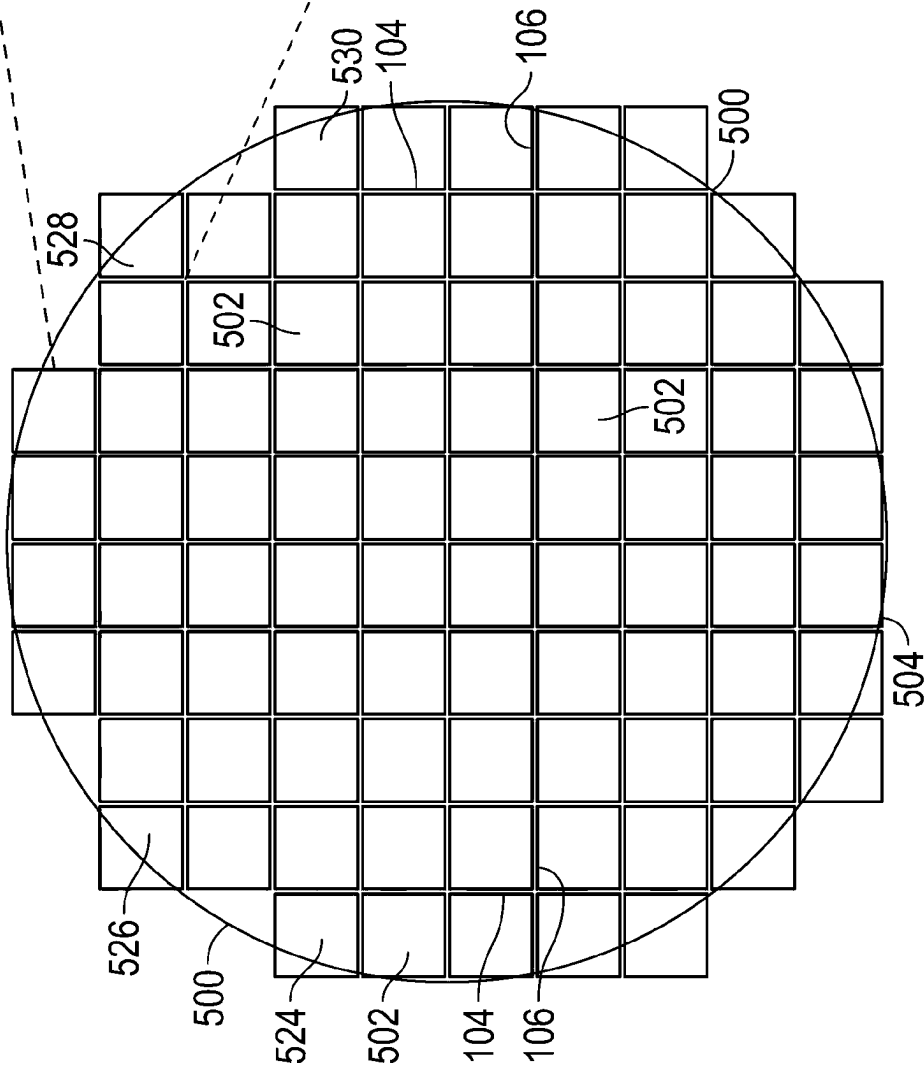


FIG. 5A

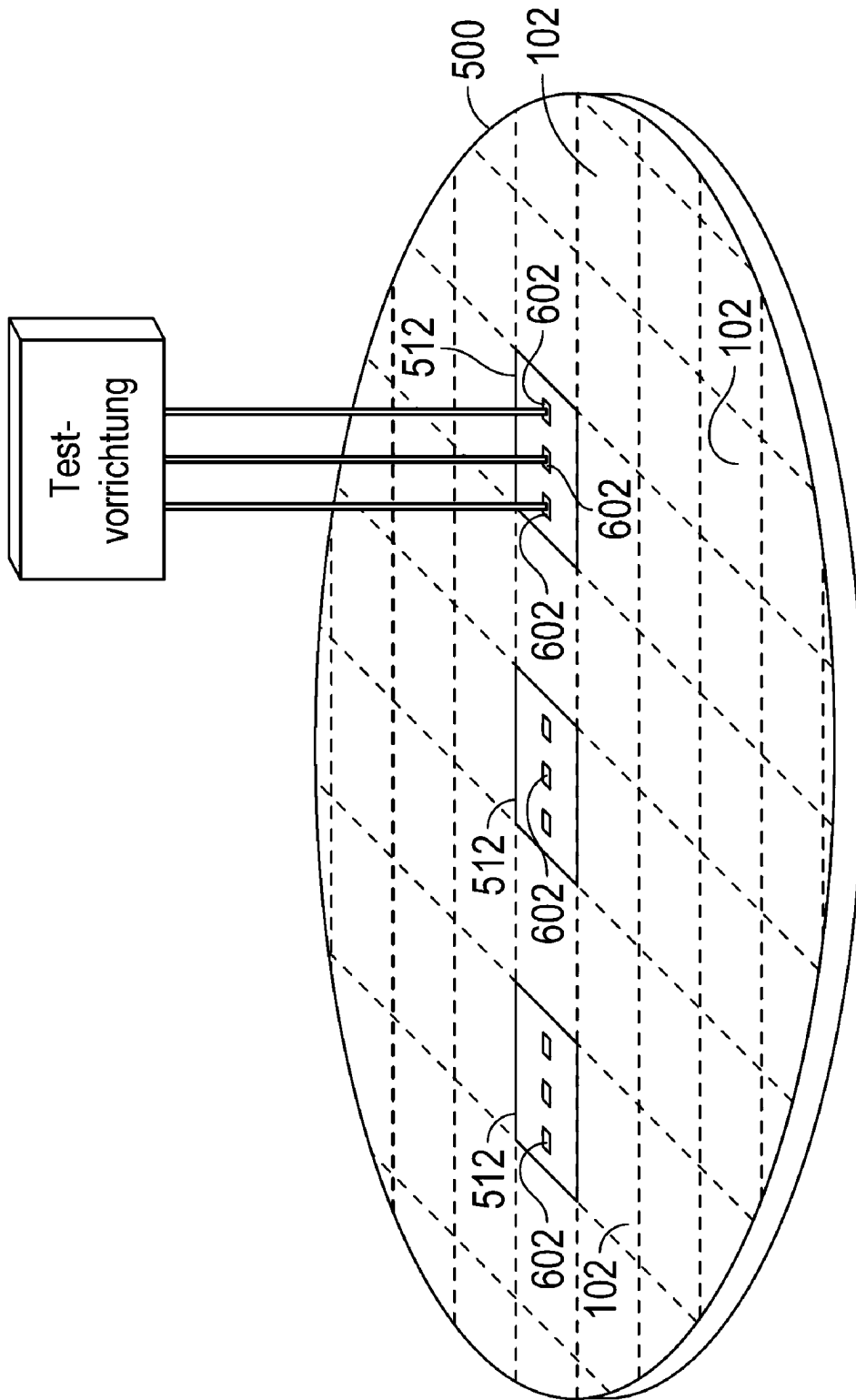


FIG. 6

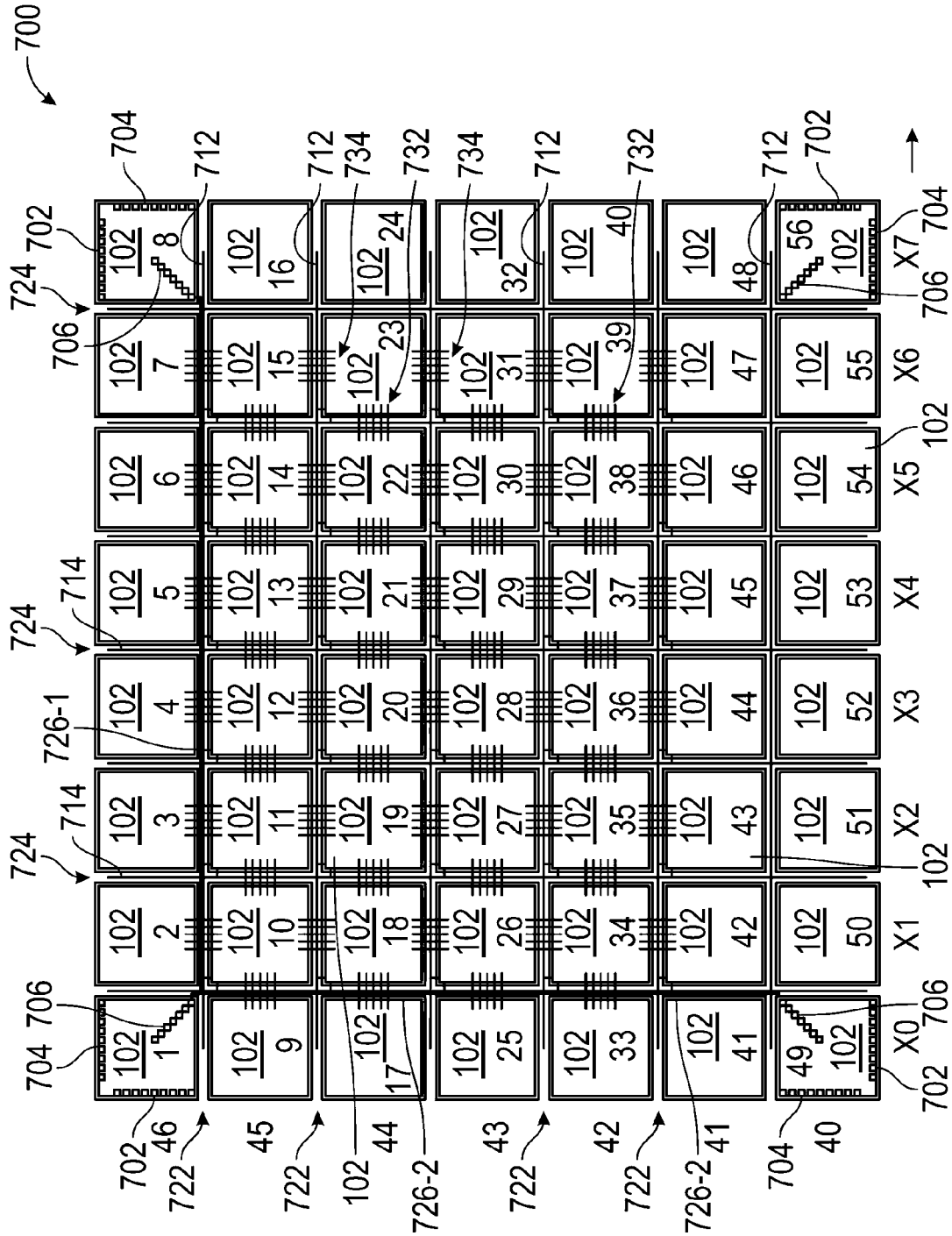


FIG. 7

800

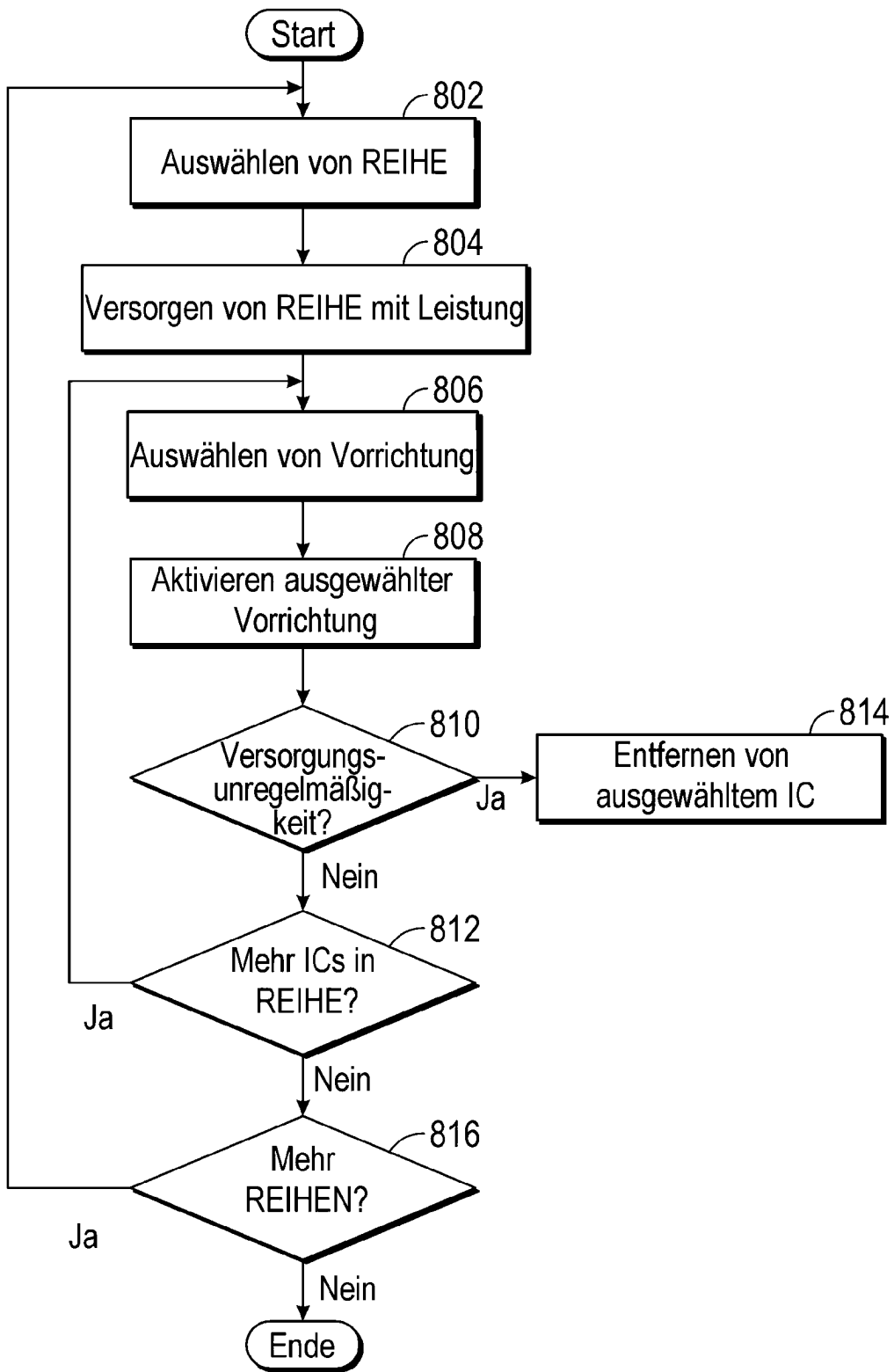


FIG. 8

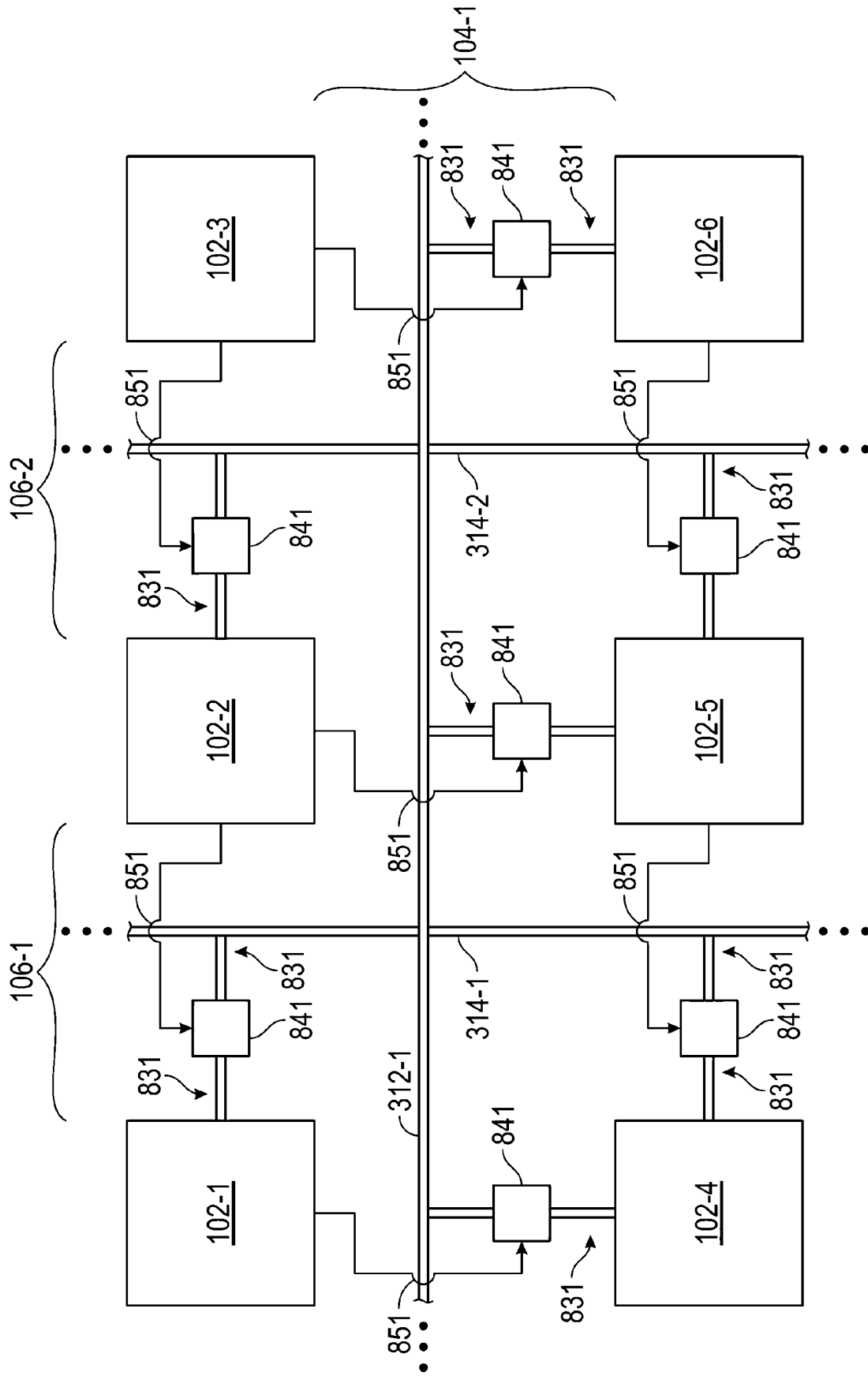


FIG. 9