

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-91599

(P2017-91599A)

(43) 公開日 平成29年5月25日(2017.5.25)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/56 (2006.01)	G 1 1 C 11/34 3 8 1 A	5 F 0 4 8
G 1 1 C 11/405 (2006.01)	G 1 1 C 11/34 3 5 2 B	5 F 0 8 3
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 3 2 1	5 F 1 1 0
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 4 8 1	5 M O 2 4
H O 1 L 27/10 (2006.01)	H O 1 L 29/78 6 1 3 B	

審査請求 未請求 請求項の数 7 O L (全 78 頁) 最終頁に続く

(21) 出願番号 特願2016-214459 (P2016-214459)
 (22) 出願日 平成28年11月1日 (2016.11.1)
 (31) 優先権主張番号 特願2015-216214 (P2015-216214)
 (32) 優先日 平成27年11月3日 (2015.11.3)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 松崎 隆徳
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

F ターム (参考) 5F048 AA01 AB01 AC01 AC10 BA01
 BA14 BA16 BA19 BA20 BB01
 BB02 BB09 BB11 BB12 BB14
 BC06 BC18 BD02 BD06 BF02
 BF06 BF07 BF12 BF15 BF16
 BF17 BG13 CB01 CB02 CB03
 CB10 DA30

最終頁に続く

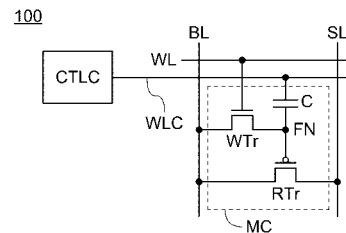
(54) 【発明の名称】 半導体装置、記憶装置、電子機器、又は該半導体装置の駆動方法

(57) 【要約】

【課題】 演算処理速度を向上、かつ回路規模を低減した半導体装置と、該半導体装置の駆動方法を提供する。

【解決手段】 第1トランジスタと、第2トランジスタと、容量素子と、制御回路と、を有する。第1トランジスタの第1端子は、容量素子の第1端子と電氣的に接続され、第2トランジスタのゲートは、容量素子の第1端子と電氣的に接続され、制御回路は、容量素子の第2端子と電氣的に接続される。第2トランジスタのゲートは、第1データが保持され、制御回路が、容量素子の第2端子に第1電位を与えて、第1データの値に第1電位に応じた値を加算して、第2データにする。第2トランジスタの第1端子に第2電位を与えることにより、第2データである前記第2トランジスタのゲートの電位に応じた第3電位を第2トランジスタの第2端子から出力する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 ステップと、第 2 ステップと、を有する半導体装置の駆動方法であって、
前記半導体装置は、第 1 トランジスタと、第 2 トランジスタと、容量素子と、制御回路と、を有し、

前記第 1 トランジスタの第 1 端子は、前記容量素子の第 1 端子と電氣的に接続され、
前記第 2 トランジスタのゲートは、前記容量素子の第 1 端子と電氣的に接続され、
前記制御回路は、前記容量素子の第 2 端子と電氣的に接続され、
前記第 2 トランジスタのゲートは、 m (m は 1 以上の整数) ビットの第 1 データが保持され、

前記第 1 データは i (i は 0 以上 $2^m - 2$ 以下の整数) の値であり、

前記第 1 ステップは、前記制御回路が、前記容量素子の第 2 端子に第 1 電位を与えて、
前記第 1 データの値に前記第 1 電位に応じた j (j は 1 以上 $2^m - 1 - i$ 以下の整数) の値を加算して、前記第 1 データを第 2 データにするステップを有し、

前記第 2 ステップは、前記第 2 トランジスタの第 1 端子に第 2 電位を与えて、前記第 2 データである前記第 2 トランジスタのゲートの電位に応じた第 3 電位を前記第 2 トランジスタの第 2 端子から出力するステップを有する駆動方法。

【請求項 2】

第 1 ステップと、第 2 ステップと、を有する半導体装置の駆動方法であって、
前記半導体装置は、第 1 トランジスタと、第 2 トランジスタと、容量素子と、制御回路と、を有し、

前記第 1 トランジスタの第 1 端子は、前記容量素子の第 1 端子と電氣的に接続され、
前記第 2 トランジスタのゲートは、前記容量素子の第 1 端子と電氣的に接続され、
前記制御回路は、前記容量素子の第 2 端子と電氣的に接続され、
前記第 2 トランジスタのゲートは、 m (m は 1 以上の整数) ビットの第 1 データが保持され、

前記第 1 データは i (i は 1 以上 $2^m - 1$ 以下の整数) の値であり、

前記第 1 ステップは、前記制御回路が、前記容量素子の第 2 端子に第 1 電位を与えて、
前記第 1 データの値から前記第 1 電位に応じた j (j は 1 以上 i 以下の整数) の値を減算して、前記第 1 データを第 2 データにするステップを有し、

前記第 2 ステップは、前記第 2 トランジスタの第 1 端子に第 2 電位を与えて、前記第 2 データである前記第 2 トランジスタのゲートの電位に応じた第 3 電位を前記第 2 トランジスタの第 2 端子から出力するステップを有する駆動方法。

【請求項 3】

請求項 1、又は請求項 2 において、
前記第 3 電位は、前記第 2 ステップにおける前記第 2 トランジスタのゲートの電位と等しいことを特徴とする駆動方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一に記載の駆動方法を用いる半導体装置であって、
前記第 1 トランジスタは、チャンネル形成領域に酸化物半導体を有し、
前記第 2 トランジスタは、チャンネル形成領域にシリコンを有することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか一に記載の駆動方法を用いる半導体装置であって、
前記第 1 トランジスタは、チャンネル形成領域に酸化物半導体を有し、
前記第 2 トランジスタは、チャンネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 3 のいずれか一に記載の駆動方法を用いる半導体装置、請求項 4 に記載の半導体装置、又は請求項 5 に記載の半導体装置と、

10

20

30

40

50

駆動回路と、を有する記憶装置。

【請求項 7】

請求項 6 に記載の記憶装置と、
筐体と、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、記憶装置、電子機器、又は該半導体装置の駆動方法に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、プロセッサ、電子機器、それらの駆動方法、それらの製造方法、それらの検査方法、又はそれらのシステムを一例として挙げるができる。

【背景技術】

【0003】

近年、パーソナルコンピュータ、スマートフォン、デジタルカメラなどさまざまな電子機器に、セントラルプロセッシングユニット（Central Processing Unit（CPU））や記憶装置、センサなどの電子部品が用いられており、当該電子部品は、微細化、及び低消費電力など様々な面で改良が進められている。

【0004】

特に、近年扱われているデータ量は増加しており、大きな記憶容量を有する記憶装置が求められている。特許文献 1 及び特許文献 2 では、多値のデータの書き込み、読み出しを可能にした半導体装置について開示している。

【0005】

更に、電子機器の小型化が進んできており、それに伴い、電子機器の有する電子部品の微細化が求められている。つまり、記憶装置の場合、微細化と大容量化の両方の特徴を持つことが求められている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2012 - 256400 号公報

【特許文献 2】特開 2014 - 199707 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

多値やアナログ値のデータを保持することができるメモリセルへデータを書き込むとき、書き込むデータを所定の高さの電位に変換して、該メモリセルの有する保持ノードに該電位を保持する。また、該メモリセルからデータを読み出すとき、保持ノードの電位を、ビット線、又はソース線に出力し、読み出し回路で該電位をデジタル処理に適した二進数（以後、デジタル値と呼称する。）のデータなどに変換することで、保持データを出力することができる。

【0008】

上記のように、多値やアナログ値のデータを扱うことができるメモリセルで保持されるデータは、書き込み、又は読み出しを行う際に、デジタル値のデータから多値又はアナログ値のデータに応じた電位への変換処理、又は多値又はアナログ値のデータに応じた電位からデジタル値のデータへの変換処理が必要となる。

10

20

30

40

50

【0009】

ところで、多値又はアナログ値のデータを保持することができるメモリセルに保持されたデータに対して、加算処理、又は減算処理を行う場合、一般的には、該メモリセルから保持された電位を読み出して、読み出し回路で該電位からデジタル値のデータに変換し、その後デジタル値のデータで加算処理、又は減算処理を行う。

【0010】

このように、加算処理、又は減算処理、を行うには、メモリセルに保持されたデータをデジタル値に変換する必要があるため、読み出しから加算処理、又は減算処理を行うまでに要する時間が長く場合がある。また、加算処理、又は減算処理を行う機能ブロックを別途構成する必要があるため、回路規模が増大する場合がある。

10

【0011】

本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。又は、本発明の一態様は、新規な半導体装置を有する記憶装置を提供することを課題の一つとする。又は、本発明の一態様は、新規な半導体装置を有する記憶装置を使用した電子機器を提供することを課題の一つとする。又は、本発明の一態様は、新規な半導体装置を有する記憶装置を利用したシステムを提供することを課題の一つとする。又は、本発明の一態様は、半導体装置の新規な駆動方法を提供することを課題の一つとする。

【0012】

又は、本発明の一態様は、データ保持の容量が大きい記憶装置を提供することを課題の一つとする。又は、本発明の一態様は、微細化された記憶装置を提供することを課題の一つとする。又は、本発明の一態様は、回路規模が低減された記憶装置を提供することを課題の一つとする。又は、本発明の一態様は、保持データの変化のない記憶装置を提供することを課題の一つとする。又は、本発明の一態様は、消費電力の低い記憶装置、又はその記憶装置の駆動方法を提供することを課題の一つとする。又は、本発明の一態様は、読み出し動作、及び加算処理、又は減算処理に要する時間を短くした記憶装置、又はその記憶装置の駆動方法を提供することを課題の一つとする。

20

【0013】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した記載、及び他の課題の全てを解決する必要はない。

30

【課題を解決するための手段】

【0014】

(1)

本発明の一態様は、第1ステップと、第2ステップと、を有する半導体装置の駆動方法であって、半導体装置は、第1トランジスタと、第2トランジスタと、容量素子と、制御回路と、を有し、第1トランジスタの第1端子は、容量素子の第1端子と電氣的に接続され、第2トランジスタのゲートは、容量素子の第1端子と電氣的に接続され、制御回路は、容量素子の第2端子と電氣的に接続され、第2トランジスタのゲートは、 m ビットの第1データが保持され(m は1以上の整数)、第1データは i の値であり(i は0以上 $2^m - 2$ 以下の整数)、第1ステップは、制御回路が、容量素子の第2端子に第1電位を与えて、第1データの値に第1電位に応じた j の値を加算して、第1データを第2データにするステップを有し(j は1以上 $2^m - 1 - i$ 以下の整数)、第2ステップは、第2トランジスタの第1端子に第2電位を与えて、第2データである第2トランジスタのゲートの電位に応じた第3電位を第2トランジスタの第2端子から出力するステップを有する駆動方法である。

40

【0015】

50

(2)

又は、本発明の一態様は、第1ステップと、第2ステップと、を有する半導体装置の駆動方法であって、半導体装置は、第1トランジスタと、第2トランジスタと、容量素子と、制御回路と、を有し、第1トランジスタの第1端子は、容量素子の第1端子と電氣的に接続され、第2トランジスタのゲートは、容量素子の第1端子と電氣的に接続され、制御回路は、容量素子の第2端子と電氣的に接続され、第2トランジスタのゲートは、 m ビットの第1データが保持され (m は1以上の整数)、第1データは i の値であり (i は1以上 $2^m - 1$ 以下の整数)、第1ステップは、制御回路が、容量素子の第2端子に第1電位を与えて、第1データの値から第1電位に応じた j の値を減算して、第1データを第2データにするステップを有し (j は1以上 i 以下の整数)、第2ステップは、第2トランジスタの第1端子に第2電位を与えて、第2データである第2トランジスタのゲートの電位に応じた第3電位を第2トランジスタの第2端子から出力するステップを有する駆動方法である。

10

【0016】

(3)

又は、本発明の一態様は、前記(1)、又は前記(2)において、第3電位は、前記第2ステップにおける前記第2トランジスタのゲートの電位と等しいことを特徴とする駆動方法である。

【0017】

(4)

又は、本発明の一態様は、前記(1)乃至(3)のいずれかーに記載の駆動方法を用いる半導体装置であって、第1トランジスタは、チャンネル形成領域に酸化物半導体を有し、第2トランジスタは、チャンネル形成領域にシリコンを有することを特徴とする半導体装置である。

20

【0018】

(5)

又は、本発明の一態様は、前記(1)乃至(3)のいずれかーに記載の駆動方法を用いる半導体装置であって、第1トランジスタは、チャンネル形成領域に酸化物半導体を有し、第2トランジスタは、チャンネル形成領域に酸化物半導体を有することを特徴とする半導体装置である。

30

【0019】

(6)

又は、本発明の一態様は、前記(1)乃至(3)のいずれかーに記載の駆動方法を用いる半導体装置、前記(4)に記載の半導体装置、又は前記(5)に記載の半導体装置と、駆動回路と、を有する記憶装置である。

【0020】

(7)

又は、本発明の一態様は、前記(6)に記載の記憶装置と、筐体と、を有する電子機器である。

40

【発明の効果】

【0021】

本発明の一態様によって、新規な半導体装置を提供することができる。又は、本発明の一態様によって、新規な半導体装置を有する記憶装置を提供することができる。又は、本発明の一態様によって、新規な半導体装置を有する記憶装置を使用した電子機器を提供することができる。又は、本発明の一態様によって、新規な半導体装置を有する記憶装置を利用したシステムを提供することができる。又は、本発明の一態様は、半導体装置の新規な駆動方法を提供することを課題の位置とする。

【0022】

又は、本発明の一態様によって、データ保持の容量が大きい記憶装置を提供することができる。又は、本発明の一態様によっては、微細化された記憶装置を提供することができ

50

る。又は、本発明の一態様によって、回路規模が低減された記憶装置を提供することができる。又は、本発明の一態様によって、保持データの変化のない記憶装置を提供することができる。又は、本発明の一態様によって、消費電力の低い記憶装置、又はその記憶装置の駆動方法を提供することができる。又は、本発明の一態様によって、読み出し動作、及び加算処理、又は減算処理に要する時間を短くした記憶装置、又はその記憶装置の駆動方法を提供することができる。

【 0 0 2 3 】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 半導体装置の一例を示すブロック図。

【 図 2 】 半導体装置の一例を示すブロック図。

【 図 3 】 半導体装置の保持ノードの電位の変化を示す図。

【 図 4 】 半導体装置の動作例を示すタイミングチャート。

【 図 5 】 半導体装置の動作例を示すタイミングチャート。

【 図 6 】 半導体装置の一例を示すブロック図。

【 図 7 】 半導体装置の一例を示すブロック図。

【 図 8 】 半導体装置の一例を示すブロック図。

【 図 9 】 半導体装置の一例を示すブロック図。

【 図 1 0 】 半導体装置の一例を示すブロック図。

【 図 1 1 】 半導体装置の一例を示すブロック図。

【 図 1 2 】 記憶装置の一例を示すブロック図。

【 図 1 3 】 トランジスタの構成例を示す上面図及び断面図。

【 図 1 4 】 トランジスタの構成例を示す断面図及びエネルギーバンド図。

【 図 1 5 】 酸素が拡散する経路を示す断面図。

【 図 1 6 】 トランジスタの構成例を示す上面図及び断面図。

【 図 1 7 】 トランジスタの構成例を示す上面図及び断面図。

【 図 1 8 】 トランジスタの構成例を示す上面図及び断面図。

【 図 1 9 】 トランジスタの構成例を示す上面図及び断面図。

【 図 2 0 】 トランジスタの構成例を示す上面図及び断面図。

【 図 2 1 】 トランジスタの構成例を示す上面図及び断面図。

【 図 2 2 】 メモリセルの構成例を示す断面図。

【 図 2 3 】 メモリセルの構成例を示す断面図。

【 図 2 4 】 図 2 2 及び図 2 3 に示すトランジスタ T r A の構成例を示す断面図。

【 図 2 5 】 図 2 2 及び図 2 3 に示すトランジスタ T r A の構成例を示す断面図。

【 図 2 6 】 メモリセルの構成例を示す断面図。

【 図 2 7 】 メモリセルの構成例を示す断面図。

【 図 2 8 】 C A A C - O S 及び単結晶酸化物半導体の X R D による構造解析を説明する図、ならびに C A A C - O S の制限視野電子回折パターンを示す図。

【 図 2 9 】 C A A C - O S の断面 T E M 像、ならびに平面 T E M 像及びその画像解析像。

【 図 3 0 】 n c - O S の電子回折パターンを示す図、及び n c - O S の断面 T E M 像。

【 図 3 1 】 a - l i k e O S の断面 T E M 像。

【 図 3 2 】 I n - G a - Z n 酸化物の電子照射による結晶部の変化を示す図。

【 図 3 3 】 電子部品の作製方法を示すフローチャート及び該電子部品を示す斜視図。

10

20

30

40

50

【図34】電子機器を示す図。

【図35】電子機器を示す図。

【図36】RFタグの使用例を示す斜視図。

【発明を実施するための形態】

【0025】

「電子機器」、「電子部品」、「モジュール」、「半導体装置」の記載について説明する。一般的に、「電子機器」とは、例えば、パーソナルコンピュータ、携帯電話、タブレット端末、電子書籍端末、ウェアラブル端末、AV機器(AV; Audio Visual)、電化製品、住宅設備機器、業務用設備機器、デジタルサイネージ、自動車、又は、システムを有する電気製品などをいう場合がある。また、「電子部品」、又は「モジュール」とは、電子機器が有するプロセッサ、記憶装置、センサ、バッテリー、表示装置、発光装置、インターフェース機器、RFタグ(RF; Radio Frequency)、受信装置、送信装置などをいう場合がある。また、「半導体装置」とは、半導体素子を用いた装置、又は、電子部品又はモジュールが有する、半導体素子を適用した駆動回路、制御回路、論理回路、信号生成回路、信号変換回路、電位レベル変換回路、電圧源、電流源、切り替え回路、増幅回路、記憶回路、メモリセル、表示回路、表示画素などをいう場合がある。

10

【0026】

また、本明細書において、酸化物半導体をOS(Oxide Semiconductor)と表記する場合がある。そのため、チャンネル形成領域に酸化物半導体を有するトランジスタをOSTランジスタという場合がある。

20

【0027】

(実施の形態1)

本実施の形態では、開示する発明の半導体装置の一例について説明する。

【0028】

<構成例>

図1に本発明の一態様の半導体装置の一例を示す。半導体装置100は、メモリセルMCと、制御回路CTLCと、を有する。メモリセルMCは、トランジスタWTrと、トランジスタRTrと、容量素子Cと、を有する。なお、トランジスタWTrはnチャンネル型トランジスタであり、トランジスタRTrはpチャンネル型トランジスタである。

30

【0029】

メモリセルMCは、配線BLと、配線SLと、配線WLと、配線WLCと、に電氣的に接続されている。

【0030】

トランジスタWTrの第1端子は、保持ノードFNを介して、容量素子Cの第1端子と、トランジスタRTrのゲートと、に電氣的に接続されている。トランジスタWTrの第2端子は、配線BLと電氣的に接続され、トランジスタWTrのゲートは、配線WLと電氣的に接続されている。トランジスタRTrの第1端子は、配線BLと電氣的に接続され、トランジスタRTrの第2端子は、配線SLと電氣的に接続されている。容量素子の第2端子は、配線WLCと電氣的に接続されている。

40

【0031】

制御回路CTLCは、配線WLCと電氣的に接続されている。

【0032】

配線BLは、ビット線として機能し、メモリセルMCにデータを書き込むときに、配線BLからトランジスタWTrの第2端子に電位が入力される。また、メモリセルMCからデータを読み出すときに、トランジスタRTrの第1端子から配線BLに電位が出力される。配線SLは、ソース線として機能し、メモリセルMCからデータを読み出すときに、配線SLからトランジスタRTrの第2端子に電位が入力される。配線WLは、ワード線として機能し、メモリセルMCにデータを書き込むときに、配線WLからトランジスタWTrのゲートに電位が入力される。配線WLCは、容量素子Cの第2端子に適切な電位を

50

与える配線として機能する。

【0033】

ここで、制御回路CTL Cの役割について、図3を用いて説明する。

【0034】

制御回路CTL Cは、配線WLCを介して、容量素子Cの第2端子に電圧を印加する機能を有する。ここで、保持ノードFNがフローティング状態であるとき、容量素子Cの容量結合によって、容量素子Cの第2端子の電位の変動に伴って、保持ノードFNの電位が変動する。保持ノードFNの電位の変動量は、メモリセルMCの容量結合係数によって定まる。容量結合係数は、容量素子Cの第2端子の電位の変動量、容量素子Cの構成、トランジスタWTrのゲート容量、トランジスタRTrのゲート容量、又は保持ノードFNの周辺の配線、素子などによって決まる係数である。本明細書の記載では、容量素子Cの構成、トランジスタWTrのゲート容量、トランジスタRTrのゲート容量、又は保持ノードFNの周辺の配線、素子の影響を無視し、保持ノードFNの電位の変動量は、容量素子Cの第2端子の電位の変動量と、ほぼ等しいものとする。つまり、本明細書では、容量結合係数を1として、説明していく。

10

【0035】

図3は、保持ノードFNの電位と、制御回路CTL Cが容量素子Cの第2端子に印加した電圧 V_{WLC} と、の関係を示した図である。

【0036】

なお、ここでの制御回路の役割の説明において、半導体装置100は、4ビットのデータを保持できるものとする。つまり、保持ノードFNには、“0000”乃至“1111”（2進数表記）に該当する16値の電位のいずれかを保持することができるものとする。

20

【0037】

Initial Stateは、保持ノードに電位が保持された初期状態を示しており、メモリセルMCに、“0000”乃至“1111”のいずれか一に該当する電位が保持されている。また、制御回路CTL Cが容量素子Cの第2端子には、0Vの電位を印加しており、図3では $V_{WLC} = 0$ と記載している。

【0038】

ここで、制御回路CTL Cが容量素子Cの第2端子に電圧 $V_{WLC} = V_+$ を印加する（ V_+ は正の電圧値とする。）。このとき、保持ノードFNの電位は、容量素子Cの容量結合によって、 V_+ 昇圧する。図3では、この状態をState 1と記載している。

30

【0039】

また、Initial Stateにおいて、制御回路CTL Cが容量素子Cの第2端子に電圧 $V_{WLC} = V_-$ を印加した場合（ V_- は負の電圧値とする。）、保持ノードFNの電位は、容量素子Cの容量結合によって、 V_- 降圧する。図3では、この状態をState 2と記載している。

【0040】

つまり、制御回路CTL Cから容量素子Cの第2端子に任意の電圧を印加することによって、保持ノードFNに保持された電位を任意の電圧分、昇降することができる。これにより、保持ノードFNに保持されたデータ（値）の加算、又は減算を行うことができる。

40

【0041】

次に、保持ノードに保持されたデータの読み出しについて説明する。

【0042】

トランジスタRTrの第1端子又は第2端子の一方に電位が入力されたとき、トランジスタRTrのゲートに入力される保持ノードFNの電位によって、トランジスタRTrの第1端子又は第2端子の他方から出力される電位が決まる。また、保持ノードFNの電位だけでなく、トランジスタRTrのチャネル幅、チャネル長、構造、しきい値電圧などによっても、トランジスタRTrの第1端子又は第2端子の他方から出力される電位が決ま

50

る。つまり、トランジスタRTrのチャンネル幅、チャンネル長、構造などを適した構成にすることによって、又はしきい値電圧などを適した値にすることによって、トランジスタRTrの第1端子又は第2端子の他方から出力される電位の絶対値を、保持ノードFNの電位の絶対値とほぼ同等の大きさとして、出力することができる。

【0043】

ただし、トランジスタRTrがpチャンネル型トランジスタのとき、トランジスタRTrのソース-ドレイン間に定電流を流した際、ゲート電圧が低いほど、ソース-ドレイン電圧が大きくなる。この場合、基準電位を0Vとして、保持ノードFNに保持される電位の反数を取り、その反数がトランジスタRTrの第1端子又は第2端子の他方から出力される電位とほぼ同等の値となるように、トランジスタRTrのサイズ、又は構造などを設計すればよい。

【0044】

このように、トランジスタRTrのチャンネル幅、チャンネル長、構造などを適した構成して、又はしきい値電圧などを適した値にして、トランジスタRTrの第1端子又は第2端子の他方から出力された電位を調整し、そのままADコンバータに入力することによって、レベルシフトなどの電位の変換回路を介さずに、保持ノードFNに保持されたデータを読み出すことができる。

【0045】

これにより、電位の読み出しに必要な回路を減らすことができるため、記憶装置の回路規模を低減することができる。したがって、微細な記憶装置を実現することができる。

【0046】

トランジスタWTrは、チャンネル形成領域に酸化物半導体を有するトランジスタ(OSトランジスタ)を適用するのが、好ましい。OSトランジスタは、オフ電流が極めて低いという性質を有するので、OSトランジスタを半導体装置に適用することで、保持ノードFNの電位を長時間保持することができる。そのため、保持ノードFNの電位をリフレッシュする必要がなくなり、半導体装置100の消費電力を低下させることができる。

【0047】

また、半導体装置100のメモリセルMCの有する保持ノードFNは、3つ以上の異なる電荷量の状態のいずれか一を保持することができる。つまり、メモリセルMCは、3つ以上の異なる状態(多値という場合がある。)のいずれか一を記憶することができるMLC(Multi Level Cell)である。例えば、メモリセルMCの保持ノードが、4つの異なる電荷量の状態のいずれか一を保持できるとき、そのメモリセルMCは4値(2ビット)の記憶が可能であるといい、4値は2進数表記で"00"、"01"、"10"、及び"11"の4つの情報を扱うことができる。

【0048】

なお、本発明の一態様は、図1に記載の半導体装置100の構成に限定されない。例えば、図2(A)(B)に示すそれぞれの半導体装置のどちらか一方の構成としてもよい。図2(A)に示す半導体装置101に有するトランジスタWTrは、バックゲートを有しており、トランジスタWTrのバックゲートは、配線BGと電氣的に接続されている。この構成によって、配線BGに電位を入力することにより、トランジスタWTrのしきい値電圧の制御を行うことができる。

【0049】

図2(B)に示す半導体装置102に有するトランジスタWTrは、バックゲートを有しており、トランジスタWTrのバックゲートは、トランジスタWTrのゲートと電氣的に接続されている。この構成によって、トランジスタWTrに流れるオン電流を増加することができる。

【0050】

<動作例>

次に、本発明の一態様である半導体装置100の動作について説明する。図4、及び図5は、半導体装置100の動作例を示したタイミングチャートである。

10

20

30

40

50

【 0 0 5 1 】

< < 書き込み動作 > >

初めに、半導体装置 1 0 0 の書き込み動作の一例について説明する。メモリセル M C にデータを書き込む際、配線 W L に高レベル電位を印加して、トランジスタ W T r をオン状態とする。その後、配線 B L に書き込みビット信号を入力して、トランジスタ W T r を介して、保持ノード F N に該書き込みビット信号を書き込む。最後に、配線 W L に低レベル電位を印加して、トランジスタ W T r をオフ状態にすることで、メモリセル M C へのデータの書き込みを完了することができる。なお、配線 W L C の電位は、常に基準電位であることが好ましい。

【 0 0 5 2 】

図 4 は、半導体装置 1 0 0 にデータを書き込む動作の例を示したタイミングチャートである。図 4 では、時刻 T 0 乃至時刻 T 4 において、保持ノード F N にデータを書き込むときの、配線 W L、配線 W L C、配線 S L、配線 B L、及び保持ノード F N の電位の変化を示している。

【 0 0 5 3 】

また、本動作例で説明する半導体装置 1 0 0 が有するメモリセル M C は、4 値の記憶が可能であるとする。つまり、メモリセル M C は、“0 0”、“0 1”、“1 0”、及び“1 1”の 4 つの情報を取扱うことができる。また、“0 0”乃至“1 1”の情報を表す電位を、それぞれ V_{00} 、 V_{01} 、 V_{10} 、 V_{11} とする。なお、それぞれの電位の高低は、 V_{00} 、 V_{01} 、 V_{10} 、 V_{11} の順に高くなるものとし、電位 V_{00} と電位 V_{01} の電位差を V とし、電位 V_{01} と電位 V_{10} の電位差を V とし、電位 V_{10} と電位 V_{11} の電位差を V とする。本動作例では、一例として保持ノード F N に、後述する電位 V_{01} を書き込む動作を示す。

【 0 0 5 4 】

なお、半導体装置 1 0 0 が有するトランジスタ R T r は p チャンネル型トランジスタなので、線形領域内において、トランジスタ R T r のソース - ドレイン間に定電流を流した際、ゲート電圧が低いほど、ソース - ドレイン電圧が大きくなる。この場合、 V_{00} を基準電位として 0 V とし、かつ保持ノード F N に保持する電位を V_{00} 、 $-V_{01}$ 、 $-V_{10}$ 、 $-V_{11}$ とし、トランジスタ R T r の第 1 端子又は第 2 端子の他方からそれぞれ電位 V_{00} 、 V_{01} 、 V_{10} 、 V_{11} を出力するようにすればよい。

【 0 0 5 5 】

配線 W L には、高レベル電位（図 4 では H i g h と記載している。）又は低レベル電位（図 4 では L o w と記載している。）のいずれかが入力される。なお、ここでの高レベル電位とは、トランジスタ W T r をオン状態にするのに十分に高い電位であるとし、ここでの低レベル電位とは、トランジスタ W T r をオフ状態にするのに十分に低い電位であるとする。

【 0 0 5 6 】

配線 S L には、高レベル電位（図 4 では H i g h と記載している。）又は低レベル電位（図 4 では L o w と記載している。）のいずれかが入力される。なお、ここでの高レベル電位とは、電位 V_{11} よりも十分に高い電位であることが好ましい。

【 0 0 5 7 】

配線 W L C には、電位 V_{11} 、 V_{10} 、 V_{01} 、 V_{00} 、 $-V_{01}$ 、 $-V_{10}$ 、 $-V_{11}$ のいずれかが入力される。つまり、それぞれの電位の高低については、 V_{11} 、 V_{10} 、 V_{01} 、 V_{00} 、 $-V_{01}$ 、 $-V_{10}$ 、 $-V_{11}$ の順に低くなっている。

【 0 0 5 8 】

配線 B L には、書き込み動作を行うとき、電位 V_{00} 、 $-V_{01}$ 、 $-V_{10}$ 、 $-V_{11}$ のいずれかが入力される。また読み出し動作を行うときは、配線 B L は、 V_{11} 、 V_{10} 、 V_{01} の電位をとる場合がある。

【 0 0 5 9 】

時刻 T 0 から時刻 T 1 までの間において、配線 W L に低レベル電位が入力され、配線 S

10

20

30

40

50

Lに低レベル電位が入力され、配線BLに電位 V_{00} が入力される。加えて配線WLCは、電位 V_{00} が入力されている。また、保持ノードFNには、初期状態として、電位 V_0 が保持されている。

【0060】

時刻T1において、配線BLに、電位 $-V_{01}$ がプリチャージされる。これにより、トランジスタWTrの第2端子に電位 $-V_{01}$ が印加される。

【0061】

時刻T2において、配線WLに高レベル電位が入力される。これにより、トランジスタWTrのゲートに高レベル電位が印加され、トランジスタWTrがオン状態となる。

【0062】

このため、配線BLと保持ノードFNとの間で電氣的に導通が可能となるので、時刻T2から時刻T3までの間において、配線BLから保持ノードFNに電荷が流入される。この結果、保持ノードFNに電位 $-V_{01}$ が保持される。

【0063】

時刻T3において、配線WLに低レベル電位が入力される。これにより、トランジスタWTrのゲートに低レベル電位が印加され、トランジスタWTrがオフ状態となる。

【0064】

このため、配線BLと保持ノードFNとの間で電氣的に非導通となるので、配線BLと保持ノードFNとの間で電荷の流入、流出は起こらない。

【0065】

時刻T3から時刻T4までの間において、トランジスタWTrがオフ状態となったあとに、配線BLには、電位 V_{00} が入力される。

【0066】

上述の時刻T0乃至時刻T4の動作を行うことで、メモリセルMCの保持ノードFNにデータを書き込むことができる。

【0067】

<<読み出し動作、加算処理、減算処理>>

次に、半導体装置100において、加算処理又は減算処理をしてデータを読み出す動作の一例について説明する。メモリセルMCの保持データに加算処理又は減算処理を行うとき、制御回路CTLCから、配線WLCに、保持データに加算する値、又は保持データから減算する値に応じた電位を印加する。これにより、メモリセルMCに元々保持されたデータの電位は、加算処理されたデータの電位、又は減算処理されたデータの電位に変動する。その後、配線SLに高レベル電位を印加して、トランジスタRTrの第2端子に高レベル電位を入力する。これによって、トランジスタRTrの第1端子から、加算処理されたデータの電位、又は減算処理されたデータの電位を出力し、配線BLを介して、読み出すことができる。

【0068】

図5(A)は、半導体装置100のメモリセルMCからデータを読み出して、読み出したデータに対して加算処理を行う動作を示したタイミングチャートであり、図5(B)は、減算処理を行う動作を示したタイミングチャートである。図5(A)、又は図5(B)では、時刻T5乃至時刻T9において、保持ノードFNにデータを書き込むときの、配線WL、配線WLC、配線SL、配線BL、及び保持ノードFNの電位の変化を示している。

【0069】

図5(A)では、一例として、時刻T5において保持ノードFNには電位 $-V_{01}$ が保持されているものとする。そして、図5(A)では、保持ノードFNに保持された電位 $-V_{01}$ に対して加算処理を行って、その後に読み出しを行う動作を示す。また、図5(B)では、一例として、時刻T5において保持ノードFNには電位 $-V_{11}$ が保持されているものとする。そして、図5(B)では、保持ノードFNに保持された電位 $-V_{11}$ に対して減算処理を行って、その後に読み出しを行う動作を示す。

10

20

30

40

50

【 0 0 7 0 】

始めに、読み出し時に加算処理を行う動作（図 5（A）のタイミングチャート）について説明する。

【 0 0 7 1 】

時刻 T 5 において、配線 W L に低レベル電位が入力され、配線 W L C に電位 V_{00} が入力され、配線 S L に低レベル電位が入力され、配線 B L に電位 V_{00} が入力される。また、前述のとおり、保持ノード F N は、時刻 T 5 以前から電位 $-V_{01}$ を保持している。

【 0 0 7 2 】

時刻 T 6 において、配線 W L C に電位 $-V_{10}$ が入力される。これにより、容量素子 C の第 2 端子に電位 $-V_{10}$ が印加される。ところで、配線 W L には低レベル電位が入力されているので、トランジスタ W T r はオフ状態である。つまり、保持ノード F N は、フローティング状態となっているので、容量素子 C の第 2 端子の電位が変動することによって、保持ノード F N の電位も合わせて変動する（ブースティング効果）。メモリセル M C における容量結合係数が 1 である場合、保持ノード F N の電位の変動量は、容量素子 C の第 2 端子の電位の変動量と、同じとなる。

【 0 0 7 3 】

時刻 T 5 での容量素子 C の第 2 端子の電位は V_{00} であり、時刻 T 7 での容量素子 C の第 2 端子の電位は $-V_{10}$ である。したがって、時刻 T 5 から時刻 T 7 までの間で容量素子 C の第 2 端子の電位の変動量は、 $-2V$ となる。

【 0 0 7 4 】

そのため、フローティング状態である保持ノード F N の電位は、元から保持されていた電位 $-V_{01}$ に容量素子 C の第 2 端子の電位の変動量として $2V$ 減少する。その結果、保持ノード F N の電位は、電位 $-V_{11}$ まで降圧される。

【 0 0 7 5 】

時刻 T 7 において、配線 S L に高レベル電位が入力される。このとき、保持ノード F N の電位がトランジスタ R T r のゲートに与えられているので、保持ノード F N の電位と、トランジスタ R T r の第 1 端子 - 第 2 端子間の電流と、に応じて、電圧が定まる。そのため、配線 S L から配線 B L に電流が流れるとき、トランジスタ R T r において、保持ノード F N に応じた電位が配線 B L に出力される。ここでは、保持ノード F N の電位の反数とほぼ同等の電位が、配線 B L に出力されるものとする。そのため、配線 B L に、保持ノード F N の電位 $-V_{11}$ の反数、すなわち電位 V_{11} とほぼ同等の電位がトランジスタ R T r の第 1 端子から供給される。

【 0 0 7 6 】

このとき、配線 B L に接続されている読み出し回路に、配線 B L の電位が入力されることによって、メモリセル M C の保持ノード F N に保持されている電位、すなわちデータに加算処理を行った結果を読み出すことができる。

【 0 0 7 7 】

時刻 T 8 において、配線 W L C に電位 V_{00} が入力され、配線 S L に低レベル電位が入力される。これにより、配線 S L から配線 B L への電荷の供給がなくなるため、配線 B L の電位が V_{00} に降圧される。

【 0 0 7 8 】

上述の時刻 T 5 乃至 T 9 の動作を行うことで、メモリセル M C の保持ノード F N のデータに加算処理を施して、加算処理されたデータを読み出すことができる。

【 0 0 7 9 】

次に、読み出し時に減算処理を行う動作（図 5（B）のタイミングチャート）について説明する。

【 0 0 8 0 】

時刻 T 5 において、配線 W L に低レベル電位が入力され、配線 W L C に電位 V_{00} が入力され、配線 S L に低レベル電位が入力され、配線 B L に電位 V_{00} が入力される。また、前述のとおり、保持ノード F N には、時刻 T 5 以前から電位 $-V_{11}$ が保持されている

10

20

30

40

50

ものとする。

【0081】

時刻 T6 において、配線 WLC に電位 V_{10} が入力される。これにより、容量素子 C の第 2 端子に電位 V_{10} が印加される。ところで、配線 WL には低レベル電位が入力されているので、トランジスタ WTr はオフ状態である。つまり、保持ノード FN は、フローティング状態となっているので、容量素子 C の第 2 端子に電位が変動することによって、保持ノード FN の電位も合わせて変動する。メモリセル MC における容量結合係数が 1 である場合、保持ノード FN の電位の変動量は、容量素子 C の第 2 端子の電位の変動量と、同じとなる。

【0082】

時刻 T5 での容量素子 C の第 2 端子の電位は V_{00} であり、時刻 T7 での容量素子 C の第 2 端子の電位は V_{10} である。したがって、時刻 T5 から時刻 T7 までの間で容量素子 C の第 2 端子の電位の変動量は、 $2V$ となる。

【0083】

そのため、フローティング状態である保持ノード FN の電位は、元から保持されていた電位 - V_{11} に容量素子 C の第 2 端子の電位の変動量として $2V$ 加わる。その結果、保持ノード FN の電位は、電位 - V_{01} まで降圧される。

【0084】

時刻 T7 において、配線 SL に高レベル電位が入力される。このとき、保持ノード FN の電位がトランジスタ RTr のゲートに与えられているので、保持ノード FN の電位と、トランジスタ RTr の第 1 端子 - 第 2 端子間の電流と、に応じて、電圧が定まる。そのため、配線 SL から配線 BL に電流が流れるとき、トランジスタ RTr において、保持ノード FN に応じた電位が、配線 BL に出力される。ここでは、保持ノード FN の電位とほぼ同等の電位が、配線 BL に出力されるものとする。そのため、配線 BL に、保持ノード FN の電位 - V_{01} の反数、すなわち電位 V_{01} とほぼ同等の電位がトランジスタ RTr の第 1 端子から供給される。

【0085】

このとき、配線 BL に接続されている読み出し回路に、配線 BL の電位が入力されることによって、メモリセル MC の保持ノード FN に保持されている電位、すなわちデータに減算処理を行った結果を読み出すことができる。

【0086】

時刻 T8 において、配線 WLC に電位 V_{00} が入力され、配線 SL に低レベル電位が入力される。これにより、配線 SL から配線 BL への電荷の供給がなくなるため、配線 BL の電位が V_{00} に降圧される。

【0087】

上述の時刻 T5 乃至 T9 の動作を行うことで、メモリセル MC の保持ノード FN のデータに減算処理を施して、減算処理されたデータを読み出すことができる。

【0088】

このように、半導体装置 100 を用いて、かつ上述の動作を行うことによって、加算処理回路、又は減算処理回路などを使用せずに、保持ノードに保持された多値のデータに対して加算処理、又は減算処理を施すことができる。加えて、その演算結果を外部に出力することができる。

【0089】

上述の半導体装置 100 は加算処理回路、又は減算処理回路を必要としないため、半導体装置 100 を有する記憶装置の回路規模を低減することができる。つまり、記憶装置の微細化を実現することができる。

【0090】

また、上述の動作は加算処理回路、又は減算処理回路を必要としないため、読み出したデータをデジタル値に変換する必要もなくなる。そのため、データの加算処理、又は減算処理に要する時間を短縮することができる。

10

20

30

40

50

【0091】

また、上述したような減算処理を用いることによって、半導体装置100に保持された多値のデータの値（以下、A値と呼ぶ。）と任意の値（以下、B値と呼ぶ。）との比較を行うことができる（以下、比較処理と呼ぶ。）。具体的には、メモリセルMCに保持されたA値と比較するB値に応じた電位の反数を取り、制御回路CTLCから、配線WLCに、その電位の反数に応じた電位を印加する。つまり、半導体装置100では、メモリセルMCに保持されたA値からB値を引く減算処理が行われる。その後、トランジスタRTrの第1端子から、配線BLを介して、減算処理の結果に応じた電位の出力を行う。そして、出力された減算処理の結果に応じた電位を読み出し、そのデータが正の値か、負の値か、又は0か、を判別することによって、メモリセルMCに保持されたA値とB値との比較を行うことができる。このように、減算処理を応用することにより、メモリセルMCに保持された多値のデータの値と、任意の値との比較処理を行うことができる。

10

【0092】

なお、本実施の形態において、半導体装置100のメモリセルMCにおける容量結合係数を1としているが、容量素子Cの構成、又は保持ノードFNの周辺の配線、素子の影響などによって、実際には容量結合係数は1未満となる場合がある。そのような場合、半導体装置100の作製時において影響をなるべく少なくするような構成にする、又は、容量結合係数に応じて、制御回路CTLCから容量素子Cの第2端子に印加する電位を調整する、などの対応を行えばよい。

20

【0093】

また、本実施の形態では、多値のデータを保持できるメモリセルだけでなく、アナログ値のデータを保持できるメモリセルを適用した場合でも実現することができる。つまり、アナログ値のデータも、上述した処理と同様に、加算処理、減算処理、又は比較処理を行うことができる。

【0094】

なお、本実施の形態において、本発明の一態様として述べた一例は、他の複数の例と適宜組み合わせることができる。

【0095】

なお、本実施の形態において、本発明の一態様について述べた。又は、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態及び他の実施の形態では、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャンネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、又は、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、又は、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、又は、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、又は、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、又は、有機半導体などの少なくとも一つを有していてもよい。又は例えば、場合によっては、又は、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、又は、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。

30

40

【0096】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0097】

（実施の形態2）

本実施の形態では、実施の形態1で述べた半導体装置100とは別の構成例の半導体装

50

置について説明する。

【0098】

<構成例1>

図6(A)に、本発明の一態様の半導体装置を示す。半導体装置110は、メモリセルMCと、制御回路CTLCと、を有する。メモリセルMCは、トランジスタWTrと、トランジスタRTrと、容量素子Cと、を有する。なお、トランジスタWTrはnチャネル型トランジスタであり、トランジスタRTrはpチャネル型トランジスタである。

【0099】

メモリセルMCは、配線WBLと、配線RBLと、配線SLと、配線WLと、配線WLCと、に電氣的に接続されている。

10

【0100】

トランジスタWTrの第1端子は、保持ノードFNを介して、容量素子Cの第1端子と、トランジスタRTrのゲートと電氣的に接続されている。トランジスタWTrの第2端子は、配線WBLと電氣的に接続され、トランジスタWTrのゲートは、配線WLと電氣的に接続されている。トランジスタRTrの第1端子は、配線RBLと電氣的に接続され、トランジスタRTrの第2端子は、配線SLと電氣的に接続されている。容量素子の第2端子は、配線WLCと電氣的に接続されている。

【0101】

制御回路CTLCは、配線WLCと電氣的に接続されている。

【0102】

配線WBLは、書き込みビット線として機能し、メモリセルMCにデータを書き込むときに、配線WBLからトランジスタWTrの第2端子に電位が入力される。配線RBLは、読み出しビット線として機能し、メモリセルMCからデータを読み出すときに、トランジスタRTrの第1端子から配線RBLに電位が出力される。配線SLは、ソース線として機能し、メモリセルMCからデータを読み出すときに、配線SLからトランジスタRTrの第2端子に電位が入力される。配線WLは、ワード線として機能し、メモリセルMCにデータを書き込むときに、配線WLからトランジスタWTrのゲートに電位が入力される。配線WLCは、容量素子Cの第2端子に適切な電位を与える配線として機能する。

20

【0103】

半導体装置110は、上述のとおり半導体装置100とほぼ同様の接続構成を有しているが、半導体装置100では、書き込みビット信号、又は読み出しビット信号の供給(伝達)を行うのに配線BLを共用しているのに対し、半導体装置110では、書き込みビット信号を配線WBLで伝達し、又は読み出しビット信号を配線RBLで伝達する構成となっている。

30

【0104】

このため、半導体装置110の書き込み動作、及び読み出し動作は、半導体装置100の動作と同様に行うことができる。

【0105】

なお、本発明の一態様は、図6に記載の半導体装置110の構成に限定されない。例えば、図7(A)、(B)に示すそれぞれの半導体装置のどちらか一方の構成としてもよい。図7(A)に示す半導体装置111に有するトランジスタWTrは、バックゲートを有しており、トランジスタWTrのバックゲートは、配線BGと電氣的に接続されている。この構成によって、配線BGに電位を入力することにより、トランジスタWTrのしきい値電圧の制御を行うことができる。

40

【0106】

図7(B)に示す半導体装置112に有するトランジスタWTrは、バックゲートを有しており、トランジスタWTrのバックゲートは、トランジスタWTrのゲートと電氣的に接続されている。この構成によって、トランジスタWTrに流れるオン電流を増加することができる。

【0107】

50

< 構成例 2 >

図 6 (B) に、本発明の一態様の半導体装置を示す。半導体装置 1 2 0 は、メモリセル M C と、制御回路 C T L C と、を有する。メモリセル M C は、トランジスタ W T r と、トランジスタ R T r と、容量素子 C と、を有する。なお、トランジスタ W T r 及びトランジスタ R T r は n チャネル型トランジスタである。

【 0 1 0 8 】

半導体装置 1 2 0 の接続構成については、半導体装置 1 0 0 の記載を参酌する。

【 0 1 0 9 】

トランジスタ W T r と、トランジスタ R T r と、は、n チャネル型トランジスタであるため、トランジスタ W T r とトランジスタ R T r と、の構成する材料、又は工程を同一にすることができる。例えば、トランジスタ W T r と、トランジスタ R T r と、は、それぞれのチャンネル形成領域に酸化物半導体を有するトランジスタとしてもよい。このように、トランジスタ W T r と、トランジスタ R T r と、の構成する材料、又は工程を同一にすることによって、半導体装置 1 2 0 の製造工程を短縮することができる。

10

【 0 1 1 0 】

チャンネル形成領域に酸化物半導体を有するトランジスタを適用することによって、該トランジスタのオフ電流を極めて低くすることができる。これにより、保持ノード F N の電位を長時間保持することができるため、保持ノード F N の電位をリフレッシュする必要がなくなり、半導体装置 1 2 0 の消費電力を低下させることができる。

【 0 1 1 1 】

なお、半導体装置 1 2 0 の有するトランジスタ R T r は n チャネル型のトランジスタであるため、トランジスタ R T r のソース - ドレイン間に定電流を流した際、ゲート電圧が高いほど、ソース - ドレイン電圧が大きくなる。このため、保持ノード F N に書き込む電位及びトランジスタ R T r の第 1 端子から出力される電位は、半導体装置 1 0 0 の場合と異なる。この場合、トランジスタ R T r にバックゲートを設けて、トランジスタ R T r のしきい値電圧を制御する、又は配線 B L に補正回路などを設けて、トランジスタ R T r の第 1 端子から出力された電位を適正な値に補正する、などの対応を行うのがよい。

20

【 0 1 1 2 】

なお、本発明の一態様は、図 6 に記載の半導体装置 1 2 0 の構成に限定されない。例えば、図 8 (A)、(B) に示すそれぞれの半導体装置のどちらか一方の構成としてもよい。図 8 (A) に示す半導体装置 1 2 1 に有するトランジスタ W T r は、バックゲートを有しており、トランジスタ W T r のバックゲートは、配線 B G と電氣的に接続されている。この構成によって、配線 B G に電位を入力することにより、トランジスタ W T r のしきい値電圧の制御を行うことができる。

30

【 0 1 1 3 】

図 8 (B) に示す半導体装置 1 2 2 に有するトランジスタ W T r は、バックゲートを有しており、トランジスタ W T r のバックゲートは、トランジスタ W T r のゲートと電氣的に接続されている。この構成によって、トランジスタ W T r に流れるオン電流を増加することができる。

40

【 0 1 1 4 】

< 構成例 3 >

図 9 (A) に、本発明の一態様の半導体装置を示す。半導体装置 1 3 0 は、トランジスタ S T r と、制御回路 C T L C [1] 乃至制御回路 C T L C [m] と、メモリセル M C [1] 乃至メモリセル M C [m] と、を有する (m は 1 以上の整数) 。

【 0 1 1 5 】

メモリセル M C [i] は、トランジスタ W T r [i] と、トランジスタ R T r [i] と、容量素子 C [i] と、を有する (i は 1 以上 m 以下の整数) 。なお、トランジスタ W T r [i] は、n チャネル型トランジスタであり、トランジスタ R T r [i] は、p チャネル型トランジスタである。

【 0 1 1 6 】

50

メモリセル $MC[i]$ は、配線 WBL と、配線 $WL[i]$ と、配線 $WLC[i]$ と、に電氣的に接続されている。

【0117】

トランジスタ $WTr[i]$ の第1端子は、保持ノード $FN[i]$ を介して、容量素子 $C[i]$ の第1端子と、トランジスタ $RTr[i]$ のゲートと電氣的に接続されている。トランジスタ $WTr[i]$ の第2端子は、配線 WBL と電氣的に接続され、トランジスタ $WTr[i]$ のゲートは、配線 $WL[i]$ と電氣的に接続されている。容量素子 $C[i]$ の第2端子は、配線 $WLC[i]$ と電氣的に接続され、配線 $WLC[i]$ は、制御回路 $CTL C[i]$ と電氣的に接続されている。

【0118】

トランジスタ STr の第1端子は、配線 RBL と電氣的に接続され、トランジスタ STr の第2端子は、トランジスタ $RTr[1]$ の第1端子と電氣的に接続され、トランジスタ STr のゲートは、配線 SG と電氣的に接続されている。トランジスタ $RTr[m]$ の第1端子は、配線 SL と電氣的に接続されている。トランジスタ $RTr[1]$ 乃至トランジスタ $RTr[m]$ は、直列に接続されている。

【0119】

つまり、半導体装置 130 は、実施の形態 1 の半導体装置 100 に示したメモリセル MC を複数用いて、 $NAND$ 型の接続構成としたストリングである。

【0120】

次に、半導体装置 130 の書き込み動作、及び加算、減算処理後の読み出し動作について説明する。

【0121】

半導体装置 130 の書き込み動作は、配線 $WL[i]$ に電位を印加することによってメモリセル $MC[i]$ が選択され、配線 WBL からメモリセル $MC[i]$ に書き込みビット信号が供給されることで行われる。すなわち、半導体装置 130 の書き込み動作は、実施の形態 1 で説明した、半導体装置 100 の書き込み動作と同様に行うことができる。

【0122】

半導体装置 130 の加算、又は減算処理後の読み出し動作は、読み出したいメモリセル $MC[i]$ のあるストリングのトランジスタ STr をオン状態にするため、配線 SG に高レベル電位を出力することで行われる。

【0123】

次に、読み出したいメモリセル $MC[i]$ に対して、実施の形態 1 で説明した加算処理、又は減算処理を行う。具体的には、制御回路 $CTL C[i]$ から、配線 $WLC[i]$ を介して、容量素子 $C[i]$ の第2端子に電位を印加し、容量結合によって保持ノード $FN[i]$ の電位を昇降させる。

【0124】

ところで、非選択のメモリセル $MC[j]$ については、制御回路 $CTL C[j]$ から、配線 $WLC[j]$ を介して、容量素子 $C[j]$ の第2端子に $-V_{11}$ よりも十分に低い電位を印加して、トランジスタ $RTr[j]$ をオン状態にする (j は、1 以上 m 以下の i ではない整数)。これにより、非選択のメモリセル $MC[j]$ のトランジスタ $RTr[j]$ のソース - ドレイン間に電流を流したとき、トランジスタ $RTr[j]$ のソース - ドレイン間で電位差はほぼ生じなくなる。つまり、配線 RBL と配線 SL との間に電流を流したとき、トランジスタ $RTr[1]$ 乃至トランジスタ $RTr[m]$ のうち、ソース - ドレイン間で電位差が生じるのはトランジスタ $RTr[i]$ のみとなるので、トランジスタ $RTr[i]$ のドレインから配線 RBL に保持ノード $FN[i]$ とほぼ同等の電位が出力される。この出力された電位を読み出し回路などで読み出すことで、加算処理、又は減算処理されたメモリセル $MC[i]$ のデータを読み出すことができる。

【0125】

なお、図 9 (A) の半導体装置 130 は、配線 WBL 、配線 RBL 、配線 SG 、配線 SL 、配線 $WL[1]$ 、配線 $WL[m]$ 、配線 $WLC[1]$ 、配線 $WLC[m]$ 、制御回路

10

20

30

40

50

CTL C [1]、制御回路 CTL C [m]、メモリセル MC [1]、メモリセル MC [m]、トランジスタ ST r、トランジスタ WT r [1]、トランジスタ WT r [m]、トランジスタ RT r [1]、トランジスタ RT r [m]、容量素子 C [1]、容量素子 C [m]、保持ノード FN [1]、保持ノード FN [m]のみ図示しており、それ以外の符号、配線、素子などを省略している。

【 0 1 2 6 】

< 構成例 4 >

図 9 (B) に、本発明の一態様の半導体装置を示す。半導体装置 1 4 0 は、トランジスタ ST r と、制御回路 CTL C [1] 乃至制御回路 CTL C [m] と、メモリセル MC [1] 乃至メモリセル MC [m] と、を有する (m は 1 以上の整数) 。

10

【 0 1 2 7 】

メモリセル MC [i] は、トランジスタ WT r [i] と、トランジスタ RT r [i] と、容量素子 C [i] と、を有する (i は 1 以上 m 以下の整数) 。

【 0 1 2 8 】

メモリセル MC [i] は、配線 WB L と、配線 WL [i] と、配線 WLC [i] と、配線 SL と、に電氣的に接続されている。

【 0 1 2 9 】

トランジスタ WT r [i] の第 1 端子は、保持ノード FN [i] を介して、容量素子 C [i] の第 1 端子と、トランジスタ RT r [i] のゲートと電氣的に接続されている。トランジスタ WT r [i] の第 2 端子は、配線 WB L と電氣的に接続され、トランジスタ WT r [i] のゲートは、配線 WL [i] と電氣的に接続されている。容量素子 C [i] の第 2 端子は、配線 WLC [i] と電氣的に接続され、配線 WLC [i] は、制御回路 CTL C [i] と電氣的に接続されている。

20

【 0 1 3 0 】

トランジスタ ST r の第 1 端子は、配線 RB L と電氣的に接続され、トランジスタ ST r の第 2 端子は、トランジスタ RT r [1] 乃至トランジスタ RT r [m] のそれぞれの第 1 端子と電氣的に接続され、トランジスタ ST r のゲートは、配線 SG と電氣的に接続されている。配線 SL は、トランジスタ RT r [1] 乃至トランジスタ RT r [m] のそれぞれの第 2 端子と、電氣的に接続されている。

【 0 1 3 1 】

半導体装置 1 4 0 は、実施の形態 1 の半導体装置 1 0 0 に示したメモリセル MC を複数用いて、NOR 型の接続構成としたストリングである。

30

【 0 1 3 2 】

次に、半導体装置 1 4 0 の書き込み動作、及び読み出し動作について説明する。

【 0 1 3 3 】

半導体装置 1 4 0 の書き込み動作は、配線 WL [i] に電位を印加することによってメモリセル MC [i] が選択され、配線 WB L からメモリセル MC [i] に書き込みビット信号が供給されることで行われる。すなわち、実施の形態 1 で説明した、半導体装置 1 0 0 の書き込み動作と同様に行うことができる。

【 0 1 3 4 】

半導体装置 1 4 0 の読み出し動作は、読み出したいメモリセル MC [i] のあるストリングのトランジスタ ST r をオン状態にするため、配線 SG に高レベル電位を出力することで行われる。

40

【 0 1 3 5 】

次に、読み出したいメモリセル MC [i] に対して、実施の形態 1 で説明した加算処理、又は減算処理を行う。具体的には、制御回路 CTL C [i] から、配線 WLC [i] を介して、容量素子 C [i] の第 2 端子に電位を印加し、容量結合によって保持ノード FN [i] の電位を昇降させる。

【 0 1 3 6 】

ところで、非選択のメモリセル MC [j] については、制御回路 CTL C [j] から、

50

配線 $WLC[j]$ を介して、容量素子 $C[j]$ の第 2 端子に V_{11} よりも十分に高い電位を印加して、トランジスタ $RTr[j]$ をオフ状態とする (j は、1 以上 m 以下の i ではない整数)。これにより、非選択のメモリセル $MC[j]$ のトランジスタ $RTr[j]$ のソース・ドレイン間で電流は流れない。つまり、配線 RBL と配線 SL との間のトランジスタ $RTr[1]$ 乃至トランジスタ $RTr[m]$ のうち、オン状態となるのは、トランジスタ $RTr[i]$ のみとなるので、トランジスタ $RTr[i]$ のドレインから配線 RBL に保持ノード $FN[i]$ とほぼ同等の電位が入力される。

【0137】

なお、図 9 (B) の半導体装置 140 は、配線 WBL 、配線 RBL 、配線 SG 、配線 SL 、配線 $WL[1]$ 、配線 $WL[m]$ 、配線 $WLC[1]$ 、配線 $WLC[m]$ 、制御回路 $CTLC[1]$ 、制御回路 $CTLC[m]$ 、メモリセル $MC[1]$ 、メモリセル $MC[m]$ 、トランジスタ STr 、トランジスタ $WTr[1]$ 、トランジスタ $WTr[m]$ 、トランジスタ $RTr[1]$ 、トランジスタ $RTr[m]$ 、容量素子 $C[1]$ 、容量素子 $C[m]$ 、保持ノード $FN[1]$ 、保持ノード $FN[m]$ のみ図示しており、それ以外の符号、配線、素子などを省略している。

10

【0138】

なお、本発明の一態様は、図 9 (B) の半導体装置 140 の構成に限定せず、状況に応じて、又は場合によって、その構成を適宜変更してもよい。例えば、半導体装置 140 を構成する配線の数を増減してもよい。その場合の構成を、図 9 (C) に示す。半導体装置 141 は、半導体装置 140 の配線 WBL と配線 RBL をまとめて 1 本の配線 BL とした構成となっている。半導体装置 141 の書き込み動作、又は読み出し動作は、配線 BL を共有して、書き込みビット信号、又は読み出しビット信号の伝達を行う。

20

【0139】

< 構成例 5 >

図 10 に、本発明の一態様の半導体装置を示す。

【0140】

半導体装置 135 は、構成例 3 に示した半導体装置 130 と同じ構成の半導体装置 130 [1] 乃至半導体装置 130 [n] を列状に配置した構成となっている (n は 1 以上の整数)。加えて、半導体装置 130 [1] 乃至半導体装置 130 [n] は、それぞれ m 個のメモリセル MC を有する。つまり、半導体装置 135 は、列方向に m 個、行方向に n 個、合計 $m \times n$ 個のメモリセルを有する。なお、半導体装置 135 において、 i 行目かつ j 列目に位置するメモリセルは、メモリセル $MC[i, j]$ と表記する (ここでの i は 1 以上 m 以下の整数であり、ここでの j は 1 以上 n 以下の整数である。)。なお、メモリセル $MC[1, 1]$ 乃至メモリセル $MC[m, n]$ のそれぞれの構成は、図 9 に示したメモリセル $MC[1]$ 乃至メモリセル $MC[m]$ の一と同じ構成となっている。

30

【0141】

半導体装置 135 は、制御回路 $CTLC[1]$ 乃至制御回路 $CTLC[m]$ を有する。制御回路 $CTLC[1]$ 乃至制御回路 $CTLC[m]$ は、それぞれ配線 $WLC[1]$ 乃至配線 $WLC[m]$ と電氣的に接続されている。配線 $WLC[i]$ は、メモリセル $MC[i, 1]$ 乃至メモリセル $MC[i, n]$ と電氣的に接続されている。

40

【0142】

半導体装置 135 は、配線 $WL[1, 1]$ 乃至配線 $WL[m, n]$ と電氣的に接続されている。なお、配線 $WL[1, 1]$ 乃至配線 $WL[m, n]$ は、1 行につき n 本、行方向に延線されている。配線 $WL[i, 1]$ 乃至配線 $WL[i, n]$ は、それぞれメモリセル $MC[i, 1]$ 乃至メモリセル $MC[i, n]$ と電氣的に接続されている。

【0143】

半導体装置 135 は、配線 $RBL[1]$ 乃至配線 $RBL[n]$ と電氣的に接続されている。また、半導体装置 135 は、配線 $WBL[1]$ 乃至配線 $WBL[n]$ と電氣的に接続されている。加えて、半導体装置 135 は、配線 $SL[1]$ 乃至配線 $SL[n]$ と電氣的に接続されている。更に、半導体装置 135 は、配線 $SG[1]$ 乃至配線 $SG[n]$ と電

50

氣的に接続されている。具体的には、配線 $RBL[j]$ は、トランジスタ $STr[j]$ の第1端子と電氣的に接続され、配線 $WBL[j]$ は、メモリセル $MC[1, j]$ 乃至メモリセル $MC[m, j]$ と電氣的に接続され、配線 $SL[j]$ は、メモリセル $MC[m, j]$ と電氣的に接続され、配線 $SG[j]$ は、トランジスタ $STr[j]$ のゲートと電氣的に接続されている。

【0144】

半導体装置135において、メモリセル $MC[i, j]$ にデータを書き込むとき、始めに配線 $WL[i, j]$ に所定の電位を印加して、メモリセル $MC[i, j]$ を選択する。その後、配線 $WBL[j]$ から書き込みビット信号を供給することで、メモリセル $MC[i, j]$ にデータを書き込むことができる。すなわち、半導体装置135の書き込み動作は、半導体装置100、又は半導体装置130の書き込み動作と同様に行うことができる。

10

【0145】

また、半導体装置135において、メモリセル $MC[i, j]$ のデータに加算処理又は減算処理して読み出すとき、始めに配線 $SG[j]$ に所定の電位を印加して、メモリセル $MC[i, j]$ を有する半導体装置130[j]を選択する。次に、読み出したいメモリセル $MC[i, j]$ に対して、実施の形態1で説明した加算処理、又は減算処理を行う。具体的には、制御回路 $CTLC[i]$ から、配線 $WLC[i]$ を介して、所定の電位を印加して、容量結合によってメモリセル $MC[i, j]$ の保持ノードの電位を昇降させる。一方、読み出しを行わないメモリセル $MC[k, j]$ については、制御回路 $CTLC[k]$ から、配線 $WLC[k]$ を介して、十分に低い電位を印加して、メモリセル $MC[k, j]$ の有するトランジスタ RTr をオン状態にする (k は、1以上 m 以下の i ではない整数)。この状態で配線 $RBL[j]$ と配線 $SL[j]$ との間に電流を流したとき、メモリセル $MC[k, j]$ の有するトランジスタ RTr のソース-ドレイン間で電位差は生じず、メモリセル $MC[i, j]$ の有するトランジスタ RTr のソース-ドレイン間のみに電位差が生じる。このため、メモリセル $MC[i, j]$ の有するトランジスタ RTr のドレインから配線 RBL にメモリセル $MC[i, j]$ の保持ノードとほぼ同様の電位が出力される。この出力された電位を読み出し回路などで読み出すことで、加算処理、又は減算処理されたメモリセル $MC[i, j]$ のデータを読み出すことができる。

20

【0146】

このような構成を適用することによって、記憶容量の大きい半導体装置を実現することができる。

30

【0147】

なお、図10の半導体装置135は、半導体装置130[1]、半導体装置130[j]、半導体装置130[n]、配線 $WBL[1]$ 、配線 $WBL[j]$ 、配線 $WBL[n]$ 、配線 $RBL[1]$ 、配線 $RBL[j]$ 、配線 $RBL[n]$ 、配線 $SL[1]$ 、配線 $SL[j]$ 、配線 $SL[n]$ 、配線 $SG[1]$ 、配線 $SG[j]$ 、配線 $SG[n]$ 、配線 $WLC[1]$ 、配線 $WLC[i]$ 、配線 $WLC[m]$ 、配線 $WL[1, 1]$ 、配線 $WL[1, j]$ 、配線 $WL[1, n]$ 、配線 $WL[i, 1]$ 、配線 $WL[i, j]$ 、配線 $WL[i, n]$ 、配線 $WL[m, 1]$ 、配線 $WL[m, j]$ 、配線 $WL[m, n]$ 、制御回路 $CTLC[1]$ 、制御回路 $CTLC[i]$ 、制御回路 $CTLC[m]$ 、メモリセル $MC[1, 1]$ 、メモリセル $MC[1, j]$ 、メモリセル $MC[1, n]$ 、メモリセル $MC[i, 1]$ 、メモリセル $MC[i, j]$ 、メモリセル $MC[i, n]$ 、メモリセル $MC[m, 1]$ 、メモリセル $MC[m, j]$ 、メモリセル $MC[m, n]$ 、トランジスタ $STr[1]$ 、トランジスタ $STr[j]$ 、トランジスタ $STr[n]$ のみ図示しており、それ以外の符号、配線、素子などは省略している。

40

【0148】

<構成例6>

図11に、本発明の一態様の半導体装置を示す。

【0149】

50

半導体装置 145 は、構成例 4 に示した半導体装置 140 と同じ構成の半導体装置 140 [1] 乃至半導体装置 140 [n] を列状に配置した構成となっている (n は 1 以上の整数) 。加えて、半導体装置 140 [1] 乃至半導体装置 140 [n] は、それぞれ m 個のメモリセル MC を有する。つまり、半導体装置 145 は、列方向に m 個、行方向に n 個、合計 $m \times n$ 個のメモリセル MC を有する。なお、半導体装置 145 において、i 行目かつ j 列目に位置するメモリセル MC は、メモリセル MC [i , j] と表記する (ここでの i は 1 以上 m 以下の整数であり、ここでの j は 1 以上 n 以下の整数である。) 。なお、メモリセル MC [1 , 1] 乃至メモリセル MC [m , n] の構成は、図 1 に示したメモリセル MC と同じである。

【 0150 】

半導体装置 145 は、制御回路 CTL C [1] 乃至制御回路 CTL C [m] を有する。制御回路 CTL C [1] 乃至制御回路 CTL C [m] は、それぞれ配線 WLC [1] 乃至配線 WLC [m] と電氣的に接続されている。配線 WLC [i] は、メモリセル MC [i , 1] 乃至メモリセル MC [i , n] と電氣的に接続されている。

【 0151 】

半導体装置 145 は、配線 WL [1 , 1] 乃至配線 WL [m , n] と電氣的に接続されている。なお、配線 WL [1 , 1] 乃至配線 WL [m , n] は、1 行につき n 本、行方向に延線されている。配線 WL [i , 1] 乃至配線 WL [i , n] は、それぞれメモリセル MC [i , 1] 乃至メモリセル MC [i , n] と電氣的に接続されている。

【 0152 】

半導体装置 145 は、配線 RBL [1] 乃至配線 RBL [n] と電氣的に接続されている。また、半導体装置 145 は、配線 WBL [1] 乃至配線 WBL [n] と電氣的に接続されている。加えて、半導体装置 145 は、配線 SL [1] 乃至配線 SL [n] と電氣的に接続されている。更に、半導体装置 145 は、配線 SG [1] 乃至配線 SG [n] と電氣的に接続されている。具体的には、配線 RBL [j] は、トランジスタ ST r [j] の第 1 端子と電氣的に接続され、配線 WBL [j] は、メモリセル MC [1 , j] 乃至メモリセル MC [m , j] と電氣的に接続され、配線 SL [j] は、メモリセル MC [1 , j] 乃至メモリセル MC [m , j] と電氣的に接続され、配線 SG [j] は、トランジスタ ST r [j] のゲートと電氣的に接続されている。

【 0153 】

半導体装置 145 において、メモリセル MC [i , j] にデータを書き込むとき、初めに配線 WL [i , j] に所定の電位を印加して、メモリセル MC [i , j] を選択する。その後、配線 WBL [j] から書き込みビット信号を供給することで、メモリセル MC [i , j] にデータを書き込むことができる。すなわち、半導体装置 145 の書き込み動作は、半導体装置 100、半導体装置 130、又は半導体装置 135 の書き込み動作と同様に行うことができる。

【 0154 】

また、半導体装置 145 において、メモリセル MC [i , j] のデータに加算処理又は減算処理して読み出すとき、始めに配線 SG [j] に所定の電位を印加して、メモリセル MC [i , j] を有する半導体装置 140 [j] を選択する。次に、読み出したいメモリセル MC [i , j] に対して、実施の形態 1 で説明した加算処理、又は減算処理を行う。具体的には、制御回路 CTL C [i] から、配線 WLC [i] を介して、所定の電位を印加して、容量結合によってメモリセル MC [i , j] の保持ノードの電位を昇降させる。一方、読み出しを行わないメモリセル MC [k , j] については、制御回路 CTL C [k] から、配線 WLC [k] を介して、十分に高い電位を印加して、メモリセル MC [k , j] の有するトランジスタ RT r をオフ状態とする (k は、1 以上 m 以下の i ではない整数) 。この状態で配線 RBL [j] と配線 SL [j] との間に電流を流したとき、メモリセル MC [k , j] の有するトランジスタ RT r のソース - ドレイン間で電流は流れず、メモリセル MC [i , j] の有するトランジスタ RT r のソース - ドレイン間のみ電流が流れ、電位差が生じる。このため、メモリセル MC [i , j] の有するトランジスタ R

10

20

30

40

50

Trのドレインから配線RBLにメモリセルMC[i, j]の保持ノードとほぼ同様の電位が出力される。この出力された電位を読み出し回路などで読み出すことで、加算処理、又は減算処理されたメモリセルMC[i, j]のデータを読み出すことができる。

【0155】

このような構成を適用することによって、記憶容量の大きい半導体装置を実現することができる。

【0156】

なお、図11の半導体装置145は、半導体装置140[1]、半導体装置140[j]、半導体装置140[n]、配線WBL[1]、配線WBL[j]、配線WBL[n]、配線RBL[1]、配線RBL[j]、配線RBL[n]、配線SL[1]、配線SL[j]、配線SL[n]、配線SG[1]、配線SG[j]、配線SG[n]、配線WLC[1]、配線WLC[i]、配線WLC[m]、配線WL[1, 1]、配線WL[1, j]、配線WL[1, n]、配線WL[i, 1]、配線WL[i, j]、配線WL[i, n]、配線WL[m, 1]、配線WL[m, j]、配線WL[m, n]、制御回路CTLC[1]、制御回路CTLC[i]、制御回路CTLC[m]、メモリセルMC[1, 1]、メモリセルMC[1, j]、メモリセルMC[1, n]、メモリセルMC[i, 1]、メモリセルMC[i, j]、メモリセルMC[i, n]、メモリセルMC[m, 1]、メモリセルMC[m, j]、メモリセルMC[m, n]、トランジスタSTr[1]、トランジスタSTr[j]、トランジスタSTr[n]のみ図示しており、それ以外の符号、配線、素子などは省略している。

10

20

【0157】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0158】

(実施の形態3)

本発明の一態様に係る記憶装置の構成の一例について、図12を用いながら説明する。

【0159】

図12に記憶装置の構成の一例を示す。記憶装置2600は、周辺回路2601、及びメモリセルアレイ2610を有する。周辺回路2601は、ローデコーダ2621、ワード線ドライバ回路2622、ビット線ドライバ回路2630、出力回路2640、コントロールロジック回路2660を有する。

30

【0160】

ビット線ドライバ回路2630は、カラムデコーダ2631、プリチャージ回路2632、センスアンプ2633、及び書き込み回路2634を有する。プリチャージ回路2632は、実施の形態1、及び実施の形態2で説明した配線BL、配線SL、配線WBL、配線RBL(図12に図示していない)をプリチャージする機能を有する。センスアンプ2633は、配線BL、又は配線RBLから読み出されたデータ信号を増幅する機能を有する。増幅されたデータ信号は、出力回路2640を介して、デジタルのデータ信号RDATAとして記憶装置2600の外部に出力される。

40

【0161】

また、記憶装置2600には、外部から電源電圧として低電源電圧(VSS)、周辺回路2601用の高電源電圧(VDD)、メモリセルアレイ2610用の高電源電圧(VIL)が供給される。

【0162】

また、記憶装置2600には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、ローデコーダ2621及びカラムデコーダ2631に入力され、データ信号WDATAは書き込み回路2634に入力される。

【0163】

コントロールロジック回路2660は、外部からの入力信号(CE、WE、RE)を処

50

理して、ローデコーダ 2621、カラムデコーダ 2631 の制御信号を生成する。CE は、チップイネーブル信号であり、WE は、書き込みイネーブル信号であり、RE は、読み出しイネーブル信号である。コントロールロジック回路 2660 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

【0164】

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

【0165】

また、pチャネル型 Si トランジスタと、後述する実施の形態の酸化物半導体（好ましくは In、Ga、及び Zn を含む酸化物）をチャネル形成領域を含むトランジスタと、を記憶装置 2600 に適用することで、小型の記憶装置 2600 を提供できる。また、消費電力低減することが可能な記憶装置 2600 を提供できる。また、動作速度を向上することが可能な記憶装置 2600 を提供できる。特に、Si トランジスタは pチャネル型のみとすることで、製造コストを低く抑えることができる。

10

【0166】

なお、本実施の形態の構成例は、図 12 の構成に限定されない。例えば、周辺回路 2601 の一部、例えばプリチャージ回路 2632 又は / 及びセンスアンプ 2633 をメモリセルアレイ 2610 の下層に設ける、などのように適宜構成を変更してもよい。また、例えば、実施の形態 2 の構成例 5 の半導体装置 135、又は構成例 6 の半導体装置 145 をメモリセルアレイ 2610 に適用した場合、制御回路 CTL C [1] 乃至制御回路 CTL C [m] を、ローデコーダ 2621、又はワード線ドライバ回路 2622 の周辺に別途設けた構成としてもよい。

20

【0167】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0168】

（実施の形態 4）

本実施の形態では、開示する発明の一態様に係るトランジスタについて説明する。

【0169】

なお、本発明の一態様に係るトランジスタは、実施の形態 7 で説明する nc - OS 又は CAAC - OS を有することが好ましい。

30

【0170】

< トランジスタの構成例 1 >

図 13 (A) 乃至図 13 (C) は、トランジスタ 1400 a の上面図及び断面図である。図 13 (A) は上面図である。図 13 (B) は、図 13 (A) に示す一点鎖線 A1 - A2 に対応する断面図であり、図 13 (C) は、図 13 (A) に示す一点鎖線 A3 - A4 に対応する断面図である。なお、図 13 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線 A1 - A2 をトランジスタ 1400 a のチャネル長方向、一点鎖線 A3 - A4 をトランジスタ 1400 a のチャネル幅方向と呼ぶ場合がある。

【0171】

40

トランジスタ 1400 a は、基板 1450 と、基板 1450 上の絶縁膜 1401 と、絶縁膜 1401 上の導電膜 1414 と、導電膜 1414 を覆うように形成された絶縁膜 1402 と、絶縁膜 1402 上の絶縁膜 1403 と、絶縁膜 1403 上の絶縁膜 1404 と、絶縁膜 1404 上に、金属酸化物 1431、金属酸化物 1432 の順で形成された積層と、金属酸化物 1432 の上面及び側面と接する導電膜 1421 と、同じく金属酸化物 1432 の上面及び側面と接する導電膜 1423 と、導電膜 1421 上の導電膜 1422 と、導電膜 1423 上の導電膜 1424 と、導電膜 1422、導電膜 1424 上の絶縁膜 1405 と、金属酸化物 1431、金属酸化物 1432、導電膜 1421 乃至導電膜 1424 及び絶縁膜 1405 と接する金属酸化物 1433 と、金属酸化物 1433 上の絶縁膜 1406 と、絶縁膜 1406 上の導電膜 1411 と、導電膜 1411 上の導電膜 1412 と、

50

導電膜 1 4 1 2 上の導電膜 1 4 1 3 と、導電膜 1 4 1 3 を覆うように形成された絶縁膜 1 4 0 7 と、絶縁膜 1 4 0 7 上の絶縁膜 1 4 0 8 を有する。なお、金属酸化物 1 4 3 1、金属酸化物 1 4 3 2 及び金属酸化物 1 4 3 3 をまとめて、金属酸化物 1 4 3 0 と呼称する。

【 0 1 7 2 】

金属酸化物 1 4 3 2 は半導体であり、トランジスタ 1 4 0 0 a のチャネルとしての機能を有する。

【 0 1 7 3 】

また、金属酸化物 1 4 3 1 及び金属酸化物 1 4 3 2 は、領域 1 4 4 1 及び領域 1 4 4 2 を有する。領域 1 4 4 1 は、導電膜 1 4 2 1 と、金属酸化物 1 4 3 1、金属酸化物 1 4 3 2 が接する領域の近傍に形成され、領域 1 4 4 2 は、導電膜 1 4 2 3 と、金属酸化物 1 4 3 1、金属酸化物 1 4 3 2 が接する領域の近傍に形成される。

10

【 0 1 7 4 】

領域 1 4 4 1、領域 1 4 4 2 は低抵抗領域としての機能を有する。金属酸化物 1 4 3 1、金属酸化物 1 4 3 2 は、領域 1 4 4 1 を有することで、導電膜 1 4 2 1 との間のコンタクト抵抗を低減させることが可能になる。同様に、金属酸化物 1 4 3 1、金属酸化物 1 4 3 2 は、領域 1 4 4 2 を有することで、導電膜 1 4 2 3 との間のコンタクト抵抗を低減させることが可能になる。

【 0 1 7 5 】

導電膜 1 4 2 1、導電膜 1 4 2 2 は、トランジスタ 1 4 0 0 a のソース電極又はドレイン電極の一方としての機能を有する。導電膜 1 4 2 3、導電膜 1 4 2 4 は、トランジスタ 1 4 0 0 a のソース電極又はドレイン電極の他方としての機能を有する。

20

【 0 1 7 6 】

導電膜 1 4 2 2 は導電膜 1 4 2 1 よりも酸素を透過しにくい機能を有する。これにより、酸化による導電膜 1 4 2 1 の導電率の低下を防ぐことが可能になる。

【 0 1 7 7 】

同様に、導電膜 1 4 2 4 は導電膜 1 4 2 3 よりも酸素を透過しにくい機能を有する。これにより、酸化による導電膜 1 4 2 3 の導電率の低下を防ぐことが可能になる。

【 0 1 7 8 】

導電膜 1 4 1 1 乃至導電膜 1 4 1 3 は、トランジスタ 1 4 0 0 a の第 1 のゲート電極としての機能を有する。

30

【 0 1 7 9 】

導電膜 1 4 1 1、導電膜 1 4 1 3 は、導電膜 1 4 1 2 よりも酸素を透過しにくい機能を有する。これにより、酸化による導電膜 1 4 1 2 の導電率の低下を防ぐことが可能になる。

【 0 1 8 0 】

絶縁膜 1 4 0 6 は、トランジスタ 1 4 0 0 a の第 1 のゲート絶縁膜としての機能を有する。

【 0 1 8 1 】

導電膜 1 4 1 4 は、トランジスタ 1 4 0 0 a の第 2 のゲート電極としての機能を有する。

40

【 0 1 8 2 】

導電膜 1 4 1 1 乃至導電膜 1 4 1 3 と導電膜 1 4 1 4 は同じ電位が与えられてもよいし、異なる電位が与えられてもよい。また導電膜 1 4 1 4 は、場合によっては省略してもよい。

【 0 1 8 3 】

絶縁膜 1 4 0 1 乃至絶縁膜 1 4 0 4 は、トランジスタ 1 4 0 0 a の下地絶縁膜としての機能を有する。また、絶縁膜 1 4 0 2 乃至絶縁膜 1 4 0 4 は、トランジスタ 1 4 0 0 a の第 2 のゲート絶縁膜としての機能も有する。

【 0 1 8 4 】

絶縁膜 1 4 0 5 乃至 1 4 0 8 は、トランジスタ 1 4 0 0 a の保護絶縁膜又は層間絶縁膜

50

としての機能を有する。

【0185】

図13(C)に示すように、金属酸化物1432の側面は、導電膜1411に囲まれている。上記構成をとることで、導電膜1411の電界によって、金属酸化物1432を電気的に取り囲むことができる。ゲート電極の電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。そのため、金属酸化物1432の全体(バルク)にチャンネルが形成される。s-channel 構造は、トランジスタのソース-ドレイン間に大電流を流すことができ、トランジスタのオン電流を高くすることができる。

【0186】

s-channel 構造は、高いオン電流が得られるため、LSI (Large Scale Integration) など微細化されたトランジスタが要求される半導体装置に適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。

【0187】

トランジスタ1400aにおいて、ゲート電極として機能する領域は、絶縁膜1405などに形成された開口部1415を埋めるように自己整合(self-align)的に形成される。

【0188】

図13(B)に示すように、導電膜1411と導電膜1422は、絶縁膜を間に介して、互いに重なる領域を有する。同様に、導電膜1411と導電膜1423は、絶縁膜を間に介して、互いに重なる領域を有する。これらの領域は、ゲート電極と、ソース電極又はドレイン電極との間に生じた寄生容量として機能し、トランジスタ1400aの動作速度を低下させる原因になり得る。トランジスタ1400aは、絶縁膜1405を設けることで、上述の寄生容量を低下させることが可能になる。絶縁膜1405は、比誘電率の低い材料からなることが好ましい。

【0189】

図14(A)は、トランジスタ1400aの中央部を拡大したものである。図14(A)において、導電膜1411の底面が、絶縁膜1406及び金属酸化物1433を介して、金属酸化物1432の上面と平行に面する領域の長さを、幅 L_G として示す。幅 L_G は、ゲート電極の線幅を表す。また、図14(A)において、導電膜1421と導電膜1423の間の長さを、幅 L_{SD} として示す。幅 L_{SD} は、ソース電極とドレイン電極との間の長さを表す。

【0190】

幅 L_{SD} は最小加工寸法で決定されることが多い。図14(A)に示すように、幅 L_G は、幅 L_{SD} よりも小さい。すなわち、トランジスタ1400aは、ゲート電極の線幅を、最小加工寸法より小さくすることが可能になる。具体的には、幅 L_G は、5nm以上かつ60nm以下、好ましくは5nm以上かつ30nm以下とすることが可能になる。

【0191】

図14(A)において、導電膜1421及び導電膜1422の厚さの合計、又は、導電膜1423及び導電膜1424の厚さの合計を高さ H_{SD} と表す。

【0192】

絶縁膜1406の厚さを、高さ H_{SD} 以下とすることで、ゲート電極からの電界がチャンネル形成領域全体に印加することが可能になり好ましい。絶縁膜1406の厚さは、30nm以下、好ましくは10nm以下とする。

【0193】

また、導電膜1422と導電膜1411の間に形成される寄生容量、及び、導電膜1424と導電膜1411の間に形成される寄生容量の値は、絶縁膜1405の厚さに反比例する。例えば、絶縁膜1405の厚さを、絶縁膜1406の厚さの3倍以上、好ましくは5倍以上とすることで、寄生容量は無視できるほど小さくなり、好ましい。その結果、ト

10

20

30

40

50

ランジスタ 1400a を高周波数で動作させることが可能になる。

【0194】

以下、ランジスタ 1400a の各構成要素について説明を行う。

【0195】

<< 金属酸化物層 >>

まず、金属酸化物 1431 乃至金属酸化物 1433 に適用可能な金属酸化物について説明を行う。

【0196】

ランジスタ 1400a は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いことが好適である。オフ電流が低いランジスタとしては、チャンネル形成領域に酸化物半導体を有するランジスタが挙げられる。

10

【0197】

金属酸化物 1432 は、例えば、インジウム（In）を含む酸化物半導体である。金属酸化物 1432 は、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、金属酸化物 1432 は、元素 M を含むと好ましい。元素 M は、好ましくは、アルミニウム（Al）、ガリウム（Ga）、イットリウム（Y）又はスズ（Sn）などとする。そのほかの元素 M に適用可能な元素としては、ホウ素（B）、シリコン（Si）、チタン（Ti）、鉄（Fe）、ニッケル（Ni）、ゲルマニウム（Ge）、ジルコニウム（Zr）、モリブデン（Mo）、ランタン（La）、セリウム（Ce）、ネオジム（Nd）、ハフニウム（Hf）、タンタル（Ta）、タングステン（W）、マグネシウム（Mg）などがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。元素 M は、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。又は、元素 M は、例えば、金属酸化物のエネルギーギャップを大きくする機能を有する元素である。また、金属酸化物 1432 は、亜鉛（Zn）を含むと好ましい。金属酸化物は、亜鉛を含むと結晶化しやすくなる場合がある。

20

【0198】

ただし、金属酸化物 1432 は、インジウムを含む酸化物半導体に限定されない。金属酸化物 1432 は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

30

【0199】

金属酸化物 1432 は、例えば、エネルギーギャップが大きい酸化物半導体を用いる。金属酸化物 1432 のエネルギーギャップは、例えば、2.5 eV 以上かつ 4.2 eV 以下、好ましくは 2.8 eV 以上かつ 3.8 eV 以下、さらに好ましくは 3 eV 以上かつ 3.5 eV 以下とする。

【0200】

金属酸化物 1432 は、後述する C A A C - O S 膜であることが好ましい。

【0201】

例えば、金属酸化物 1431 及び金属酸化物 1433 は、金属酸化物 1432 を構成する酸素以外の元素一種以上、又は二種以上から構成される金属酸化物である。金属酸化物 1432 を構成する酸素以外の元素一種以上、又は二種以上から金属酸化物 1431 及び金属酸化物 1433 が構成されるため、金属酸化物 1431 と金属酸化物 1432 との界面、及び金属酸化物 1432 と金属酸化物 1433 との界面において、界面準位が形成されにくい。

40

【0202】

なお、金属酸化物 1431 が In - M - Zn 酸化物のとき、In 及び M の和を 100 atomic % としたとき、好ましくは In が 50 atomic % 未満、M が 50 atomic % より高く、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % より高いとする。金属酸化物 1431 をスパッタリング法で成膜する場合、In : M

50

: Zn = 1 : 3 : 2、In : M : Zn = 1 : 3 : 4などの原子数比を満たすスパッタリングターゲットを用いることができる。

【0203】

また、金属酸化物1432がIn-M-Zn酸化物のとき、In及びMの和を100 atomic %としたとき、好ましくはInが25 atomic %より高く、Mが75 atomic %未満、さらに好ましくはInが34 atomic %より高く、Mが66 atomic %未満とする。金属酸化物1432をスパッタリング法で成膜する場合、In : M : Zn = 1 : 1 : 1、In : M : Zn = 1 : 1 : 1.2、In : M : Zn = 2 : 1 : 3、In : M : Zn = 3 : 1 : 2、In : M : Zn = 4 : 2 : 4.1などの原子数比を満たすスパッタリングターゲットを用いることができる。特に、スパッタリングターゲットとして、原子数比がIn : Ga : Zn = 4 : 2 : 4.1を用いる場合、成膜される金属酸化物1432の原子数比は、In : Ga : Zn = 4 : 2 : 3近傍となる場合がある。

10

【0204】

また、金属酸化物1433がIn-M-Zn酸化物のとき、In及びMの和を100 atomic %としたとき、好ましくはInが50 atomic %未満、Mが50 atomic %より高く、さらに好ましくはInが25 atomic %未満、Mが75 atomic %より高くする。例えば、In : M : Zn = 1 : 3 : 2、In : M : Zn = 1 : 3 : 4などが好ましい。また、金属酸化物1433は、金属酸化物1431と同種の金属酸化物を用いても構わない。

20

【0205】

また、金属酸化物1431又は金属酸化物1433がインジウムを含まなくても構わない場合がある。例えば、金属酸化物1431又は金属酸化物1433が酸化ガリウムであっても構わない。

【0206】

次に、金属酸化物1431乃至金属酸化物1433の積層により構成される金属酸化物1430の機能及びその効果について、図14(B)に示すエネルギーバンド構造図を用いて説明する。図14(B)は、図14(A)にY1-Y2の鎖線で示した部位のエネルギーバンド構造を示している。また、図14(B)は、トランジスタ1400aのチャネル形成領域とその近傍のエネルギーバンド構造を示している。

30

【0207】

図14(B)中、Ec1404、Ec1431、Ec1432、Ec1433、Ec1406は、それぞれ、絶縁膜1404、金属酸化物1431、金属酸化物1432、金属酸化物1433、絶縁膜1406の伝導帯下端のエネルギーを示している。

【0208】

ここで、真空準位と伝導帯下端のエネルギーとの差(「電子親和力」ともいう。)は、真空準位と価電子帯上端のエネルギーとの差(イオン化ポテンシャルともいう。)からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータを用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)装置を用いて測定できる。

40

【0209】

絶縁膜1404と絶縁膜1406は絶縁体であるため、Ec1406とEc1404は、Ec1431、Ec1432、及びEc1433よりも真空準位に近い(電子親和力が小さい)。

【0210】

金属酸化物1432は、金属酸化物1431及び金属酸化物1433よりも電子親和力の大きい金属酸化物を用いる。例えば、金属酸化物1432として、金属酸化物1431及び金属酸化物1433よりも電子親和力の0.07 eV以上かつ1.3 eV以下、好ましくは0.1 eV以上かつ0.7 eV以下、さらに好ましくは0.15 eV以上かつ0.4 eV以下大きい金属酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端の工

50

エネルギーとの差である。

【0211】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、金属酸化物1433がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

【0212】

このとき、ゲート電圧を印加すると、金属酸化物1431、金属酸化物1432、金属酸化物1433のうち、電子親和力の大きい金属酸化物1432にチャンネルが形成される。

【0213】

そのため、電子は、金属酸化物1431、金属酸化物1433の中ではなく、金属酸化物1432の中を主として移動する。そのため、金属酸化物1431と絶縁膜1404との界面、あるいは、金属酸化物1433と絶縁膜1406との界面に、電子の流れを阻害する界面準位が多く存在したとしても、トランジスタのオン電流にはほとんど影響を与えない。金属酸化物1431、金属酸化物1433は、絶縁膜のように機能する。

【0214】

金属酸化物1431と金属酸化物1432の間には、金属酸化物1431と金属酸化物1432との混合領域を有する場合がある。また、金属酸化物1432と金属酸化物1433の間には、金属酸化物1432と金属酸化物1433との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、金属酸化物1431、金属酸化物1432及び金属酸化物1433の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

【0215】

金属酸化物1431と金属酸化物1432の界面、あるいは、金属酸化物1432と金属酸化物1433との界面は、上述したように界面準位密度が小さいため、金属酸化物1432中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることが可能になる。

【0216】

例えば、トランジスタ中の電子の移動は、チャンネル形成領域の物理的な凹凸が大きい場合に阻害される。トランジスタのオン電流を高くするためには、例えば、金属酸化物1432の上面又は下面（被形成面、ここでは金属酸化物1431の上面）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS: Root Mean Square）粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、Ra及びP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

【0217】

チャンネルの形成される領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。例えば、金属酸化物1432が酸素欠損（ V_O とも表記。）を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を V_OH と表記する場合がある。 V_OH は電子を散乱するため、トランジスタのオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、金属酸化物1432中の酸素欠損を低減することで、トランジスタのオン電流を高くすることができる場合がある。

【0218】

10

20

30

40

50

例えば、金属酸化物 1 4 3 2 のある深さにおいて、又は、金属酸化物 1 4 3 2 のある領域において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定される水素濃度は、 1×10^{16} atoms/cm³ 以上、 2×10^{20} atoms/cm³ 以下、好ましくは 1×10^{16} atoms/cm³ 以上、 5×10^{19} atoms/cm³ 以下、より好ましくは 1×10^{16} atoms/cm³ 以上、 1×10^{19} atoms/cm³ 以下、さらに好ましくは 1×10^{16} atoms/cm³ 以上、 5×10^{18} atoms/cm³ 以下とする。

【0219】

金属酸化物 1 4 3 2 の酸素欠損を低減するために、例えば、絶縁膜 1 4 0 4 に含まれる過剰酸素を、金属酸化物 1 4 3 1 を介して金属酸化物 1 4 3 2 まで移動させる方法などがある。この場合、金属酸化物 1 4 3 1 は、酸素透過性を有する層 (酸素を通過又は透過させる層) であることが好ましい。

10

【0220】

なお、トランジスタが s-channel 構造を有する場合、金属酸化物 1 4 3 2 の全体にチャンネルが形成される。したがって、金属酸化物 1 4 3 2 が厚いほどチャンネル領域が大きくなる。即ち、金属酸化物 1 4 3 2 が厚いほど、トランジスタのオン電流を高くすることができる。

【0221】

また、トランジスタのオン電流を高くするためには、金属酸化物 1 4 3 3 は薄いほど好ましい。金属酸化物 1 4 3 3 は、例えば、10 nm 未満、好ましくは 5 nm 以下、さらに好ましくは 3 nm 以下の領域を有していればよい。一方、金属酸化物 1 4 3 3 は、チャンネルの形成される金属酸化物 1 4 3 2 へ、隣接する絶縁体を構成する酸素以外の元素 (水素、シリコンなど) が入り込まないようにブロックする機能を有する。そのため、金属酸化物 1 4 3 3 は、ある程度の厚さを有することが好ましい。金属酸化物 1 4 3 3 は、例えば、0.3 nm 以上、好ましくは 1 nm 以上、さらに好ましくは 2 nm 以上の厚さの領域を有していればよい。また、金属酸化物 1 4 3 3 は、絶縁膜 1 4 0 4 などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

20

【0222】

また、信頼性を高くするためには、金属酸化物 1 4 3 1 は厚く、金属酸化物 1 4 3 3 は薄いことが好ましい。金属酸化物 1 4 3 1 は、例えば、10 nm 以上、好ましくは 20 nm 以上、さらに好ましくは 40 nm 以上、より好ましくは 60 nm 以上の厚さの領域を有していればよい。金属酸化物 1 4 3 1 の厚さを、厚くすることで、隣接する絶縁体と金属酸化物 1 4 3 1 との界面からチャンネルの形成される金属酸化物 1 4 3 2 までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、金属酸化物 1 4 3 1 は、例えば、200 nm 以下、好ましくは 120 nm 以下、さらに好ましくは 80 nm 以下の厚さの領域を有していればよい。

30

【0223】

例えば、金属酸化物 1 4 3 2 と金属酸化物 1 4 3 1 との間に、例えば、SIMS 分析において、 1×10^{16} atoms/cm³ 以上、 1×10^{19} atoms/cm³ 未満、好ましくは 1×10^{16} atoms/cm³ 以上、 5×10^{18} atoms/cm³ 未満、さらに好ましくは 1×10^{16} atoms/cm³ 以上、 2×10^{18} atoms/cm³ 未満のシリコン濃度となる領域を有する。また、金属酸化物 1 4 3 2 と金属酸化物 1 4 3 3 との間に、SIMS において、 1×10^{16} atoms/cm³ 以上、 1×10^{19} atoms/cm³ 未満、好ましくは 1×10^{16} atoms/cm³ 以上、 5×10^{18} atoms/cm³ 未満、さらに好ましくは 1×10^{16} atoms/cm³ 以上、 2×10^{18} atoms/cm³ 未満のシリコン濃度となる領域を有する。

40

【0224】

また、金属酸化物 1 4 3 2 の水素濃度を低減するために、金属酸化物 1 4 3 1 及び金属酸化物 1 4 3 3 の水素濃度を低減すると好ましい。金属酸化物 1 4 3 1 及び金属酸化物 1 4 3 3 は、SIMS において、 1×10^{16} atoms/cm³ 以上、 2×10^{20} at

50

atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以上、 5×10^{19} atoms/cm³以下、より好ましくは 1×10^{16} atoms/cm³以上、 1×10^{19} atoms/cm³以下、さらに好ましくは 1×10^{16} atoms/cm³以上、 5×10^{18} atoms/cm³以下の水素濃度となる領域を有する。また、金属酸化物1432の窒素濃度を低減するために、金属酸化物1431及び金属酸化物1433の窒素濃度を低減すると好ましい。金属酸化物1431及び金属酸化物1433は、SIMSにおいて、 1×10^{16} atoms/cm³以上、 5×10^{19} atoms/cm³未満、好ましくは 1×10^{16} atoms/cm³以上、 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{16} atoms/cm³以上、 1×10^{18} atoms/cm³以下、さらに好ましくは 1×10^{16} atoms/cm³以上、 5×10^{17} atoms/cm³以下の窒素濃度となる領域を有する。

【0225】

金属酸化物1431乃至金属酸化物1433の成膜は、スパッタリング法、CVD (Chemical Vapor Deposition) 法、MBE (Molecular Beam Epitaxy) 法又はPLD (Pulsed Laser Deposition) 法、ALD (Atomic Layer Deposition) 法などを用いて行えばよい。

【0226】

金属酸化物1431、金属酸化物1432を形成した後に、第1の加熱処理を行うと好ましい。第1の加熱処理は、250 以上かつ650 以下、好ましくは450 以上かつ600 以下、さらに好ましくは520 以上かつ570 以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、又は酸化性ガスを10 ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。又は、第1の加熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10 ppm以上、1%以上又は10%以上含む雰囲気で行ってもよい。第1の加熱処理によって、金属酸化物1431、金属酸化物1432の結晶性を高めることや、水素や水などの不純物を除去することが可能になる。

【0227】

上述の3層構造は一例である。例えば、金属酸化物1431又は金属酸化物1433のない2層構造としても構わない。又は、金属酸化物1431の上もしくは下、又は金属酸化物1433上もしくは下に、金属酸化物1431、金属酸化物1432及び金属酸化物1433として例示した半導体のいずれか一を有する4層構造としても構わない。又は、金属酸化物1431の上、金属酸化物1431の下、金属酸化物1433の上、金属酸化物1433の下のいずれか二箇所以上に、金属酸化物1431、金属酸化物1432及び金属酸化物1433として例示した半導体のいずれか一を有するn層構造 (nは5以上の整数) としても構わない。

【0228】

<< 基板 >>

基板1450としては、例えば、絶縁体基板、半導体基板又は導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板 (イットリア安定化ジルコニア基板など)、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、又は炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。又は、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体又は半導体が設けられた基板、半導体基板に導電体又は絶縁体が設けられた基板、導電体基板に半導体又は絶縁体が設けられた基板などがある。又は、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、

容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0229】

また、基板1450として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板1450に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板1450として、繊維を編みこんだシート、フィルム又は箔などを用いてもよい。また、基板1450が伸縮性を有してもよい。また、基板1450は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。又は、元の形状に戻らない性質を有してもよい。基板1450の厚さは、例えば、5 μm 以上かつ700 μm 以下、好ましくは10 μm 以上かつ500 μm 以下、さらに好ましくは15 μm 以上かつ300 μm 以下とする。基板1450を薄くすると、半導体装置を軽量化することができる。また、基板1450を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板1450上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

10

【0230】

可とう性基板である基板1450としては、例えば、金属、合金、樹脂もしくはガラス、又はそれらの繊維などを用いることができる。可とう性基板である基板1450は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板1450としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、又は $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリル、ポリテトラフルオロエチレン（PTFE）などがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板1450として好適である。

20

【0231】

<<下地絶縁膜>>

絶縁膜1401は、基板1450と導電膜1414を電氣的に分離させる機能を有する。

【0232】

絶縁膜1401又は絶縁膜1402は、単層構造又は積層構造の絶縁膜で形成される。絶縁膜を構成する材料には、例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどがある。

30

【0233】

また、絶縁膜1402として、TEOS（Tetra-Ethyl-Ortho-Silicate）若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性の良い酸化シリコンを用いてもよい。

【0234】

また、絶縁膜1402を成膜した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

40

【0235】

絶縁膜1404は、酸化物を含むことが好ましい。特に加熱により一部の酸素が脱離する酸化物材料を含むことが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。絶縁膜1404から脱離した酸素は金属酸化物1430に供給され、金属酸化物1430の酸素欠損を低減することが可能となる。その結果、トランジスタの電気特性の変動を抑制し、信頼性を高めることができる。

50

【0236】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、例えば、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上かつ700 以下、又は100 以上かつ500 以下の範囲が好ましい。

【0237】

絶縁膜1404は、金属酸化物1430に酸素を供給することができる酸化物を含むことが好ましい。例えば、酸化シリコン又は酸化窒化シリコンを含む材料を用いることが好ましい。

10

【0238】

又は、絶縁膜1404として、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の金属酸化物を用いてもよい。

【0239】

絶縁膜1404に酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁膜1404の成膜を行えばよい。又は、成膜後の絶縁膜1404に酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

【0240】

例えば、成膜後の絶縁膜1404に、酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

20

【0241】

酸素導入方法には、酸素を含むガスを用いることができる。酸素を含むガスとしては、例えば酸素、亜酸化窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。又は、水素等を含ませてもよい。例えば、二酸化炭素、水素及びアルゴンの混合ガスを用いるとよい。

30

【0242】

また、絶縁膜1404を成膜した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

【0243】

絶縁膜1403は、絶縁膜1404に含まれる酸素が、導電膜1414に含まれる金属と結びつき、絶縁膜1404に含まれる酸素が減少することを防ぐバッシベーション機能を有する。

【0244】

絶縁膜1403は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜1403を設けることで、金属酸化物1430からの酸素の外部への拡散と、外部から金属酸化物1430への水素、水等の入り込みを防ぐことができる。

40

【0245】

絶縁膜1403としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0246】

50

トランジスタ 1400a は、電荷捕獲層に電子を注入することで、しきい値電圧を制御することが可能になる。電荷捕獲層は、絶縁膜 1402 又は絶縁膜 1403 に設けることが好ましい。例えば、絶縁膜 1403 を酸化ハフニウム、酸化アルミニウム、酸化タンタル、アルミニウムシリケート等で形成することで、電荷捕獲層として機能させることができる。

【0247】

<<ゲート電極>>

導電膜 1411 乃至導電膜 1414 して、銅 (Cu)、タングステン (W)、モリブデン (Mo)、金 (Au)、アルミニウム (Al)、マンガン (Mn)、チタン (Ti)、タンタル (Ta)、ニッケル (Ni)、クロム (Cr)、鉛 (Pb)、錫 (Sn)、鉄 (Fe)、コバルト (Co)、ルテニウム (Ru)、白金 (Pt)、イリジウム (Ir)、ストロンチウム (Sr) の低抵抗材料からなる単体、合金、又はこれらを主成分とする化合物を含む導電膜の単層又は積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、Cu-Mn 合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンが Cu の拡散を抑制する機能を持つので好ましい。

10

【0248】

<<ソース電極、ドレイン電極>>

導電膜 1421 乃至導電膜 1424 として、銅 (Cu)、タングステン (W)、モリブデン (Mo)、金 (Au)、アルミニウム (Al)、マンガン (Mn)、チタン (Ti)、タンタル (Ta)、ニッケル (Ni)、クロム (Cr)、鉛 (Pb)、錫 (Sn)、鉄 (Fe)、コバルト (Co)、ルテニウム (Ru)、白金 (Pt)、イリジウム (Ir)、ストロンチウム (Sr) の低抵抗材料からなる単体、合金、又はこれらを主成分とする化合物を含む導電膜の単層又は積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、Cu-Mn 合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンが Cu の拡散を抑制する機能を持つので好ましい。

20

【0249】

また、導電膜 1421 乃至導電膜 1424 には、酸化イリジウム、酸化ルテニウム、ストロンチウムルテナイトなど、貴金属を含む導電性酸化物を用いることが好ましい。これらの導電性酸化物は、酸化物半導体と接しても酸化物半導体から酸素を奪うことが少なく、酸化物半導体の酸素欠損を作りにくい。

30

【0250】

<<低抵抗領域>>

領域 1441、領域 1442 は、例えば、導電膜 1421、導電膜 1423 が、金属酸化物 1431、金属酸化物 1432 の酸素を引き抜くことで形成される。酸素の引き抜きは、高い温度で加熱するほど起こりやすい。トランジスタの作製工程には、いくつかの加熱工程があることから、領域 1441、領域 1442 には酸素欠損が形成される。また、加熱により該酸素欠損のサイトに水素が入りこみ、領域 1441、領域 1442 に含まれるキャリア濃度が増加する。その結果、領域 1441、領域 1442 が低抵抗化する。

40

【0251】

<<ゲート絶縁膜>>

絶縁膜 1406 は、比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁膜 1406 は、酸化ガリウム、酸化ハフニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、又はシリコン及びハフニウムを有する酸化窒化物などを有することが好ましい。

【0252】

また、絶縁膜 1406 は、酸化シリコン又は酸化窒化シリコンと、比誘電率の高い絶縁

50

体と、の積層構造を有することが好ましい。酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。例えば、酸化アルミニウム、酸化ガリウム又は酸化ハフニウムを金属酸化物 1 4 3 3 側に有することで、酸化シリコン又は酸化窒化シリコンに含まれるシリコンが、金属酸化物 1 4 3 2 に混入することを抑制することができる。

【 0 2 5 3 】

また、例えば、酸化シリコン又は酸化窒化シリコンを金属酸化物 1 4 3 3 側に有することで、酸化アルミニウム、酸化ガリウム又は酸化ハフニウムと、酸化シリコン又は酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

10

【 0 2 5 4 】

< 層間絶縁膜、保護絶縁膜 >

絶縁膜 1 4 0 5 は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁膜 1 4 0 5 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン又は樹脂などを有することが好ましい。又は、絶縁膜 1 4 0 5 は、酸化シリコン又は酸化窒化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート又はアクリルなどがある。

20

【 0 2 5 5 】

絶縁膜 1 4 0 7 は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜 1 4 0 7 を設けることで、金属酸化物 1 4 3 0 からの酸素の外部への拡散と、外部から金属酸化物 1 4 3 0 への水素、水等の入り込みを防ぐことができる。

【 0 2 5 6 】

絶縁膜 1 4 0 7 としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

30

【 0 2 5 7 】

酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を透過させない遮断効果が高いので絶縁膜 1 4 0 7 に適用するのに好ましい。

【 0 2 5 8 】

絶縁膜 1 4 0 7 は、スパッタリング法、又は C V D 法などにより酸素を含むプラズマを用いて成膜することで、絶縁膜 1 4 0 5、絶縁膜 1 4 0 6 の側面及び表面に、酸素を添加することが可能になる。また、絶縁膜 1 4 0 7 を成膜した後、何れかのタイミングにおいて、第 2 の加熱処理を行うことが好ましい。第 2 の加熱処理によって、絶縁膜 1 4 0 5、絶縁膜 1 4 0 6 に添加された酸素が、絶縁膜中を拡散し、金属酸化物 1 4 3 0 に到達し、金属酸化物 1 4 3 0 の酸素欠損を低減することが可能になる。

40

【 0 2 5 9 】

図 1 5 (A) (B) は、絶縁膜 1 4 0 7 を成膜する際に絶縁膜 1 4 0 5、絶縁膜 1 4 0 6 に添加された酸素が、第 2 の加熱処理によって絶縁膜中を拡散し、金属酸化物 1 4 3 0 に到達する様子を描いた模式図である。図 1 5 (A) は、図 1 3 (B) の断面図において、酸素が拡散する様子を矢印で示している。同様に、図 1 5 (B) は、図 1 3 (C) の断面図において、酸素が拡散する様子を矢印で示している。

【 0 2 6 0 】

50

図15(A)、図15(B)に示すように、絶縁膜1406の側面に添加された酸素が、絶縁膜1406の内部を拡散し、金属酸化物1430に到達する。また、絶縁膜1407と絶縁膜1405の界面近傍に、酸素を過剰に含む領域1461、領域1462及び領域1463が形成される場合がある。領域1461乃至1463に含まれる酸素は、絶縁膜1405、絶縁膜1404を経由し、金属酸化物1430に到達する。絶縁膜1405が酸化シリコンを含み、絶縁膜1407が酸化アルミニウムを含む場合、領域1461乃至1463は、シリコンとアルミニウムと酸素の混合層が形成される場合がある。

【0261】

絶縁膜1407は、酸素をブロックする機能を有し、酸素が絶縁膜1407より上方に拡散することを防ぐ。同様に、絶縁膜1403は、酸素をブロックする機能を有し、酸素が絶縁膜1403より下方に拡散することを防ぐ。

10

【0262】

なお、第2の加熱処理は、絶縁膜1405、絶縁膜1406に添加された酸素が金属酸化物1430まで拡散する温度で行えばよい。例えば、第1の加熱処理についての記載を参照しても構わない。又は、第2の加熱処理は、第1の加熱処理よりも低い温度が好ましい。第1の加熱処理と第2の加熱処理の温度差は、20以上かつ150以下、好ましくは40以上かつ100以下とする。これにより、絶縁膜1404から余分に酸素が放出することを抑えることができる。なお、第2の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合、行わなくてもよい場合がある。

20

【0263】

このように、金属酸化物1430は、絶縁膜1407の成膜及び第2の加熱処理によって、上下方向から酸素が供給されることが可能になる。

【0264】

また、In-M-Zn酸化物など、酸化インジウムを含む膜を絶縁膜1407として成膜することで、絶縁膜1405、絶縁膜1406に酸素を添加してもよい。

【0265】

絶縁膜1408には、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上含む絶縁体を用いることができる。また、絶縁膜1408には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の樹脂を用いることもできる。また、絶縁膜1408は上記材料の積層であってもよい。

30

【0266】

<トランジスタの構成例2>

図13に示すトランジスタ1400aは、導電膜1414及び絶縁膜1402、絶縁膜1403を省略してもよい。その場合の例を図16に示す。

【0267】

図16(A)乃至図16(C)は、トランジスタ1400bの上面図及び断面図である。図16(A)は上面図である。図16(B)は、図16(A)に示す一点鎖線A1-A2に対応する断面図であり、図16(C)は、図16(A)に示す一点鎖線A3-A4に対応する断面図である。なお、図16(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線A1-A2をトランジスタ1400bのチャンネル長方向、一点鎖線A3-A4をトランジスタ1400bのチャンネル幅方向と呼ぶ場合がある。

40

【0268】

<トランジスタの構成例3>

図13に示すトランジスタ1400aにおいて、導電膜1421、導電膜1423は、ゲート電極(導電膜1411乃至導電膜1413)と重なる部分の膜厚を薄くしてもよい。その場合の例を図17に示す。

50

【0269】

図17(A)乃至図17(C)は、トランジスタ1400cの上面図及び断面図である。図17(A)は上面図である。図17(B)は、図17(A)に示す一点鎖線A1-A2に対応する断面図であり、図17(C)は、図17(A)に示す一点鎖線A3-A4に対応する断面図である。なお、図17(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線A1-A2をトランジスタ1400cのチャンネル長方向、一点鎖線A3-A4をトランジスタ1400cのチャンネル幅方向と呼ぶ場合がある。

【0270】

図17(B)のトランジスタ1400cにおいて、ゲート電極と重なる部分の導電膜1421が薄膜化され、その上を導電膜1422が覆っている。同様に、ゲート電極と重なる部分の導電膜1423が薄膜化され、その上を導電膜1424が覆っている。

10

【0271】

トランジスタ1400cは、図17(B)に示すような構成にすることで、ゲート電極とソース電極との間の距離、又は、ゲート電極とドレイン電極との間の距離を長くすることが可能になり、ゲート電極とソース電極及びドレイン電極との間に形成される寄生容量を低減することが可能になる。その結果、高速動作が可能なトランジスタを得ることが可能になる。

【0272】

<トランジスタの構成例4>

20

図17に示すトランジスタ1400cにおいて、A3-A4方向に、金属酸化物1431、1432の幅を広げてもよい。その場合の例を図18に示す。

【0273】

図18(A)乃至図18(C)は、トランジスタ1400dの上面図及び断面図である。図18(A)は上面図である。図18(B)は、図18(A)に示す一点鎖線A1-A2に対応する断面図であり、図18(C)は、図18(A)に示す一点鎖線A3-A4に対応する断面図である。なお、図18(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線A1-A2をトランジスタ1400dのチャンネル長方向、一点鎖線A3-A4をトランジスタ1400dのチャンネル幅方向と呼ぶ場合がある。

30

【0274】

トランジスタ1400dは、図18に示す構成にすることで、オン電流を増大させることが可能になる。

【0275】

<トランジスタの構成例5>

図17に示すトランジスタ1400cにおいて、A3-A4方向に、金属酸化物1431、金属酸化物1432から成る領域(以下、フィンと呼ぶ)を複数設けてもよい。その場合の例を図19に示す。

【0276】

図19(A)乃至図19(C)は、トランジスタ1400eの上面図及び断面図である。図19(A)は上面図である。図19(B)は、図19(A)に示す一点鎖線A1-A2に対応する断面図であり、図19(C)は、図19(A)に示す一点鎖線A3-A4に対応する断面図である。なお、図19(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線A1-A2をトランジスタ1400eのチャンネル長方向、一点鎖線A3-A4をトランジスタ1400eのチャンネル幅方向と呼ぶ場合がある。

40

【0277】

トランジスタ1400eは、金属酸化物1431a、金属酸化物1432aから成る第1のフィンと、金属酸化物1431b、金属酸化物1432bから成る第2のフィンと、金属酸化物1431c、金属酸化物1432cから成る第3のフィンと、を有している。

50

【0278】

トランジスタ1400eは、チャンネルが形成される金属酸化物1432a乃至金属酸化物1432cを、ゲート電極が取り囲むことで、チャンネル全体にゲート電界を印加することが可能になり、オン電流が高いトランジスタを得ることが可能になる。

【0279】

<トランジスタの構成例6>

図20(A)乃至図20(D)は、トランジスタ1400fの上面図及び断面図である。図20(A)は、トランジスタ1400fの上面図であり、図20(B)は図20(A)に示す一点鎖線A1-A2に対応する断面図であり、図20(C)は一点鎖線A3-A4に対応する断面図である。なお、一点鎖線A1-A2をチャンネル長方向、一点鎖線A3-A4をチャンネル幅方向という場合がある。トランジスタ1400fもトランジスタ1400a等と同様に、s-channel構造のトランジスタである。トランジスタ1400fでは、ゲート電極を構成する導電膜1412の側面に接して、絶縁膜1409が設けられている。絶縁膜1407、及び絶縁膜1409が絶縁膜1408に覆われている。絶縁膜1409はトランジスタ1400fのサイドウォール絶縁膜として機能する。トランジスタ1400aと同様に、ゲート電極を導電膜1411乃至導電膜1413の積層としてもよい。

10

【0280】

絶縁膜1406及び導電膜1412は、少なくとも一部が導電膜1414及び金属酸化物1432と重なる。導電膜1412のチャンネル長方向の側面端部と絶縁膜1406のチャンネル長方向の側面端部は概略一致していることが好ましい。ここで、絶縁膜1406はトランジスタ1400fのゲート絶縁膜として機能し、導電膜1412はトランジスタ1400fのゲート電極として機能する。

20

【0281】

金属酸化物1432は、金属酸化物1433及び絶縁膜1406を介して導電膜1412と重なる領域を有する。金属酸化物1431の外周が金属酸化物1432の外周と概略一致し、金属酸化物1433の外周が金属酸化物1431及び金属酸化物1432の外周よりも外側に位置することが好ましい。ここでは、金属酸化物1433の外周が金属酸化物1431の外周よりも外側に位置する形状となっているが、本実施の形態に示すトランジスタはこれに限られるものではない。例えば、金属酸化物1431の外周が金属酸化物1433の外周より外側に位置してもよいし、金属酸化物1431の側面端部と、金属酸化物1433の側面端部とが概略一致する形状としてもよい。

30

【0282】

図20(D)に図20(B)の部分拡大図を示す。図20(D)に示すように、金属酸化物1430には、領域1461a、1461b、1461c、1461d及び1461eが形成されている。領域1461b乃至領域1461eは、領域1461aと比較してドーパントの濃度が高く、低抵抗化されている。さらに、領域1461b及び領域1461cは、領域1461d及び領域1461eと比較して水素の濃度が高く、より低抵抗化されている。例えば、領域1461aは、領域1461b又は領域1461cのドーパントの最大濃度に対して、5%以下の濃度の領域、2%以下の濃度の領域、又は1%以下の濃度の領域とすればよい。なお、ドーパントを、ドナー、アクセプター、不純物又は元素と言い換えてもよい。

40

【0283】

図20(D)に示すように、金属酸化物1430において、領域1461aは導電膜1412と概ね重なる領域であり、領域1461b、領域1461c、領域1461d及び領域1461eは、領域1461aを除いた領域である。領域1461b及び領域1461cにおいては、金属酸化物1433の上面が絶縁膜1407と接する。領域1461d及び領域1461eにおいては、金属酸化物1433の上面が絶縁膜1409又は絶縁膜1406と接する。つまり、図20(D)に示すように、領域1461bと領域1461dの境界は、絶縁膜1407と絶縁膜1409の側面端部の境界と重なる部分である。領

50

域 1 4 6 1 c と領域 1 4 6 1 e の境界についても同様である。ここで、領域 1 4 6 1 d 及び領域 1 4 6 1 e の一部が、金属酸化物 1 4 3 2 の導電膜 1 4 1 2 と重なる領域（チャネル形成領域）の一部と重なることが好ましい。例えば、領域 1 4 6 1 d 及び領域 1 4 6 1 e のチャネル長方向の側面端部は、導電膜 1 4 1 2 の側面端部より距離 d だけ導電膜 1 4 1 2 の内側に位置することが好ましい。このとき、絶縁膜 1 4 0 6 の膜厚 t_{406} 及び距離 d は、 $0.25 t_{406} < d < t_{406}$ を満たすことが好ましい。

【0284】

このように、金属酸化物 1 4 3 0 の導電膜 1 4 1 2 と重なる領域の一部に領域 1 4 6 1 d 及び領域 1 4 6 1 e が形成される。これにより、トランジスタ 1 4 0 0 f のチャネル形成領域と低抵抗化された領域 1 4 6 1 d 及び領域 1 4 6 1 e が接し、領域 1 4 6 1 d 及び領域 1 4 6 1 e と、領域 1 4 6 1 a との間に、高抵抗のオフセット領域が形成されないため、トランジスタ 1 4 0 0 f のオン電流を増大させることができる。さらに、領域 1 4 6 1 d 及び領域 1 4 6 1 e のチャネル長方向の側面端部が上記の範囲を満たして形成されることで、領域 1 4 6 1 d 及び領域 1 4 6 1 e がチャネル形成領域に対して深く形成されすぎで常に導通状態になってしまうことも防ぐことができる。

10

【0285】

領域 1 4 6 1 b、領域 1 4 6 1 c、領域 1 4 6 1 d 及び領域 1 4 6 1 e は、イオン注入法などのイオンドーピング処理により形成される。このため、図 20 (D) に示すように、領域 1 4 6 1 d と領域 1 4 6 1 a の境界は、金属酸化物 1 4 3 3 の上面から金属酸化物 1 4 3 1 の下面まで深くなるにしたがって、一点鎖線 A 1 - A 2 の A 1 側の方向に向かって形成される場合がある。このときの距離 d は、一点鎖線 A 1 - A 2 方向において導電膜 1 4 1 2 の最も内側に位置する、領域 1 4 6 1 d と領域 1 4 6 1 a の境界と、導電膜 1 4 1 2 の一点鎖線 A 1 - A 2 方向における A 1 側の側面端部との距離とする。同様に、領域 1 4 6 1 e と領域 1 4 6 1 a の境界が、金属酸化物 1 4 3 3 上面から金属酸化物 1 4 3 1 の下面まで深くなるにしたがって、一点鎖線 A 1 - A 2 の A 2 側の方向に向かって形成される場合がある。このときの距離 d は、一点鎖線 A 1 - A 2 方向において導電膜 1 4 1 2 の最も内側に位置する、領域 1 4 6 1 e と領域 1 4 6 1 a の境界と、導電膜 1 4 1 2 の一点鎖線 A 1 - A 2 方向における A 2 側の側面端部との距離とする。

20

【0286】

この場合、例えば、金属酸化物 1 4 3 1 中に形成される領域 1 4 6 1 d 及び領域 1 4 6 1 e が導電膜 1 4 1 2 と重なる領域に形成されない場合がある。この場合、金属酸化物 1 4 3 1 又は金属酸化物 1 4 3 2 に形成される領域 1 4 6 1 d 及び領域 1 4 6 1 e の少なくとも一部が導電膜 1 4 1 2 と重なる領域に形成されることが好ましい。

30

【0287】

また、金属酸化物 1 4 3 1、金属酸化物 1 4 3 2 及び金属酸化物 1 4 3 3 の絶縁膜 1 4 0 7 との界面近傍に低抵抗領域 1 4 5 1 及び低抵抗領域 1 4 5 2 が形成されることが好ましい。低抵抗領域 1 4 5 1 及び低抵抗領域 1 4 5 2 は、絶縁膜 1 4 0 7 に含まれる元素の少なくとも一が含まれる。低抵抗領域 1 4 5 1 及び低抵抗領域 1 4 5 2 の一部が、金属酸化物 1 4 3 2 の導電膜 1 4 1 2 と重なる領域（チャネル形成領域）と概略接するか、当該領域の一部と重なることが好ましい。

40

【0288】

また、金属酸化物 1 4 3 3 は絶縁膜 1 4 0 7 と接する領域が大きいため、低抵抗領域 1 4 5 1 及び低抵抗領域 1 4 5 2 は金属酸化物 1 4 3 3 に形成されやすい。金属酸化物 1 4 3 3 における低抵抗領域 1 4 5 1 と低抵抗領域 1 4 5 2 は、金属酸化物 1 4 3 3 の低抵抗領域 1 4 5 1 及び低抵抗領域 1 4 5 2 ではない領域（例えば、金属酸化物 1 4 3 3 の導電膜 1 4 1 2 と重なる領域）より、絶縁膜 1 4 0 7 に含まれる元素の濃度が高い。

【0289】

領域 1 4 6 1 b 中に低抵抗領域 1 4 5 1 が形成され、領域 1 4 6 1 c 中に低抵抗領域 1 4 5 2 が形成される。金属酸化物 1 4 3 0 の理想的な構造は、例えば、添加元素の濃度が最も高い領域が低抵抗領域 1 4 5 1、1 4 5 2 であり、次に濃度が高い領域が、領域 1 4

50

6 1 b、領域 1 4 6 1 c 1 4 6 1 e の低抵抗領域 1 4 5 1、1 4 5 2 を含まない領域であり、濃度が最も低い領域が領域 1 4 6 1 a であることである。添加元素とは、領域 1 4 6 1 b、1 4 6 1 c を形成するためのドーパント、及び低抵抗領域 1 4 5 1、1 4 5 2 に絶縁膜 1 4 0 7 から添加される元素が該当する。

【0290】

なおトランジスタ 1 4 0 0 f では低抵抗領域 1 4 5 1、1 4 5 2 が形成される構成としているが、本実施の形態に示す半導体装置は、必ずしもこれに限られるものではない。例えば、領域 1 4 6 1 b 及び領域 1 4 6 1 c の抵抗が十分低い場合、低抵抗領域 1 4 5 1 及び低抵抗領域 1 4 5 2 を形成する必要はない。

【0291】

<トランジスタの構成例 7 >

図 2 1 (A) 及び図 2 1 (B) は、トランジスタ 1 6 8 0 の上面図及び断面図である。図 2 1 (A) は上面図であり、図 2 1 (A) に示す一点鎖線 A - B 方向の断面が図 2 1 (B) に相当する。なお、図 2 1 (A) 及び図 2 1 (B) では、図の明瞭化のために一部の要素を拡大、縮小、又は省略して図示している。また、一点鎖線 A - B 方向をチャネル長方向と呼称する場合がある。

【0292】

図 2 1 (B) に示すトランジスタ 1 6 8 0 は、第 1 のゲートとして機能する導電膜 1 6 8 9 と、第 2 のゲートとして機能する導電膜 1 6 8 8 と、半導体 1 6 8 2 と、ソース及びドレインとして機能する導電膜 1 6 8 3 及び導電膜 1 6 8 4 と、絶縁膜 1 6 8 1 と、絶縁膜 1 6 8 5 と、絶縁膜 1 6 8 6 と、絶縁膜 1 6 8 7 と、を有する。

【0293】

導電膜 1 6 8 9 は、絶縁表面上に設けられる。導電膜 1 6 8 9 と、半導体 1 6 8 2 とは、絶縁膜 1 6 8 1 を間に挟んで、互いに重なる。また、導電膜 1 6 8 8 と、半導体 1 6 8 2 とは、絶縁膜 1 6 8 5、絶縁膜 1 6 8 6 及び絶縁膜 1 6 8 7 を間に挟んで、互いに重なる。また、導電膜 1 6 8 3 及び導電膜 1 6 8 4 は、半導体 1 6 8 2 に、接続されている。

【0294】

導電膜 1 6 8 9 及び導電膜 1 6 8 8 の詳細は、図 1 3 に示す導電膜 1 4 1 1 乃至導電膜 1 4 1 4 の記載を参照すればよい。

【0295】

導電膜 1 6 8 9 と導電膜 1 6 8 8 は、異なる電位が与えられてもよいし、同時に同じ電位が与えられてもよい。トランジスタ 1 6 8 0 は、第 2 のゲート電極として機能する導電膜 1 6 8 8 を設けることで、しきい値を安定化させることが可能になる。なお、導電膜 1 6 8 8 は、場合によっては省略してもよい。

【0296】

半導体 1 6 8 2 の詳細は、図 1 3 に示す金属酸化物 1 4 3 2 の記載を参照すればよい。また、半導体 1 6 8 2 は、一層でも良いし、複数の半導体層の積層でも良い。

【0297】

導電膜 1 6 8 3 及び導電膜 1 6 8 4 の詳細は、図 1 3 に示す導電膜 1 4 2 1 乃至 1 4 2 4 の記載を参照すればよい。

【0298】

絶縁膜 1 6 8 1 の詳細は、図 1 3 に示す絶縁膜 1 4 0 6 の記載を参照すればよい。

【0299】

なお、図 2 1 (B) では、半導体 1 6 8 2、導電膜 1 6 8 3 及び導電膜 1 6 8 4 上に、順に積層された絶縁膜 1 6 8 5 乃至絶縁膜 1 6 8 7 が設けられている場合を例示しているが、半導体 1 6 8 2、導電膜 1 6 8 3 及び導電膜 1 6 8 4 上に設けられる絶縁膜は、一層でも良いし、複数の絶縁膜の積層でも良い。

【0300】

半導体 1 6 8 2 に酸化物半導体を用いた場合、絶縁膜 1 6 8 6 は、化学量論的組成以上の酸素が含まれており、加熱により上記酸素の一部を半導体 1 6 8 2 に供給する機能を有

10

20

30

40

50

する絶縁膜であることが望ましい。ただし、絶縁膜 1686 を半導体 1682 上に直接設けると、絶縁膜 1686 の形成時に半導体 1682 にダメージが与えられる場合、図 21 (B) に示すように、絶縁膜 1685 を半導体 1682 と絶縁膜 1686 の間に設けると良い。絶縁膜 1685 は、その形成時に半導体 1682 に与えるダメージが絶縁膜 1686 の場合よりも小さく、なおかつ、酸素を透過する機能を有する絶縁膜であることが望ましい。ただし、半導体 1682 に与えられるダメージを小さく抑えつつ、半導体 1682 上に絶縁膜 1686 を直接形成することができるのであれば、絶縁膜 1685 は必ずしも設けなくとも良い。

【0301】

例えば、絶縁膜 1685 及び絶縁膜 1686 として、酸化シリコン又は酸化窒化シリコンを含む材料を用いることが好ましい。又は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の金属酸化物を用いることもできる。

10

【0302】

絶縁膜 1687 は、酸素、水素、水の拡散を防ぐブロッキング効果を有することが、望ましい。或いは、絶縁膜 1687 は、水素、水の拡散を防ぐブロッキング効果を有することが、望ましい。

【0303】

絶縁膜は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜は、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いて、形成することができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜は、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

20

【0304】

絶縁膜 1687 が水、水素などの拡散を防ぐブロッキング効果を有する場合、パネル内の樹脂や、パネルの外部に存在する水、水素などの不純物が、半導体 1682 に侵入するのを防ぐことができる。半導体 1682 に酸化物半導体を用いる場合、酸化物半導体に侵入した水又は水素の一部は電子供与体（ドナー）となるため、上記ブロッキング効果を有する絶縁膜 1687 を用いることで、トランジスタ 1680 の閾値電圧がドナーの生成によりシフトするのを防ぐことができる。

30

【0305】

また、半導体 1682 に酸化物半導体を用いる場合、絶縁膜 1687 が酸素の拡散を防ぐブロッキング効果を有することで、酸化物半導体からの酸素が外部に拡散するのを防ぐことができる。よって、酸化物半導体中において、ドナーとなる酸素欠損が低減されるので、トランジスタ 1680 の閾値電圧がドナーの生成によりシフトするのを防ぐことができる。

【0306】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

40

【0307】

(実施の形態 5)

本実施の形態では、実施の形態 4 に示したトランジスタの構成例を実施の形態 1 又は実施の形態 2 に示したメモリセル MC、メモリセル MC [1] 乃至メモリセル MC [n] (以下、総称してメモリセル MC と呼ぶことにする) に適用したデバイスの構成例について、図 22 乃至図 27 を用いて説明を行う。

【0308】

<素子を積層させた構成例 1>

図 22 (A)、図 22 (B) はメモリセル MC の断面図の一部を示している。図 22 (A) は、メモリセル MC を構成するトランジスタのチャンネル長方向の断面図を表している

50

。また、図 2 2 (B) は、メモリセル M C を構成するトランジスタのチャンネル幅方向の断面図を表している。

【 0 3 0 9 】

図 2 2 (A)、図 2 2 (B) に示すメモリセル M C は、下から順に、層 L 0、L 1、L 2、L 3、L 4、L 5、L 6、L 7、L 8、L 9、L 1 0、L 1 1、L 1 2 を有している。

【 0 3 1 0 】

層 L 1 は、基板 1 7 0 0 と、基板 1 7 0 0 に形成されたトランジスタ T r A と、素子分離層 1 7 0 1 と、導電体 1 7 1 0、導電体 1 7 1 1 などの複数の導電体を有する。

【 0 3 1 1 】

層 L 2 は、配線 1 7 3 0、配線 1 7 3 1 などの複数の配線を有する。

【 0 3 1 2 】

層 L 3 は、導電体 1 7 1 2、導電体 1 7 1 3 などの複数の導電体と、複数の配線（図示せず）を有する。

【 0 3 1 3 】

層 L 4 は、絶縁体 1 7 0 6 と、トランジスタ T r B と、絶縁体 1 7 0 2 と、絶縁体 1 7 0 3 と、導電体 1 7 1 4、導電体 1 7 1 5 などの複数の導電体を有する。

【 0 3 1 4 】

層 L 5 は、配線 1 7 3 2、配線 1 7 3 3 などの複数の配線を有する。

【 0 3 1 5 】

層 L 6 は、導電体 1 7 1 6 などの複数の導電体を有する。

【 0 3 1 6 】

層 L 7 は、トランジスタ T r C と、絶縁体 1 7 0 4、絶縁体 1 7 0 5 と、導電体 1 7 1 7 などの複数の導電体を有する。

【 0 3 1 7 】

層 L 8 は、配線 1 7 3 4、配線 1 7 3 5 などの複数の配線を有する。

【 0 3 1 8 】

層 L 9 は、導電体 1 7 1 8 などの複数の導電体と、複数の配線（図示せず）を有する。

【 0 3 1 9 】

層 L 1 0 は、配線 1 7 3 6 などの複数の配線を有する。

【 0 3 2 0 】

層 L 1 1 は、容量素子 C 1 と、導電体 1 7 1 9 などの複数の導電体とを有している。また、容量素子 C 1 は、第 1 の電極 1 7 5 1 と、第 2 の電極 1 7 5 2 と、絶縁体 1 7 5 3 と、を有している。

【 0 3 2 1 】

層 L 1 2 は、配線 1 7 3 7 などの複数の配線を有している。

【 0 3 2 2 】

トランジスタ T r B、トランジスタ T r C は、実施の形態 4 に示した O S トランジスタを適用することが好ましい。図 2 2 (A)、図 2 2 (B) は、トランジスタ T r B、トランジスタ T r C に、図 1 7 (A) 乃至図 1 7 (C) に示すトランジスタ 1 4 0 0 c を適用した例を示している。

【 0 3 2 3 】

トランジスタ T r A は、トランジスタ T r B、トランジスタ T r C とは異なる半導体材料で形成されることが好ましい。図 2 2 (A)、図 2 2 (B) では、トランジスタ T r A に S i トランジスタを適用した例を示している。

【 0 3 2 4 】

なお、図 2 2 (A)、図 2 2 (B) では、トランジスタ T r B、及びトランジスタ T r C は、バックゲート電極として導電膜 1 4 1 4 を有しているが、必ずしも設ける必要はない。

【 0 3 2 5 】

10

20

30

40

50

基板 1700 としては、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板や、SOI 基板などを用いることができる。

【0326】

また、基板 1700 として、例えば、ガラス基板、石英基板、プラスチック基板、金属基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルム、などを用いてもよい。また、ある基板を用いて半導体素子を形成し、その後、別の基板に半導体素子を転置してもよい。図 22 (A)、図 22 (B) では、一例として、基板 1700 に単結晶シリコンウエハを用いた例を示している。

【0327】

図 24 (A)、図 24 (B) を用いて、トランジスタ Tr A の詳細について説明を行う。図 24 (A) はトランジスタ Tr A のチャンネル長方向の断面図を示し、図 24 (B) はトランジスタ Tr A のチャンネル幅方向の断面図を示している。トランジスタ Tr A は、ウェル 1792 に設けられたチャンネル形成領域 1793 と、低濃度不純物領域 1794 及び高濃度不純物領域 1795 (これらを合わせて単に不純物領域とも呼ぶ) と、高濃度不純物領域 1795 に接して設けられた導電性領域 1796 と、チャンネル形成領域 1793 上に設けられたゲート絶縁膜 1797 と、ゲート絶縁膜 1797 上に設けられたゲート電極 1790 と、ゲート電極 1790 の側面に設けられた側壁絶縁層 1798、側壁絶縁層 1799 とを有する。なお、導電性領域 1796 には、金属シリサイド等を用いてもよい。なお、導電性領域 1796 は、低濃度不純物領域 1794 に接して設けられてもよい。

【0328】

図 24 (B) において、トランジスタ Tr A はチャンネル形成領域 1793 が凸形状を有し、その側面及び上面に沿ってゲート絶縁膜 1797 及びゲート電極 1790 が設けられている。このような形状を有するトランジスタを FIN 型トランジスタと呼ぶ。本実施の形態では、半導体基板の一部を加工して凸部を形成する場合を示したが、SOI 基板を加工して凸形状を有する半導体層を形成してもよい。

【0329】

なお、トランジスタ Tr A は、FIN 型トランジスタに限定されず、図 25 (A)、図 25 (B) に示すプレーナー型トランジスタを用いてもよい。図 25 (A) は、トランジスタ Tr A のチャンネル長方向の断面図を示し、図 25 (B) はトランジスタ Tr A のチャンネル幅方向の断面図を示している。図 25 に示す符号は、図 24 に示す符号と同一である。

【0330】

図 22 (A)、図 22 (B) において、絶縁体 1702 乃至絶縁体 1706 は、水素、水等に対するブロッキング効果を有することが好ましい。水、水素等は酸化物半導体中にキャリアを生成する要因の一つであるので、水素、水等に対するブロッキング層を設けることにより、トランジスタ Tr B 及びトランジスタ Tr C の信頼性を向上させることが可能になる。水素、水等に対するブロッキング効果を有する絶縁物には、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア (YSZ) 等がある。

【0331】

配線 1730 乃至配線 1737、及び、導電体 1710 乃至導電体 1719 には、銅 (Cu)、タングステン (W)、モリブデン (Mo)、金 (Au)、アルミニウム (Al)、マンガン (Mn)、チタン (Ti)、タンタル (Ta)、ニッケル (Ni)、クロム (Cr)、鉛 (Pb)、錫 (Sn)、鉄 (Fe)、コバルト (Co) の低抵抗材料からなる単体、もしくは合金、又はこれらを主成分とする化合物を含む導電膜の単層又は積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、Cu-Mn 合金を用いると、酸素を含む絶縁体との界面

10

20

30

40

50

に酸化マンガンを形成し、酸化マンガンがCuの拡散を抑制する機能を持つので好ましい。

【0332】

図22において、符号及びハッチングパターンが与えられていない領域は、絶縁体で構成されている。上記絶縁体には、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上の材料を含む絶縁体を用いることができる。また、当該領域には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の有機樹脂を用いることもできる。なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。

10

【0333】

実施の形態1に示すトランジスタWTrにOSTランジスタを適用する場合、トランジスタWTrは、層L4又は層L7の一方に形成されることが好ましい。また、層L4又は層L7の他方には、別のメモリセルMCのトランジスタWTr、又はメモリセルMCの周辺に形成される駆動回路に有するOSTランジスタを形成してもよい。

【0334】

実施の形態2に示すトランジスタWTr、トランジスタRTr、トランジスタWTr[1]乃至トランジスタWTr[n]、トランジスタRTr[1]乃至トランジスタRTr[n]にOSTランジスタを適用する場合、トランジスタWTr、トランジスタRTr、トランジスタWTr[1]乃至トランジスタWTr[n]、トランジスタRTr[1]乃至トランジスタRTr[n]は、層L4又は層L7に形成されることが好ましい。

20

【0335】

実施の形態1に示すトランジスタRTrにSiトランジスタを適用する場合、トランジスタRTrは層L1に形成されることが好ましい。

【0336】

実施の形態2に示すトランジスタRTr、トランジスタRTr[1]乃至トランジスタRTr[n]にSiトランジスタを適用する場合、トランジスタRTr、トランジスタRTr[1]乃至トランジスタRTr[n]は層L1に形成されることが好ましい。

30

【0337】

なお、実施の形態2の半導体装置120のように、Siトランジスタを適用しない場合は、図26に示すメモリセルMCのような、層L0上にトランジスタTrBを形成した構成としてもよい。

【0338】

実施の形態1示す容量素子Cは、層L11に形成されることが好ましい。

【0339】

実施の形態2示す容量素子C、容量素子C[1]乃至容量素子C[n]は、層L11に形成されることが好ましい。

【0340】

また、図22(A)、及び図22(B)に示す容量素子C1は、トランジスタTrB、及びトランジスタTrC上に位置しているが、本発明の一態様はこれに限定されない。例えば、容量素子C1の上部にトランジスタTrB、及びトランジスタTrCを形成する構成であってもよい(図示しない)。

40

【0341】

また、図22(A)、及び図22(B)に示す容量素子C1は、トレンチ型の容量素子となっているが、容量素子C1をプレーナ型とすれば、トランジスタTrB又はトランジスタTrCと同一の層に容量素子C1を形成することができる(図示しない)。

【0342】

メモリセルMCの周辺に形成される駆動回路をOSTランジスタで形成する場合、該O

50

Sトランジスタは層L4又は層L7に形成してもよい。

【0343】

メモリセルMCの周辺に形成される駆動回路をSiトランジスタで形成する場合、該Siトランジスタは層L1に形成してもよい。

【0344】

メモリセルMCは、図22に示す構成にすることで、占有面積を小さくし、メモリセルを高集積化することが可能になる。

【0345】

なお、実施の形態1に示すメモリセルMCを図22(A)、図22(B)の構造として適用する場合、図22(A)、図22(B)に図示しているトランジスタ(TrA、TrB、TrC)の数、また容量素子(C1)の数に過不足が生じる場合がある。この場合、層L4、層L7、層L11の数を増減する、また同じ層内で素子を追加する、などといったように図22(A)、図22(B)の構造を適宜変更すればよい。

【0346】

<素子を積層させた構成例2>

メモリセルMCは、メモリセルMCが有する全てのOSTランジスタを、同一の層に形成する構成としてもよい。その場合の例を、図23(A)、図23(B)に示す。図22と同様に、図23(A)はメモリセルMCを構成するトランジスタのチャネル長方向の断面図を表し、図23(B)はメモリセルMCを構成するトランジスタのチャネル幅方向の断面図を表している。

【0347】

図23(A)、図23(B)は、層L6乃至L8が省かれ、層L5の上に層L9が形成されている点で、図22(A)、図22(B)に示す断面図と相違する。図23(A)、図23(B)のその他の詳細は、図22(A)、図22(B)の記載を参酌する。

【0348】

実施の形態1に示すトランジスタWTrにOSTランジスタを適用する場合、トランジスタWTrは、層L4に形成されることが好ましい。

【0349】

実施の形態2に示すトランジスタWTr、トランジスタRTr、トランジスタWTr[1]乃至トランジスタWTr[n]、トランジスタRTr[1]乃至トランジスタRTr[n]にOSTランジスタを適用する場合、トランジスタWTr、トランジスタRTr、トランジスタWTr[1]乃至トランジスタWTr[n]、トランジスタRTr[1]乃至トランジスタRTr[n]は、層L4に形成されることが好ましい。

【0350】

実施の形態1に示すトランジスタRTrにSiトランジスタを適用する場合、トランジスタRTrは層L1に形成されることが好ましい。

【0351】

実施の形態2に示すトランジスタRTr、トランジスタRTr[1]乃至トランジスタRTr[n]にSiトランジスタを適用する場合、トランジスタRTr、トランジスタRTr[1]乃至トランジスタRTr[n]は層L1に形成されることが好ましい。

【0352】

なお、実施の形態2の半導体装置120のように、Siトランジスタを適用しない場合は、図27に示すメモリセルMCのような、層L0上にトランジスタTrBを形成した構成としてもよい。

【0353】

実施の形態1に示す容量素子C1は、層L11に形成されることが好ましい。

【0354】

実施の形態2に示す容量素子C、容量素子C[1]乃至容量素子C[n]は、層L11に形成されることが好ましい。

【0355】

10

20

30

40

50

また、図 23 (A)、及び図 23 (B) に示す容量素子 C 1 は、トランジスタ Tr B、及びトランジスタ Tr C 上に位置しているが、本発明の一態様はこれに限定されない。例えば、容量素子 C 1 の上部にトランジスタ Tr B を形成する構成であってもよい (図示しない。)。

【 0 3 5 6 】

また、図 23 (A)、及び図 23 (B) に示す容量素子 C 1 は、トレンチ型の容量素子となっているが、容量素子 C 1 をプレーナー型とすれば、トランジスタ Tr B と同一の層に容量素子 C 1 を形成することができる (図示しない。)。

【 0 3 5 7 】

メモリセル MC の周辺に形成される駆動回路を OS トランジスタで形成する場合、該 OS トランジスタは層 L 4 に形成してもよい。

10

【 0 3 5 8 】

メモリセル MC の周辺に形成される駆動回路を Si トランジスタで形成する場合、該 Si トランジスタは層 L 1 に形成してもよい。

【 0 3 5 9 】

メモリセル MC は、図 23 (A)、図 23 (B) に示す構成にすることで、製造工程を単純化することが可能になる。

【 0 3 6 0 】

なお、実施の形態 1 に示すメモリセル MC を図 23 (A)、図 23 (B) の構造として適用する場合、図 23 (A)、図 23 (B) に図示しているトランジスタ (Tr A、Tr B、Tr C) の数、また容量素子 (C 1) の数に過不足が生じる場合がある。この場合、層 L 4、層 L 1 1 の数を増減する、また同じ層内で素子を追加する、などといったように図 23 (A)、図 23 (B) の構造を適宜変更すればよい。

20

【 0 3 6 1 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができ

る。

【 0 3 6 2 】

(実施の形態 6)
本実施の形態では、上記実施の形態で説明した OS トランジスタに適用可能な酸化物半

30

【 0 3 6 3 】

< 酸化物半導体の構造 >

以下では、酸化物半導体の構造について説明する。

【 0 3 6 4 】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC - OS (c - axis - aligned a - b - plane - anchored crystalline oxide semiconductor)、多結晶酸化物半導体、nc - OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a - like OS : amorphous - like oxide semiconductor) 及び非晶質酸化物半導体などがある。

40

【 0 3 6 5 】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC - OS、多結晶酸化物半導体及び nc - OS などがある。

【 0 3 6 6 】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【 0 3 6 7 】

50

逆の見方をすると、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ポイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

【0368】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0369】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

【0370】

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図28(A)に示すように回折角(2θ)が31°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、又は上面に略垂直な方向を向いていることが確認できる。なお、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

【0371】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図28(B)に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56°近傍に固定してスキャンした場合、図28(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸及びb軸の配向が不規則であることが確認できる。

【0372】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図28(D)に示すような回折パターン(制限視野電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面又は上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図28(E)に示す。図28(E)より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸及びb軸は配向性を有さないことがわかる。なお、図28(E)における第1リングは、InGaZnO₄の結晶の(010)面及び(100)面などに起因すると考えられる。また、図28(E)における第2リングは(110)面などに起因すると考えられる。

【0373】

また、透過型電子顕微鏡 (TEM: Transmission Electron M

10

20

30

40

50

microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0374】

図29(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

10

【0375】

図29(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。また、CAAC-OSを、CAN(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの膜を被形成面又は上面の凹凸を反映しており、CAAC-OSの被形成面又は上面と平行となる。

20

【0376】

また、図29(B)及び図29(C)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図29(D)及び図29(E)は、それぞれ図29(B)及び図29(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図29(B)を高速フーリエ変換(FFT:Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT:Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

30

【0377】

図29(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0378】

図29(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示し、格子配列の向きを破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形、五角形又は七角形が形成できる場合がある。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子間の結合距離が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

40

【0379】

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAAc crystal(c-axis-aligned a-b-plane-anchored crystal)を有する酸化物半導体と称することもで

50

きる。

【0380】

C A A C - O S は結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をすると C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0381】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（又は分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

10

【0382】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0383】

不純物及び酸素欠損の少ない C A A C - O S は、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

20

【0384】

< n c - O S >

次に、n c - O S について説明する。

【0385】

n c - O S を X R D によって解析した場合について説明する。例えば、n c - O S に対し、o u t - o f - p l a n e 法による構造解析を行うと、配向性を示すピークが現れない。即ち、n c - O S の結晶は配向性を有さない。

30

【0386】

また、例えば、 InGaZnO_4 の結晶を有する n c - O S を薄片化し、厚さが 34 nm の領域に対し、被形成面に平行にプローブ径が 50 nm の電子線を入射させると、図 30 (A) に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が 1 nm の電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図 30 (B) に示す。図 30 (B) より、リング状の領域内に複数のスポットが観測される。したがって、n c - O S は、プローブ径が 50 nm の電子線を入射させることでは秩序性が確認されないが、プローブ径が 1 nm の電子線を入射させることでは秩序性が確認される。

40

【0387】

また、厚さが 10 nm 未満の領域に対し、プローブ径が 1 nm の電子線を入射させると、図 30 (C) に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが 10 nm 未満の範囲において、n c - O S が秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0388】

図 30 (D) に、被形成面と略平行な方向から観察した n c - O S の断面の Cs 補正高分解能 T E M 像を示す。n c - O S は、高分解能 T E M 像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできな

50

い領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体(microcrystalline oxide semiconductor)と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

【0389】

このように、nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

10

【0390】

なお、ペレット(ナノ結晶)間で結晶方位が規則性を有さないことから、nc-OSを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、又はNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

【0391】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

20

【0392】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0393】

図31に、a-like OSの高分解能断面TEM像を示す。ここで、図31(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図31(B)は $4.3 \times 10^8 \text{ e}^- / \text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図31(A)及び図31(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆又は低密度領域と推測される。

30

【0394】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OS及びnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0395】

試料として、a-like OS、nc-OS及びCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

40

【0396】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0397】

なお、 InGaZnO_4 の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、

50

以下では、格子縞の間隔が 0.28 nm 以上 0.30 nm 以下である箇所を、 InGaZnO_4 の結晶部と見なした。なお、格子縞は、 InGaZnO_4 の結晶の $a-b$ 面に対応する。

【0398】

図32は、各試料の結晶部（22箇所から30箇所）の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図32より、 a -like OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図32より、TEMによる観察初期においては 1.2 nm 程度の大きさだった結晶部（初期核ともいう。）が、電子（ e^- ）の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては 1.9 nm 程度の大きさまで成長していることがわかる。一方、 nc -OS及びCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図32より、電子の累積照射量によらず、 nc -OS及びCAAC-OSの結晶部の大きさは、それぞれ 1.3 nm 程度及び 1.8 nm 程度であることがわかる。なお、電子線照射及びTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を 300 kV 、電流密度を $6.7 \times 10^5 \text{ e}^-/(\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を 230 nm とした。

10

【0399】

このように、 a -like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、 nc -OS及びCAAC-OSは、電子照射による結晶部の成長がほとんど見られない。即ち、 a -like OSは、 nc -OS及びCAAC-OSと比べて、不安定な構造であることがわかる。

20

【0400】

また、鬆を有するため、 a -like OSは、 nc -OS及びCAAC-OSと比べて密度の低い構造である。具体的には、 a -like OSの密度は、同じ組成の単結晶の密度の 78.6% 以上 92.3% 未満となる。また、 nc -OSの密度及びCAAC-OSの密度は、同じ組成の単結晶の密度の 92.3% 以上 100% 未満となる。単結晶の密度の 78% 未満となる酸化物半導体は、成膜すること自体が困難である。

【0401】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は $6.357 \text{ g}/\text{cm}^3$ となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 a -like OSの密度は $5.0 \text{ g}/\text{cm}^3$ 以上 $5.9 \text{ g}/\text{cm}^3$ 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 nc -OSの密度及びCAAC-OSの密度は $5.9 \text{ g}/\text{cm}^3$ 以上 $6.3 \text{ g}/\text{cm}^3$ 未満となる。

30

【0402】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

40

【0403】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、 a -like OS、 nc -OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

【0404】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0405】

50

(実施の形態7)

本実施の形態では、上述の実施の形態で説明した半導体装置を記憶装置として電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図33、図34を用いて説明する。

【0406】

<電子部品>

図33(A)では上述の実施の形態で説明し半導体装置を記憶装置として電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又はIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

10

【0407】

上記実施の形態1、及び実施の形態2に示すようなトランジスタで構成される半導体装置は、組み立て工程(後工程)を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

【0408】

後工程については、図33(A)に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成(ステップS1)した後、基板の裏面を研削する(ステップS2)。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

20

【0409】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う(ステップS3)。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

【0410】

なお、本実施の形態において、基板の一方の面に素子が形成されていたとき、基板の一方の面を表面とし、該基板の他方の面(該基板の素子が形成されていない側の面)を裏面とする。

30

【0411】

次いでリードフレームのリードとチップ上の電極とを、金属の細線(ワイヤー)で電氣的に接続する、ワイヤーボンディングを行う(ステップS4)。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【0412】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される(ステップS5)。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができる。また水分や埃による特性の劣化を低減することができる。

40

【0413】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する(ステップS6)。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際にはんだ付けをより確実に行うことができる。

【0414】

次いでパッケージの表面に印字処理(マーキング)を施す(ステップS7)。そして最終的な検査工程(ステップS8)を経て電子部品が完成する(ステップS9)。

【0415】

以上説明した電子部品は、上述の実施の形態で説明した半導体装置を含む構成とすることができる。そのため、信頼性に優れた電子部品を実現することができる。

50

【0416】

また、完成した電子部品の斜視模式図を図33(B)に示す。図33(B)では、電子部品の一例として、QFP(Quad Flat Package)の斜視模式図を示している。図33(B)に示す電子部品4700は、リード4701及び回路部4703を示している。図33(B)に示す電子部品4700は、例えばプリント基板4702に実装される。このような電子部品4700が複数組み合わせられて、それぞれがプリント基板4702上で電氣的に接続されることで電子機器の内部に搭載することができる。完成した回路基板4704は、電子機器等の内部に設けられる。

【0417】

<電子機器>

10

次に上述した電子部品を適用した電子機器について説明する。

【0418】

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機、医療機器などが挙げられる。これら電子機器の具体例を図34に示す。

20

【0419】

図34(A)は携帯型ゲーム機であり、筐体5201、筐体5202、表示部5203、表示部5204、マイクロフォン5205、スピーカ5206、操作キー5207、スタイラス5208等を有する。本発明の一態様にかかる半導体装置は、携帯型ゲーム機の各種集積回路に用いることができる。なお、図34(A)に示した携帯型ゲーム機は、2つの表示部5203と表示部5204とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0420】

図34(B)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。本発明の一態様にかかる半導体装置は、携帯情報端末の各種集積回路に用いることができる。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602との間の角度は、接続部5605により変更が可能である。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

30

40

【0421】

図34(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。本発明の一態様にかかる半導体装置は、ノート型パーソナルコンピュータの各種集積回路に用いることができる。

【0422】

図34(D)はウェアラブル端末の一種であるスマートウォッチであり、筐体5901

50

、表示部 5902、操作ボタン 5903、操作子 5904、バンド 5905などを有する。本発明の一態様にかかる半導体装置は、スマートウォッチの各種集積回路に用いることができる。また、表示部 5902に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。また、操作ボタン 5903にスマートウォッチを起動する電源スイッチ、スマートウォッチのアプリケーションを操作するボタン、音量調整ボタン、又は表示部 5902を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。また、図 34 (D) に示したスマートウォッチでは、操作ボタン 5903の数を 2 個示しているが、スマートウォッチの有する操作ボタンの数は、これに限定されない。また、操作子 5904は、スマートウォッチの時刻合わせを行うリユーズとして機能する。また、操作子 5904は、時刻合わせ以外に、スマートウォッチのアプリケーションを操作する入力インターフェースとして、用いるようにしてもよい。なお、図 34 (D) に示したスマートウォッチでは、操作子 5904を有する構成となっているが、これに限定せず、操作子 5904を有さない構成であってもよい。

10

20

30

40

50

【0423】

図 34 (E) はビデオカメラであり、第 1 筐体 5801、第 2 筐体 5802、表示部 5803、操作キー 5804、レンズ 5805、接続部 5806等を有する。本発明の一態様にかかる半導体装置は、ビデオカメラの各種集積回路に用いることができる。操作キー 5804及びレンズ 5805は第 1 筐体 5801に設けられており、表示部 5803は第 2 筐体 5802に設けられている。そして、第 1 筐体 5801と第 2 筐体 5802とは、接続部 5806により接続されており、第 1 筐体 5801と第 2 筐体 5802の間の角度は、接続部 5806により変更が可能である。表示部 5803における映像を、接続部 5806における第 1 筐体 5801と第 2 筐体 5802との間の角度に従って切り替える構成としてもよい。

【0424】

図 34 (F) は乗用車であり、車体 5701、車輪 5702、ダッシュボード 5703、ライト 5704等を有する。本発明の一態様にかかる半導体装置は、乗用車の各種集積回路に用いることができる。

【0425】

図 34 (G) は電気冷凍冷蔵庫であり、筐体 5301、冷蔵室用扉 5302、冷凍室用扉 5303等を有する。本発明の一態様にかかる半導体装置は、電気冷凍冷蔵庫の各種集積回路に用いることができる。

【0426】

図 34 (H) は、情報端末の機能を有する携帯電話であり、筐体 5501、表示部 5502、マイク 5503、スピーカ 5504、操作ボタン 5505を有する。また、表示部 5502に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。また、操作ボタン 5505に携帯電話を起動する電源スイッチ、携帯電話のアプリケーションを操作するボタン、音量調整ボタン、又は表示部 5502を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。また、図 34 (H) に示した携帯電話では、操作ボタン 5505の数を 2 個示しているが、携帯電話の有する操作ボタンの数は、これに限定されない。また、図示していないが、図 34 (H) に示した携帯電話は、カメラを有する構成であってもよい。また、図示していないが、図 34 (H) に示した携帯電話は、フラッシュライト、又は照明の用途として発光装置を有する構成であってもよい。また、図示していないが、図 34 (H) に示した携帯電話は、筐体 5501の内部にセンサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時

間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線などを測定する機能を含むもの)を有する構成であってもよい。特に、ジャイロ、加速度センサなどの傾きを検出するセンサを有する検出装置を設けることで、図34(H)に示す携帯電話の向き(鉛直方向に対して携帯電話がどの向きに向いているか)を判断して、表示部5502の画面表示を、携帯電話の向きに応じて自動的に切り替えるようにすることができる。また、特に、指紋、静脈、虹彩、又は声紋など生体情報を取得するセンサを有する検出装置を設けることで、生体認証機能を有する携帯電話を実現することができる。

【0427】

次に、本発明の一態様の半導体装置又は記憶装置を備えることができる表示装置の使用例について説明する。一例としては、表示装置は、画素を有する。画素は、例えば、トランジスタや表示素子を有する。又は、表示装置は、画素を駆動する駆動回路を有する。駆動回路は、例えば、トランジスタを有する。例えば、これらのトランジスタとして、他の実施の形態で述べたトランジスタを採用することができる。

【0428】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置は、例えば、EL(エレクトロルミネッセンス)素子(有機物及び無機物を含むEL素子、有機EL素子、無機EL素子)、LEDチップ(白色LEDチップ、赤色LEDチップ、緑色LEDチップ、青色LEDチップなど)、トランジスタ(電流に応じて発光するトランジスタ)、プラズマディスプレイパネル(PDP)、電子放出素子、カーボンナノチューブを用いた表示素子、液晶素子、電子インク、エレクトロウエッチング素子、電気泳動素子、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子(例えば、グレーティングライトバルブ(GLV)、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、MIRASOL(登録商標)、IMOD(インターフェロメトリック・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、圧電セラミックディスプレイなど)、又は、量子ドットなどの少なくとも一つを有している。これらの他にも、表示素子、表示装置、発光素子又は発光装置は、電氣的又は磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)又はSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク、電子粉流体(登録商標)、又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。量子ドットを各画素に用いた表示装置の一例としては、量子ドットディスプレイなどがある。なお、量子ドットは、表示素子としてではなく、バックライトの一部に設けてもよい。量子ドットを用いることにより、色純度の高い表示を行うことができる。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、又は、全部が、反射電極としての機能を有するようによればよい。例えば、画素電極の一部、又は、全部が、アルミニウム、銀、などを有するようによればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。なお、LEDチップを用いる場合、LEDチップの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体層などを容易に成膜することができる。さらに、その上に、結晶を有するp

10

20

30

40

50

型 GaN 半導体層などを設けて、LEDチップを構成することができる。なお、グラフェンやグラファイトと、結晶を有する n 型 GaN 半導体層との間に、AlN 層を設けてもよい。なお、LEDチップが有する GaN 半導体層は、MOCVD で成膜してもよい。ただし、グラフェンを設けることにより、LEDチップが有する GaN 半導体層は、スパッタ法で成膜することも可能である。また、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子においては、表示素子が封止されている空間（例えば、表示素子が配置されている素子基板と、素子基板に対向して配置されている対向基板との間）に、乾燥剤を配置してもよい。乾燥剤を配置することにより、MEMS などが水分によって動きにくくなることや、劣化しやすくなることを防止することができる。

【0429】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0430】

（実施の形態 8）

本発明の一態様の記憶装置は、メモリカード（例えば、SDカード）、USBメモリ（USB；Universal Serial Bus）、SSD（Solid State Drive）等の各種のリムーバブル記憶装置に適用することができる。本実施の形態では、リムーバブル記憶装置の幾つかの構成例について、図35を用いて、説明する。

【0431】

図35（A）はUSBメモリの模式図である。USBメモリ5100は、筐体5101、キャップ5102、USBコネクタ5103及び基板5104を有する。基板5104は、筐体5101に収納されている。基板5104には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5104には、メモリチップ5105、コントローラチップ5106が取り付けられている。メモリチップ5105は、先の実施の形態で説明したメモリセルアレイ2610、ローデコーダ2621、ワード線ドライバ回路2622、ビット線ドライバ回路2630、カラムデコーダ2631、プリチャージ回路2632、センスアンプ2633、出力回路2640などが組み込まれている。コントローラチップ5106は、プロセッサ、ワークメモリ、ECC回路等が組み込まれている。なお、メモリチップ5105とコントローラチップ5106とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、又は場合によって、適宜回路構成を変更してもよい。例えば、ローデコーダ2621、ワード線ドライバ回路2622、ビット線ドライバ回路2630、カラムデコーダ2631、プリチャージ回路2632、センスアンプ2633をメモリチップ5105でなく、コントローラチップ5106に組み込んだ構成としてもよい。USBコネクタ5103が外部装置と接続するためのインターフェースとして機能する。

【0432】

図35（B）はSDカードの外観の模式図であり、図35（C）は、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112及び基板5113を有する。コネクタ5112が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体5111に収納されている。基板5113には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5113には、メモリチップ5114、コントローラチップ5115が取り付けられている。メモリチップ5114には、先の実施の形態で説明したメモリセルアレイ2610、ローデコーダ2621、ワード線ドライバ回路2622、ビット線ドライバ回路2630、カラムデコーダ2631、プリチャージ回路2632、センスアンプ2633、出力回路2640などが組み込まれている。コントローラチップ5115には、プロセッサ、ワークメモリ、ECC回路等が組み込まれている。なお、メモリチップ5114とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、又は場合によって、適宜回路構成を変更してもよい。例えば、ローデコーダ2621、ワード線ドライバ回路2622、ビット線ドライバ回路2630、カラムデコーダ2631、プリチャージ回路26

10

20

30

40

50

32、センスアンプ2633をメモリチップ5114でなく、コントローラチップ5115に組み込んだ構成としてもよい。

【0433】

基板5113の裏面側にもメモリチップ5114を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによって、外部装置とSDカード5110との間で無線通信を行うことができ、メモリチップ5114のデータの読み出し、書き込みが可能となる。

【0434】

図35(D)はSSDの外観の模式図であり、図35(E)は、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152及び基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納されている。基板5153には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5153には、メモリチップ5154、メモリチップ5155、コントローラチップ5156が取り付けられている。メモリチップ5154には、先の実施の形態で説明したメモリセルアレイ2610、ローデコーダ2621、ワード線ドライバ回路2622、ビット線ドライバ回路2630、カラムデコーダ2631、プリチャージ回路2632、センスアンプ2633、出力回路2640などが組み込まれている。基板5153の裏面側にもメモリチップ5154を設けることで、SSD5150の容量を増やすことができる。メモリチップ5155にはワークメモリが組み込まれている。例えば、メモリチップ5155には、DRAMチップを用いればよい。コントローラチップ5156には、プロセッサ、ECC回路などが組み込まれている。なお、メモリチップ5154と、メモリチップ5155と、コントローラチップ5115と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、又は場合によって、適宜回路構成を変更しても良い。例えば、コントローラチップ5156にも、ワークメモリとして機能するメモリを設けてもよい。

【0435】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0436】

(実施の形態9)

本実施の形態では、本発明の一態様の記憶装置を備えることができるRFタグの使用例について図36を用いながら説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類(運転免許証や住民票等、図36(A)参照)、記録媒体(DVDやビデオテープ等、図36(B)参照)、包装用容器類(包装紙やボトル等、図36(C)参照)、乗り物類(自転車等、図36(D)参照)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、又は電子機器(液晶表示装置、EL表示装置、テレビジョン装置、又は携帯電話)等の物品、若しくは各物品に取り付ける荷札(図36(E)、図36(F)参照)等に設けて使用することができる。

【0437】

本発明の一態様に係るRFタグ4000は、表面に貼る、又は埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、又は証券類等に本発明の一態様に係るRFタグ4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、又は電子機器等に本発明の一態様に係るRFタグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグを取り付けること

10

20

30

40

50

により、盗難などに対するセキュリティ性を高めることができる。

【0438】

以上のように、本発明の一態様に係わるRFタグを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【0439】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0440】

(本明細書等の記載に関する付記)

以上の実施の形態における各構成の説明について、以下に付記する。

【0441】

<実施の形態で述べた本発明の一態様に関する付記>

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

【0442】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)と、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

【0443】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0444】

なお、ある一つの実施の形態において述べる図(一部でもよい)は、その図の別の部分、その実施の形態において述べる別の図(一部でもよい)と、一つ若しくは複数の別の実施の形態において述べる図(一部でもよい)との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0445】

<序数詞に関する付記>

本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【0446】

<図面を説明する記載に関する付記>

実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0447】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士の

10

20

30

40

50

位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

【0448】

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層 A 上の電極 B」の表現であれば、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

【0449】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

10

【0450】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

【0451】

また、図面において、上面図（平面図、レイアウト図ともいう）や斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

【0452】

また、図面において、同一の要素又は同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0453】

< 言い換え可能な記載に関する付記 >

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第 1 電極、又は第 1 端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第 2 電極、又は第 2 端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

30

【0454】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

40

【0455】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも 0 V を意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0456】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導

50

電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

【0457】

なお本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。

10

【0458】

< 語句の定義に関する付記 >

以下では、上記実施の形態中で言及した語句の定義について説明する。

【0459】

<< 半導体について >>

本明細書において、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

20

【0460】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

30

【0461】

なお、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素(水にも含まれる)、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

40

【0462】

<< トランジスタについて >>

本明細書において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン(ドレイン端子、ドレイン領域又はドレイン電極)とソース(ソース端子、ソース領域又はソース電極)の間にチャンネル形成領域を有しており、ドレインとチャンネル形成領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として

50

流れる領域をいう。

【0463】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

【0464】

<<スイッチについて>>

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

10

【0465】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0466】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路など

20

【0467】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

【0468】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

30

【0469】

<<チャンネル長について>>

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（又はトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、又はチャンネルが形成される領域における、ソース（ソース領域又はソース電極）とドレイン（ドレイン領域又はドレイン電極）との間の距離をいう。

【0470】

なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値又は平均値とする。

40

【0471】

<<チャンネル幅について>>

本明細書等において、チャンネル幅とは、例えば、上面図において半導体（又はトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、又はチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

【0472】

50

なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値又は平均値とする。

【0473】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

10

【0474】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

20

【0475】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅又は見かけ上のチャンネル幅を指す場合がある。又は、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

30

【0476】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0477】

<< 接続について >>

なお、本明細書等において、XとYとが接続されている、と記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも含むものとする。

40

【0478】

ここで使用するX、Yなどは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0479】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか

50

流さないかを制御する機能を有している。

【0480】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

10

【0481】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0482】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

20

【0483】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

30

40

【0484】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている

50

場合も、その範疇に含める。

【 0 4 8 5 】

< < 平行、垂直について > >

本明細書において、「平行」とは、二つの直線が -10° 以上かつ 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上かつ 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上かつ 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上かつ 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上かつ 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上かつ 120° 以下の角度で配置されている状態をいう。

10

【 0 4 8 6 】

< < 三方晶、菱面体晶について > >

本明細書において、結晶が三方晶又は菱面体晶である場合、六方晶系として表す。

【 符号の説明 】

【 0 4 8 7 】

M C メモリセル

C T L C 制御回路

B L 配線

W B L 配線

R B L 配線

W L 配線

S L 配線

W L C 配線

B G 配線

W T r トランジスタ

R T r トランジスタ

C 容量素子

F N 保持ノード

M C [1] メモリセル

M C [m] メモリセル

C T L C [1] 制御回路

C T L C [i] 制御回路

C T L C [m] 制御回路

S T r トランジスタ

S G 配線

W L [1] 配線

W L [m] 配線

W L C [1] 配線

W L C [i] 配線

W L C [m] 配線

W T r [1] トランジスタ

W T r [m] トランジスタ

R T r [1] トランジスタ

R T r [m] トランジスタ

C [1] 容量素子

C [m] 容量素子

F N [1] 保持ノード

F N [m] 保持ノード

M C [1 , 1] メモリセル

M C [1 , j] メモリセル

20

30

40

50

MC [1 , n]	メモリセル	
MC [i , 1]	メモリセル	
MC [i , j]	メモリセル	
MC [i , n]	メモリセル	
MC [m , 1]	メモリセル	
MC [m , j]	メモリセル	
MC [m , n]	メモリセル	
STr [1]	トランジスタ	
STr [j]	トランジスタ	
STr [n]	トランジスタ	10
SG [1]	配線	
SG [j]	配線	
SG [n]	配線	
WBL [1]	配線	
WBL [j]	配線	
WBL [n]	配線	
RBL [1]	配線	
RBL [j]	配線	
RBL [n]	配線	
SL [1]	配線	20
SL [j]	配線	
SL [n]	配線	
WL [1 , 1]	配線	
WL [1 , j]	配線	
WL [1 , n]	配線	
WL [i , 1]	配線	
WL [i , j]	配線	
WL [i , n]	配線	
WL [m , 1]	配線	
WL [m , j]	配線	30
WL [m , n]	配線	
T 0	時刻	
T 1	時刻	
T 2	時刻	
T 3	時刻	
T 4	時刻	
T 5	時刻	
T 6	時刻	
T 7	時刻	
T 8	時刻	40
T 9	時刻	
Tr A	トランジスタ	
Tr B	トランジスタ	
Tr C	トランジスタ	
C 1	容量素子	
L 0	層	
L 1	層	
L 2	層	
L 3	層	
L 4	層	50

L 5	層	
L 6	層	
L 7	層	
L 8	層	
L 9	層	
L 1 0	層	
L 1 1	層	
L 1 2	層	
S 1	ステップ	
S 2	ステップ	10
S 3	ステップ	
S 4	ステップ	
S 5	ステップ	
S 6	ステップ	
S 7	ステップ	
S 8	ステップ	
S 9	ステップ	
1 0 0	半導体装置	
1 0 1	半導体装置	
1 0 2	半導体装置	20
1 1 0	半導体装置	
1 1 1	半導体装置	
1 1 2	半導体装置	
1 2 0	半導体装置	
1 2 1	半導体装置	
1 2 2	半導体装置	
1 3 0	半導体装置	
1 3 0 [1]	半導体装置	
1 3 0 [j]	半導体装置	
1 3 0 [n]	半導体装置	30
1 3 5	半導体装置	
1 4 0	半導体装置	
1 4 0 [1]	半導体装置	
1 4 0 [j]	半導体装置	
1 4 0 [n]	半導体装置	
1 4 1	半導体装置	
1 4 5	半導体装置	
1 4 0 0 a	トランジスタ	
1 4 0 0 b	トランジスタ	
1 4 0 0 c	トランジスタ	40
1 4 0 0 d	トランジスタ	
1 4 0 0 e	トランジスタ	
1 4 0 0 f	トランジスタ	
1 4 0 1	絶縁膜	
1 4 0 2	絶縁膜	
1 4 0 3	絶縁膜	
1 4 0 4	絶縁膜	
1 4 0 5	絶縁膜	
1 4 0 6	絶縁膜	
1 4 0 7	絶縁膜	50

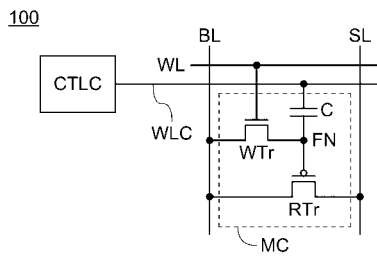
1 4 0 8	絶縁膜	
1 4 0 9	絶縁膜	
1 4 1 1	導電膜	
1 4 1 2	導電膜	
1 4 1 3	導電膜	
1 4 1 4	導電膜	
1 4 2 1	導電膜	
1 4 2 2	導電膜	
1 4 2 3	導電膜	
1 4 2 4	導電膜	10
1 4 3 0	金属酸化物	
1 4 3 1	金属酸化物	
1 4 3 1 a	金属酸化物	
1 4 3 1 b	金属酸化物	
1 4 3 1 c	金属酸化物	
1 4 3 2	金属酸化物	
1 4 3 2 a	金属酸化物	
1 4 3 2 b	金属酸化物	
1 4 3 2 c	金属酸化物	
1 4 3 3	金属酸化物	20
1 4 4 1	領域	
1 4 4 2	領域	
1 4 5 0	基板	
1 4 5 1	低抵抗領域	
1 4 5 2	低抵抗領域	
1 4 6 1	領域	
1 4 6 1 a	領域	
1 4 6 1 b	領域	
1 4 6 1 c	領域	
1 4 6 1 d	領域	30
1 4 6 1 e	領域	
1 4 6 2	領域	
1 4 6 3	領域	
1 6 8 0	トランジスタ	
1 6 8 1	絶縁膜	
1 6 8 2	半導体	
1 6 8 3	導電膜	
1 6 8 4	導電膜	
1 6 8 5	絶縁膜	
1 6 8 6	絶縁膜	40
1 6 8 7	絶縁膜	
1 6 8 8	導電膜	
1 6 8 9	導電膜	
1 7 0 0	基板	
1 7 0 1	素子分離層	
1 7 0 2	絶縁体	
1 7 0 3	絶縁体	
1 7 0 4	絶縁体	
1 7 0 5	絶縁体	
1 7 0 6	絶縁体	50

1 7 1 0	導電体	
1 7 1 1	導電体	
1 7 1 2	導電体	
1 7 1 3	導電体	
1 7 1 4	導電体	
1 7 1 5	導電体	
1 7 1 6	導電体	
1 7 1 7	導電体	
1 7 1 8	導電体	
1 7 1 9	導電体	10
1 7 3 0	配線	
1 7 3 1	配線	
1 7 3 2	配線	
1 7 3 3	配線	
1 7 3 4	配線	
1 7 3 5	配線	
1 7 3 6	配線	
1 7 3 7	配線	
1 7 5 1	第 1 の電極	
1 7 5 2	第 2 の電極	20
1 7 5 3	絶縁体	
1 7 9 0	ゲート電極	
1 7 9 2	ウェル	
1 7 9 3	チャンネル形成領域	
1 7 9 4	低濃度不純物領域	
1 7 9 5	高濃度不純物領域	
1 7 9 6	導電性領域	
1 7 9 7	ゲート絶縁膜	
1 7 9 8	側壁絶縁層	
1 7 9 9	側壁絶縁層	30
2 6 0 0	記憶装置	
2 6 0 1	周辺回路	
2 6 1 0	メモリセルアレイ	
2 6 2 1	ローデコーダ	
2 6 2 2	ワード線ドライバ回路	
2 6 3 0	ビット線ドライバ回路	
2 6 3 1	カラムデコーダ	
2 6 3 2	プリチャージ回路	
2 6 3 3	センスアンプ	
2 6 3 4	書き込み回路	40
2 6 4 0	出力回路	
2 6 6 0	コントロールロジック回路	
4 0 0 0	R F タグ	
4 7 0 0	電子部品	
4 7 0 1	リード	
4 7 0 2	プリント基板	
4 7 0 3	回路部	
4 7 0 4	回路基板	
5 1 0 0	U S B メモリ	
5 1 0 1	筐体	50

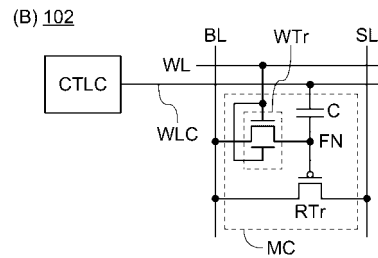
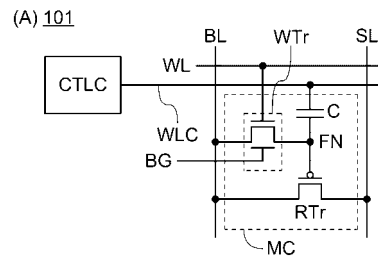
5 1 0 2	キャップ	
5 1 0 3	U S Bコネクタ	
5 1 0 4	基板	
5 1 0 5	メモリチップ	
5 1 0 6	コントローラチップ	
5 1 1 0	S Dカード	
5 1 1 1	筐体	
5 1 1 2	コネクタ	
5 1 1 3	基板	
5 1 1 4	メモリチップ	10
5 1 1 5	コントローラチップ	
5 1 5 0	S S D	
5 1 5 1	筐体	
5 1 5 2	コネクタ	
5 1 5 3	基板	
5 1 5 4	メモリチップ	
5 1 5 5	メモリチップ	
5 1 5 6	コントローラチップ	
5 2 0 1	筐体	
5 2 0 2	筐体	20
5 2 0 3	表示部	
5 2 0 4	表示部	
5 2 0 5	マイクロフォン	
5 2 0 6	スピーカ	
5 2 0 7	操作キー	
5 2 0 8	スタイラス	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	30
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 5 0 1	筐体	
5 5 0 2	表示部	
5 5 0 3	マイク	
5 5 0 4	スピーカ	
5 5 0 5	操作ボタン	
5 6 0 1	第 1 筐体	
5 6 0 2	第 2 筐体	40
5 6 0 3	第 1 表示部	
5 6 0 4	第 2 表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 7 0 1	車体	
5 7 0 2	車輪	
5 7 0 3	ダッシュボード	
5 7 0 4	ライト	
5 8 0 1	第 1 筐体	
5 8 0 2	第 2 筐体	50

- 5 8 0 3 表示部
- 5 8 0 4 操作キー
- 5 8 0 5 レンズ
- 5 8 0 6 接続部
- 5 9 0 1 筐体
- 5 9 0 2 表示部
- 5 9 0 3 操作ボタン
- 5 9 0 4 操作子
- 5 9 0 5 バンド

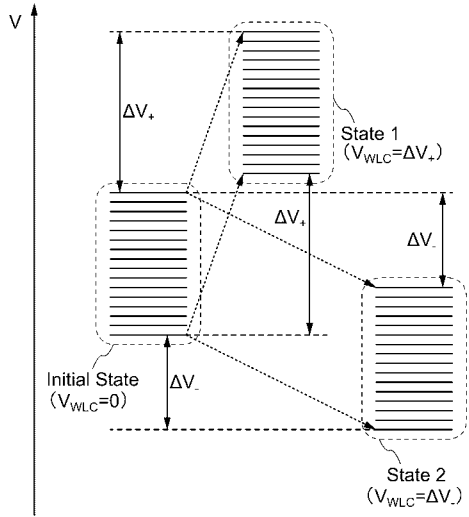
【 図 1 】



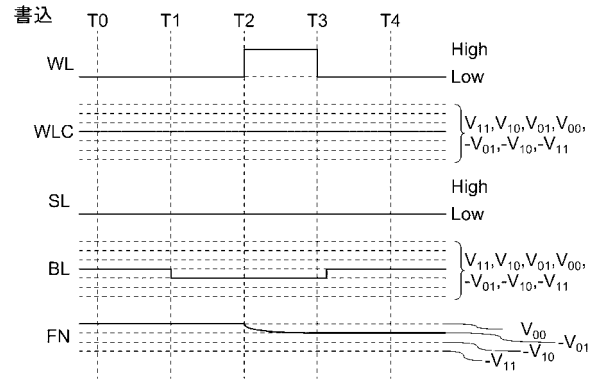
【 図 2 】



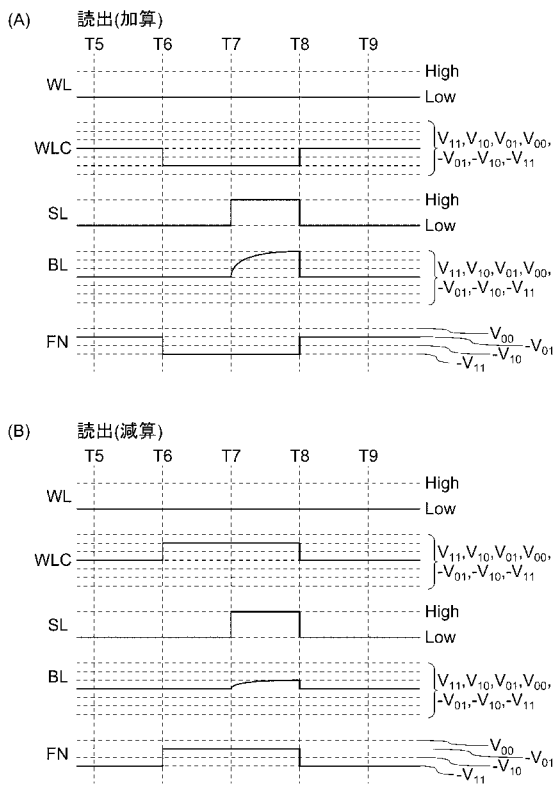
【 図 3 】



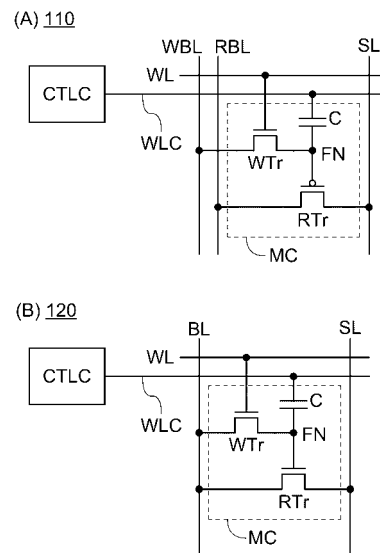
【 図 4 】



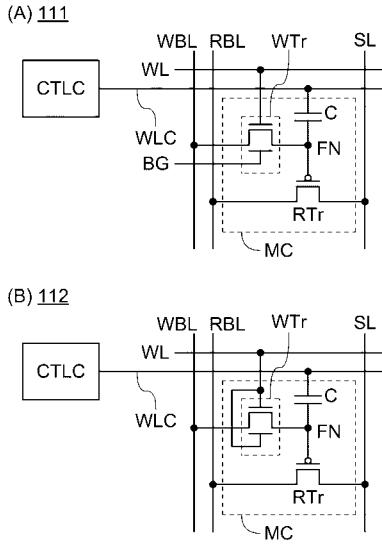
【 図 5 】



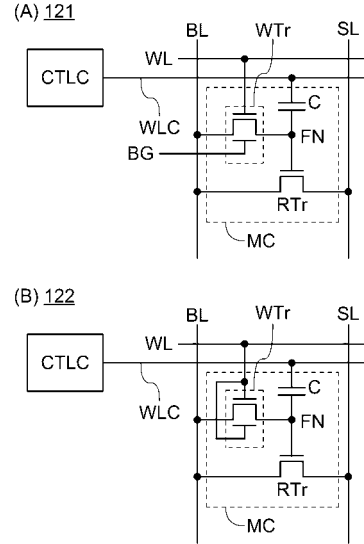
【 図 6 】



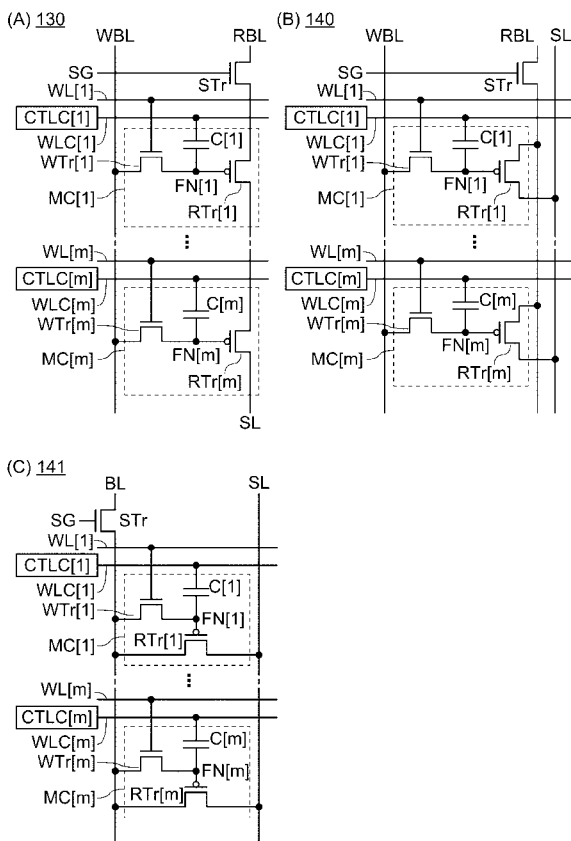
【 図 7 】



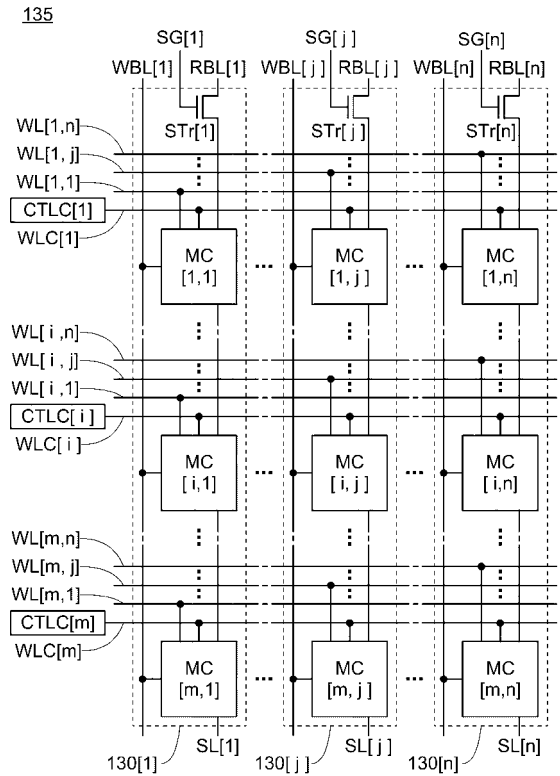
【 図 8 】



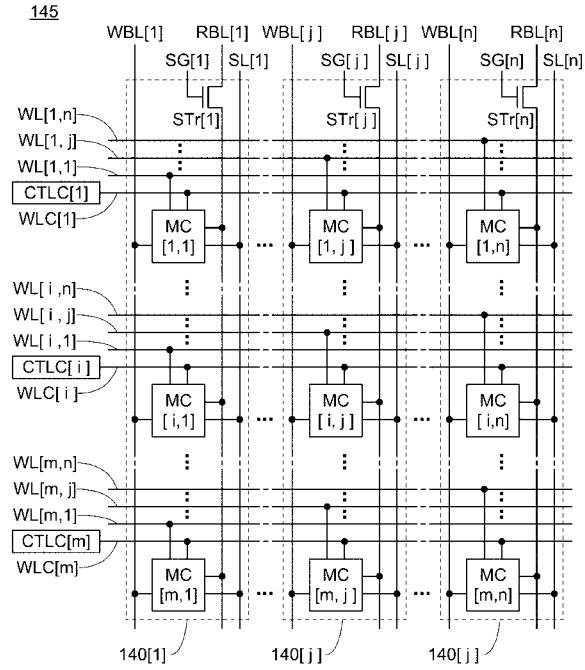
【 図 9 】



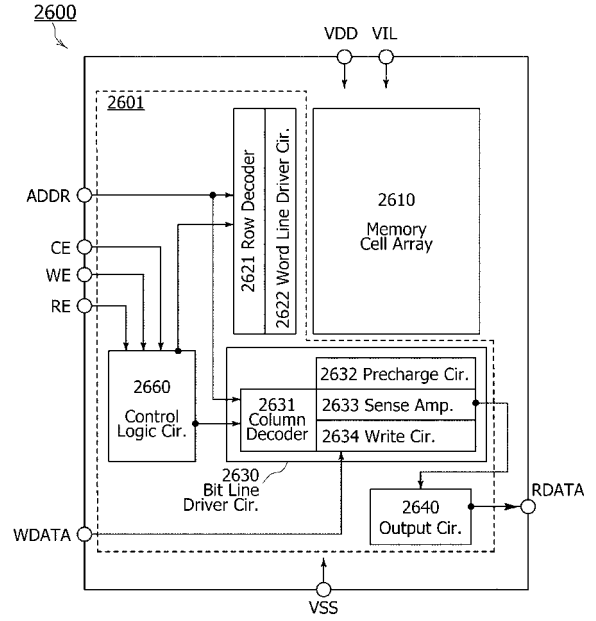
【 図 10 】



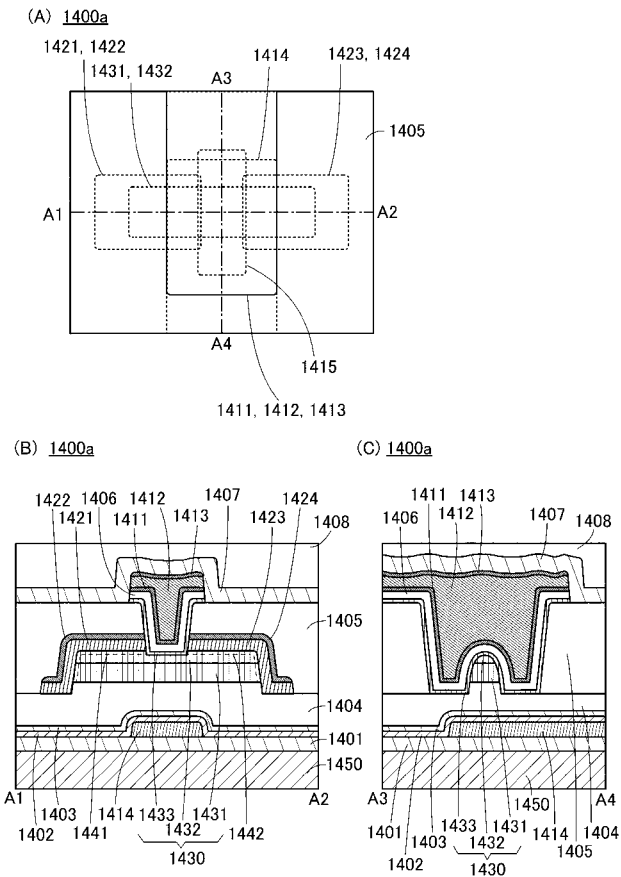
【 図 1 1 】



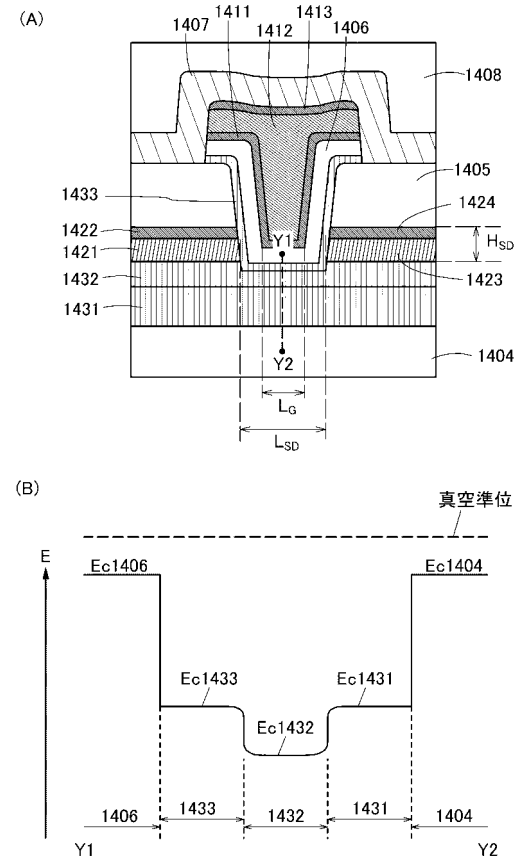
【 図 1 2 】



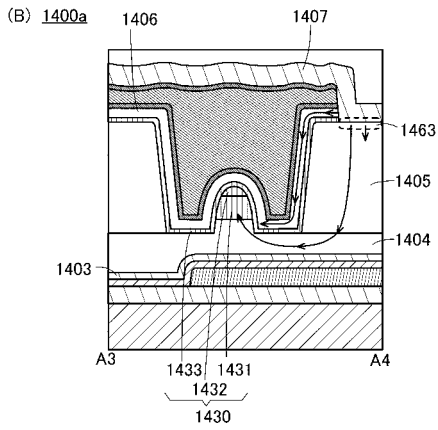
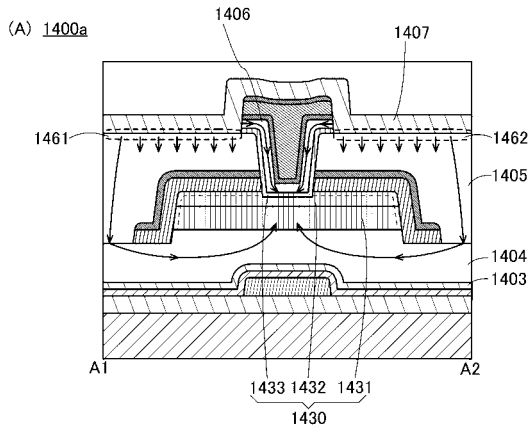
【 図 1 3 】



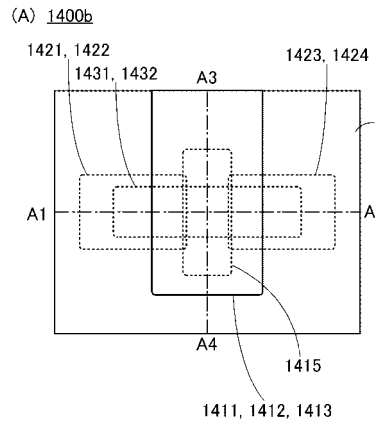
【 図 1 4 】



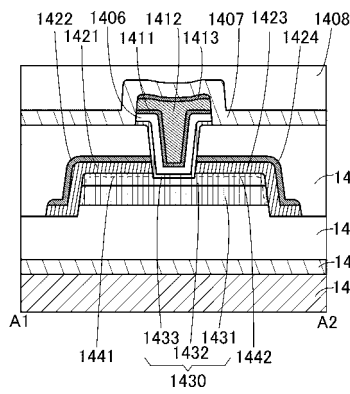
【 図 1 5 】



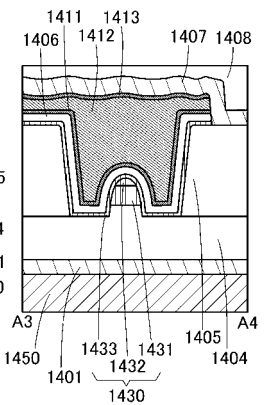
【 図 1 6 】



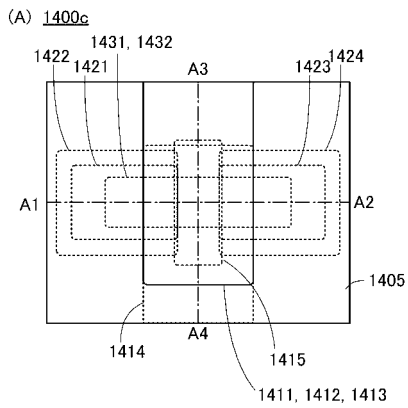
(B) 1400b



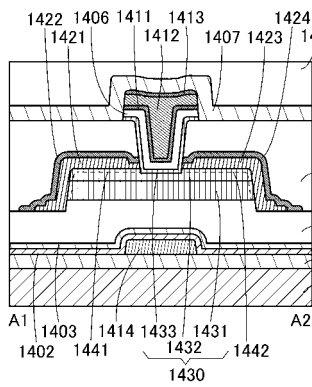
(C) 1400b



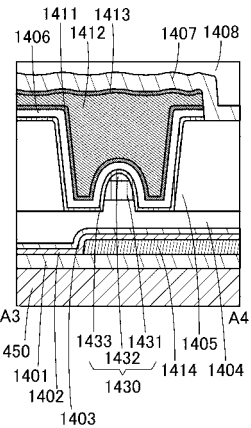
【 図 1 7 】



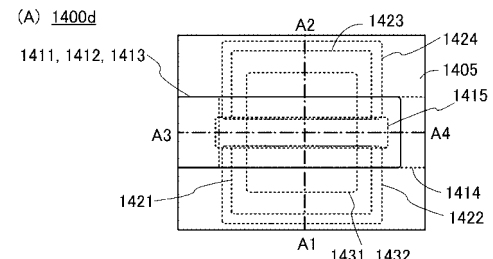
(B) 1400c



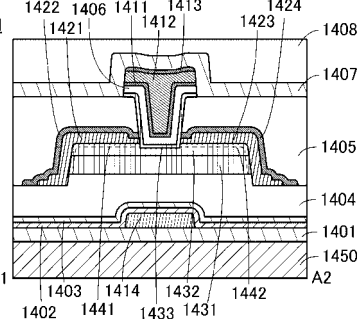
(C) 1400c



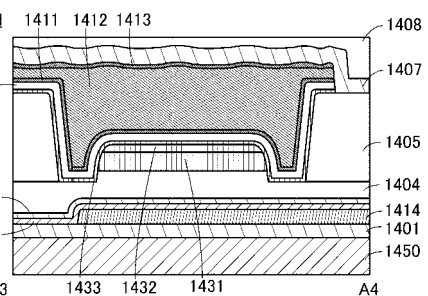
【 図 1 8 】



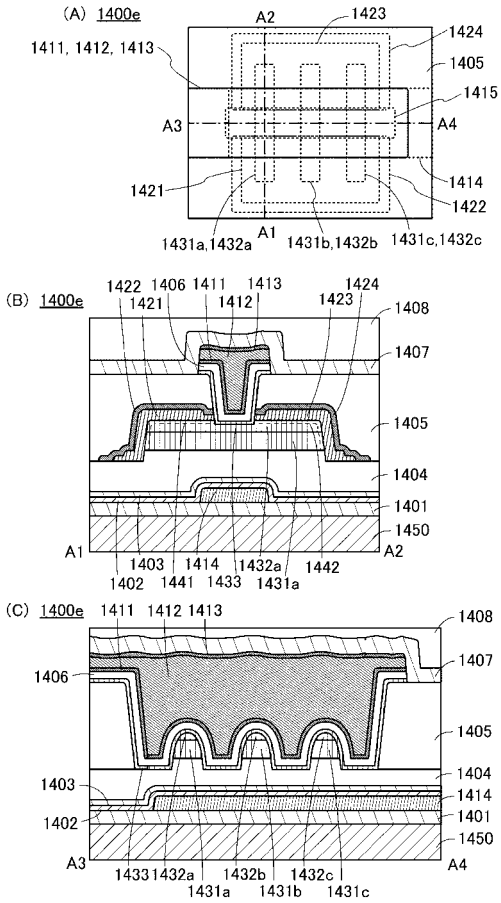
(B) 1400d



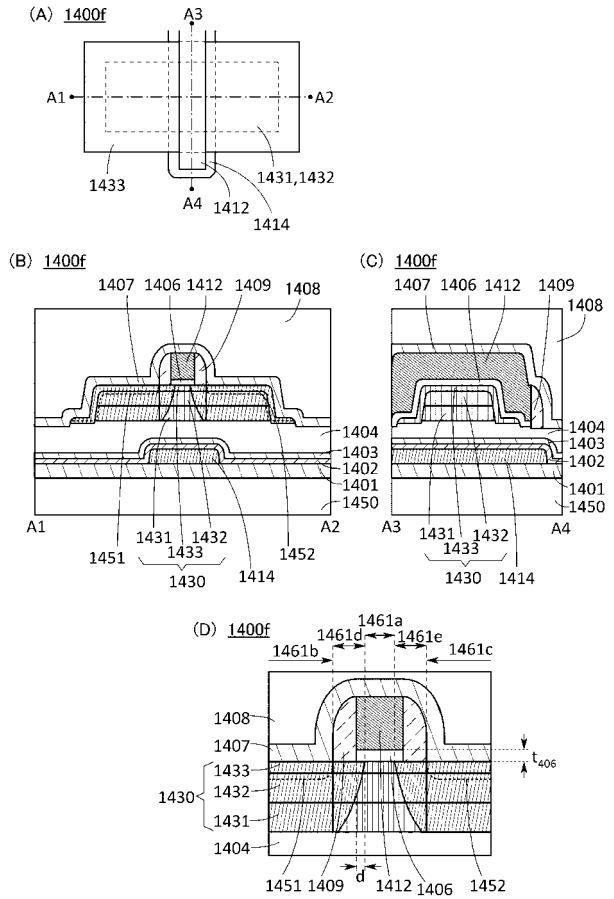
(C) 1400d



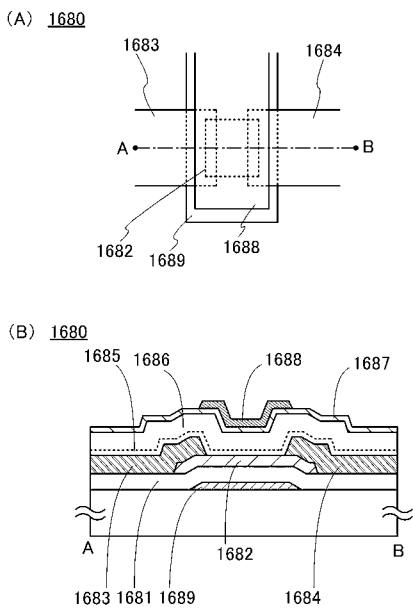
【図 19】



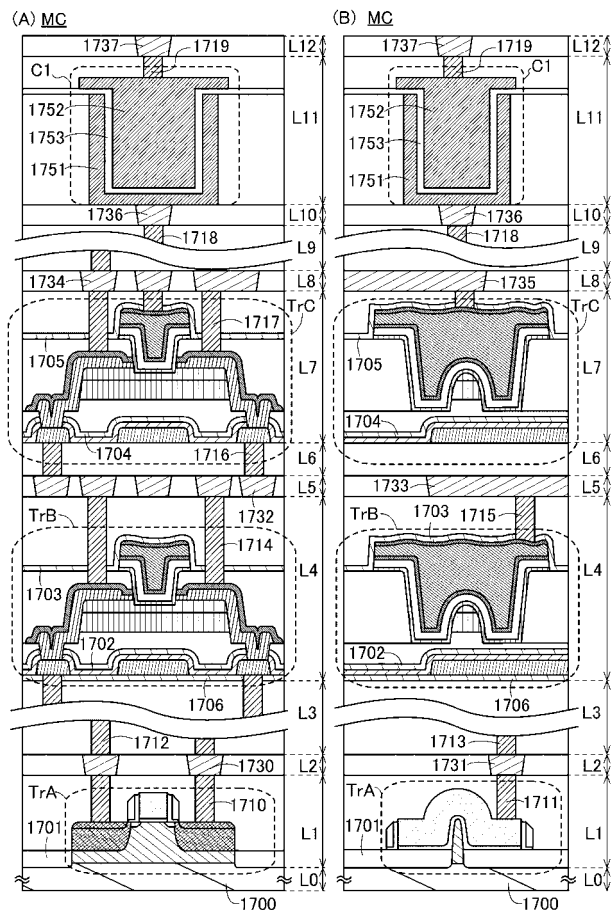
【図 20】



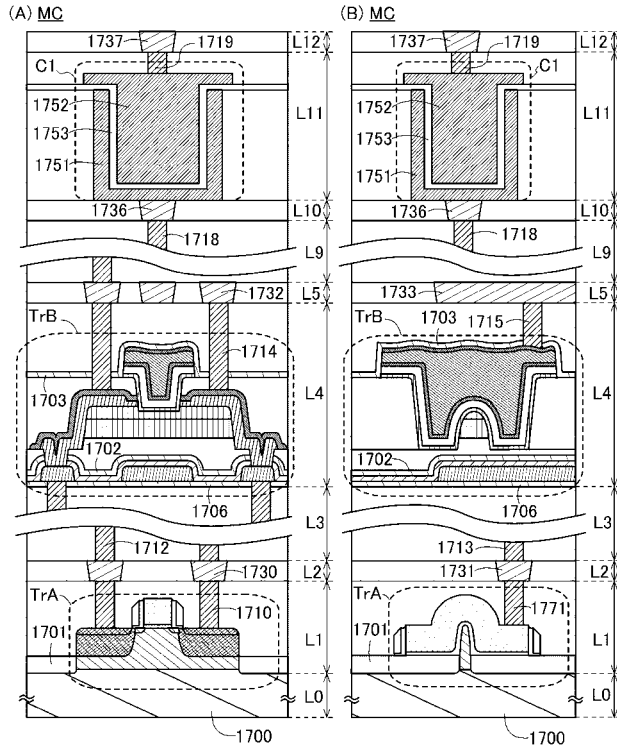
【図 21】



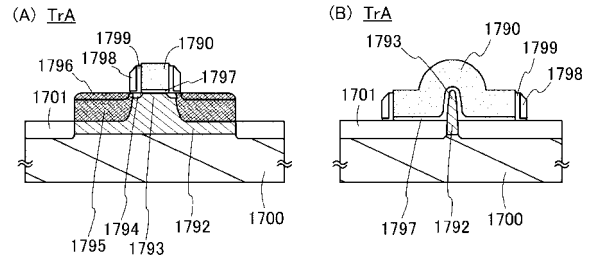
【図 22】



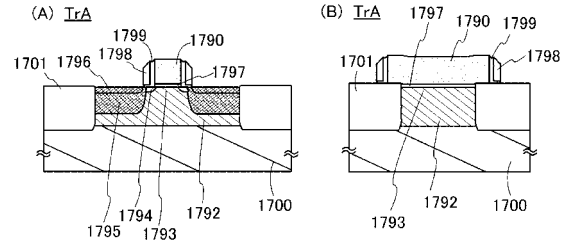
【 図 2 3 】



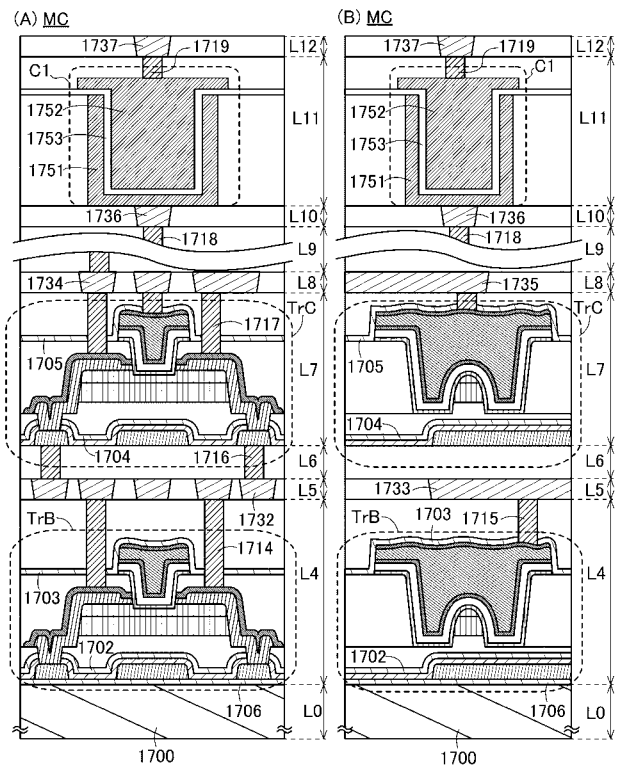
【 図 2 4 】



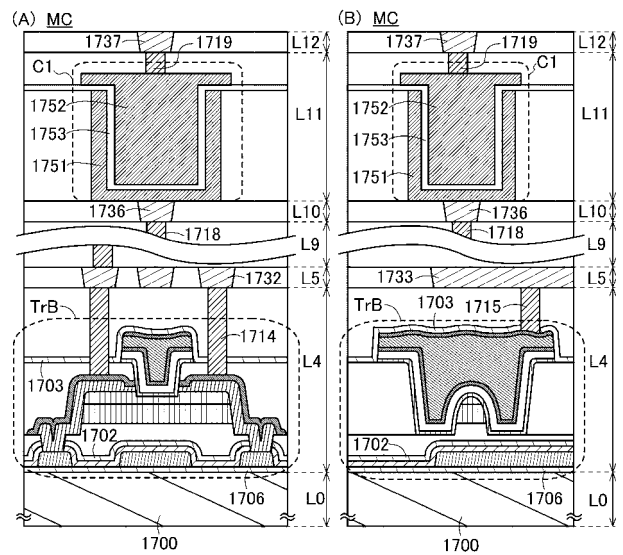
【 図 2 5 】



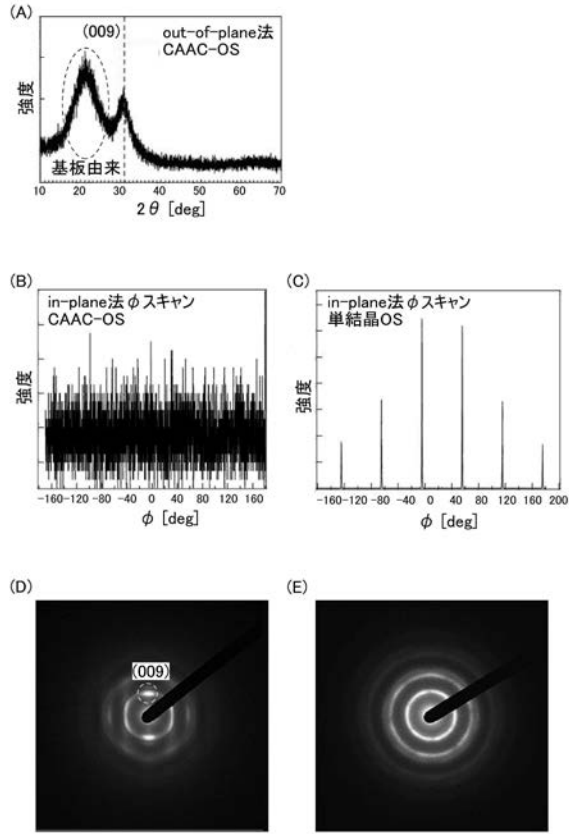
【 図 2 6 】



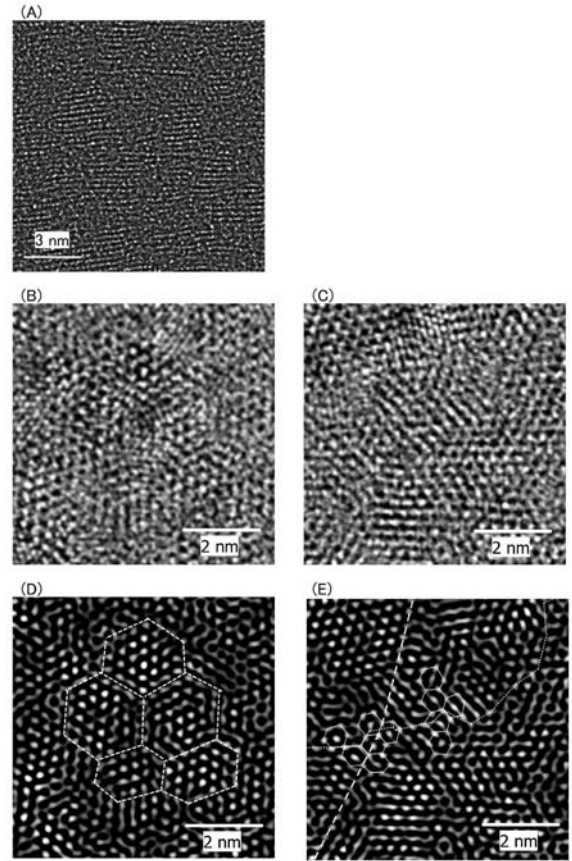
【 図 2 7 】



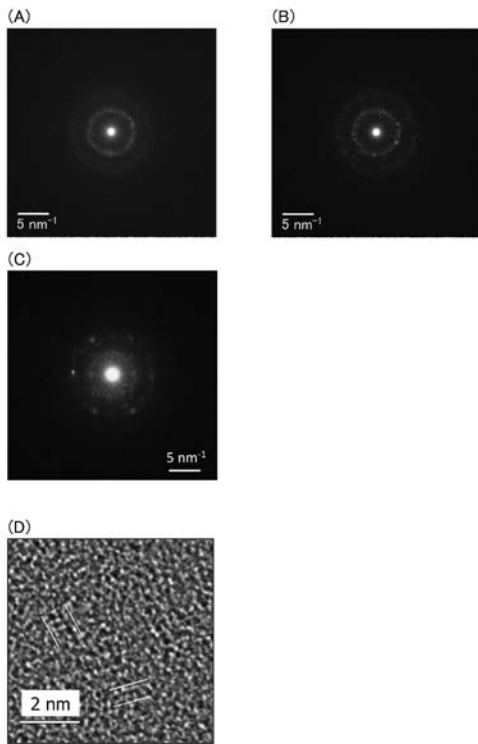
【 図 2 8 】



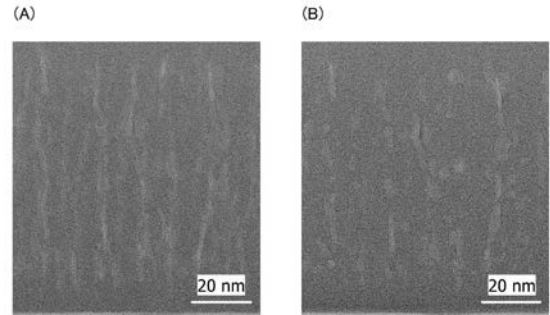
【 図 2 9 】



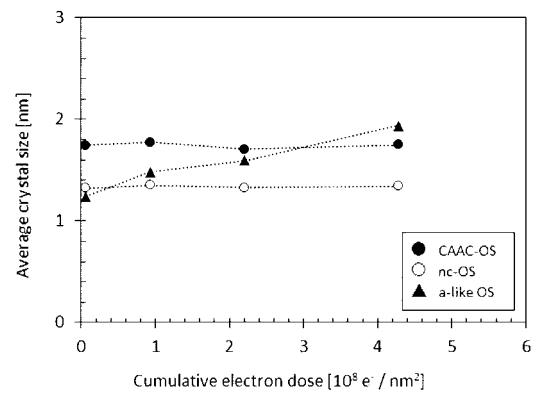
【 図 3 0 】



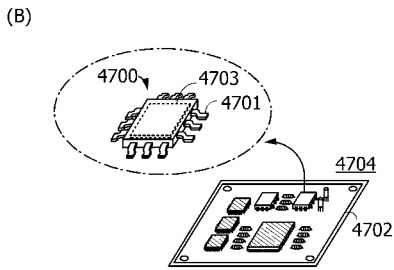
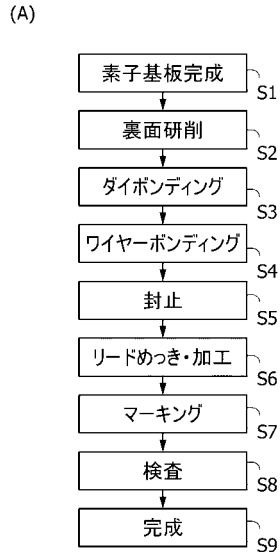
【 図 3 1 】



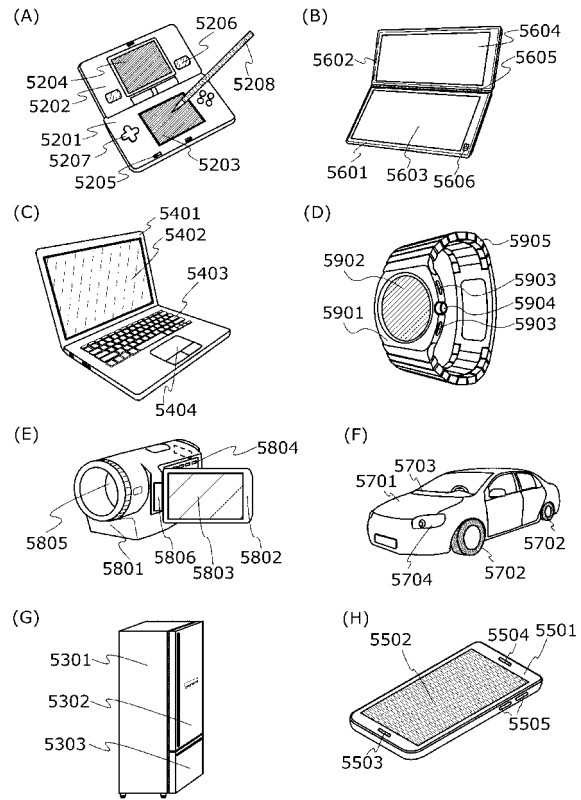
【 図 3 2 】



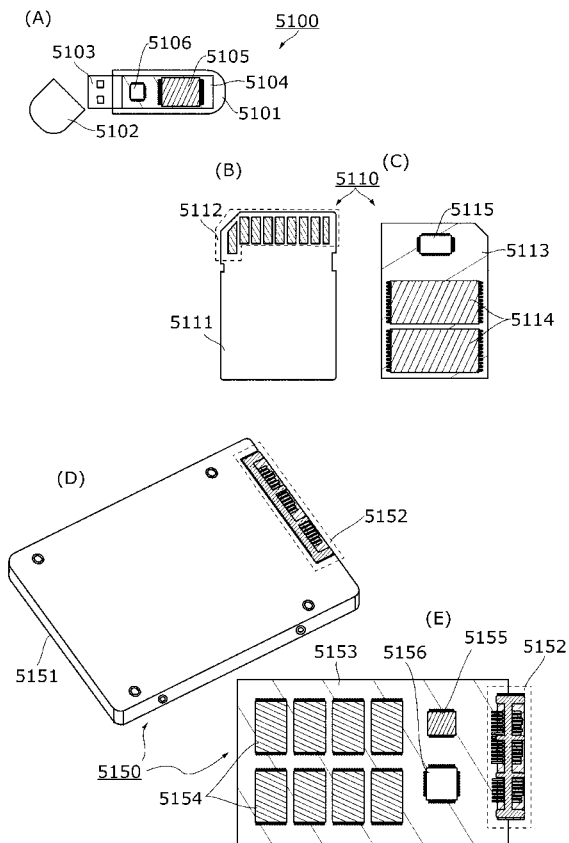
【 図 3 3 】



【 図 3 4 】



【 図 3 5 】



【 図 3 6 】

