



(12)发明专利申请

(10)申请公布号 CN 111446175 A

(43)申请公布日 2020.07.24

(21)申请号 202010264996.2

H01Q 1/22(2006.01)

(22)申请日 2020.04.07

H01Q 1/52(2006.01)

(71)申请人 华进半导体封装先导技术研发中心
有限公司

地址 214028 江苏省无锡市新区菱湖大道
200号中国传感网国际创新园D1栋

(72)发明人 王全龙 曹立强 陈峰 孙绪燕

(74)专利代理机构 上海智晟知识产权代理事务
所(特殊普通合伙) 31313

代理人 张东梅

(51)Int.Cl.

H01L 21/48(2006.01)

H01L 21/60(2006.01)

H01L 23/552(2006.01)

H01L 23/66(2006.01)

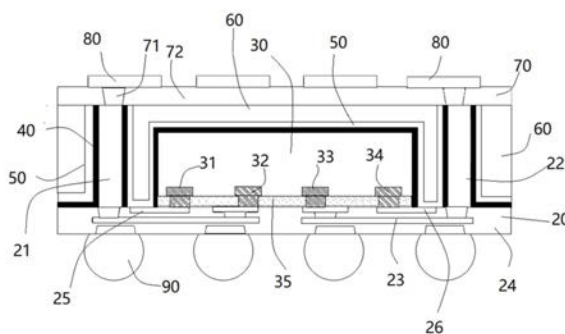
权利要求书2页 说明书8页 附图5页

(54)发明名称

射频芯片集成封装结构及其制备方法

(57)摘要

本发明提供了一种射频芯片集成封装结构及其制备方法,所述射频芯片集成封装结构的制备方法包括:在临时键合载板的第一表面形成第一导电层,在所述第一导电层上形成一个或多个导电柱;将芯片附连至所述第一导电层上;形成绝缘膜,所述绝缘膜覆盖所述第一导电层、所述芯片、所述一个或多个导电柱;去除部分绝缘膜,暴露出第一导电层的部分导电路径,形成屏蔽层接地处;形成屏蔽层,所述屏蔽层覆盖所述绝缘膜,以及所述屏蔽层电连接所述屏蔽层接地处;形成塑封层,所述塑封层覆盖所述屏蔽层;暴露出所述一个或多个导电柱的顶面;在所述塑封层顶面上形成第二导电层,所述第二导电层电连接所述一个或多个导电柱;在所述第二导电层上布置天线阵列。



1. 一种射频芯片集成封装结构的制备方法,其特征在于,所述射频芯片集成封装结构的制备方法包括:

在临时键合载板的第一表面形成第一导电层,在所述第一导电层上形成一个或多个导电柱;

将芯片附连至所述第一导电层上;

形成绝缘膜,所述绝缘膜覆盖所述第一导电层、所述芯片、所述一个或多个导电柱;

去除部分绝缘膜,暴露出第一导电层的部分导电路径,形成屏蔽层接地处;

形成屏蔽层,所述屏蔽层覆盖所述绝缘膜,以及所述屏蔽层电连接所述屏蔽层接地处;

形成塑封层,所述塑封层覆盖所述屏蔽层;

暴露出所述一个或多个导电柱的顶面;

在所述塑封层顶面上形成第二导电层,所述第二导电层电连接所述一个或多个导电柱;

在所述第二导电层上布置天线阵列。

2. 如权利要求1所述的射频芯片集成封装结构的制备方法,其特征在于,形成绝缘膜包括:

采用真空压膜工艺将所述绝缘膜包裹在所述芯片上,所述绝缘膜的材料为聚合物薄膜,所述聚合物薄膜包括聚酰亚胺、苯并环丁烯和过氧化苯甲酰介质薄膜中的一种或几种。

3. 如权利要求1所述的射频芯片集成封装结构的制备方法,其特征在于,在所述临时键合载板的第一表面形成第一导电层包括:

采用旋涂工艺、化学气相沉积工艺或物理气相沉积工艺在所述临时键合载板的第一表面上沉积形成介质层,并对所述介质层进行刻蚀形成图形化的第一介质层;

采用化学气相沉积工艺、蒸镀工艺、溅射工艺、电镀工艺或化学镀工艺于所述第一介质层表面形成金属层,并对所述金属层进行刻蚀形成图形化的第一重布线层;

使所述第一重布线层将所述芯片及所述临时键合载板第一表面上的第一导电层的电性导出至所述一个或多个导电柱的底面,以及所述屏蔽层接地处。

4. 如权利要求1所述的射频芯片集成封装结构的制备方法,其特征在于,形成塑封层,所述塑封层覆盖所述屏蔽层包括:

采用压缩成型工艺、转移成型工艺、液体密封成型工艺、真空层压工艺、或旋涂工艺形成所述塑封层;

所述塑封层的材料包括聚酰亚胺、硅胶以及环氧树脂中的一种。

5. 如权利要求1所述的射频芯片集成封装结构的制备方法,其特征在于,暴露出所述一个或多个导电柱的顶面包括:

对所述塑封层进行平坦化处理直至露出所述一个或多个导电柱的顶面;

所述一个或多个导电柱的高度大于所述芯片的高度。

6. 如权利要求5所述的射频芯片集成封装结构的制备方法,其特征在于,形成所述第二导电层包括:

采用旋涂工艺、化学气相沉积工艺或物理气相沉积工艺在所述塑封层上沉积形成介质层,并对所述介质层进行刻蚀形成图形化的第二介质层;

采用化学气相沉积工艺、蒸镀工艺、溅射工艺、电镀工艺或化学镀工艺于所述第二介质

层表面形成金属层,并对所述金属层进行刻蚀形成图形化的第二重布线层;

使所述第二重布线层将所述一个或多个导电柱的电性导出至所述天线阵列。

7.如权利要求1所述的射频芯片集成封装结构的制备方法,其特征在于,所述射频芯片集成封装结构的制备方法还包括:

在所述第二导电层上布置天线阵列后,去掉所述临时键合载板,在所述第一导电层的底面形成焊球凸块,将所述射频芯片集成封装结构进行分割,形成各个芯片的封装结构;

所述焊球凸块与所述第一重布线层电连接。

8.一种射频芯片集成封装结构,其特征在于,所述射频芯片集成封装结构包括:

第一导电层;

一个或多个导电柱,伫立于所述第一导电层上;

芯片,附连于所述第一导电层上;

绝缘膜,覆盖所述芯片、所述一个或多个导电柱的侧面、以及部分第一导电层;

屏蔽层,覆盖所述绝缘膜,以及所述屏蔽层在屏蔽层接地处与第一导电层连接;

塑封层,覆盖所述屏蔽层;

第二导电层,电连接所述一个或多个导电柱,以及覆盖所述塑封层;

天线阵列,位于所述第二导电层上。

9.如权利要求8所述的射频芯片集成封装结构,其特征在于,所述芯片包括裸芯片及与所述裸芯片电连接的凸点,其中,

所述芯片的凸点与所述第一导电层之间具有绝缘腔,所述绝缘腔包裹所述凸点的侧面。

10.如权利要求8所述的射频芯片集成封装结构,其特征在于,所述屏蔽层接地处为上述第一导电层未被所述绝缘膜覆盖的导电线路。

11.如权利要求8所述的射频芯片集成封装结构,其特征在于,所述屏蔽层接地处是围绕在芯片四周的整圈的接地带。

射频芯片集成封装结构及其制备方法

技术领域

[0001] 本发明涉及半导体封装技术领域,特别涉及一种射频芯片集成封装结构及其制备方法。

背景技术

[0002] 更低成本、更可靠、更快及更高密度的电路是集成电路封装追求的目标。在未来,集成电路封装将通过不断减小最小特征尺寸来提高各种电子元器件的集成密度。目前,先进的封装方法包括:晶圆片级芯片规模封装(Wafer Level Chip Scale Packaging, WLCSP),扇外型晶圆级封装(Fan-Out Wafer Level Package, FOWLP),倒装芯片(Flip Chip),叠层封装(Package on Package, POP)等等。扇外型晶圆级封装是一种晶圆级加工的嵌入式芯片封装方法,是目前一种输入/输出端口(I/O)较多、集成灵活性较好的先进封装方法之一。扇外型晶圆级封装相较于常规的晶圆级封装具有其独特的优点:一、I/O间距灵活,不依赖于芯片尺寸;二、只使用有效裸片(die),产品良率提高;三、具有灵活的3D封装路径,即可以在顶部形成任意阵列的图形;四、具有较好的电性能及热性能;五、高频应用;六、容易在重新布线层(RDL)中实现高密度布线。目前,射频芯片的扇外型晶圆级封装方法一般为:提供载体,在载体表面形成粘合层;在粘合层上光刻、电镀出重新布线层(Redistribution Layers, RDL);采用芯片键合工艺将射频芯片安装到重新布线层上;采用注塑工艺将芯片塑封于塑封材料层中;去除载体和粘合层;在重新布线层上光刻、电镀形成凸块下金属层(UBM);在UBM上进行植球回流,形成焊球凸块;然后进行晶圆黏片、切割划片。出于通信效果的考虑,射频芯片在使用时都会设置天线,而现有射频天线都是开发者在对射频功能模块进行layout设计时,直接在PCB板上布局天线或留出外接天线的接口;但由于外接天线的诸多不便,现射频天线大多直接在PCB板上布局天线,而此种方法要保证天线增益,就必须以牺牲PCB面积为代价。

发明内容

[0003] 本发明的目的在于提供一种射频芯片集成封装结构及其制备方法,以解决现有的射频芯片与天线难以封装的问题。

[0004] 本发明的目的还在于提供一种射频芯片集成封装结构及其制备方法,以解决现有的射频芯片与天线难以封装的问题。

[0005] 本发明的目的还在于提供一种射频芯片集成封装结构及其制备方法,以解决现有的射频芯片需要预制金属框架,工艺复杂,无法集成天线的问题。

[0006] 本发明的目的还在于提供一种射频芯片集成封装结构及其制备方法,以解决现有的带屏蔽的局部塑封天线集成封装结构需要局部塑封,塑封料开槽填浆料等步骤工艺复杂,另外由于屏蔽层布置在塑封体表面,需要将天线单独布置在一侧,增加了封装体积的问题。

[0007] 本发明的目的还在于提供一种射频芯片集成封装结构及其制备方法,以解决现有

的带屏蔽的集成天线封装 (AiP) 结构,局部屏蔽存在电磁泄露缝隙,屏蔽层布置在封装体表面,需要额外空间布置天线,增加了封装体的面积的问题。

[0008] 为解决上述技术问题,本发明提供一种射频芯片集成封装结构的制备方法,所述射频芯片集成封装结构的制备方法包括:

[0009] 在临时键合载板的第一表面形成第一导电层,在所述第一导电层上形成一个或多个导电柱;

[0010] 将芯片附连至所述第一导电层上;

[0011] 形成绝缘膜,所述绝缘膜覆盖所述第一导电层、所述芯片、所述一个或多个导电柱;

[0012] 去除部分绝缘膜,暴露出第一导电层的部分导电路径,形成屏蔽层接地处;

[0013] 形成屏蔽层,所述屏蔽层覆盖所述绝缘膜,以及所述屏蔽层电连接所述屏蔽层接地处;

[0014] 形成塑封层,所述塑封层覆盖所述屏蔽层;

[0015] 暴露出所述一个或多个导电柱的顶面;

[0016] 在所述塑封层顶面上形成第二导电层,所述第二导电层电连接所述一个或多个导电柱;

[0017] 在所述第二导电层上布置天线阵列。

[0018] 可选的,在所述的射频芯片集成封装结构的制备方法中,形成绝缘膜包括:

[0019] 采用真空压膜工艺将所述绝缘膜包裹在所述芯片上,所述绝缘膜的材料为聚合物薄膜,所述聚合物薄膜包括聚酰亚胺PI、苯并环丁烯BCB和过氧化苯甲酰BPO介质薄膜中的一种或几种。

[0020] 可选的,在所述的射频芯片集成封装结构的制备方法中,在所述临时键合载板的第一表面形成第一导电层包括:

[0021] 采用旋涂工艺、化学气相沉积工艺或物理气相沉积工艺在所述临时键合载板的第一表面上沉积形成介质层,并对所述介质层进行刻蚀形成图形化的第一介质层;

[0022] 采用化学气相沉积工艺、蒸镀工艺、溅射工艺、电镀工艺或化学镀工艺于所述第一介质层表面形成金属层,并对所述金属层进行刻蚀形成图形化的第一重布线层;

[0023] 使所述第一重布线层将所述芯片及所述临时键合载板第一表面上的第一导电层的电性导出至所述一个或多个导电柱的底面,以及所述屏蔽层接地处。

[0024] 可选的,在所述的射频芯片集成封装结构的制备方法中,形成塑封层,所述塑封层覆盖所述屏蔽层包括:

[0025] 采用压缩成型工艺、转移成型工艺、液体密封成型工艺、真空层压工艺、或旋涂工艺形成所述塑封层;

[0026] 所述塑封层的材料包括聚酰亚胺、硅胶以及环氧树脂中的一种。

[0027] 可选的,在所述的射频芯片集成封装结构的制备方法中,暴露出所述一个或多个导电柱的顶面包括:

[0028] 对所述塑封层进行平坦化处理直至露出所述一个或多个导电柱的顶面;

[0029] 所述一个或多个导电柱的高度大于所述芯片的高度。

[0030] 可选的,在所述的射频芯片集成封装结构的制备方法中,形成所述第二导电层包

括：

[0031] 采用旋涂工艺、化学气相沉积工艺或物理气相沉积工艺在所述塑封层上沉积形成介质层,并对所述介质层进行刻蚀形成图形化的第二介质层;

[0032] 采用化学气相沉积工艺、蒸镀工艺、溅射工艺、电镀工艺或化学镀工艺于所述第二介质层表面形成金属层,并对所述金属层进行刻蚀形成图形化的第二重布线层;

[0033] 使所述第二重布线层将所述一个或多个导电柱的电性导出至所述天线阵列。

[0034] 可选的,在所述的射频芯片集成封装结构的制备方法中,所述射频芯片集成封装结构的制备方法还包括:

[0035] 在所述第二导电层上布置天线阵列后,去掉所述临时键合载板,在所述第一导电层的底面形成焊球凸块,将所述射频芯片集成封装结构进行分割,形成各个芯片的封装结构;

[0036] 所述焊球凸块与所述第一重布线层电连接。

[0037] 本发明还提供一种射频芯片集成封装结构,所述射频芯片集成封装结构包括:

[0038] 第一导电层;

[0039] 一个或多个导电柱,伫立于所述第一导电层上;

[0040] 芯片,附连于所述第一导电层上;

[0041] 绝缘膜,覆盖所述芯片、所述一个或多个导电柱的侧面、以及部分第一导电层;

[0042] 屏蔽层,覆盖所述绝缘膜,以及所述屏蔽层在屏蔽层接地处与第一导电层连接;

[0043] 塑封层,覆盖所述屏蔽层;

[0044] 第二导电层,电连接所述一个或多个导电柱,以及覆盖所述塑封层;

[0045] 天线阵列,位于所述第二导电层上。

[0046] 可选的,在所述的射频芯片集成封装结构中,所述芯片包括裸芯片及与所述裸芯片电连接的凸点,其中,

[0047] 所述芯片的凸点与所述第一导电层之间具有绝缘腔,所述绝缘腔包裹所述凸点的侧面。

[0048] 可选的,在所述的射频芯片集成封装结构中,所述屏蔽层接地处为上述第一导电层未被所述绝缘膜覆盖的导电路径。

[0049] 可选的,在所述的射频芯片集成封装结构中,所述屏蔽层接地处是围绕在芯片四周的整圈的接地带。

[0050] 在本发明提供的射频芯片集成封装结构及其制备方法中,通过绝缘膜包裹在射频芯片上,且在绝缘膜上沉积屏蔽层的同时(通过屏蔽层接地处)形成接地,不需要塑封层开槽、填导电浆料等过程,工艺简单。

[0051] 本发明提出的射频芯片集成封装结构中,屏蔽层能够形成沿着射频芯片有源面的整圈接地,不存在电磁信号泄露的缝隙,屏蔽效能高;通过屏蔽层覆盖绝缘膜,绝缘膜覆盖一个或多个导电柱的侧面及射频芯片,实现了在形成射频芯片屏蔽结构的同时形成垂直同轴传输线结构,利用垂直同轴传输线结构实现塑封层垂直互连,与传统TMV(Through Molding Via即封装体通孔)或高铜柱相比,其高频电性能得到极大提高(如串扰、插损);

[0052] 与现有天线集成方案相比,屏蔽层位于塑封层内部,塑封层上表面可以全部用来放置天线阵列,增加空间利用率,缩小封装体积;该结构适用于带空气桥射频芯片和不带空

气桥射频芯片的屏蔽封装。

[0053] 射频芯片通过第一重布线层、一个或多个导电柱、第二重布线层与天线阵列连接。屏蔽层与“一个或多个导电柱”之间有一层介质膜(绝缘膜)用来绝缘,结构中一个或多个导电柱分别与介质膜及屏蔽层形成同轴传输线结构,改善了导电柱的高频传输性能。屏蔽层将芯片包裹起来,如果射频芯片是发射芯片,则只通过天线阵列向外辐射有效电磁信号,如果是接收芯片只通过天线阵列接收有效电磁信号,防止芯片的高频信号通过其他路径往外辐射影响周围其他芯片,同时也防止外部干扰信号通过其他路径进入射频芯片,增加了芯片间的隔离度。

附图说明

[0054] 图1是本发明一实施例的射频芯片集成封装结构的截面示意图;

[0055] 图2~10是本发明另一实施例的射频芯片集成封装结构的制备过程的截面示意图;

[0056] 图中所示:10-临时键合载板;20-第一导电层;21-第一导电柱;22-第二导电柱;23-第一重布线层;24-第一介质层;25-屏蔽层接地处;26-屏蔽层接地处;30-芯片;31-第一接触焊盘;32-第二接触焊盘;33-第三接触焊盘;34-第四接触焊盘;35-绝缘腔;40-绝缘膜;50-屏蔽层;60-塑封层;70-第二导电层;71-第二重布线层;72-第二介质层;80-天线阵列;81-第一天线阵列;82-第二天线阵列;83-天线塑封层;84-第三介质层;85-第三重布线层;90-焊球凸块。

具体实施方式

[0057] 以下结合附图和具体实施例对本发明提出的射频芯片集成封装结构及其制备方法作进一步详细说明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0058] 本发明的核心思想在于提供一种射频芯片集成封装结构及其制备方法,以解决现有的射频芯片与天线难以封装的问题。

[0059] 本发明的目的还在于提供一种射频芯片集成封装结构及其制备方法,以解决现有的射频芯片与天线难以封装的问题。

[0060] 本发明的目的还在于提供一种射频芯片集成封装结构及其制备方法,以解决现有的射频芯片需要预制金属框架,工艺复杂,无法集成天线的问题。

[0061] 本发明的目的还在于提供一种射频芯片集成封装结构及其制备方法,以解决现有的带屏蔽的局部塑封天线集成封装结构需要局部塑封,塑封料开槽填浆料等步骤工艺复杂,另外由于屏蔽层布置在塑封体表面,需要将天线单独布置在一侧,增加了封装体积的问题。

[0062] 本发明的目的还在于提供一种射频芯片集成封装结构及其制备方法,以解决现有的带屏蔽的集成天线封装(AiP)结构,局部屏蔽存在电磁泄露缝隙,屏蔽层布置在封装体表面,需要额外空间布置天线,增加了封装体的面积的问题。

[0063] 为实现上述思想,本发明提供了一种射频芯片集成封装结构及其制备方法,所述

射频芯片集成封装结构的制备方法包括：在临时键合载板的第一表面形成第一导电层，在所述第一导电层上形成一个或多个导电柱；将芯片附连至所述第一导电层上；形成绝缘膜，所述绝缘膜覆盖所述第一导电层、所述芯片、所述一个或多个导电柱；去除部分绝缘膜，暴露出第一导电层的部分导电路径，形成屏蔽层接地处；形成屏蔽层，所述屏蔽层覆盖所述绝缘膜，以及所述屏蔽层电连接所述屏蔽层接地处；形成塑封层，所述塑封层覆盖所述屏蔽层；暴露出所述一个或多个导电柱的顶面；在所述塑封层顶面上形成第二导电层，所述第二导电层电连接所述一个或多个导电柱；在所述第二导电层上布置天线阵列。

[0064] <实施例一>

[0065] 本实施例还提供一种射频芯片集成封装结构，如图1所示，所述射频芯片集成封装结构包括：第一导电层20；一个或多个导电柱（如图1所示，示例为第一导电柱21与第二导电柱22），伫立于所述第一导电层20上；射频芯片30，附连（例如粘结）于所述第一导电层20上，所述射频芯片30位于所述第一导电柱21与所述第二导电柱22之间；屏蔽层接地处25、26，为位于所述第一导电柱21、第二导电柱22与所述射频芯片30之间的第一导电层20上；绝缘膜40，覆盖所述射频芯片30、所述第一导电柱21的侧面和所述第二导电柱22的侧面，以及覆盖除所述屏蔽层接地处25、26的所述第一导电层20；屏蔽层50，覆盖所述绝缘膜40，以及所述屏蔽层50电连接所述屏蔽层接地处25、26；所述屏蔽层接地处为上述第一导电层未被所述绝缘膜覆盖的导电路径，所述屏蔽层接地处是围绕在芯片四周的整圈的接地带。塑封层60，覆盖所述屏蔽层50；第二导电层70，电连接所述第一导电柱21及所述第二导电柱22，以及覆盖所述塑封层60，第二导电层70包括第二重布线层71和设置在第二重布线层71之间的第二介质层72；天线阵列80，位于所述第二导电层70上，并通过第二重布线层71与第一导电柱21和所述第二导电柱22电连接。虽然在图1所示的实施例中仅示出了两个导电柱21、22，然而本领域的技术人员应该理解，本发明的保护范围不限于此，封装结构可以包括更多或更少的导电柱。

[0066] 具体的，在所述的射频芯片集成封装结构中，所述射频芯片30包括裸芯片及与所述裸芯片电连接的第一接触焊盘31、第二接触焊盘32、第三接触焊盘33及第四接触焊盘34，其中，所述第一接触焊盘31、所述第二接触焊盘32、所述第三接触焊盘33及所述第四接触焊盘34的所在表面为所述射频芯片30的下表面，即，有源面。虽然在图1所示的实施例中仅示出了四个接触焊盘，然而本领域的技术人员应该理解，本发明的保护范围不限于此，封装结构可以包括更多或更少的接触焊盘。射频芯片30的导电焊盘通过第一导电层与导电柱及焊球形成电连接，进而与天线阵列及外部电路形成电连接。所述射频芯片30的下表面与所述第一导电层20之间具有绝缘腔35，所述绝缘腔35包裹所述第一接触焊盘31、所述第二接触焊盘32、所述第三接触焊盘33及所述第四接触焊盘34下方的凸点的侧面。绝缘腔35可以是空气，也可以是通过底部填充（underfill）工艺形成的绝缘介质。其中，天线阵列80包括第一天线阵列81、天线塑封层83及第二天线阵列82，然而本领域的技术人员应该理解，本发明的保护范围不限于此，天线阵列可以包括更多层或更少层的交替相覆盖的阵列与天线塑封层。

[0067] 在本发明提供的射频芯片集成封装结构中，可以采用真空压膜工艺将聚合物薄膜包裹在射频芯片30上，形成绝缘膜，在聚合物薄膜上沉积屏蔽层50同时（通过屏蔽层接地处25及26）形成接地，不需要塑封层开槽、填导电浆料等过程，工艺简单；所述聚合物薄膜包括

聚酰亚胺PI、苯并环丁烯BCB和过氧化苯甲酰BPO介质薄膜中的一种或几种。

[0068] 本发明提出的射频芯片集成封装结构中,屏蔽层50能够形成沿着射频芯片30有源面的整圈接地,不存在电磁信号泄露的缝隙,屏蔽效能高;通过屏蔽层50覆盖绝缘膜40,绝缘膜40覆盖第一导电柱21和第二导电柱22的侧面及射频芯片30,实现了在形成射频芯片30屏蔽结构的同时形成垂直同轴结构,利用垂直同轴结构实现塑封层60垂直互连,与传统TMV(Through Molding Via即封装体通孔)或高铜柱相比,其高频电性能得到极大提高(如串扰、插损);

[0069] 与现有天线集成方案相比,屏蔽层50位于塑封层60内部,塑封层60上表面可以全部用来放置天线阵列80,增加空间利用率,缩小封装体积;该结构适用于带空气桥射频芯片和不带空气桥射频芯片的屏蔽封装。

[0070] 射频芯片30通过第一重布线层23、第一导电柱21、第二导电柱22、第二重布线层71与与天线阵列80连接。金属的屏蔽层50与“第一导电柱21、第二导电柱22”之间有一层介质膜(绝缘膜40)用来绝缘,结构中第一导电柱21、第二导电柱22分别与介质膜及同轴屏蔽层50形成同轴线结构,改善了第一导电柱21及第二导电柱22的高频传输性能。屏蔽层50将射频芯片30包裹起来,如果射频芯片30是发射芯片,则只通过天线阵列80向外辐射有效电磁信号,如果是接收芯片,则只通过天线阵列80接收有效电磁信号,防止芯片的高频信号通过其他路径往外辐射影响周围其他芯片,同时也防止外部干扰信号通过其他路径进入射频芯片30,增加了芯片间的隔离度。

[0071] 综上,上述实施例对射频芯片集成封装结构的不同构型进行了详细说明,当然,本发明包括但不限于上述实施中所列举的构型,任何在上述实施例提供的构型基础上进行变换的内容,均属于本发明所保护的范畴。本领域技术人员可以根据上述实施例的内容举一反三。

[0072] <实施例二>

[0073] 本实施例提供了上一实施例中的射频芯片集成封装结构的制备方法,如图2~9所示,所述射频芯片集成封装结构的制备方法包括:提供临时键合载板10,在所述临时键合载板10的第一表面形成第一导电层20,在所述第一导电层20上形成第一导电柱21与第二导电柱22;将射频芯片30附连至所述第一导电层20上,所述射频芯片30位于所述第一导电柱21与所述第二导电柱22之间;形成绝缘膜40,所述绝缘膜40覆盖所述第一导电层20、所述射频芯片30、所述第一导电柱21和所述第二导电柱22;去除所述第一导电柱21和所述第二导电柱22与所述射频芯片30之间的部分绝缘膜40,暴露出部分第一导电层20,形成屏蔽层接地处25、26;形成屏蔽层50,所述屏蔽层50覆盖所述绝缘膜40,以及所述屏蔽层50电连接所述屏蔽层接地处25、26;形成塑封层60,所述塑封层60覆盖所述屏蔽层50;去除部分塑封层60,以暴露出所述第一导电柱21的顶面与所述第二导电柱22的顶面,形成所述第二导电层70,所述第二导电层70覆盖所述第一导电柱21的顶面、所述第二导电柱22的顶面与所述塑封层60,所述第二导电层通过接触所述第一导电柱21和所述第二导电柱22的顶面电连接所述第一导电柱21及第二导电柱22;在所述第二导电层70上布置天线阵列80。

[0074] 在本发明的一个实施例中,在所述的射频芯片集成封装结构的制备方法中,在所述临时键合载板10的第一表面形成第一导电层20可以包括:采用旋涂工艺、化学气相沉积工艺或物理气相沉积工艺在所述临时键合载板10的第一表面上沉积形成介质层,并对所述

介质层进行刻蚀形成图形化的第一介质层24；采用化学气相沉积工艺、蒸镀工艺、溅射工艺、电镀工艺或化学镀工艺于所述第一介质层24表面形成金属层，并对所述金属层进行刻蚀形成图形化的第一重布线层23；使所述第一重布线层23将所述射频芯片30及所述临时键合载板10第一表面上的第一导电层20的电性导出至所述第一导电柱21的底面、所述第二导电柱22的底面、所述屏蔽层接地处25、26。本领域的技术人员应该清楚，本发明的保护范围不限于此。

[0075] 在本发明的一个实施例中，如图2所示，可通过图形化电镀工艺形成第一导电柱21与第二导电柱22。例如，首先在所述第一导电层20上形成电镀种子层，在电镀种子层上形成光刻胶并图案化，露出导电柱所在部分，电镀沉积第一导电柱21与第二导电柱22，去除光刻胶层和电镀种子层。

[0076] 在本发明的一个实施例中，屏蔽层导体、中间介质层及高铜柱构成的同轴结构双导体传输线。屏蔽层接地，电磁场被限定在高铜柱与屏蔽层之间，该结构与单一高铜柱相比基本没有辐射损耗，几乎不受外界信号干扰，可以有效提升电性能，用于更高频信号的传输。

[0077] 在本发明的一个实施例中，如图3所示，可通过倒装焊工艺将射频芯片30附连至所述第一导电层20上。可选地，在芯片凸点与第一导电层的连接位置填充绝缘介质35。

[0078] 在本发明的一个实施例中，如图4所示，可采用真空压膜工艺或类似工艺将聚合物薄膜40包裹在射频芯片30上。聚合物薄膜可以采用封装领域常用的聚酰亚胺PI、苯并环丁烯BCB、过氧化苯甲酰BPO、其他聚合物薄膜等来形成绝缘结构，该绝缘层可以防止屏蔽层中金属原子对芯片的污染，影响芯片性能。此外该介质膜同时覆盖在高铜柱上形成同轴传输线的介质层。

[0079] 接下来，如图5所示，去除部分绝缘膜40，暴露出部分第一导电层20的导电路径，形成屏蔽层接地处25、26。屏蔽层接地处25、26可以是分离的接地点，也可以是围绕在芯片四周的整圈的接地带。

[0080] 接下来，如图6所示，形成屏蔽层50，所述屏蔽层50覆盖所述绝缘膜40，并且电连接所述屏蔽层接地处25、26。在本发明的实施例中，可通过物理气相沉积工艺、化学气相沉积工艺、蒸镀工艺、溅射工艺、电镀工艺或化学镀工艺等形成屏蔽层50。

[0081] 在本发明的一个实施例中，在所述的射频芯片集成封装结构的制备方法中，如图7所示，形成塑封层60，所述塑封层60覆盖所述屏蔽层50包括：采用压缩成型工艺、转移成型工艺、液体密封成型工艺、真空层压工艺、或旋涂工艺形成所述塑封层60；所述塑封层60的材料可以包括聚酰亚胺、硅胶以及环氧树脂等中的一种。

[0082] 另外，在所述的射频芯片集成封装结构的制备方法中，暴露出所述第一导电柱21的顶面与所述第二导电柱22的顶面包括：对所述塑封层60进行平坦化处理直至露出所述第一导电柱21的顶面与所述第二导电柱22的顶面，所述第一导电柱21及所述第二导电柱22的高度大于所述射频芯片30的高度。在本发明的其他实施例中，可通过钻孔工艺露出所述第一导电柱21的顶面与所述第二导电柱22的顶面。

[0083] 如图9所示，在所述的射频芯片集成封装结构的制备方法中，形成所述第二导电层70包括：采用旋涂工艺、化学气相沉积工艺或物理气相沉积工艺在所述塑封层60上沉积形成介质层，并对所述介质层进行刻蚀形成图形化的第二介质层72；采用化学气相沉积工艺、

蒸镀工艺、溅射工艺、电镀工艺或化学镀工艺于所述第二介质层72表面形成金属层,并对所述金属层进行刻蚀形成图形化的第二重布线层71;使所述第二重布线层71将所述第一导电柱21及所述第二导电柱22的电性导出至所述天线阵列80。

[0084] 具体的,在所述的射频芯片集成封装结构的制备方法中,可通过物理气相沉积工艺、化学气相沉积工艺、蒸镀工艺、溅射工艺、电镀工艺或化学镀工艺、光刻工艺、刻蚀工艺等在所述第二导电层70上布置天线阵列80。在所述的射频芯片集成封装结构的制备方法中,所述射频芯片集成封装结构的制备方法还包括:在所述第二导电层70上布置天线阵列80后,去掉所述临时键合载板10,在所述第一导电层20的底面形成焊球凸块90,将所述射频芯片集成封装结构进行分割,形成各个芯片的封装结构;所述焊球凸块90与所述第一重布线层23电连接。

[0085] <实施例三>

[0086] 本实施例提供了上一实施例中的射频芯片集成封装结构的制备方法,如图10所示,在上一实施例所述的射频芯片集成封装结构的制备方法中,在所述第二导电层70上布置天线阵列80包括:在所述第二导电层70上布置第一天线阵列81,形成天线塑封层83,所述天线塑封层83覆盖所述第一天线阵列81,采用压缩成型工艺、转移成型工艺、液体密封成型工艺、真空层压工艺、或旋涂工艺形成所述天线塑封层83;所述天线塑封层83的材料可以包括聚酰亚胺、硅胶以及环氧树脂等中的一种。所述天线塑封层也可以包括聚四氟乙烯、聚苯乙烯泡沫、聚氨酯、带孔隙介质材料等低介电常数材料中的一种或几种。

[0087] 采用化学气相沉积工艺或物理气相沉积工艺在所述天线塑封层83上沉积形成介质层,并对所述介质层进行刻蚀形成图形化的第三介质层84;采用化学气相沉积工艺、蒸镀工艺、溅射工艺、电镀工艺或化学镀工艺于所述第三介质层84表面形成金属层,并对所述金属层进行刻蚀形成图形化的第三重布线层85;在所述第三重布线层85上布置第二天线阵列82。

[0088] 本发明在形成所述第二重布线层71的同时在其外侧形成3D堆叠天线,在不增加额外工艺步骤及制作成本的情况下,实现了3D堆叠天线的制备。本发明通过采用3D堆叠方式形成天线,可在较小的区域面积内形成较大面积长度的天线,大大提高了天线的增益,既保证了射频芯片30的稳定性,同时也提高了通信距离。本发明通过在射频芯片30的封装结构中形成天线,使得其在后续应用时无需进行天线布局,解决了现有射频芯片30在使用时为了保证天线增益,导致PCB板面积增大的问题,既保证了射频芯片30的天线增益足够大,同时也保证了PCB板的面积足够小。

[0089] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例公开的系统而言,由于与实施例公开的方法相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0090] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

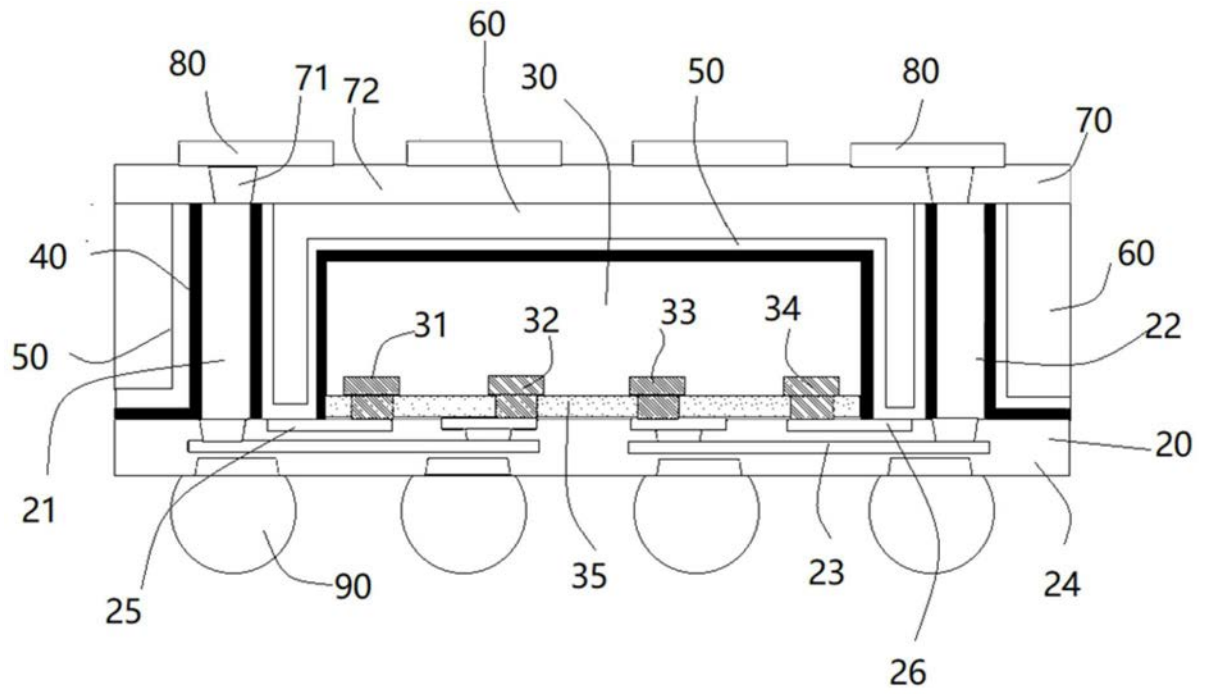


图1

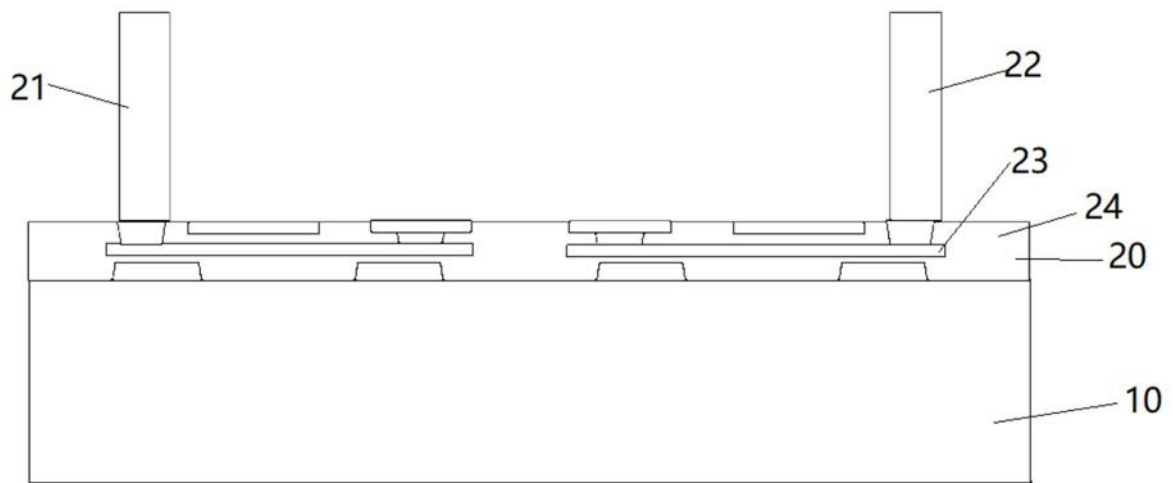


图2

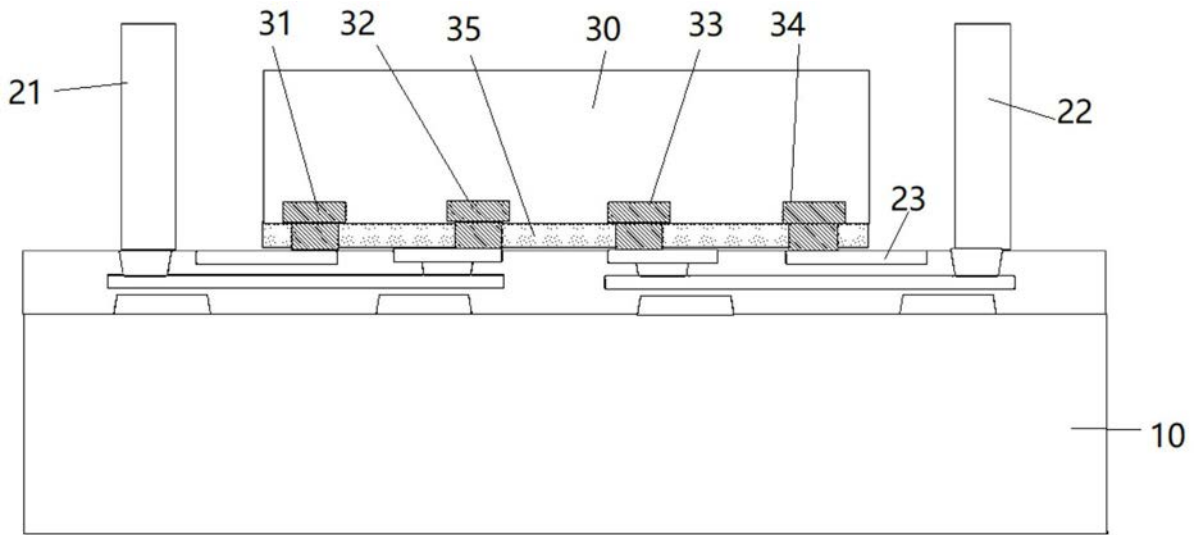


图3

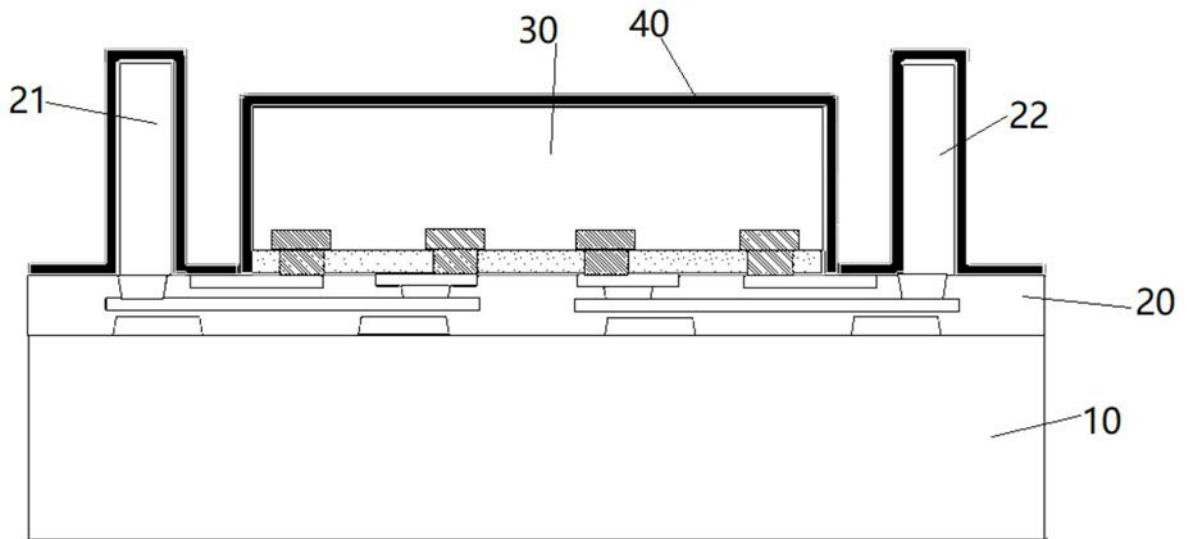


图4

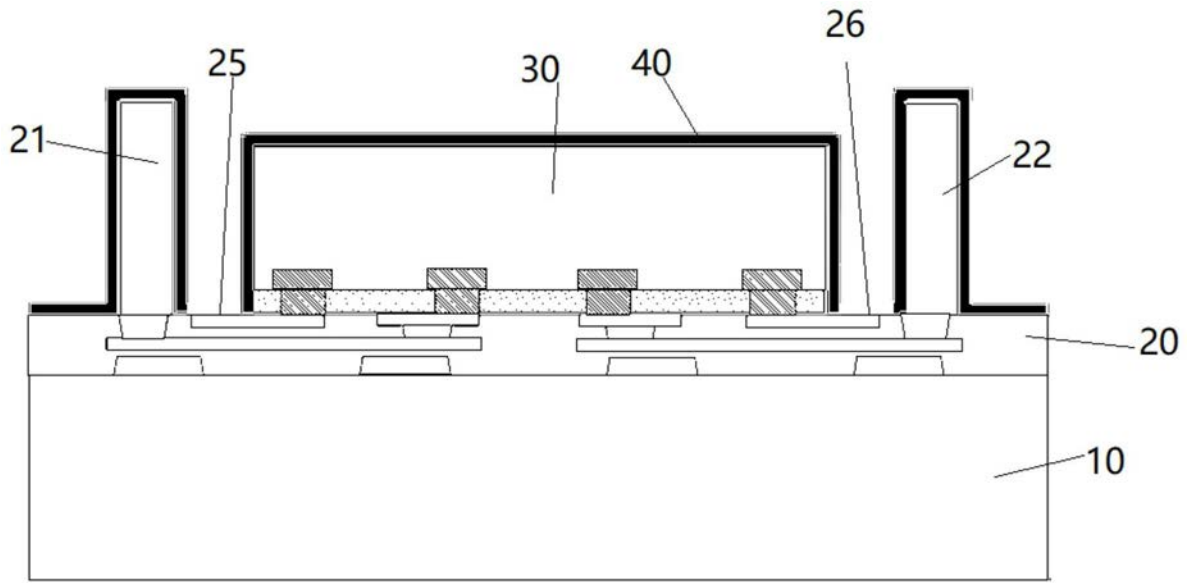


图5

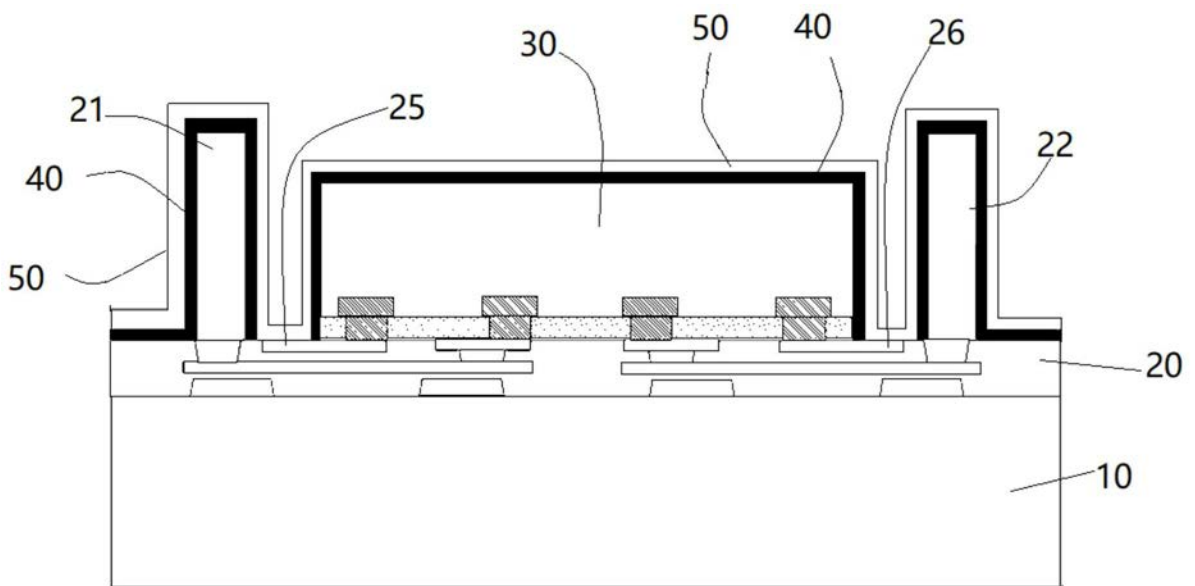


图6

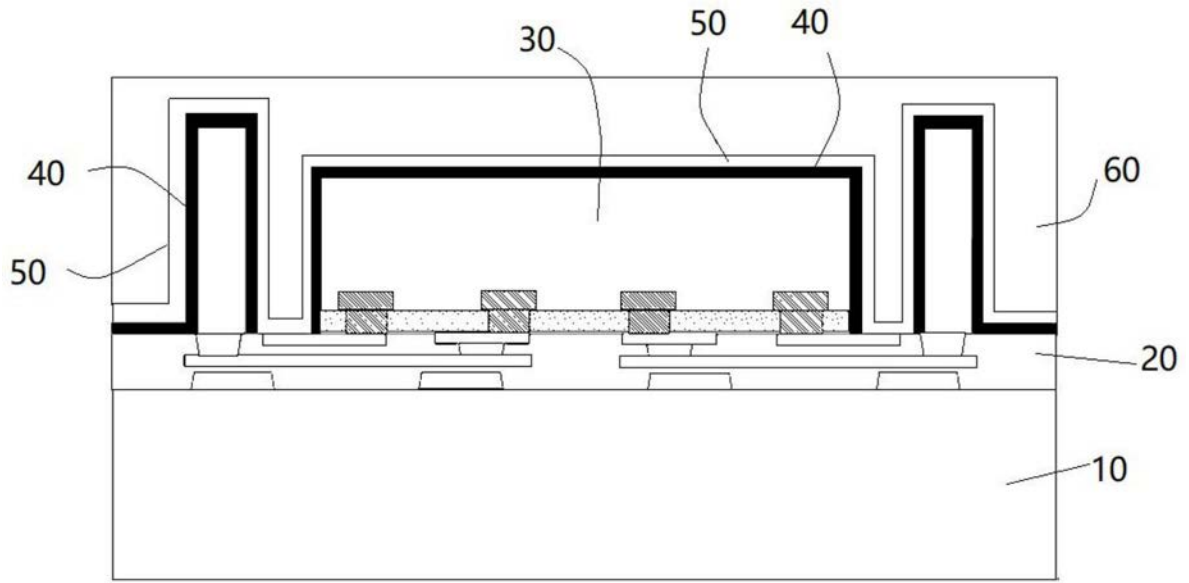


图7

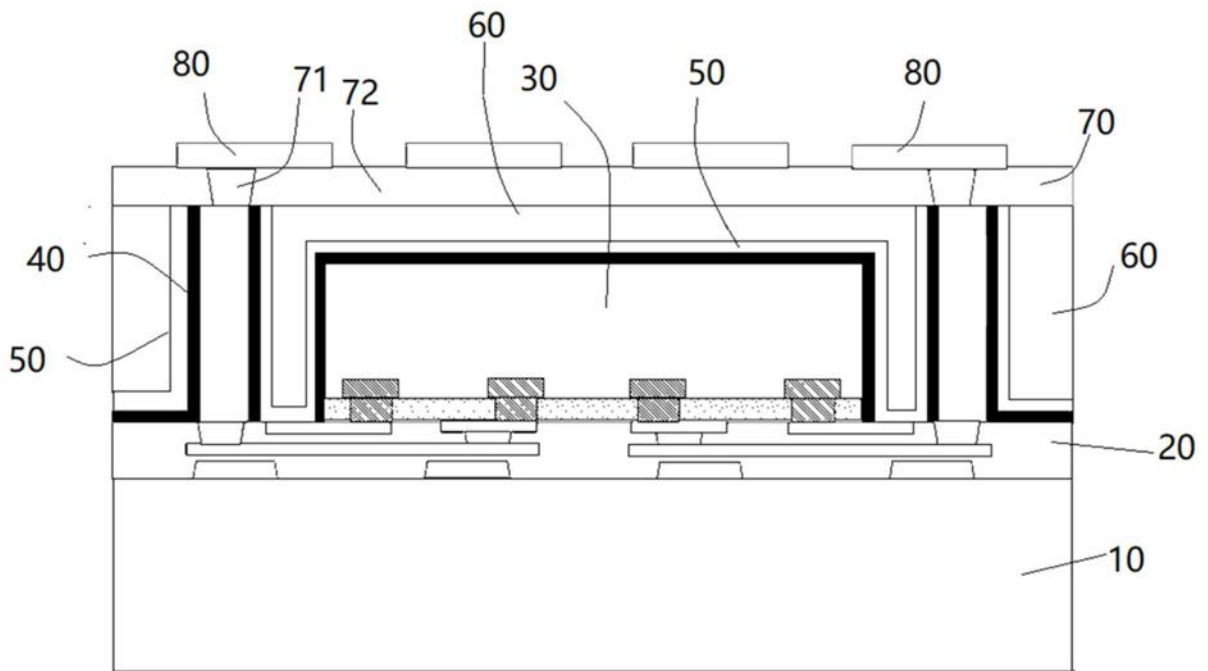


图8

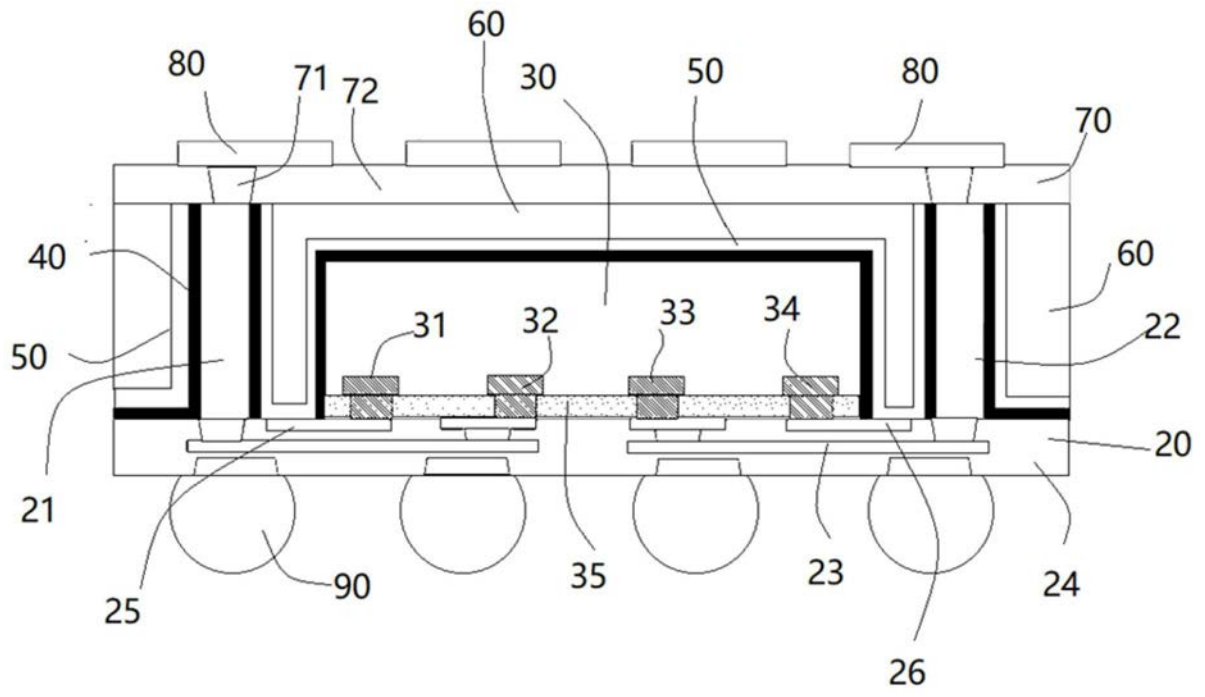


图9

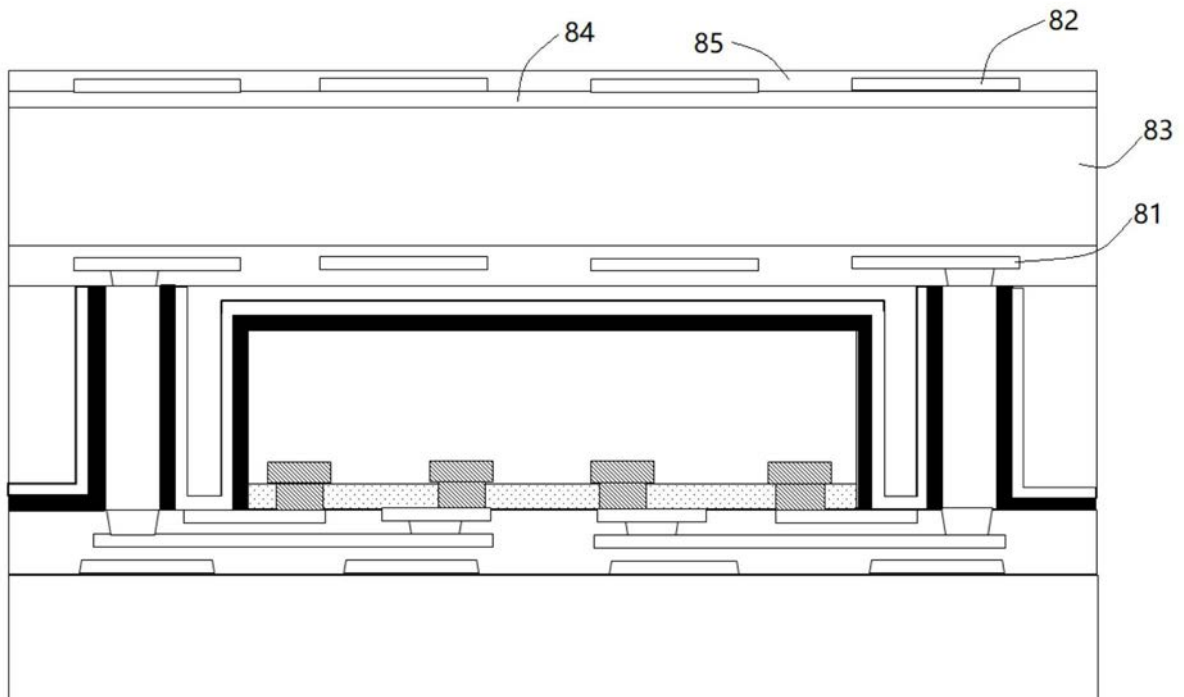


图10