

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6468631号
(P6468631)

(45) 発行日 平成31年2月13日(2019.2.13)

(24) 登録日 平成31年1月25日(2019.1.25)

(51) Int.Cl.	F I	
HO 1 L 21/331 (2006.01)	HO 1 L 29/72	P
HO 1 L 29/732 (2006.01)	HO 1 L 29/91	A
HO 1 L 21/329 (2006.01)	HO 1 L 29/91	C
HO 1 L 29/868 (2006.01)	HO 1 L 27/04	H
HO 1 L 29/861 (2006.01)	HO 1 L 27/06	3 1 1 B
請求項の数 18 (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2014-193622 (P2014-193622)
 (22) 出願日 平成26年9月24日(2014.9.24)
 (65) 公開番号 特開2015-62227 (P2015-62227A)
 (43) 公開日 平成27年4月2日(2015.4.2)
 審査請求日 平成29年9月6日(2017.9.6)
 (31) 優先権主張番号 14/034, 213
 (32) 優先日 平成25年9月23日(2013.9.23)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 504199127
 エヌエックスピー ユーエスエイ インコーポレイテッド
 NXP USA, Inc.
 アメリカ合衆国 テキサス州 78735
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6501
 (74) 代理人 100142907
 弁理士 本田 淳
 (72) 発明者 ワイズ チェン
 アメリカ合衆国 85045 アリゾナ州
 フェニックス ウェスト グレンヘイブ
 ドライブ 2816

最終頁に続く

(54) 【発明の名称】 積層保護デバイス及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

デバイスにおいて、
 第1のインターフェースと、
 第2のインターフェースと、
 前記第1のインターフェースに結合されている第1の保護回路構成と、
 前記第1の保護回路構成及び前記第2のインターフェースの間に結合されている第2の保護回路構成であって、前記第2の保護回路構成は、

第1のトランジスタであって、エミッタ及びコレクタが第1の層及び第2の層を少なくとも有した積層構造に形成され、少なくとも前記コレクタの前記第2の層の横幅は前記第1の層の横幅よりも大きい第1のトランジスタ、及び

ダイオードであって、前記ダイオードは前記第1の保護回路構成に結合されたアノードと、前記第1のトランジスタのコレクタに結合されているカソードとを有するダイオードを備え、

前記第1のトランジスタ及び前記ダイオードは、前記第1の保護回路構成と前記第2のインターフェースとの間で電氣的に直列に構成され、

前記ダイオードは前記第1の保護回路構成と前記第1のトランジスタの間で直列に構成されている、第2の保護回路構成とを備える、デバイス。

【請求項2】

前記第1のインターフェースは高電圧端子を備え、

10

20

前記第 2 のインターフェースは低電圧端子を備える、請求項 1 に記載のデバイス。

【請求項 3】

前記高電圧端子と前記低電圧端子との間に結合されている機能回路をさらに備える、請求項 2 に記載のデバイス。

【請求項 4】

前記ダイオードは垂直 P N ダイオードを備え、請求項 1 に記載のデバイス。

【請求項 5】

前記第 1 の保護回路構成は、
前記第 1 のインターフェースに結合されている第 2 のトランジスタと、
前記第 2 のトランジスタ及び前記ダイオードの間に電氣的に直列に結合されている第 3 のトランジスタとを備える、請求項 1 に記載のデバイス。 10

【請求項 6】

前記ダイオードは、
前記第 3 のトランジスタのエミッタに結合されているアノードを備える、請求項 5 に記載のデバイス。

【請求項 7】

前記第 3 のトランジスタは、前記アノードに結合されているベースを備え、
前記第 1 のトランジスタは、
前記第 2 のインターフェースに結合されている第 2 のエミッタと、
前記第 2 のインターフェースに結合されている第 2 のベースとを備える、請求項 6 に記載のデバイス。 20

【請求項 8】

前記第 3 のトランジスタは、第 2 のコレクタを備え、
前記第 2 のトランジスタは、
前記第 2 のコレクタに結合されている第 3 のコレクタと、
前記第 1 のインターフェースに結合されている第 3 のエミッタと、
前記第 1 のインターフェースに結合されている第 3 のベースとを備える、請求項 7 に記載のデバイス。

【請求項 9】

半導体デバイスにおいて、 30
第 1 の導電型を有する半導体材料のベース領域と、
前記ベース領域内にある半導体材料のエミッタ領域であって、前記エミッタ領域は、前記第 1 の導電型と反対の第 2 の導電型を有する、エミッタ領域と、
前記第 2 の導電型を有する半導体材料のコレクタ領域であって、前記ベース領域の少なくとも一部は前記エミッタ領域と前記コレクタ領域の間にあり、前記コレクタ領域は第 1 の層及び第 2 の層を少なくとも有した積層構造に形成され、前記第 2 の層の横幅は前記第 1 の層の横幅よりも大きい、コレクタ領域と、

前記第 2 の導電型を有する半導体材料の埋込み領域であって、前記コレクタ領域は前記埋込み領域の上方にあり、かつ前記埋込み領域に結合されている、埋込み領域と、

前記ベース領域に隣接し、かつ前記埋込み領域の上方にある半導体材料のカソード領域であって、前記カソード領域は前記第 2 の導電型を有し、前記カソード領域は前記コレクタ領域に電氣的に接続されている、カソード領域と、 40

前記カソード領域の上方にあり、かつ前記カソード領域に当接している半導体材料のアノード領域であって、前記アノード領域は第 1 の導電型を有する、アノード領域とを備える、半導体デバイス。

【請求項 10】

前記半導体デバイスは、
前記第 1 の導電型を有する半導体材料の第 2 のベース領域と、
前記第 2 の導電型を有する半導体材料の第 2 のエミッタ領域とをさらに備え、前記アノード領域は前記第 2 のベース領域及び前記第 2 のエミッタ領域に電氣的に接続されている 50

、請求項 9 に記載の半導体デバイス。

【請求項 1 1】

前記半導体デバイスは、

前記第 2 の導電型を有する半導体材料の第 2 のコレクタ領域であって、前記第 2 のベース領域の少なくとも一部は前記第 2 のエミッタ領域と前記第 2 のコレクタ領域との間に存在する、第 2 のコレクタ領域と、

前記第 1 の導電型を有する半導体材料の第 3 のベース領域と、

前記第 2 の導電型を有する半導体材料の第 3 のエミッタ領域と、

前記第 2 の導電型を有する半導体材料の第 3 のコレクタ領域とをさらに備え、

前記第 3 のベース領域の少なくとも一部は前記第 3 のエミッタ領域と前記第 3 のコレクタ領域との間に存在し、

前記第 3 のコレクタ領域は前記第 2 のコレクタ領域に電氣的に接続されている、請求項 1 0 に記載の半導体デバイス。

10

【請求項 1 2】

前記半導体デバイスは、

高電圧端子と、

低電圧端子とをさらに備え、

前記ベース領域及び前記エミッタ領域は前記低電圧端子に電氣的に接続されており、

前記第 3 のベース領域及び前記第 3 のエミッタ領域は前記高電圧端子に電氣的に接続されている、請求項 1 1 に記載の半導体デバイス。

20

【請求項 1 3】

前記半導体デバイスは、前記第 3 のコレクタ領域に隣接している基板分路領域をさらに備え、前記基板分路領域は前記第 1 の導電型を有し、前記基板分路領域は、前記低電圧端子に電氣的に接続されている、請求項 1 2 に記載の半導体デバイス。

【請求項 1 4】

電子デバイスを作製する方法において、

基板上に第 1 の保護回路構成を形成する工程と、

前記基板上に第 2 の保護回路構成を形成する工程であって、前記第 2 の保護回路構成は、前記基板上に形成されている第 1 のトランジスタ素子及びダイオード素子を備え、前記ダイオード素子はアノード及びカソードを有し、前記ダイオード素子のカソードは前記第 1 のトランジスタ素子のコレクタに結合され、前記第 1 のトランジスタ素子のベース及びコレクタが第 1 の層及び第 2 の層を少なくとも有した積層構造に形成され、少なくとも前記コレクタの前記第 2 の層の横幅は前記第 1 の層の横幅よりも大きく、前記ダイオード素子及び前記第 1 のトランジスタ素子は、電氣的に直列に構成されている、第 2 の保護回路構成を形成する工程と、

30

前記第 1 の保護回路構成と第 1 のデバイス端子との間に第 1 の電気接続を設ける工程と、

前記第 2 の保護回路構成と第 2 のデバイス端子との間に第 2 の電気接続を設ける工程と、

前記第 1 の保護回路構成と前記ダイオード素子の前記アノードとの間に第 3 の電気接続を設ける工程であって、前記第 3 の電気接続の結果として、前記第 1 の保護回路構成及び前記第 2 の保護回路構成が、前記第 1 のデバイス端子と前記第 2 のデバイス端子との間で電氣的に直列に構成され、前記ダイオード素子は前記第 1 の保護回路構成及び前記第 1 のトランジスタ素子と直列に構成される、第 3 の電気接続を設ける工程とを備える、方法。

40

【請求項 1 5】

前記第 2 の保護回路構成を形成する工程は、

前記基板内に前記第 1 のトランジスタ素子のベース領域を形成する工程であって、前記ベース領域は第 1 の導電型を有する、ベース領域を形成する工程と、

前記ベース領域内に前記第 1 のトランジスタ素子のエミッタ領域を形成する工程であって、前記エミッタ領域は前記第 1 の導電型と反対の第 2 の導電型を有する、エミッタ領域

50

を形成する工程と、

前記基板内に前記第1のトランジスタ素子のコレクタ領域を形成する工程であって、前記コレクタ領域は前記第2の導電型を有し、前記ベース領域の少なくとも一部は前記エミッタ領域及び前記コレクタ領域の間に存在する、コレクタ領域を形成する工程と、

前記ベース領域に隣接して前記基板内に前記ダイオード素子のカソード領域を形成する工程であって、前記カソード領域は前記第2の導電型を有する、カソード領域を形成する工程と、

前記カソード領域に当接して、前記基板内に前記ダイオード素子のアノード領域を形成する工程であって、前記アノード領域は前記第1の導電型を有する、アノード領域を形成する工程とを備える、請求項14に記載の方法。

10

【請求項16】

前記アノード領域を形成する工程は、前記カソード領域の上に前記アノード領域を形成する工程を備える、請求項15に記載の方法。

【請求項17】

前記第1の保護回路構成を形成する工程は、

前記基板内に第2のトランジスタ素子を形成する工程であって、前記第2のトランジスタ素子は、第2のベース領域と、前記第2のベース領域に電氣的に接続されている第2のエミッタ領域とを含む、第2のトランジスタを形成する工程と、

前記基板内に第3のトランジスタ素子を形成する工程であって、前記第3のトランジスタ素子は、第3のベース領域と、前記第3のベース領域に電氣的に接続されている第3のエミッタ領域とを含み、前記第3のトランジスタ素子の第3のコレクタ領域は、前記第2のトランジスタの第2のコレクタ領域に電氣的に接続されている、第3のトランジスタ素子を形成する工程とを備え、

20

前記第1の電気接続を設ける工程は、前記第1のデバイス端子、前記第2のベース領域、及び前記第2のエミッタ領域の間に前記第1の電気接続を設ける工程を備え、

前記第2の電気接続を提供する工程は、前記第2のデバイス端子、前記ベース領域、及び前記エミッタ領域の間に前記第2の電気接続を設ける工程を備え、

前記第3の電気接続を提供する工程は、前記アノード領域、前記第3のベース領域、及び前記第3のエミッタ領域の間に前記第3の電気接続を設ける工程を備える、請求項15に記載の方法。

30

【請求項18】

前記ベース領域を形成する工程は、前記コレクタ領域に隣接して前記ベース領域を形成する工程を備える、請求項15に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に記載の主題の実施形態は、概して電子デバイスに関し、より詳細には、静電放電保護デバイス及び関連する作製方法に関する。

【背景技術】

【0002】

40

最新の電子デバイス、特に集積回路は、静電放電(ESD)事象に起因する損傷の危険にさらされている。静電放電事象の間、電子デバイスの1つ以上の端子に、それらの端子の間の電圧がデバイスの設計最大電圧を超えるようにする電圧(又は電流)が提供されるおそれがあり、これは、デバイスのその後の動作を損なう可能性がある。たとえば、静電放電事象の間の電子デバイスの端子における電圧が、デバイスの1つ以上の構成要素のブレイクダウン電圧を超え、それによって、可能性としてそれらの構成要素に損傷を与える場合がある。したがって、電子デバイスは静電放電事象の間の電気デバイスにわたる過剰な電圧からの保護を提供する放電保護回路を含む。

【0003】

保護されているデバイスの通常動作との干渉を回避するために、放電保護回路は、一般

50

的に、印加電圧がデバイスの動作電圧を超えるときで、印加電圧がデバイスのブレイクダウン電圧を超える前にオンになって電流を伝導するように設計されている。実際には、放電保護回路は、過渡電圧によってトリガされた後、印加電圧が、保持（又はスナップバック）電圧と称される特定の電圧を下回って低減するまで、電流を伝導し続け得る。保持電圧が設計電圧よりも低い場合、放電保護回路はラッチアップを受けやすくなり、設計電圧において電流を伝導し続け、それによって、静電放電事象後に放電保護回路の機能を損なうおそれがある。たとえば、供給電圧に重なり合った過渡的ノイズによって、放電保護回路がオンにされてしまい、過渡的ノイズが除去された後に電流を伝導し続けるおそれがある。

【0004】

10

たとえば、保護回路の複数のインスタンスを、合計トリガ及び/又は保持電圧が保護回路の個々のインスタンスのトリガ及び/又は保持電圧の合計に対応するように、「積層」又は他の様態で構成することによって、保護回路の複数のインスタンスを使用してトリガ電圧及び/又は保持電圧を増大させることができる。しかしながら、保護回路の複数のインスタンスを使用することは、そうでなければ他の回路に割り当てることができるダイ面積を消費することになり、これは望ましいことではない。したがって、保護回路の面積効率を改善することが望ましい。

【0005】

以下、添付の図面とともに様々な実施形態を説明する。図面は必ずしも原寸に比例して描かれてはならず、同様の参照符号は同様の要素を示す。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第7911750号明細書

【図面の簡単な説明】

【0007】

【図1】本発明の一実施形態による例示的な電子デバイスの概略図。

【図2】本発明の1つ以上の実施形態による、図1の電子デバイス内の積層保護構成として使用するのに適した1つの例示的な半導体デバイス構造の断面図。

【図3】図2の半導体デバイス構造を作製するための本発明の一実施形態による例示的な方法の断面図。

30

【図4】図2の半導体デバイス構造を作製するための本発明の一実施形態による例示的な方法の断面図。

【図5】図2の半導体デバイス構造を作製するための本発明の一実施形態による例示的な方法の断面図。

【図6】図2の半導体デバイス構造を作製するための本発明の一実施形態による例示的な方法の断面図。

【図7】図2の半導体デバイス構造を作製するための本発明の一実施形態による例示的な方法の断面図。

【図8】図2の半導体デバイス構造を作製するための本発明の一実施形態による例示的な方法の断面図。

40

【図9】図2の半導体デバイス構造を作製するための本発明の一実施形態による例示的な方法の断面図。

【図10】本発明の1つ以上の実施形態による、図1の電子デバイス内の積層保護構成として使用するのに適した別の例示的な半導体デバイス構造の断面図。

【図11】本発明の1つ以上の実施形態による、図1の電子デバイス内の積層保護構成として使用するのに適した別の例示的な半導体デバイス構造の断面図。

【図12】本発明の1つ以上の実施形態による、図1の電子デバイス内の積層保護構成として使用するのに適した別の例示的な半導体デバイス構造の断面図。

【図13】本発明の1つ以上の実施形態による、図1の電子デバイス内の積層保護構成と

50

して使用するのに適した別の例示的な半導体デバイス構造の断面図。

【発明を実施するための形態】

【0008】

下記の詳細な記載は本発明の説明のためのものに過ぎず、本主題の実施形態又はこのような実施形態の適用及び使用を限定することを意図しない。例示として本明細書に記載される一切の実施態様は、必ずしも他の実施態様よりも好適又は有利であるとは解釈されない。加えて、上記技術分野、背景技術、又は以下の詳細な説明で提示される、いかなる表示又は暗示された理論によっても束縛されることは意図されていない。

【0009】

本明細書に記載する主題の実施形態は、特定の電子デバイスのためにより高いレベルの静電放電保護を提供するために互いに対して電気的に直列に積層、カソード接続、又は他の様態で構成されている複数インスタンスの静電放電（ESD）保護回路を含む電子デバイスに関する。下記により詳細に説明するように、保護回路の積層インスタンスは互いに同一ではない、すなわち、1つのインスタンスの保護回路の構成は、別のインスタンスの保護回路とは異なっている。例示的な実施形態において、第1のインスタンスの保護回路は、双方向性静電放電保護を（たとえば、いずれかの方向に放電電流を伝導することによって）提供するように構成されている一対のバイポーラ接合トランジスタ（BJT）素子を含んでなり、第2のインスタンスの保護回路は、ダイオード素子と電気的に直列に構成されている単一のBJT素子を含んでなる。このようにして、第2のインスタンスの保護回路は、静電放電保護を1つの方向（たとえば、順方向）において提供するとき、第1のインスタンスの保護回路と同様に機能するが、第1のインスタンスの保護回路と比較して第2のインスタンスの保護回路によって消費されるダイ面積は低減されている。説明を目的として、ダイオード素子を含む保護回路のインスタンスは、本明細書において代替的に、積層保護構成内の他のインスタンスの保護回路と積層されるときに、主に1つの向きのみにおいて静電保護のレベルを増大させる（たとえば、トリガ電圧、ブレークダウン電圧、及び/又は保持電圧の増大）のに寄与するという点において、単方向性であるとして参照されてもよい。したがって、単方向性保護回路及び双方向性保護回路が積層されると、双方向性静電放電からの保護を提供し、可能性として2つのインスタンスの双方向性保護回路を積層するよりも必要とされるダイ面積を少なくしながら、順方向において積層保護構成によって達成可能な静電放電保護のレベルは、2つのインスタンスの双方向性保護回路を積層することによって達成可能な静電保護のレベルに実質的に等しいものであり得る。

【0010】

図2～図9を参照して下記により詳細に説明するように、例示的な実施形態において、ダイオード素子は、単方向性保護回路のBJT素子のベースに隣接しており、単方向性保護回路のBJT素子のコレクタに電気的に接続されているカソードを有する垂直PNダイオードとして実現される。ダイオード素子及びBJT素子は電気的に直列であり、それによって、順方向においてダイオード素子を通じて流れる電流は、BJT素子のコレクタを通じて直列に流れる。例示的な実施形態において、BJT素子のベース及びエミッタは互いに電気的に接続されており、グランド基準電圧、負基準電圧、又は電子デバイスのための別の相対的に低い基準電圧を受け取るように構成されている、電子デバイスのインターフェースに結合されている。双方向性保護回路は、互いに電気的に接続されているベースとエミッタであって、供給基準電圧、正基準電圧、又は電子デバイスのための別の相対的に高い基準電圧を受け取るように構成されている、電子デバイスの別のインターフェースに結合されているそれぞれのベース及びエミッタを有する第1のBJT素子を含む。第1のBJT素子のコレクタは、双方向性保護回路の第2のBJT素子のコレクタに電気的に接続されており、それによって、BJT素子は電気的に直列であり、順方向において第1のBJT素子を通じて流れる電流は、第2のBJT素子のコレクタを通じて直列に流れる。第2のBJT素子のベース及びエミッタは互いに電気的に接続されており、また、ダイオード素子のアノードに電気的に接続されている。このように、BJT素子及びダイオード

10

20

30

40

50

ド素子は、デバイスインターフェースの間で電氣的に直列に構成されており、それによって、より電圧の高いデバイスインターフェースからより電圧の低いデバイスインターフェースへの順方向における放電電流が、双方向性保護回路のBJT素子、単方向性保護回路のダイオード素子、及び単方向性保護回路のBJT素子を通じて直列に流れる。下記により詳細に説明するように、この直列構成によって、単方向性保護回路のBJT素子のブレークダウン電圧が、双方向性保護回路の第2のBJT素子のブレークダウン電圧に実効的に加算されて、順方向における静電放電保護のレベルが増大する。逆方向においては、双方向性保護回路の第1のBJT素子が基板分路を介して放電電流を伝導し、一方で、単方向性保護回路のダイオード素子及びBJT素子は、逆方向においては放電電流を伝導しない。

10

【0011】

ここで図1を参照すると、例示的な電子デバイスパッケージ100は、1つ以上のパッケージインターフェース102、104と、パッケージインターフェース102、104に結合されている機能回路106と、インターフェース102、104に結合されている積層保護構成108とを含む。例示的な実施形態において、機能回路106及び積層保護構成108は、基板（又はダイ）101上に形成、作製、取付け、又は他の様態で提供されて共通のデバイスパッケージ内に封入されて、パッケージとしての電子デバイス100が得られる。これに関連して、いくつかの実施形態では、基板101はその上に作製される機能回路106及び積層保護構成108の両方を有する半導体基板として実現されてもよく、あるいは、他の実施形態では、基板101は、機能回路106及び積層保護構成108がはんだ付け、固定、又は他の様態で取付けられているパッケージ基板（たとえば、リードフレーム、回路基板など）として実現されてもよい。図1は、説明を目的とし記述を容易にするための、電子デバイス100の簡略化された表現であり、図1は本主題の用途又は範囲を限定するようには決して意図されていないことが理解されるべきである。図1は構成要素間の直接電気接続を図示しているが、代替的な実施形態は、実質的に同様に機能しながら、介在する回路素子及び/又は構成要素を採用してもよい。

20

【0012】

パッケージインターフェース102、104は概して、電子デバイス100内に封入されている機能回路106との間の物理入出力インターフェースを表す。実施形態に応じて、パッケージインターフェース102、104の各々は、個々のピン、パッド、リード、端子、はんだボール、又は電子デバイス100への別の適切な物理インターフェースとして実現されてもよい。1つ以上の実施形態によると、第1のパッケージインターフェース102の設計（又は意図される）電圧は、第2のパッケージインターフェース104の設計電圧よりも大きい。たとえば、第1のパッケージインターフェース102は、電子デバイス100に対する正基準（又は供給）電圧入力として実現されてもよく、第2のパッケージインターフェース104は、電子デバイス100に対する負基準（又はグランド）電圧入力として実現される。発明を限定することなく説明を目的として、第1のパッケージインターフェース102は、本明細書において代替的に高電圧端子、正基準電圧端子、供給電圧端子などとして参照される場合があり、第2のパッケージインターフェース104は本明細書において代替的に低電圧端子、負基準電圧端子、グランド電圧端子などとして参照される場合がある。

30

40

【0013】

機能回路106は概して、電子デバイス100に対する所望の機能を提供するように構成される電子デバイス100の構成要素を表す。これに関連して、実施形態に応じて、機能回路106は、処理回路（たとえば、1つ以上の処理コア、プロセッサ、コントローラ、マイクロコントローラ、マイクロプロセッサなど）、論理回路、メモリもしくは他のデータ記憶要素、個別部品、アナログ及び/もしくはデジタル構成要素、又は、電子デバイス100に対する所望の機能を提供するように構成される他のハードウェア構成要素及び/もしくは回路の任意の適切な組み合わせとして実現されてもよい。例示的な実施形態において、機能回路106は、機能回路106の所望の動作を促進する供給電圧、設計電圧

50

、又は別の動作電圧を受け取るためにパッケージインターフェース102、104に結合される。

【0014】

図1を参照すると、積層保護構成108は、機能回路106のブレイクダウン電圧(V_B)を超えるデバイス端子102、104間の過渡電圧差から機能回路106を保護するために高電圧端子102と低電圧端子104との間に電氣的に接続され、機能回路106に電氣的に並列に構成される。積層保護構成108は、低電圧端子104における電圧に対しての高電圧端子102における過渡電圧が積層保護構成108の過渡トリガ電圧(V_{T1})を超えたとき、又は、代替的に、低電圧端子104における電圧に対しての高電圧端子102における定常状態(又はDC)電圧が積層保護構成108の定常状態(又はDC)ブレイクダウン電圧(V_{TDC})を超えたときに、順方向において放電電流を伝導し始める静電放電電圧クランプとして機能する。これに関連して、積層保護構成108の定常状態(又はDC)ブレイクダウン電圧(V_{TDC})及び過渡トリガ電圧(V_{T1})の両方は、機能回路106の供給(又は動作)電圧(V_O)よりも高いが、機能回路106のブレイクダウン電圧(V_B)よりも低くなるように選択される。このように、積層保護構成108は、端子102、104間の電圧差が静電放電トリガ電圧(すなわち、DCブレイクダウン電圧(V_{TDC})又は過渡トリガ電圧(V_{T1}))を超えたときに電流を伝導し、それによって、機能回路106が受ける電圧差をクランプする。したがって、静電放電事象中に機能回路106が、機能回路106のブレイクダウン電圧(V_B)を超える電圧差を受ける可能性が低減される。図3を参照して下記により詳細に説明するように、例示的な実施形態において、積層保護構成108は、高電圧端子102における電圧に対しての低電圧端子104における過渡電圧が積層保護構成108の逆方向トリガ/ブレイクダウン電圧を超えたときの静電放電電圧クランプとしても機能する。これに関連して、積層保護構成108は、双方向静電放電保護を提供するものとして理解されてもよい。

【0015】

例示的な実施形態において、積層保護構成108は、高電圧端子102に結合されている第1の保護回路構成110と、第1の保護回路構成110及び低電圧端子104の間に結合されている第2の保護回路構成112とを含む。第1の保護回路構成110及び第2の保護回路構成112は、対象の特定の機能回路106によって必要とされる所望のトリガ電圧及び/又は保持電圧を達成するために、積層又はカスコード接続され、端子102、104間に直列に接続される。積層保護回路構成110、112は、図2に示すように互いに対して隣接又は他の様態で近接して基板101上に形成又は他の様態で設けられてもよい。図1には示されていないが、実際には、108のトリガ電圧及び/又は保持電圧をさらに増大させるために、追加の保護回路構成が積層保護回路構成110、112と直列に設けられてもよいことが留意されるべきである。したがって、本明細書に記載する主題は、積層保護回路構成108に含まれるいかなる特定数の保護回路構成にも限定されない。

【0016】

図1を参照すると、例示的な実施形態において、第1の保護回路構成110は双方向性であり、高電圧端子102に対していずれの方向においても放電電流を伝導することが可能である。例示されている第1の保護回路構成110は、静電放電電圧クランプをもたらすように構成されている一対のバイポーラ接合トランジスタ(BJT)素子120、122を含む。図示されているように、第1のNPNBJT素子120は、高電圧端子102に結合されているエミッタ電極と、エミッタ電極に(たとえば、短絡されて、又は無視できる直列インピーダンスを介して)電氣的に直接接続されており、高電圧端子102に結合されているベース電極と、第2のNPNBJT素子122のコレクタ電極に結合されているコレクタ電極とを有する。第2のBJT素子122のエミッタ電極及びベース電極は、第2の保護回路構成112を介して低電圧端子104に電氣的に接続(又は短絡)及び結合されている。1つ以上の例示的な実施形態において、BJT素子120、122のコレクタ電極は、共通ドープ領域を共有しているか、又は他の様態で共通ドープ領域に

10

20

30

40

50

結合されている、すなわち、BJT素子120、122は、半導体基板内に形成されている共通のコレクタ電極領域を共有することができる。本主題は本明細書においてNPNバイポーラ接合トランジスタ素子の文脈において説明され得るが、本主題はNPNバイポーラ接合トランジスタ素子に限定されるようには意図されず、PNPバイポーラ接合トランジスタ素子について等価な様式で実装されてもよいことは諒解されたい。とはいえ、NPNバイポーラ接合トランジスタ素子の利点によって多くの場合、NPNバイポーラ接合トランジスタ素子が多くの用途にとって好ましいものとなる。したがって、限定ではなく説明を目的として、本主題は本明細書においてNPNデバイスの文脈において説明される。

【0017】

第2の保護回路構成112は単方向性であり、高電圧端子102から低電圧端子104を指向する方向において放電電流を伝導することが可能である。これに関連して、第2の保護回路構成112は、そのアノードを第2のBJT素子122のベース/エミッタに結合されており、第2の保護回路構成112の第3のBJT素子126を介してそのカソードを低電圧端子104に結合されているPNダイオード124を含み、それによって、低電圧端子104に対しての正供給電圧が高電圧端子102において印加されるとき、電子デバイス100の通常動作中に、ダイオード124は(電流を伝導されることなく)順方向バイアスされる。例示的な実施形態において、ダイオード124は、ダイオード124が占有するダイ101上の水平方向における面積を低減するために、垂直ダイオード(たとえば、PN接合が実質的に水平である)として実現される。第3のBJT素子126のエミッタ電極及びベース電極は、低電圧端子104に電氣的に接続(又は短絡)及び結合されており、第3のBJT素子126のコレクタ電極はダイオード124のカソードに結合されている。

【0018】

低電圧デバイス端子104に対しての高電圧デバイス端子102に印加されている電圧が増大すると、積層保護構成108の過渡トリガ電圧(V_{T1})に達するまで非常にわずかな電流が積層保護構成108を通じて流れ、その点において、BJT122、126においてアバランシェ降伏が発生し、積層保護構成108は、高電圧端子102からダイオード124及びBJT120、122、126を介して低電圧端子104へと静電放電放電電流を伝導し始める。これに関連して、過渡トリガ電圧は、BJT122、126のアバランシェ降伏電圧にダイオード124及びBJT120の順方向バイアス電圧を加えた合計に対応する。したがって、高電圧端子102に印加される電圧に対する、順方向における(たとえば、高電圧端子102から低電圧端子104への)伝送線路パルス電流の関係は、たとえば、デバイス端子102、104間にカソード接続されている2つのインスタンスの第1の保護回路構成110を含む積層保護構成のような、一般的な積層静電放電保護構成のそれと同様である。しかしながら、積層保護構成108の面積は、ダイオード124がダイ101を占有する面積が(たとえば、BJT122、126間の別のインスタンスのBJT120と比較して)より小さいために低減される。

【0019】

図2は、1つ以上の例示的な実施形態に応じた、図1の電子デバイス100内の積層保護構成108として使用するのに適した半導体デバイス構造200を断面図で示している。保護デバイス構造200は、高電圧端子102に結合されている第1の保護回路構成110と、低電圧端子104に結合されている第2の保護回路構成112とを含む。第1の保護回路構成110は、第1の導電型(たとえば、N型)を有するコレクタ(N型領域204、212、222、244から成る)及びエミッタ(N型領域246から成る)と、反対の導電型を有するベース(P型領域213、234、260から成る)とを有する第1のBJT素子120を含む。エミッタコンタクト領域246及びベースコンタクト領域260は、互いに短絡又は他の様態で電氣的に接続され、かつ高電圧端子102に結合されており、それによって、第1のBJT素子120のエミッタ及びベースの電位は、高電圧端子102の電位に実質的に等しい。第1の保護回路構成110の第2のBJT素子122は、第1のBJT素子120のコレクタに電氣的に接続されているコレクタ(N型領

域 204、216、226、252 から成る) を有する。例示されている実施形態において、BJT素子 120、122 のコレクタは、一体的であるか、又は、他の様態で、半導体基板 202 内に形成されている共通ドープ領域 204 を介して互いに当接している。BJT素子 120、122 は、それぞれのベース領域を分離するためにそれぞれのBJT素子 120、122 のそれぞれのベース領域の間に側方に存在するN型領域 214、224、248 から成る共通の垂直コレクタ領域をも含んでもよい。例示的な実施形態において、コレクタ領域 204、212、214、216、222、224、226、244、248、252 は浮遊状態にあり、グランド又は他の様態で共通のコレクタの電位に影響を与え得るいかなるデバイス端子又はいかなる他の外部回路にも直接接続されていない。第2のBJT素子 122 のエミッタ (N型領域 250 から成る) 及びベース (P型領域 215、236、262 から成る) も、互いに短絡又は他の様態で電氣的に接続されており、第2の保護回路構成 112 内のダイオード 124 に結合されている。

10

【0020】

図2の例示されている実施形態において、第2の保護回路構成 112 のダイオード 124 は、アノード (P型領域 266 から成る) がそのカソード (N型領域 218、228 から成る) の上に重なっている垂直PNダイオードとして実現され、それによって、PN接合が基板 202 の横軸に対して実質的に平行 (又は水平) になっている。しかしながら、代替的な実施形態において、ダイオード 124 は側方ダイオードとして実現されてもよい。図1を参照して上述したように、アノード領域 266 は第2のBJT素子 122 のベースコンタクト領域 262 及びエミッタコンタクト領域 250 に結合されており、カソード領域 218、228 は、第3のBJT素子 126 のコレクタ (N型領域 220、230、256 から成る) に電氣的に接続されている。例示されている実施形態において、カソード領域 218、228 は、半導体基板 202 内に形成されている共通のN型領域 206 を介してコレクタ領域 220、230、256 に電氣的に接続されている。このようにして、ダイオード 124 のカソード及び第3のBJT素子 126 のコレクタは一体的であってもよい。例示的な実施形態において、カソード及びコレクタ領域 204、218、220、228、230、256 は浮遊状態にあり、グランド又は他の様態でそれらの電位に影響を与え得るいかなるデバイス端子又はいかなる他の外部回路にも直接接続されていない。第3のBJT素子 126 のエミッタ (N型領域 254 から成る) 及びベース (P型領域 217、240、268 から成る) は、互いに短絡又は他の様態で電氣的に接続されており、かつ低電圧端子 104 に結合されており、それによって、第3のBJT素子 126 のエミッタ及びベースの電位は、低電圧端子 104 の電位に実質的に等しい。

20

30

【0021】

高電圧端子 102 における印加電圧 (又は電位) が低電圧端子 104 における印加電圧 (又は電位) を超えるとき、第1のBJT 120 の (たとえば、ベースウェル領域 213、234 とコレクタウェル領域 212、222 との間の) ベース - コレクタ接合が順方向バイアスされ、それによって、共通のコレクタ領域 204、212、214、216、222、224、226、244、248、252 の電位が上昇する。端子 104 と比較してより高い過渡電圧が端子 102 に印加されているときの静電放電事象中、コレクタ電位は、第2のBJT 122 のコレクタ - ベース接合 (たとえば、ベースウェル領域 215、236 とコレクタウェル領域 216、226 との間) にわたってアバランシェ降伏が発生するまで増大し、それによって、第2のBJT 122 のエミッタコンタクト領域 250 及びベースコンタクト領域 262 の電位が上昇して、ダイオード 124 のP型アノード領域 266 とN型カソード領域 228 との間のPN接合が順方向バイアスされ、それによって、第3のBJT 126 の (たとえば、ベースウェル領域 217、240 とコレクタウェル領域 220、230 との間の) コレクタ - ベース接合にわたってアバランシェ降伏が発生するまで、第3のBJT 126 のコレクタ領域 206、220、230、256 の電位が上昇する。このように、積層保護回路構成 110、112 がデバイス端子 102、104 間で電氣的に直列に構成されていることによって、保護デバイス構造 200 の順方向トリガ及び / 又はブレークダウン電圧は、第1の保護回路構成 110 の順方向トリガ及び / 又

40

50

はブレイクダウン電圧と、第2の保護回路構成112の順方向トリガ及び/又はブレイクダウン電圧との合計に対応する。同様に、保護デバイス構造200の順方向保持電圧は、第1の保護回路構成110の順方向保持電圧と第2の保護回路構成112の順方向保持電圧との合計に対応する。第2のBJT122のコレクタ-ベース接合の定常状態(又はDC)アバランシェ降伏電圧は、導電性のより高いベースウェル領域236と、コレクタウェル領域226との間の距離($\times X_2$)(又は代替的に、導電性のより低いエピタキシャル層208の、ベースウェル領域236とコレクタウェル領域226との間に存在する部分の幅)、ならびに、エピタキシャル層208、ベースウェル領域235、及びコレクタウェル領域226のそれぞれのドーパント濃度によって決定付けられることが留意されるべきである。同様に、第3のBJT126のコレクタ-ベース接合の定常状態(又はDC)アバランシェ降伏電圧は、導電性のより高いベースウェル領域240と、コレクタウェル領域230との間の距離($\times X_3$)(又は代替的に、導電性のより低いエピタキシャル層208の、ベースウェル領域240とコレクタウェル領域230との間に存在する部分の幅)、ならびに、エピタキシャル層208、ベースウェル領域240、及びコレクタウェル領域230のそれぞれのドーパント濃度によって決定付けられる。

【0022】

図2を参照する。例示的な実施形態において、保護デバイス構造200は、高電圧端子102において低電圧端子104に対してより低い過渡電圧が印加されているときの静電放電事象中に基板202に分路を提供するための、それぞれの保護回路構成110、112に隣接する1つ以上の基板分路領域280、282、284を含む。これに関連して、第1の保護回路構成110の第1のBJT120に隣接する第1の基板分路領域280は、下方にある基板半導体材料202、208(隣接するコレクタ領域212、222、244とは反対の導電型である)と同じ導電型を有するウェル領域232と、低電圧端子104に電気的に結合されている、ウェル領域232内の基板コンタクト領域258とを含む。同様に、第1の保護回路構成110の第2のBJT122及び第2の保護回路構成112のダイオード124に隣接する第2の基板分路領域282は、Pウェル領域238及びP型基板コンタクト領域264を含み、第2の保護回路構成112の第3のBJT126に隣接する第3の基板分路領域284は、Pウェル領域242及びP型基板コンタクト領域270を含む。例示されている実施形態において、第3の基板分路領域284のP型基板コンタクト領域270も、低電圧端子104に結合されているが、代替的な実施形態においては、P型基板コンタクト領域264も、低電圧端子104に結合されてもよい。

【0023】

端子102において端子104に対してより低い過渡電圧が印加されている静電放電事象中、第1のBJT120のコレクタ-ベース接合にわたってアバランシェ降伏が発生するまで、コレクタ電位(たとえば、N型領域204、212、222、244)に対してベース電位(たとえば、P型ベース領域234、260)が低減し、周囲のP型基板領域202、208、232、258、N型コレクタ領域204、212、222、244、及び内側部分のP型ベース領域208、234、260の間に形成される寄生PNPトランジスタがオンにバイアスされる。このように、保護デバイス構造200の逆方向トリガ及び/又はブレイクダウン電圧は、導電性のより高いベースウェル領域234と、コレクタウェル領域222との間の距離($\times X_1$)(又は代替的に、導電性のより低いエピタキシャル層208の、ベースウェル領域234とコレクタウェル領域222との間に存在する部分の幅)、ならびに、エピタキシャル層208、ベースウェル領域234、及びコレクタウェル領域222のそれぞれのドーパント濃度によって決定付けられる第1のBJT120の逆方向トリガ及び/又はブレイクダウン電圧に対応する。これに関連して、保護デバイス構造200は、順方向及び逆方向の両方において静電放電事象からの保護をもたらすという点において双方向性である。逆方向における静電放電保護のレベルは、導電性のより高いベースウェル領域234とコレクタウェル領域222との間の距離($\times X_1$)を増大又は低減することによって増大又は低減することができることが留意されるべきである。

10

20

30

40

50

【 0 0 2 4 】

図3～図9は、図1の電子デバイス100内の積層保護構成108として使用するのに適した図2の保護デバイス構造200を作製するために実行されてもよい、1つ以上の例示的な実施形態による例示的な作製工程を断面図で示している。半導体デバイスの製造において様々な工程が既知であるため、簡略にするため、多くの従来の工程は本明細書においては簡潔に記載するにとどめるか、又は既知の工程の詳細を示さず全体を省略する。さらに、本主題は本明細書においてNPNBJT素子の文脈において説明され得るが、本主題はNPNBJT素子に限定されるようには意図されず、(たとえば、ドープ領域の導電性を交換することによって)PNPBJT素子について等価な様式で実装されてもよい。加えて、本明細書に記載の保護デバイス及び作製工程は、利用される半導体材料の基板によって制約されず、本明細書に記載の作製工程はまた、シリコン・オン・インシュレータ(SOI)基板上に保護デバイスを作成するのに使用されてもよいことは理解されたい。したがって、本主題はエピタキシャル作製工程の文脈において説明され得るが、本明細書に記載する保護デバイス及び作製工程の代替的な実施形態は、本明細書に記載するエピタキシャル作製工程を含まなくてもよい。加えて、本明細書に記載する作製工程段階は、例示されている順序において実行される必要はなく、本明細書に記載する特定の作製工程段階の順序付けは交換されてもよく、依然として実質的に同じ保護デバイス構造をもたらすことができることが諒解されるべきである。

10

【 0 0 2 5 】

ここで図3を参照すると、例示的な実施形態において、保護デバイス構造200は、半導体材料の層202を含む半導体基板201上に作製される。下記により詳細に説明するように、例示的な実施形態において、半導体材料の層202は、追加の半導体材料をその上にエピタキシャル成長させるのに利用され、したがって、便宜上、限定ではないが、半導体材料の層202は代替的に本明細書においてシード層と称される場合がある。例示的な実施形態において、半導体材料202は、シリコン材料として実現され、「シリコン材料」という用語は、本明細書においては、半導体産業において一般的に使用されている相対的に純粋なシリコン材料、及び、ゲルマニウム、炭素などのような他の元素を混合されているシリコンを包含するように使用されている。代替的に、半導体材料202は、ゲルマニウム、ガリウムヒ素、窒化ガリウムなどとして実現されてもよく、かつ/又は複数種類の半導体材料層が含まれてもよい。例示的な実施形態において、基板半導体材料202は低濃度ドープされる。たとえば、基板半導体材料202は、約 $1 \times 10^{15} \text{ cm}^{-3}$ ～約 $8 \times 10^{15} \text{ cm}^{-3}$ の範囲内のP型ドーパント濃度を有するP型シリコン材料として実現されてもよい。

20

30

【 0 0 2 6 】

保護デバイス構造200の作製は、保護デバイス構造200の、基板分路領域280、282、284として利用されることになる部分をマスキングし、基板半導体材料202内に、基板半導体材料202の導電型と反対の導電型を有する半導体材料のドープ領域204、206を形成することによって継続する。ドープ領域204、206は、フォトレジスト材料のような、基板半導体材料202の、ドープ領域204、206に使用されることになる部分を露出させるインプラントマスクをもたらすようにパターンニングされているマスキング材料203を用いて保護デバイス構造200をマスキングすることによって形成される。その後、ドープ領域204、206の(後続の熱アニーリング又は任意の他の拡散後の)深さが約0.5～約10マイクロメートル(ミクロン)の範囲内になるように、約50キロ電子ボルト(keV)～約2000keVの範囲内のエネルギーレベルにおいて、約 $1 \times 10^{18} \text{ cm}^{-3}$ ～約 $1 \times 10^{19} \text{ cm}^{-3}$ の範囲内のドーパント濃度で、基板半導体材料202内に、矢印205によって示される、アンチモンイオン又はリンイオンのようなN型イオンを注入することによって、ドープ領域204、206が形成される。

40

【 0 0 2 7 】

ここで図4を参照すると、ドープ領域204、206が形成された後、保護デバイス構

50

造 200 の作製は、マスク材料 203 を除去し、ドープ領域 204、206 を覆う所望の厚さ、及び、ドープ領域 204、206 と反対の導電型を有する別の半導体材料ドープ層 208 を形成又は他の様態で提供することによって継続する。たとえば、基板半導体材料 202 上にシリコン材料をエピタキシャル成長させ、層 208 をエピタキシャル成長させるのに使用される反応物にホウ素イオン（又は他の P 型イオン）を添加することによってシリコン材料を *in situ* ドーピングすることによって、P 型エピタキシャル層 208 が形成されてもよい。1 つ以上の実施形態において、エピタキシャル層 208 は、約 $1 \times 10^{15} \text{ cm}^{-3}$ ~ 約 $8 \times 10^{15} \text{ cm}^{-3}$ の範囲内の P 型ドーパント濃度を有する。例示的な実施形態において、エピタキシャル層 208 は、約 0.5 マイクロメートル ~ 約 10 マイクロメートルの範囲内の厚さまで成長され、この厚さは特定の用途の需要に応じて変化してもよい。本明細書に記載する保護デバイス及び作製工程は、ドープ領域 204、206 及び / 又は P 型層 208 が形成される様式によって限定されず、図 4 に示す保護デバイス構造 200 は、様々な代替的な様式で作製又は他の様態で得られてもよい（たとえば、P 型層 208 は必ずしもエピタキシャル層として実現される必要はなく、必ずしもエピタキシャル成長及び / 又は *in situ* ドーピングされる必要はなく、ドープ領域 204、206 は必ずしもイオン注入によって形成される必要はない、など）ことは理解されたい。

【0028】

ここで図 5 を参照すると、エピタキシャル層 208 が形成された後、作製工程は、エピタキシャル層 208 の部分をマスクし、エピタキシャル層 208 内に反対の導電型を有する半導体材料のドープシンカ領域 212、214、216、218、220 を形成することによって継続する。ドープシンカ領域 212、214、216、218、220 は、エピタキシャル層 208 の、シンカ領域 212、214、216、218、220 として使用されることになる部分を、BJT 120、122、126 のベース領域及び基板分路領域 280、282、284 として使用されることになる残りの部分をマスクしながら露出させるインプラントマスクを提供するようにパターニングされているマスク材料 209 を用いて保護デバイス構造 200 をマスクングすることによって形成される。インプラントマスク 209 がパターニングされた後、N 型シンカ領域 212、214、216、218、220 が N 型埋込み領域 204、206 まで伸張し当該領域に当接するように、エピタキシャル層 208 の厚さに対応する（後続の熱アニーリング又は任意の他の拡散後の）深さを有する N 型シンカ領域 212、214、216、218、220 を提供するために、約 50 keV ~ 約 3000 keV の範囲内のエネルギーレベルにおいて、約 $1 \times 10^{16} \text{ cm}^{-3}$ ~ 約 $1 \times 10^{19} \text{ cm}^{-3}$ 、より好ましくは約 $1 \times 10^{17} \text{ cm}^{-3}$ ~ 約 $8 \times 10^{18} \text{ cm}^{-3}$ の範囲内のドーパント濃度で、エピタキシャル層 208 内に矢印 211 によって示すリンイオン又はヒ素イオンのような N 型イオンを注入することによって、N 型シンカ領域 212、214、216、218、220 が形成されてもよい。このように、N 型シンカ領域 212、214、216 は、BJT 120、122 の共通の（又は一体的な）コレクタ電極を提供するために N 型埋込み領域 204 に電氣的に接続され、N 型シンカ領域 218、220 は、第 2 の保護回路構成 112 の一体的なカソード / コレクタ領域を提供するために N 型埋込み領域 206 に電氣的に接続される。例示されているように、N 型シンカ領域 212、214、216、218、220 は、P 型エピタキシャル層 208 を、それぞれの BJT 素子 120、122、126 を内側部分に作製される別個の P 型領域 213、215、217 に分割する。これに関連して、N 型シンカ領域 212、216 は、第 1 の保護回路構成 110 の側方境界を画定し、一方で、シンカ領域 214 は、隣接する BJT 120、122 のベース領域 213、215 を分離し、シンカ領域 218、220 は、第 2 の保護回路構成 110 の側方境界を画定する。

【0029】

例示されている作製工程は、続いて形成される隣接したコンタクト領域を側方に分離する、絶縁体材料 210 のシャロー分離領域（図 6）を形成することによって継続する。これに関連して、酸化物材料のような、絶縁体材料 210 のシャロー分離領域は、シャロー

10

20

30

40

50

・トレンチ・アイソレーション (STI) を実行することによって、基板 201 の上側部分に形成される。シャロー分離領域を形成するために、保護デバイス構造 200 の部分が、基板 201 の所望の部分を露出させるようにパターニングされているマスキング材料を用いてマスクされる。これらはその後、所望の深さ (エピタキシャル層 208 の厚さよりも小さい) までエッチングされてトレンチを形成する。トレンチは、たとえば、堆積工程及びその後の平坦化工程を実行することによって、絶縁体材料 210 を充填される。1つ以上の例示的な実施形態によれば、シャロー分離領域内の絶縁体材料 210 の深さは、約 0.05 マイクロメートル ~ 約 1 マイクロメートルの範囲内、より好ましくは、0.2 ~ 0.5 マイクロメートルの範囲内である。

【0030】

ここで図 6 を参照すると、例示的な実施形態において、作製工程は、N 型シンカ領域 212、214、216、218、220 内にあるか、又は他の様態で N 型シンカ領域 212、214、216、218、220 まで延在及び/もしくは部分的に重なるかのいずれかである N ウェル領域 222、224、226、228、230 を形成することによって継続する。N ウェル領域 222、224、226、228、230 は、シンカ領域 212、214、216、218、220 を露出させるインプラントマスクを提供するようにパターニングされているマスキング材料 221 によって保護デバイス構造 200 をマスクすることによって形成され、一方で、残りのマスキング材料 221 は、P 型エピタキシャル領域 213、215、217 及び P 型基板分路領域 280、282、284 の内側部分をマスクする。例示されている実施形態において、インプラントマスクの側方端部は、P 型エピタキシャル領域 213、215、217 の境界からそれぞれのシンカ領域 212、214、216、218、220 からずらして配置され、それによって、続いて形成される N ウェル領域 222、224、226、228、230 がそれぞれのシンカ領域 212、214、216、218、220 よりも側方に伸張する形状をなす。言い換えれば、それぞれの N ウェル領域 222、224、226、228、230 の横幅は、それぞれの N ウェル領域 222、224、226、228、230 が中に形成されるそれぞれの N 型シンカ領域 212、214、216、218、220 の横幅よりも大きい。他の実施形態において、N ウェル領域 222、224、226、228、230 の境界は、N 型シンカ領域 212、214、216、218、220 と垂直に整列してもよい、すなわち、それぞれの N ウェル領域 222、224、226、228、230 の横幅は、それぞれの N ウェル領域 222、224、226、228、230 が中に形成されるそれぞれの N 型シンカ領域 212、214、216、218、220 の横幅に実質的に等しい。

【0031】

インプラントマスク 221 が形成された後、シャロー分離領域 210 の深さよりも大きい N 型シンカ領域 212、214、216、218、220 の深さよりは小さい (後続の熱アニーリング又は任意の他の拡散後の) 深さを有する N ウェル領域 222、224、226、228、230 を提供するために、好ましくは約 $1 \times 10^{16} \text{ cm}^{-3}$ ~ 約 $1 \times 10^{19} \text{ cm}^{-3}$ の範囲内のドーパント濃度で、約 50 keV ~ 約 2000 keV の範囲内のエネルギーレベルにおいて、エピタキシャル層 208 内に矢印 223 によって示すリンイオン又はヒ素イオンのような N 型イオンを注入することによって、N ウェル領域 222、224、226、228、230 が形成される。1つ以上の例示的な実施形態に応じて、N ウェル領域 222、224、226、228、230 の深さは、0.3 マイクロメートルよりも大きい。例示的な実施形態において、N ウェル領域 222、224、226、228、230 のドーパント濃度は、N 型シンカ領域 212、214、216、218、220 のドーパント濃度以下であるが、代替的な実施形態において、N ウェル領域 222、224、226、228、230 のドーパント濃度は、N 型シンカ領域 212、214、216、218、220 のドーパント濃度よりも大きくてもよい。代替的な実施形態において、N ウェル領域 222、224、226、228、230 及び N 型シンカ領域 212、214、216、218、220 は、同じ注入工程の一部として同時に形成される。

10

20

30

40

50

【 0 0 3 2 】

ここで図7を参照すると、Nウェル領域222、224、226、228、230が形成された後、保護デバイス構造200の作製は、Nウェル領域222、224、226、228、230をマスクし、P型エピタキシャル領域213、215、217及びP型基板分路領域280、282、284の内側部分にPウェル領域232、234、236、238、240、242を形成することによって継続する。Pウェル領域234、236、240は、それぞれのBJT素子120、122、126の、それぞれのBJT素子120、122、126のエミッタ電極を包囲又は他の様態で包含するベース電極の相対的により高濃度にドーピングされた部分として機能する。これに関連して、Pウェル領域234、236、240は、Nウェルコレクタ領域222、226、230に近接したそれぞれのトランジスタ領域213、215、217内に形成され、それによって、相対的に低濃度にドーピングされたエピタキシャル領域213、215、217の、それぞれのNウェルコレクタ領域222、226、230の側方境界とそれぞれのPウェル領域234、236、240の近接した側方境界との間に存在する部分が、結果としてのベースの電位がベース-エミッタ接合を順方向バイアスしてそれぞれのBJT120、122、126をオンにするか又はトリガする前の、コレクタ-ベース接合にわたるアバランシェ降伏電圧を決定付ける。言い換えれば、Nウェル領域226の側方境界と、近接したPウェル領域236の側方境界との間の距離($x \times x_2$)が、キャリアを生成し、その後BJT122を順方向においてオンにする(又はトリガする)コレクタ-ベースアバランシェ降伏電圧を決定付け、同様に、Nウェル領域230の側方境界と、近接したPウェル領域240の側方境界との間の距離($x \times x_3$)が、キャリアを生成し、その後BJT126を順方向においてオンにする(又はトリガする)コレクタ-ベースアバランシェ降伏電圧を決定付ける。逆に、Nウェル領域222の側方境界と、近接したPウェル領域234の側方境界との間の距離($x \times x_1$)が、キャリアを生成し、その後BJT120を逆方向においてオンにする(又はトリガする)コレクタ-ベースアバランシェ降伏電圧を決定付ける。例示されている実施形態において、Pウェル領域234、236、240は、非ゼロ側方分離距離だけコレクタウェル領域222、226、230から離間され、それぞれのより低濃度にドーピングされたP型エピタキシャル領域213、215、217の少なくとも一部は、内部に形成されているそれぞれのPウェル領域234、236、240の側方境界と、それぞれのコレクタウェル領域222、226、230の近接した側方境界との間で側方にそのまま残る。1つ以上の例示的な実施形態において、それぞれのPウェル領域234、236、240の側方境界と、それぞれのコレクタウェル領域222、226、230の近接した側方境界との間の側方分離距離は、10マイクロメートル未満である。いくつかの実施形態において、それぞれのPウェル領域234、236、240はそれぞれのコレクタウェル領域222、226、230の側方境界に当接してもよく、場合によっては、それに重なってもよい。

【 0 0 3 3 】

Pウェル領域232、234、236、238、240、242を作製するために、Nウェル領域222、224、226、228、230をマスクしながらP型エピタキシャル領域213、215、217の内側部分及びP型基板分路領域280、282、284を露出させるインプラントマスクを提供するようにパターニングされているマスキング材料231を用いて保護デバイス構造体200がマスクされる。シャロー分離領域210の一部を露出させるために、インプラントマスク231の側方端部は、それぞれのNウェル領域222、224、226、228、230に隣接するシャロー分離領域210の側方境界からずれており、それによって、続いて形成されるPウェル領域232、234、236、238、240、242は、シャロー分離領域210の下で側方に伸張する。その後、シャロー分離領域210の深さよりも大きい(後続の熱アニーリング又は任意の他の拡散の後の)深さを有するPウェル領域232、234、236、238、240、242を提供するために、P型エピタキシャル層208のドーパント濃度よりも高い、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ ~ 約 $1 \times 10^{19} \text{ cm}^{-3}$ 、より好ましくは約 $1 \times 10^{18} \text{ cm}^{-3}$

10

20

30

40

50

$m^{-3} \sim 8 \times 10^{18} \text{ cm}^{-3}$ の範囲内のドーパント濃度で約 $50 \text{ keV} \sim$ 約 1500 keV の範囲内のエネルギーレベルにおいてエピタキシャル層 208 の露出した部分の中に、矢印 233 によって示されている、ホウ素イオンのような P 型イオンを注入することによって、P ウェル領域 232、234、236、238、240、242 が形成される。1 つ以上の例示的な実施形態に応じて、P ウェル領域 232、234、236、238、240、242 の深さは 0.3 マイクロメートルよりも大きい。例示的な実施形態において、P ウェル領域 232、234、236、238、240、242 の深さはエピタキシャル層 208 の厚さよりも小さく、それによって、より低濃度にドーブされた P 型エピタキシャル層 208 の少なくとも一部が、P ウェル領域 232、234、236、238、240、242 と N 型埋込み領域 204、206 との間に垂直に残る。

10

【0034】

ここで図 8 ~ 図 9 を参照すると、P ウェル領域 232、234、236、238、240、242 が形成された後、作製工程は、保護デバイス構造体 200 を適切にマスクし、P 型ベースウェル領域 234、236、240 及び N 型コレクタウェル領域 222、224、226、230 内にシャロー N 型コンタクト領域 244、246、248、250、252、254、256 を形成し、P ウェル領域 232、234、236、238、240、242 及び N 型カソードウェル領域 228 内にシャロー P 型コンタクト領域 258、260、262、264、266、268、270 を形成することによって継続する。これに関連して、N 型コンタクト領域 246、250、254 は、それぞれの BJT 120、122、126 の相対的に高濃度にドーブされたエミッタ電極として機能し、N 型コンタクト領域 244、248、252、256 の各々は、それぞれの BJT 120、122、126 のコレクタの相対的に高濃度にドーブされたコレクタ電極コンタクト領域として機能し、P 型コンタクト領域 260、262、268 の各々は、それぞれの BJT 120、122、126 の相対的に高濃度にドーブされたベース電極コンタクト領域として機能する。N 型カソードウェル領域 228 内に形成された P 型コンタクト領域 266 は、ダイオード 124 のアノードとして機能し、一方で、P 型コンタクト領域 258、264、270 は、基板分路領域 280、282、284 のコンタクトとして機能する。

20

【0035】

図 8 に示すように、シャロー N 型コンタクト領域 244、246、248、250、252、254、256 は、N 型コレクタウェル領域 222、224、226、230 の内側部分、及び、P 型ベースウェル領域 234、236、240 の、シャロー分離領域 210 の間のコレクタウェル領域 222、224、226、230 に近接した部分を露出させるようにパターニングされているマスク材料 243 を用いて保護デバイス構造 200 をマスクすることによって形成される。その後、シャロー分離領域 210 の深さよりも小さく、また、ウェル領域 222、224、226、230、234、236、240 の深さよりも小さい（拡散の後の）深さを有する N 型領域 244、246、248、250、252、254、256 を提供するために、約 $1 \times 10^{19} \text{ cm}^{-3} \sim$ 約 $1 \times 10^{21} \text{ cm}^{-3}$ の範囲内であるドーパント濃度で約 $20 \text{ keV} \sim$ 約 100 keV の範囲内のエネルギーレベルにおいて領域 338、342、344 の露出した内側部分内に、矢印 245 によって示す、リンイオン又はヒ素イオンのような N 型イオンを注入することによって、シャロー N 型領域 244、246、248、250、252、254、256 が形成される。たとえば、1 つ以上の実施形態に応じて、シャロー N 型領域 244、246、248、250、252、254、256 の深さは約 0.05 マイクロメートル ~ 約 0.3 マイクロメートルの範囲内である。例示されている実施形態において、各エミッタコンタクト領域 246、250、254 は、それぞれのより導電性の高いベースウェル領域 234、236、240 内に形成又は他の様態でその中に存在し、それによって、より導電性の高いベースウェル領域 234、236、240 は、それぞれのエミッタコンタクト領域 246、250、254 を包含、包囲及び / 又は当接する。N 型カソードウェル領域 228 は、N 型コンタクト領域 244、246、248、250、252、254、256 のためのイオン 245 を注入する前にマスク材料 243 によってマスクされることに留意され

30

40

50

たい。加えて、いくつかの実施形態において、N型コレクタウェル領域222、224、226、230も、イオン245を注入する前にマスクされてもよく、その場合、N型コレクタコンタクト領域244、248、252、256は、保護デバイス構造200にならない。

【0036】

図9を参照すると、同様に、シャローP型コンタクト領域258、260、262、264、266、268、270が、N型コンタクト領域244、246、248、250、252、254、256をマスクしながら、Pウェル領域232、234、236、238、240、242の、分離領域210の間の部分及びN型カソードウェル領域238の内側部分を露出させるようにパターニングされているマスキング材料257を用いて保護デバイス構造200をマスキングすることによって形成される。マスキング材料257がパターニングされた後、シャロー分離領域210の深さよりも小さく、また、ウェル領域228、232、234、236、238、240、242の深さよりも小さい(拡散の後の)深さ(たとえば、約0.05マイクロメートル~約0.3マイクロメートルの範囲内)を有するP型領域258、260、262、264、266、268、270を提供するために、約 $1 \times 10^{19} \text{ cm}^{-3}$ ~約 $1 \times 10^{21} \text{ cm}^{-3}$ の範囲内のドーパント濃度で約2keV~約50keVの範囲内のエネルギーレベルにおいてPウェル領域232、234、236、238、240、242及びカソードウェル領域228の露出した部分内に、矢印259によって示されている、ホウ素イオンのようなP型イオンを注入することによって、シャローP型領域258、260、262、264、266、268、270が形成される。これに関連して、ベース電極コンタクト領域260、262、268の各々は、それが中に形成されるベースウェル領域234、236、240によって包含又は他の状態で包囲される。

【0037】

再び図2を参照すると、シャローN型及びP型コンタクト領域が形成された後、保護デバイス構造200の作製は、コンタクト領域上にコンタクト272を形成し、それぞれのBJT120、122、126のそれぞれのベース及びエミッタ電極間に電気的接続を提供し、BJT122の電気的に接続されたベース及びエミッタ電極とダイオード124のアノード領域266との間に電気接続286を提供し、それぞれのBJT120、126の電気的に接続されたベース及びエミッタ電極ならびに電子デバイス100のそれぞれの物理インターフェース102、104への/からの電気接続288、290を提供することによって完了してもよい。たとえば、コンタクト272は、シリサイド形成金属の層をコンタクト領域の露出面に適応的に堆積し、(たとえば、高速熱アニーリング(RTA)によって)保護デバイス構造200を加熱して、シリサイド形成金属を露出したシリコンと反応させて、コンタクト領域の上部に金属シリサイド層272を形成することによって形成される、金属シリサイド層として実現されてもよい。

【0038】

コンタクト272が形成された後、作製工程は、保護デバイス構造200の上に重なる絶縁体材料274の1つ以上の層を形成し、上に重なっているコンタクト272を露出させるために絶縁体材料274の、ベース電極コンタクト領域260、262、268、エミッタ電極コンタクト領域246、250、254、アノードコンタクト領域266、及び基板分路コンタクト領域258、264、270の上に重なっている部分を除去し、コンタクト272の上に重なる導電性材料276を形成することによって継続する。絶縁体材料274は、従来の様式で保護デバイス構造体200の上に重ねて適応的に堆積される、酸化物材料のような層間絶縁体材料として実現されてもよい。絶縁体材料274の、コンタクト領域246、250、254、258、260、262、264、266、268、270の上に重なっている部分はコンタクト272の上に重なる空洞領域を提供するために異方性エッチャントを使用して絶縁体材料274をエッチングすることによって除去され、導電性材料276は、保護デバイス構造200の上に重なっている金属材料を、絶縁体材料274の厚さ以上の厚さまで適応的に堆積することによって空洞領域内に形成

されてもよい。図示されていないが、実際には、導電性材料 276 を形成する前に、コンタクトプラグが空洞領域内に従来のように形成されてもよい。

【0039】

例示的な実施形態において、導電性材料 276 は、それぞれのBJT120、122、126のベース及びエミッタ電極間に直接電気接続を提供するようにパターンニング、ルーティング、又は他の様態で形成され、それによって、それぞれのBJT120、122、126のベース及びエミッタがともに実効的に短絡する。導電性材料 276 はまた、BJT122のベース/エミッタ電極領域250、262とダイオード124のアノード領域266との間の電気接続286、BJT120のベース/エミッタ電極領域246、260と高電圧端子102との間の電気接続288、BJT126のベース/エミッタ電極領域254、268と低電圧端子104との間の電気接続290を提供するようにパターンニング、ルーティング、又は他の様態で形成されてもよい。加えて、導電性材料 276 はまた、基板分路コンタクト領域258、270と低電圧端子104との間の電気接続292、294を提供するようにパターンニング、ルーティング、又は他の様態で形成されてもよい。例示されている実施形態において、コレクタコンタクト領域244、248、252、256の上に重なっている絶縁体材料 274 はそのまま残り、それによって、BJT120、122、126のコレクタ電極は浮遊状態にあり、グランド又はそれらの電位に他の様態で影響を与え得るいかなるデバイス端子又はいかなる他の外部回路にも直接接続されない。

【0040】

図10は、図1の電子デバイス100内の積層保護構成108として使用するのに適した保護デバイス構造300の代替の実施形態を示す。保護デバイス構造300において、第2のBJT122のエミッタコンタクト領域250は、内部コレクタウェル領域224に近接したベースウェル領域236内に位置付けられ、それによって、アバランシェ降伏はコレクタウェル領域224とベースウェル領域236との間で発生し、一方で、ベースコンタクト領域262は、ベースウェル領域236内で、エミッタコンタクト領域250とコレクタウェル領域226との間で側方に位置付けられている。図10の実施形態において、コレクタウェル領域224に対するエミッタコンタクト領域250及びベースウェル領域236の側方の向きは、コレクタウェル領域230に対するエミッタコンタクト領域254及びベースウェル領域240の側方の向きと反対であり、それによって、第2のBJT122のコレクタ及びベースウェル領域224、236間の側方分離距離(x_2)の変動が、第3のBJT126のコレクタ及びベースウェル領域230、242間の側方分離距離(x_3)の対応する変動によって補償される。これに関連して、保護デバイス構造300は、基板201にわたる保護デバイス構造300の複数のインスタンスにわたるより均一なトリガ、ブレイクダウン及び/又は保持電圧を達成するために、基板201にわたるNウェル領域及びPウェル領域間の(たとえば、マスク及び/又はインプラントの不整合などに起因する)整合のばらつきを補償する。たとえば、作製工程中に、不整合が、側方分離距離(x_2)を増大させる方向において、Nウェル領域224をPウェル領域236に対してシフトさせた場合、Nウェル領域230も、側方分離距離(x_3)を低減するために反対方向においてPウェル領域240に対してシフトされることができ、それによって、第2のBJT122のアバランシェ降伏電圧及び第3のBJT126のアバランシェ降伏電圧の合計は実質的に一定に維持される。

【0041】

図11は、図1の電子デバイス100内の積層保護構成108として使用するのに適した保護デバイス構造400の別の実施形態を示す。保護デバイス構造400において、第1のBJT120のエミッタコンタクト領域246は、内部コレクタウェル領域224に近接したベースウェル領域234内に位置付けられ、それによって、逆方向におけるアバランシェ降伏がコレクタウェル領域224とベースウェル領域234との間で発生し、一方で、ベースコンタクト領域260は、ベースウェル領域234内で、エミッタコンタクト領域246とコレクタウェル領域222との間で水平方向に延びるように位置付けられ

ている。

【0042】

図12は、図1の電子デバイス100内の積層保護構成108として使用するのに適した保護デバイス構造500の別の実施形態を示す。保護デバイス構造500において、側方分離距離(x_3)はゼロまで低減されており、それによって、第3のBJT126のベースウェル領域240はコレクタウェル領域230に当接又は他の様態で隣接している。これに関連して、第3のBJT126及び/又は第2の保護回路構成112の順方向ブレークダウン及び/又は保持電圧は、第2のBJT122及び/又は第1の保護回路構成110の順方向ブレークダウン及び/又は保持電圧よりも低くなり得る。たとえば、図2の実施形態における側方分離距離(x_2 、 x_3)は互いに実質的に等しくてもよく、それによって、第3のBJT126及び/又は第2の構成112の順方向ブレークダウン及び/又は保持電圧が、第2のBJT122及び/又は第1の構成110の順方向ブレークダウン及び/又は保持電圧と実質的に等しいことによって、積層保護構成108は対称である。逆に、図12の実施形態において、第3のBJT126及び/又は第2の構成112の順方向ブレークダウン及び/又は保持電圧が、第2のBJT122及び/又は第1の構成110の順方向ブレークダウン及び/又は保持電圧よりも小さいことによって、積層保護構成108は非対称である。分離距離をゼロまで(又は、側方境界を重ねるためにゼロ未満まで)低減することによって、第3のBJT126の順方向ブレークダウン電圧の、作製中の不整合に対する反応性が低減する。代替的な実施形態において、側方分離距離(x_2)もゼロまで低減されてもよく、それによって、第2のBJT122のベースウェル領域236がコンタクトウェル領域224(図12の実施形態)又はコレクタウェル領域236(図2の実施形態)に当接する。さらに、いくつかの実施形態において、側方分離距離(x_2)がゼロ以下である一方で、側方分離距離(x_3)がゼロより大きくてもよく、結果として、第3のBJT126及び/又は第2の保護回路構成112の順方向ブレークダウン及び/又は保持電圧は、第2のBJT122及び/又は第1の保護回路構成110の順方向ブレークダウン及び/又は保持電圧よりも大きくなる。

【0043】

図13は、図1の電子デバイス100内の積層保護構成108として使用するのに適した保護デバイス構造600の別の実施形態を示す。保護デバイス構造600において、第3のBJT126は、コレクタウェル領域222、224、226のドーパント濃度とは異なるドーパント濃度を有するウェル領域630を含む。たとえば、第3のBJT126は、マスク不整合に対する反応性を低減するために、ゼロ以下である側方分離距離(x_2 、 x_3)を維持しながら、構造600の順方向ブレークダウン電圧を調整又は他の様態で調節するために、コレクタウェル領域222、224、226のドーパント濃度よりも高い又は低いドーパント濃度を有するN型ウェル領域630を含んでもよい。言い換えれば、側方分離距離(x_2 、 x_3)を変更する代わりにウェル領域222、224、226、630のドーパント濃度を変更することによって、順方向静電放電保護を調節することができる。

【0044】

簡潔にするために、半導体及び/又は集積回路作製に関連する従来技法、静電放電保護方式、及び本主題の他の機能的態様は本明細書においては詳細に説明されていない場合がある。加えて、特定の専門用語は本明細書においては参照のみを目的として使用されている場合があり、したがって、限定であるようには意図されていない。たとえば、「第1の」、「第2の」という用語、及び、構造を指す他のこのような数に関する用語は文脈において明確に指示されていない限り、並び又は順序を暗示してはいない。上記の記載はまた、ともに「接続」又は「結合」されている要素もしくはノード又は特徴にも当てはまる。本明細書において使用される場合、別途明確に述べられていない限り、「接続される」とは、1つの要素が別の要素に直接的に結び付けられている(又は直接的にそれと通信する)ことを意味し、必ずしも機械的にではない。同様に、別途明確に述べられていない限り、「結合される」とは、1つの要素が別の要素に直接的に又は間接的に結び付けられて

10

20

30

40

50

いる（又は直接的にもしくは間接的にそれと通信する）ことを意味し、必ずしも機械的ではない。したがって、図面内に示されている概略図は回路素子及び／又は端子間の直接電気接続を図示している場合があるが、代替的な実施形態は、実質的に同様に機能しながら、介在する回路素子及び／又は構成要素を採用してもよい。

【 0 0 4 5 】

結論として、例示的な本発明の実施形態に応じて構成されるシステム、デバイス、及び方法は以下ようになる。

例示的な一実施形態において、デバイスのための装置が提供される。デバイスは、第1のインターフェースと第2のインターフェースと、第1のインターフェースに結合されている第1の保護回路構成と、第1の保護回路構成及び第2のインターフェースの間に結合されている第2の保護回路構成とを備える。第2の保護回路構成は、第1のトランジスタ、及び、第1のトランジスタに結合されているダイオードを備える。第1のトランジスタ及びダイオードは、第1の保護回路構成と第2のインターフェースとの間で電氣的に直列に構成されている。1つ以上の実施形態において、第1のインターフェースは高電圧端子を備え、第2のインターフェースは低電圧端子を備え、高電圧端子と低電圧端子との間に機能回路が結合されている。一実施形態において、ダイオードは垂直PNダイオードを備える。1つ以上の実施形態において、第1の保護回路構成は、第1のインターフェースに結合されている第2のトランジスタと、第2のトランジスタ及びダイオードの間に電氣的に直列に結合されている第3のトランジスタとを備え、ダイオードは、第3のトランジスタのエミッタに結合されているアノードと、第1のトランジスタのコレクタに結合されているカソードとを備える。第3のトランジスタは、アノードに結合されているベースを備え、第1のトランジスタは、第2のインターフェースに結合されている第2のエミッタと、第2のインターフェースに結合されている第2のベースとを備える。第3のトランジスタは、第2のコレクタをも備え、第2のトランジスタは、第2のコレクタに結合されている第3のコレクタと、第1のインターフェースに結合されている第3のエミッタと、第1のインターフェースに結合されている第3のベースとを備える。

【 0 0 4 6 】

別の例示的な一実施形態において、半導体デバイスのための装置が提供される。半導体デバイスは、第1の導電型を有する半導体材料のベース領域と、ベース領域内にあり、第1の導電型と反対の第2の導電型を有する半導体材料のエミッタ領域と、第2の導電型を有する半導体材料のコレクタ領域と、ベース領域に隣接し、第2の導電型を有する半導体材料のカソード領域と、カソード領域に当接し、第1の導電型を有する半導体材料のアノード領域とを備える。ベース領域の少なくとも一部はエミッタ領域とコレクタ領域の間にあり、カソード領域はコレクタ領域に電氣的に接続されている。一実施形態において、アノード領域はカソード領域の上にある。別の実施形態において、カソード領域及びコレクタ領域は当接している。また別の実施形態において、半導体デバイスは、第1の導電型を有する半導体材料の第2のベース領域と、第2の導電型を有する半導体材料の第2のエミッタ領域とをさらに備え、アノード領域は第2のベース領域及び第2のエミッタ領域に電氣的に接続されている。半導体デバイスは、第2の導電型を有する半導体材料の第2のコレクタ領域と、第1の導電型を有する半導体材料の第3のベース領域と、第2の導電型を有する半導体材料の第3のエミッタ領域と、第2の導電型を有する半導体材料の第3のコレクタ領域とをさらに備えてもよい。第2のベース領域の少なくとも一部は第2のエミッタ領域と第2のコレクタ領域との間に存在し、第3のベース領域の少なくとも一部は第3のエミッタ領域と第3のコレクタ領域との間に存在し、第3のコレクタ領域は第2のコレクタ領域に電氣的に接続されている。さらなる実施形態において、半導体デバイスは、高電圧端子と低電圧端子とを備え、ベース領域及びエミッタ領域は低電圧端子に電氣的に接続されており、第3のベース領域及び第3のエミッタ領域は高電圧端子に電氣的に接続されている。半導体デバイスは、第3のコレクタ領域に隣接し、第1の導電型を有する基板分路領域をさらに備えてもよく、基板分路領域は、低電圧端子に電氣的に接続されている。

10

20

30

40

50

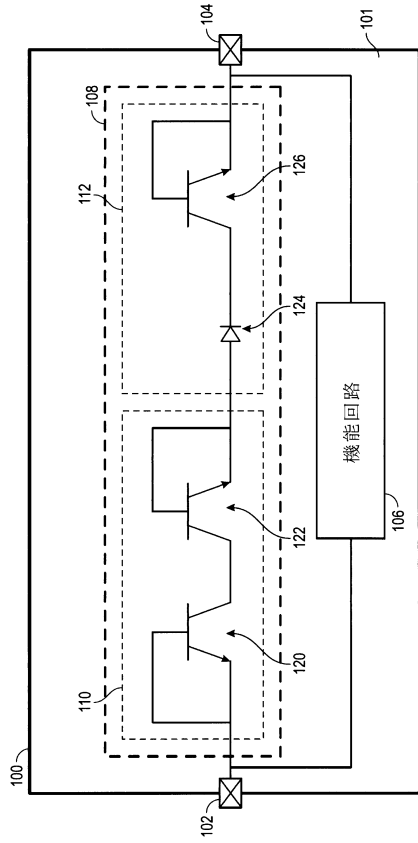
【0047】

電子デバイスを作製する例示的な方法も提供される。方法は、基板上に第1の保護回路構成を形成する工程と、基板上に第2の保護回路構成を形成する工程であって、第2の保護回路構成は、基板上に形成されている第1のトランジスタ素子及びダイオード素子を備え、ダイオード素子及び第1のトランジスタ素子は、電氣的に直列に構成されている、第2の保護回路構成を形成する工程とを備える。方法は、第1の保護回路構成と第1のデバイス端子との間に第1の電気接続を提供する工程と、第2の保護回路構成と第2のデバイス端子との間に第2の電気接続を提供する工程と、第1の保護回路構成と第2の保護回路構成との間に第3の電気接続を提供する工程であって、第3の電気接続の結果として、第1の保護回路構成及び第2の保護回路構成が、第1のデバイス端子と第2のデバイス端子との間で電氣的に直列に構成される、第3の電気接続を提供する工程とをさらに備える。1つ以上の実施形態において、第2の保護回路構成を形成する工程は、基板内に第1のトランジスタ素子のベース領域を形成する工程であって、ベース領域は第1の導電型を有する、ベース領域を形成する工程と、ベース領域内に第1のトランジスタ素子のエミッタ領域を形成する工程であって、エミッタ領域は第1の導電型と反対の第2の導電型を有する、エミッタ領域を形成する工程と、基板内に第1のトランジスタ素子のコレクタ領域を形成する工程であって、コレクタ領域は第2の導電型を有し、ベース領域の少なくとも一部はエミッタ領域及びコレクタ領域の間に存在する、コレクタ領域を形成する工程と、ベース領域に隣接して基板内にダイオード素子のカソード領域を形成する工程であって、カソード領域は第2の導電型を有する、カソード領域を形成する工程と、カソード領域に当接して、基板内にダイオード素子のアノード領域を形成する工程であって、アノード領域は第1の導電型を有する、アノード領域を形成する工程とを備える。一実施形態において、アノード領域を形成する工程は、カソード領域の上にアノード領域を形成する工程を備える。別の実施形態において、第1の保護回路構成を形成する工程は、基板内に第2のトランジスタ素子を形成する工程であって、第2のトランジスタ素子は、第2のベース領域と、第2のベース領域に電氣的に接続されている第2のエミッタ領域とを含む、第2のトランジスタ素子を形成する工程と、基板内に第3のトランジスタ素子を形成する工程であって、第3のトランジスタ素子は、第3のベース領域と、第3のベース領域に電氣的に接続されている第3のエミッタ領域とを含み、第3のトランジスタ素子の第3のコレクタ領域は、第2のトランジスタ素子の第2のコレクタ領域に電氣的に接続されている、第3のトランジスタ素子を形成する工程とを備え、第1の電気接続を提供する工程は、第1のデバイス端子、第2のベース領域、及び第2のエミッタ領域の間に第1の電気接続を提供する工程を備え、第2の電気接続を提供する工程は、第2のデバイス端子、ベース領域、及びエミッタ領域の間に第2の電気接続を提供する工程を備え、第3の電気接続を提供する工程は、アノード領域、第3のベース領域、及び第3のエミッタ領域の間に第3の電気接続を提供する工程を備える。別の実施形態において、ベース領域を形成する工程は、コレクタ領域に隣接してベース領域を形成する工程を備える。

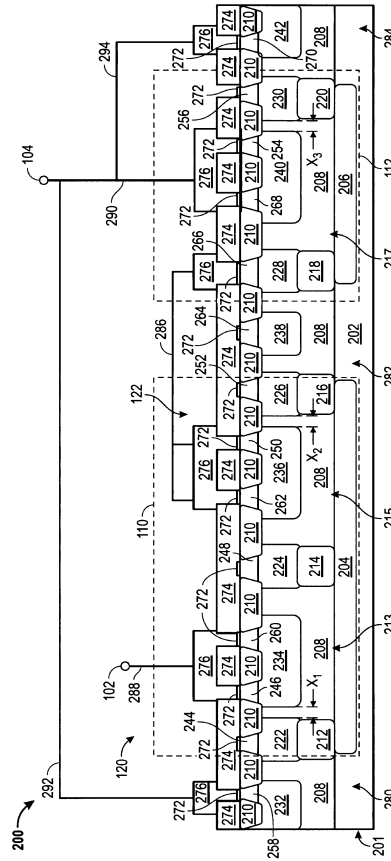
【0048】

前述の詳細な説明の中で少なくとも1つの例示的な実施形態を提示してきたが、膨大な数で様々な実施形態が存在することを理解されたい。本明細書に記載される1つ以上の例示的な実施形態は、権利を請求する主題の範囲、適用性又は構成を限定することを決して意図していないことも理解されるべきである。そうではなく、前述の詳細な説明は、説明された1つ以上の実施形態を実行するための有意義な指針を当業者に提供するものである。本特許出願を行うときの既知の同等物及び予見される同等物を含む、特許請求の範囲に記載される範囲から逸脱することなく、構成要素の機能及び構成において各種の変更を行うことが可能でことは理解されよう。したがって、明らかに逆の意図がない限り、上述の例示的な実施形態の詳細又は他の限定は特許請求の範囲内に読み込まれるべきではない。

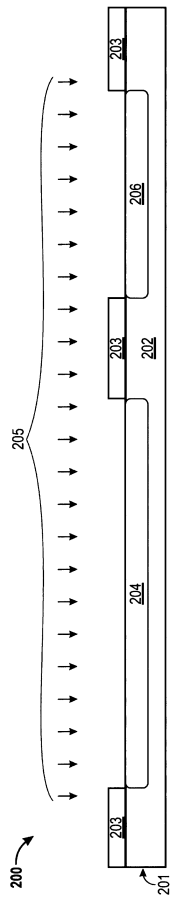
【図 1】



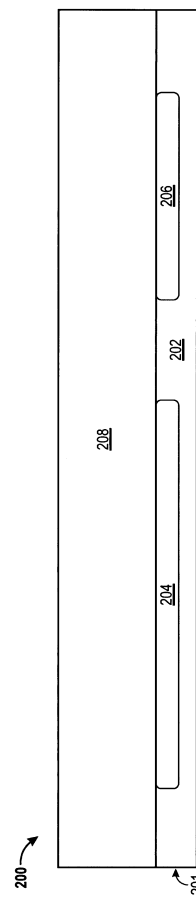
【図 2】



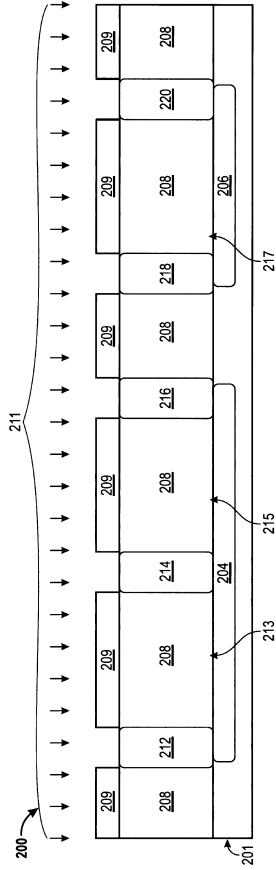
【図 3】



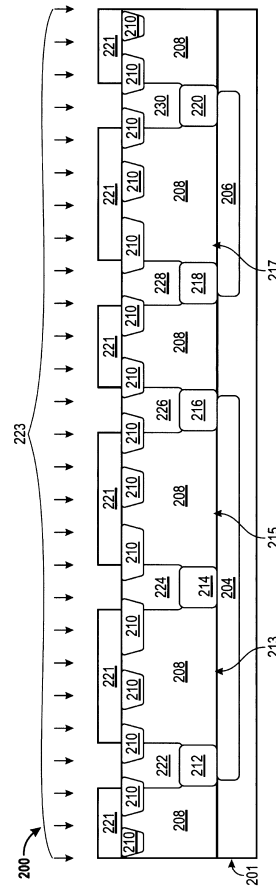
【図 4】



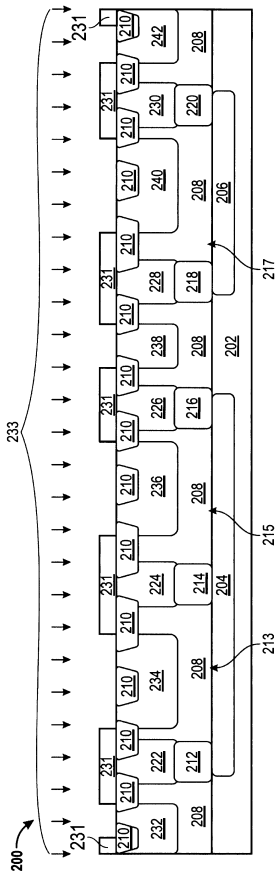
【 図 5 】



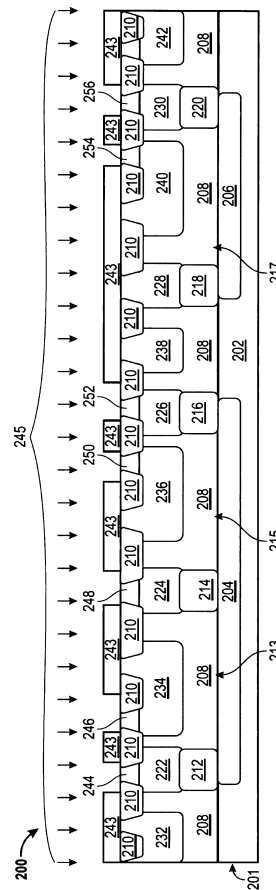
【 図 6 】



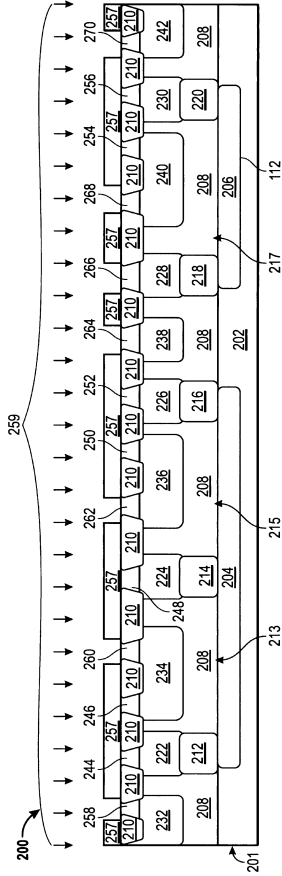
【 図 7 】



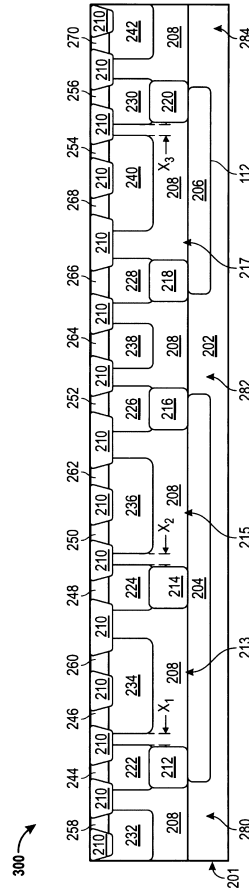
【 図 8 】



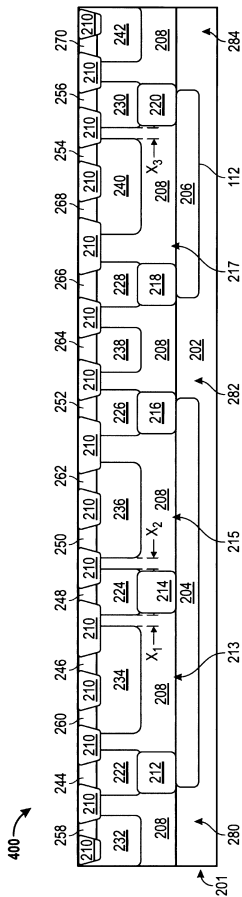
【図 9】



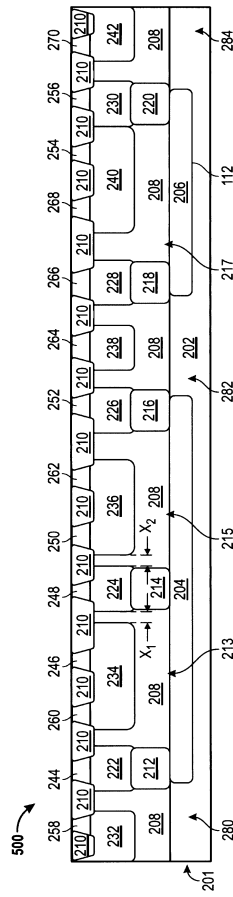
【図 10】



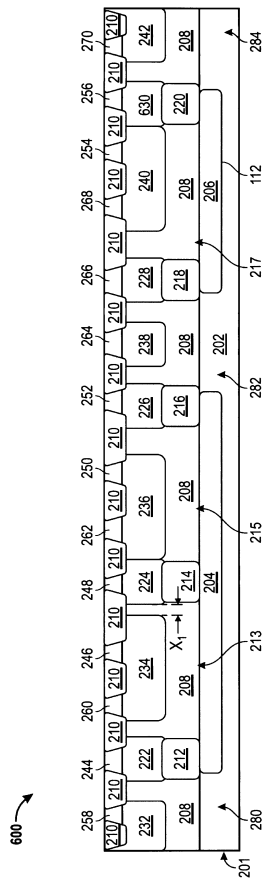
【図 11】



【図 12】



【 図 13 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/822	(2006.01)	H 0 1 L	27/06 3 1 1 C
H 0 1 L	27/04	(2006.01)	H 0 1 L	27/06 1 0 1 P
H 0 1 L	27/06	(2006.01)	H 0 1 L	27/06 1 0 1 D
H 0 1 L	21/8222	(2006.01)		

(72)発明者 パトリス エム . パリス
 アメリカ合衆国 8 5 0 4 8 アリゾナ州 フェニックス エス . フォーティーンズ ウェイ 1
 4 6 1 3

審査官 恩田 和彦

(56)参考文献 特開平 0 3 - 2 2 0 7 2 7 (J P , A)
 米国特許第 0 7 9 1 1 7 5 0 (U S , B 1)
 特開平 1 1 - 2 8 4 1 3 0 (J P , A)
 特開平 0 1 - 2 8 7 9 5 4 (J P , A)
 特開 2 0 0 9 - 0 6 4 9 7 4 (J P , A)
 米国特許出願公開第 2 0 1 3 / 0 1 0 7 4 0 3 (U S , A 1)
 特開 2 0 1 1 - 0 1 8 6 8 5 (J P , A)
 米国特許出願公開第 2 0 1 3 / 0 0 7 5 8 5 4 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 1
 H 0 1 L 2 1 / 3 2 9
 H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 1 / 8 2 2 2
 H 0 1 L 2 7 / 0 4
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 9 / 7 3 2
 H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 9 / 8 6 8