



(12) 发明专利

(10) 授权公告号 CN 106409322 B

(45) 授权公告日 2021. 11. 30

(21) 申请号 201610244371.3

(22) 申请日 2016.04.19

(65) 同一申请的已公布的文献号
申请公布号 CN 106409322 A

(43) 申请公布日 2017.02.15

(30) 优先权数据
10-2015-0106093 2015.07.27 KR

(73) 专利权人 爱思开海力士有限公司
地址 韩国京畿道

(72) 发明人 郑元敬 金生焕

(74) 专利代理机构 北京弘权知识产权代理有限
公司 11363

代理人 王建国 许伟群

(51) Int.Cl.

G11C 7/10 (2006.01)

(56) 对比文件

CN 102571319 A, 2012.07.11

US 6489823 B2, 2002.12.03

审查员 涂丹辉

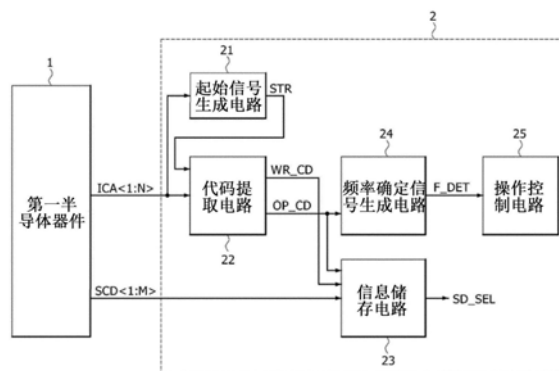
权利要求书5页 说明书9页 附图6页

(54) 发明名称

半导体器件以及包括半导体器件的半导体系统

(57) 摘要

一种半导体系统可以包括第一半导体器件和第二半导体器件。第一半导体器件可以输出设置信号。第二半导体器件可以响应设置信号而生成起始信号，响应起始信号而从设置信号生成输入控制代码和输出控制代码，响应输出控制代码而生成包括操作频率的信息的频率确定信号，并且响应频率确定信号而控制内部操作。



1. 一种半导体系统,包括:

第一半导体器件,其配置为输出设置信号;以及

第二半导体器件,其配置为响应设置信号而生成起始信号,配置为响应起始信号而从设置信号生成输入控制代码和输出控制代码,配置为响应输出控制代码而生成包括操作频率的信息的频率确定信号,并且配置为响应频率确定信号而控制内部操作,其中,通过配置为传送地址、命令和数据之中的至少一组的线而传送设置信号,

其中,第二半导体器件包括操作控制电路,

其中,操作控制电路包括缓冲器,所述缓冲器缓冲输入信号,并且

其中,通过频率确定信号而控制缓冲器的操纵灵活性。

2. 如权利要求1所述的半导体系统,

其中,第一半导体器件配置为用于输出设置代码,并且

其中,通过配置为传送地址、命令和数据之中的至少一组的线而传送设置代码。

3. 如权利要求1所述的半导体系统,其中,第二半导体器件包括配置为生成输入控制代码和输出控制代码的代码提取电路,如果起始信号被使能,则根据设置信号的逻辑电平组合选择性地使能输入控制代码或输出控制代码中的一个。

4. 如权利要求1所述的半导体系统,

其中,第一半导体器件配置为用于输出设置代码,并且

其中,第二半导体器件包括信息储存电路,信息储存电路配置为响应输入控制代码和输出控制代码,从设置代码提取和储存根据频率的操作信息。

5. 如权利要求4所述的半导体系统,其中,信息储存电路包括:

输入/输出(I/O)控制信号生成单元,其配置为响应输入控制代码和输出控制代码,生成第一输入控制信号、第二输入控制信号、第一输出控制信号和第二输出控制信号;

第一储存单元,其配置为响应第一输入控制信号和第一输出控制信号,储存包括在设置代码中的第一频率操作的第一信息,并且输出储存在其中的第一信息作为第一储存信号;以及

第二储存单元,其配置为响应第二输入控制信号和第二输出控制信号,储存包括在设置代码中的第二频率操作的第二信息,并且输出储存在其中的第二信息作为第二储存信号。

6. 如权利要求5所述的半导体系统,

其中,如果输入控制代码和输出控制代码的逻辑电平组合是第一逻辑电平组合,则使能第一输入控制信号;

其中,如果输入控制代码和输出控制代码的逻辑电平组合是第二逻辑电平组合,则使能第一输出控制信号;

其中,如果输入控制代码和输出控制代码的逻辑电平组合是第三逻辑电平组合,则使能第二输入控制信号;并且

其中,如果输入控制代码和输出控制代码的逻辑电平组合是第四逻辑电平组合,则使能第二输出控制信号。

7. 如权利要求5所述的半导体系统,其中,第一储存单元配置为如果第一输入控制信号被使能,则储存第一信息,并且配置为如果第一输出控制信号被使能,则输出储存在第一储

存单元中的第一信息作为第一储存信号。

8. 如权利要求1所述的半导体系统,其中,缓冲器包括:

第一缓冲器,其配置为响应频率确定信号而缓冲输入信号,以输出被缓冲的信号作为输出信号;以及

第二缓冲器,其配置为响应频率确定信号而缓冲输入信号,以输出被缓冲的信号作为输出信号。

9. 如权利要求8所述的半导体系统,其中,将第一缓冲器的操纵灵活性设置为高于第二缓冲器的操纵灵活性。

10. 如权利要求9所述的半导体系统,其中,如果半导体系统的操作频率被设置为高频,则第一缓冲器操作,以缓冲输入信号,而第二缓冲器不操作,并且

其中,如果半导体系统的操作频率被设置为低频,则第二缓冲器操作,以缓冲输入信号,而第一缓冲器不操作。

11. 如权利要求9所述的半导体系统,

其中,操作控制电路配置为如果频率确定信号具有逻辑高电平,则仅操作第一缓冲器,并且

其中,操作控制电路配置为如果频率确定信号具有逻辑低电平,则仅操作第二缓冲器。

12. 如权利要求8所述的半导体系统,其中,操作控制电路配置为如果频率确定信号具有逻辑高电平,则操作第一缓冲器和第二缓冲器二者,并且如果频率确定信号具有逻辑低电平,则仅第二缓冲器操作。

13. 如权利要求1所述的半导体系统,其中,缓冲器包括:

第一缓冲器,其配置为缓冲输入信号,以输出被缓冲的信号作为输出信号;以及

第二缓冲器,其配置为响应频率确定信号,缓冲输入信号,以输出被缓冲的信号作为输出信号。

14. 如权利要求13所述的半导体系统,

其中,操作控制电路配置为如果频率确定信号具有逻辑高电平,则操作第一缓冲器和第二缓冲器二者,并且

其中,操作控制电路配置为如果频率确定信号具有逻辑低电平,则仅操作第二缓冲器。

15. 如权利要求1所述的半导体系统,

其中,第二半导体器件包括具有至少一个MOS晶体管的操作控制电路,并且

其中,通过频率确定信号而调整至少一个MOS晶体管的阈值电压。

16. 如权利要求15所述的半导体系统,其中,操作控制电路包括:

体电压生成单元,其配置为生成体电压,并且通过频率确定信号而控制体电压的电平;以及

晶体管单元,其包括至少一个MOS晶体管,通过体电压能够调整晶体管单元的至少一个MOS晶体管的阈值电压。

17. 如权利要求16所述的半导体系统,其中,将体电压施加到晶体管单元的MOS晶体管的本体区域。

18. 一种半导体系统,包括:

第一半导体器件,其配置为输出设置信号;以及

第二半导体器件,其配置为响应设置信号而生成模式寄存器写入命令,配置为响应模式寄存器写入命令而从设置信号提取和储存包括操作频率的信息的信息信号,配置为从信息信号生成频率确定信号,并且配置为响应频率确定信号而控制内部操作,其中,通过配置为传送地址、命令和数据之中的至少一组的线而传送设置信号,

其中,第二半导体器件包括操作控制电路,

其中,操作控制电路包括缓冲器,所述缓冲器缓冲输入信号,并且

其中,通过频率确定信号而控制缓冲器的操纵灵活性。

19.如权利要求18所述的半导体系统,其中,第二半导体器件包括模式寄存器,模式寄存器配置为如果模式寄存器写入命令被使能,则从设置信号提取并储存信息信号。

20.如权利要求18所述的半导体系统,

其中,第二半导体器件包括具有至少一个MOS晶体管的操作控制电路,并且

其中,通过频率确定信号能够调整至少一个MOS晶体管的阈值电压。

21.一种半导体器件,包括:

代码提取电路,其配置为用于响应设置信号而生成输入控制代码和输出控制代码;

频率确定信号生成电路,其配置为用于响应输出控制代码而生成包括操作频率的信息的频率确定信号;以及

操作控制电路,其配置为用于响应频率确定信号而控制内部操作,其中,通过配置为传送地址、命令和数据之中的至少一组的线而传送设置信号,

其中,操作控制电路包括缓冲器,所述缓冲器缓冲输入信号,

其中,通过频率确定信号而控制缓冲器的操纵灵活性。

22.如权利要求21所述的半导体器件,其中,缓冲器包括:

第一缓冲器,其配置为响应频率确定信号而缓冲输入信号,以输出被缓冲的信号作为输出信号;以及

第二缓冲器,其配置为响应频率确定信号而缓冲输入信号,以输出被缓冲的信号作为输出信号。

23.如权利要求21所述的半导体器件,其中,缓冲器包括:

第一缓冲器,其配置为缓冲输入信号,以输出被缓冲的信号作为输出信号;以及

第二缓冲器,其配置为响应频率确定信号而缓冲输入信号,以输出被缓冲的信号作为输出信号。

24.如权利要求21所述的半导体器件,

其中,操作控制电路包括至少一个MOS晶体管,并且

其中,通过频率确定信号能够调整至少一个MOS晶体管的阈值电压。

25.如权利要求24所述的半导体器件,其中,操作控制电路包括:

体电压生成单元,其生成体电压,并且通过频率确定信号而控制体电压的电平;以及

晶体管单元,其包括至少一个MOS晶体管,并且通过体电压能够调整晶体管单元的至少一个MOS晶体管的阈值电压。

26.一种半导体器件,包括:

模式寄存器,其配置为用于响应模式寄存器写入命令而从设置信号提取和储存信息信号;

频率确定信号生成电路,其配置为用于从信息信号生成包括操作频率的信息的频率确定信号;以及

操作控制电路,其配置为用于响应频率确定信号而控制内部操作,其中,通过配置为传送地址、命令和数据之中的至少一组的线而传送设置信号,

其中,操作控制电路包括缓冲器,所述缓冲器缓冲输入信号,

其中,通过频率确定信号而控制缓冲器的操纵灵活性。

27. 如权利要求26所述的半导体器件,其中,缓冲器包括:

第一缓冲器,其配置为响应频率确定信号而缓冲输入信号,以输出被缓冲的信号作为输出信号;以及

第二缓冲器,其配置为响应频率确定信号而缓冲输入信号,以输出被缓冲的信号作为输出信号。

28. 如权利要求26所述的半导体器件,其中,缓冲器包括:

第一缓冲器,其配置为缓冲输入信号,以输出被缓冲的信号作为输出信号;以及

第二缓冲器,其配置为响应频率确定信号而缓冲输入信号,以输出被缓冲的信号作为输出信号。

29. 如权利要求26所述的半导体器件,

其中,操作控制电路包括至少一个MOS晶体管,并且

其中,通过频率确定信号能够调整至少一个MOS晶体管的阈值电压。

30. 如权利要求29所述的半导体器件,其中,操作控制电路包括:

体电压生成单元,其配置为生成体电压,并且通过频率确定信号而控制体电压的电平;以及

晶体管单元,其包括至少一个MOS晶体管,并且通过体电压能够调整至少一个MOS晶体管的阈值电压。

31. 一种半导体系统,包括:

第一半导体器件,其配置为输出设置信号;以及

第二半导体器件,其包括:

频率确定信号生成电路,频率确定信号生成电路配置为用于响应设置信号而生成包括操作频率的信息的频率确定信号;以及

操作控制电路,操作控制电路配置为用于响应频率确定信号而控制内部操作,其中,通过配置为传送地址、命令和数据之中的至少一组的线而传送设置信号,

其中,操作控制电路包括缓冲器,所述缓冲器缓冲输入信号,

其中,通过频率确定信号而控制缓冲器的操纵灵活性。

32. 如权利要求31所述的半导体系统,

其中,缓冲器包括第一缓冲器,第一缓冲器配置为缓冲输入信号,以输出被缓冲的信号作为输出信号,

其中,缓冲器包括第二缓冲器,第二缓冲器配置为缓冲输入信号,以输出被缓冲的信号作为输出信号,并且

其中,如果半导体系统的操作频率被设置为高频,则仅第一缓冲器操作,以缓冲输入信号,并且

其中,如果半导体系统的操作频率被设置为低频,则仅第二缓冲器操作,以缓冲输入信号。

33.如权利要求31所述的半导体系统,

其中,缓冲器包括第一缓冲器,第一缓冲器配置为缓冲输入信号,以输出被缓冲的信号作为输出信号,

其中,缓冲器包括第二缓冲器,第二缓冲器配置为缓冲输入信号,以输出被缓冲的信号作为输出信号,并且

其中,如果半导体系统的操作频率被设置为高频,则第一缓冲器和第二缓冲器操作,以缓冲输入信号,并且

其中,如果半导体系统的操作频率被设置为低频,则仅第二缓冲器操作,以缓冲输入信号。

半导体器件以及包括半导体器件的半导体系统

[0001] 相关申请的交叉引用

[0002] 本申请要求于2015年7月27日向韩国知识产权局提交的序列号为10-2015-0106093的韩国专利申请的优先权,其全部内容通过引用合并于此。

技术领域

[0003] 本公开的实施例总体上涉及以各种频率操作的半导体器件及包括所述半导体器件的半导体系统。

背景技术

[0004] 通常,包括半导体器件的半导体系统不仅可以单一频率操作而且可以各种频率操作。半导体系统的操作速度可以根据半导体系统的操作频率而变化。因此,半导体系统的功率消耗也可以根据半导体系统的操作频率变化。例如,如果半导体系统以相对高的频率操作,则半导体系统的操作速度可以变得更快,以增加功率消耗。相反,如果半导体系统以相对低的频率操作,则半导体系统的操作速度可以变得更慢,以降低功率消耗。

[0005] 为了使半导体系统以高频率操作,半导体系统必须设计为具有优秀的交流电(AC)规范。半导体系统的优秀的AC规范意味着,半导体系统设计为具有高操作速度和高放大增益。如果半导体系统的操作频率设置为高的,则操作频率的容许范围可以降低。

[0006] 为了增加半导体系统的操作频率的范围,半导体系统必须设计为满足在操作频率的容许范围内以最高频率设置的AC规范。但是,在此情况下,半导体系统的功率消耗可能增加。

发明内容

[0007] 根据一个实施例,可以提供一种半导体系统。所述半导体系统可以包括第一半导体器件和第二半导体器件。第一半导体器件可以输出设置信号。第二半导体器件可以响应设置信号生成起始信号,响应起始信号从设置信号生成输入控制代码和输出控制代码,响应输出控制代码生成包括操作频率的信息的频率确定信号,并且响应频率确定信号控制内部操作。

[0008] 根据一个实施例,可以提供一种半导体系统。所述半导体系统可以包括第一半导体器件和第二半导体器件。第一半导体器件可以输出设置信号。第二半导体器件可以响应设置信号生成模式寄存器写入命令,响应模式寄存器写入命令从设置信号提取和储存包括操作频率的信息的信息信号,从信息信号生成频率确定信号,并且响应频率确定信号控制内部操作。

[0009] 根据一个实施例,可以提供一种半导体器件。所述半导体器件可以包括代码提取电路,所述代码提取电路配置为用于响应设置信号生成输入控制代码和输出控制代码。所述半导体器件可以包括频率确定信号生成电路,所述频率确定信号生成电路配置为用于响应输出控制代码生成包括操作频率的信息的频率确定信号。所述半导体器件可以包括操作

控制电路,所述操作控制电路配置为用于响应频率确定信号控制内部操作。

[0010] 根据一个实施例,可以提供一种半导体器件。所述半导体器件可以包括模式寄存器,所述模式寄存器配置为用于响应模式寄存器写入命令从设置信号提取和储存信息信号。所述半导体器件可以包括频率确定信号生成电路,所述频率确定信号生成电路配置为用于从信息信号生成包括操作频率的信息的频率确定信号。所述半导体器件可以包括操作控制电路,所述操作控制电路配置为用于响应频率确定信号控制内部操作。

[0011] 根据一个实施例,可以提供一种半导体系统。所述半导体系统可以包括第一半导体器件和第二半导体器件,所述第一半导体器件配置为输出设置信号。所述第二半导体器件可以包括频率确定信号生成电路,所述频率确定信号生成电路配置为用于响应设置信号生成包括操作频率的信息的频率确定信号。所述第二半导体器件可以包括操作控制电路,所述操作控制电路配置为用于响应频率确定信号控制内部操作。

附图说明

[0012] 图1是示出根据一个实施例的半导体系统的配置的实例的代表的框图。

[0013] 图2是示出包括在图1的半导体系统中的信息储存电路的配置的实例的代表的框图。

[0014] 图3是示出图2所示的信息储存电路的操作的实例的代表的逻辑表。

[0015] 图4是示出包括在图1的半导体系统中的操作控制电路的实例的代表的框图。

[0016] 图5是示出包括在图1的半导体系统中的操作控制电路的另一实例的代表的框图。

[0017] 图6是示出包括在图1的半导体系统中的操作控制电路的另一实例的代表的框图。

[0018] 图7是示出包括在图6的操作控制电路中的晶体管单元的实例的代表的电路图。

[0019] 图8是示出根据一个实施例的半导体系统的配置的实例的代表的框图。

[0020] 图9是示出包括图1至图8中所示的半导体系统中的任一个半导体系统的电子系统的实例的代表的框图。

具体实施方式

[0021] 下文将参照附图来描述本公开的各个实施例。但是,在此所描述的实施例仅用于说明的目的,而不旨在限制本公开的范围。

[0022] 各个实施例可以涉及半导体器件和包括半导体器件的半导体系统。

[0023] 参见图1,根据一个实施例的半导体系统可以包括第一半导体器件1和第二半导体器件2。

[0024] 第一半导体器件1可以输出设置信号ICA<1:N>和设置代码SCD<1:M>(即,N和M可以是大于‘1’的任何自然数)。设置信号ICA<1:N>可以设置为具有各种逻辑电平组合。可以根据设置信号ICA<1:N>的逻辑电平组合使能或禁止起始信号STR。可以根据设置信号ICA<1:N>的逻辑电平组合设置输入控制代码WR_CD和输出控制代码OP_CD的逻辑电平。可以通过传送命令或同时传送命令和地址的线来传送设置信号ICA<1:N>。根据实施例,可以将包括在设置信号ICA<1:N>中的位的数量设置为不同。根据实施例,可以将包括在设置代码SCD<1:M>中的位的数量设置为不同。可以通过传送地址、命令和数据之中的至少一组的线来传送设置代码SCD<1:M>。虽然图1示出了通过单独的信号线传送设置信号ICA<1:N>和设置代码SCD

<1:M>的实例,但本公开不限于此。例如,根据实施例,可以通过同一信号线传送设置信号ICA<1:N>和设置代码SCD<1:M>。

[0025] 第二半导体器件2可以包括起始信号生成电路21、代码提取电路22、信息储存电路23、频率确定信号生成电路24和操作控制电路25。

[0026] 起始信号生成电路21可以接收设置信号ICA<1:N>,以生成起始信号STR。例如,如果具有预定逻辑电平组合的设置信号ICA<1:N>输入到起始信号生成电路21,则起始信号生成电路21可以生成被使能的起始信号STR。在某些实施例中,起始信号生成电路21可以接收包括在设置信号ICA<1:N>中的多个位之中的某些位的信号,以生成起始信号STR。根据实施例,可以不同地设置被使能的起始信号STR的逻辑电平。

[0027] 代码提取电路22可以响应起始信号STR,从设置信号ICA<1:N>提取输入控制代码WR_CD和输出控制代码OP_CD,并且可以输出输入控制代码WR_CD和输出控制代码OP_CD。例如,如果起始信号STR被使能,则代码提取电路22可以从设置信号ICA<1:N>提取输入控制代码WR_CD和输出控制代码OP_CD。例如,代码提取电路22可以配置为生成输入控制代码和输出控制代码,如果例如起始信号STR被使能,则可以根据设置信号ICA<1:N>的逻辑电平组合选择性地使能输入控制代码WR_CD或输出控制代码OP_CD中的一个。根据实施例,可以不同地设置用于从设置信号ICA<1:N>提取输入控制代码WR_CD和输出控制代码OP_CD的设计方案。例如,在某些实施例中,输入控制代码WR_CD和输出控制代码OP_CD可以包括在设置信号ICA<1:N>中而不做任何信号处理,并且可以通过发送设置信号ICA<1:N>被传送。替代地,输入控制代码WR_CD和输出控制代码OP_CD可以通过信号处理器来处理,并且被处理的输入控制代码WR_CD和被处理的输出控制代码OP_CD可以与设置信号ICA<1:N>一起被传送。根据实施例,输入控制代码WR_CD和输出控制代码OP_CD可以实现为具有至少二位。代码提取电路22可以实现为仅接收包括在设置信号ICA<1:N>中的多个位之中的某些位,用于输入控制代码WR_CD和输出控制代码OP_CD的提取。

[0028] 信息储存电路23可以响应输入控制代码WR_CD和输出控制代码OP_CD,从设置代码SCD<1:M>提取和储存根据频率的操作信息,并且可以输出选择信息信号SD_SEL。例如,信息储存电路23可以根据输入控制代码WR_CD的逻辑电平储存包括在设置代码SCD<1:M>中的高频操作或低频操作的信息,并且可以根据输出控制代码OP_CD的逻辑电平输出储存的信息作为选择信息信号SD_SEL。例如,如果输入控制代码WR_CD具有逻辑“高”电平,则信息储存电路23可以储存高频操作的信息,并且如果输入控制代码WR_CD具有逻辑“低”电平,则信息储存电路23可以储存低频操作的信息。根据实施例,可以不同地设置根据输入控制代码WR_CD的逻辑电平而储存在信息储存电路23中的信息。信息储存电路23可以根据输出控制代码OP_CD的逻辑电平输出储存在其中的信息。例如,如果输出控制代码OP_CD具有逻辑“高”电平,则信息储存电路23可以输出高频操作的信息,并且如果输出控制代码OP_CD具有逻辑“低”电平,则信息储存电路23可以输出低频操作的信息。根据实施例,可以不同地设置根据输出控制代码OP_CD的逻辑电平从信息储存电路23中输出的信息。

[0029] 频率确定信号生成电路24可以从输出控制代码OP_CD的逻辑电平提取操作频率的信息。例如,如果输出控制代码OP_CD具有逻辑“高”电平,则频率确定信号生成电路24可以生成具有逻辑“高”电平的频率确定信号F_DET,并且如果输出控制代码OP_CD具有逻辑“低”电平,则频率确定信号生成电路24可以生成具有逻辑“低”电平的频率确定信号F_DET。根据

实施例,可以不同地设置根据输出控制代码OP_CD的逻辑电平从频率确定信号生成电路24生成的频率确定信号F_DET的逻辑电平。如果频率确定信号F_DET具有逻辑“高”电平,则半导体系统可以高频操作,如果频率确定信号F_DET具有逻辑“低”电平,则半导体系统可以低频操作。根据实施例,可以不同地设置根据频率确定信号F_DET的逻辑电平确定的半导体系统的操作频率。

[0030] 操作控制电路25可以响应频率确定信号F_DET来控制半导体系统,以便半导体系统以高频或低频操作。例如,操作控制电路25可以控制半导体系统,因此,如果频率确定信号F_DET具有逻辑“高”电平,则半导体系统以高频操作,如果频率确定信号F_DET具有逻辑“低”电平,则半导体系统以低频操作。根据实施例,可以不同地设置根据频率确定信号F_DET的逻辑电平通过操作控制电路25控制的操作。例如,以高频执行的操作可以包括,但不限于,用于增加缓冲电路(未示出)的操纵灵活性的操作和用于降低金属氧化物半导体(MOS)晶体管(未示出)的阈值电压以提高MOS晶体的操作速度的操作。在一个实施例中,例如,以低频执行的操作可以包括,但不限于,用于降低缓冲电路的操纵灵活性的操作和用于增加MOS晶体的阈值电压以降低MOS晶体的操作速度的操作。

[0031] 参见图2,信息储存电路23可以包括输入/输出(I/O)控制信号生成单元231、第一储存单元232、第二储存单元233以及锁存单元234。

[0032] I/O控制信号生成单元231可以响应输入控制代码WR_CD和输出控制代码OP_CD,生成第一输入控制信号WR<1>、第二输入控制信号WR<2>、第一输出控制信号OP<1>和第二输出控制信号OP<2>。例如,如果输入控制代码WR_CD具有逻辑“低”电平并且输出控制代码OP_CD具有逻辑“低”电平,则I/O控制信号生成单元231可以生成被使能以具有逻辑“高”电平的第一输入控制信号WR<1>,并且如果输入控制代码WR_CD具有逻辑“高”电平并且输出控制代码OP_CD具有逻辑“低”电平,则I/O控制信号生成单元231可以生成被使能以具有逻辑“高”电平的第二输入控制信号WR<2>。根据实施例,可以不同地设置根据输入控制代码WR_CD的逻辑电平从I/O控制信号生成单元231生成的第一输入控制信号WR<1>和第二输入控制信号WR<2>中的每一个的被使能电平和被禁止电平。例如,在某些实施例中,第一输入控制信号WR<1>和第二输入控制信号WR<2>可以设置为被使能至逻辑“低”电平。此外,如果输入控制代码WR_CD具有逻辑“低”电平并且输出控制代码OP_CD具有逻辑“高”电平,则I/O控制信号生成单元231可以生成被使能以具有逻辑“高”电平的第一输出控制信号OP<1>,并且如果输入控制代码WR_CD具有逻辑“高”电平并且输出控制代码OP_CD具有逻辑“高”电平,则I/O控制信号生成单元231可以生成被使能以具有逻辑“高”电平的第二输出控制信号OP<2>。根据实施例,可以不同地设置根据输出控制代码OP_CD的逻辑电平从I/O控制信号生成单元231生成的第一输出控制信号OP<1>和第二输出控制信号OP<2>中的每一个的被使能电平和被禁止电平。例如,在某些实施例中,第一输出控制信号OP<1>和第二输出控制信号OP<2>可以设置为被使能至逻辑“低”电平。

[0033] 如果第一输入控制信号WR<1>被使能,则第一储存单元232可以储存包括在设置代码SCD<1:M>中的高频操作的信息。如果第一输出控制信号OP<1>被使能,则第一储存单元232可以将储存在其中的高频操作的信息输出作为第一储存信号SD1。在某些其他实施例中,如果第一输入控制信号WR<1>被使能,则第一储存单元232可以储存包括在设置代码SCD<1:M>中的低频操作的信息,并且如果第一输出控制信号OP<1>被使能,则第一储存单元232

可以将储存在其中的低频操作的信息输出作为第一储存信号SD1。

[0034] 如果第二输入控制信号WR<2>被使能,则第二储存单元233可以储存包括在设置代码SCD<1:M>中的低频操作的信息。如果第二输出控制信号OP<2>被使能,则第二储存单元233可以将储存在其中的低频操作的信息输出作为第二储存信号SD2。在某些其他实施例中,如果第二输入控制信号WR<2>被使能,则第二储存单元233可以储存包括在设置代码SCD<1:M>中的高频操作的信息,并且如果第二输出控制信号OP<2>被使能,则第二储存单元233可以将储存在其中的高频操作的信息输出作为第二储存信号SD2。

[0035] 锁存单元234可以锁存第一储存信号SD1或第二储存信号SD2,以输出锁存信号作为选择信息信号SD_SEL。选择信息信号SD_SEL可以包括用于执行各种操作的信息,所述各种操作包括,例如,但不限于,读取操作和写入操作。选择信息信号SD_SEL可以进一步包括,例如,但不限于,参考电压的信息、脉冲串类型的信息、脉冲串长度的信息、写入延迟的信息、读取延迟的信息、前同步码的信息、后同步码的信息、驱动强度的信息、数据总线转位的信息以及片内终结器(ODT)的信息等。

[0036] 下文将参考图3描述信息储存电路23的操作。如果输入控制代码WR_CD和输出控制代码OP_CD都具有逻辑“低”电平,则第一输入控制信号WR<1>可以被使能,以具有逻辑“高”电平,以便包括在设置代码SCD<1:M>中的高频操作的信息储存在第一储存单元232中。如果输入控制代码WR_CD具有逻辑“低”电平并且输出控制代码OP_CD具有逻辑“高”电平,则第一输出控制信号OP<1>可以被使能,以具有逻辑“高”电平,以便储存在第一储存单元232中的高频操作的信息可以被输出作为选择信息信号SD_SEL。如果输入控制代码WR_CD具有逻辑“高”电平并且输出控制代码OP_CD具有逻辑“低”电平,则第二输入控制信号WR<2>可以被使能,以具有逻辑“高”电平,以便包括在设置代码SCD<1:M>中的低频操作的信息储存在第二储存单元233中。如果输入控制代码WR_CD和输出控制代码OP_CD都具有逻辑“高”电平,则第二输出控制信号OP<2>可以被使能,以具有逻辑“高”电平,以便储存在第二储存单元233中的低频操作的信息可以被输出作为选择信息信号SD_SEL。

[0037] 参见图4,操作控制电路25可以包括第一缓冲器251和第二缓冲器252。第一缓冲器251可以响应频率确定信号F_DET,缓冲输入信号IN,以输出缓冲的信号作为输出信号OUT。第二缓冲器252可以响应频率确定信号F_DET,缓冲输入信号IN,以输出缓冲的信号作为输出信号OUT。可以通过频率确定信号F_DET来控制第一和第二缓冲器251和252的操作。例如,如果频率确定信号F_DET具有逻辑“高”电平,则第一缓冲器251可以操作,如果频率确定信号F_DET具有逻辑“低”电平,则第二缓冲器252可以操作。如果半导体系统的操作频率被设置为高频,则第一缓冲器251可以缓冲输入信号IN,以输出缓冲的信号作为输出信号OUT,并且如果半导体系统的操作频率被设置为低频,则第二缓冲器252可以缓冲输入信号IN,以输出缓冲的信号作为输出信号OUT。在此实例中,第一缓冲器251的操纵灵活性可以设置为高于第二缓冲器252的操纵灵活性。如果半导体系统的操作频率被设置为高频,则因为具有比第二缓冲器的操纵灵活性高的操纵灵活性的第一缓冲器251操作而第二缓冲器252不操作,所以第一缓冲器251可以缓冲输入信号IN,以输出缓冲的信号作为输出信号OUT。因此,可以提高输入信号IN被缓冲并被输出作为输出信号OUT的操作速度。如果半导体系统的操作频率被设置为低频,则因为具有比第一缓冲器的操纵灵活性低的操纵灵活性的第二缓冲器252操作而第一缓冲器251不操作,所以第二缓冲器252可以缓冲输入信号IN,以输出缓冲的

信号作为输出信号OUT。因此,可以降低操作控制电路25的功率消耗。在某些其他实施例中,操作控制电路25可以实现为,如果频率确定信号F_DET具有逻辑“高”电平,则第一和第二缓冲器251和252都操作,并且如果频率确定信号F_DET具有逻辑“低”电平,则仅第二缓冲器252操作。在此实例中,如果半导体系统的操作频率被设置为高频,则因为第一和第二缓冲器251和252都操作,所以可以提高输入信号IN被缓冲并被输出作为输出信号OUT的操作速度。如果半导体系统的操作频率设置为低频,则因为仅第一和第二缓冲器251和252中的第二缓冲器252操作,所以可以降低操作控制电路25的功率消耗。

[0038] 参见图5,操作控制电路25a可以包括第三缓冲器253和第四缓冲器254。第三缓冲器253可以缓冲输入信号IN,以输出缓冲的信号作为输出信号OUT。第四缓冲器254可以响应频率确定信号F_DET,缓冲输入信号IN,以输出缓冲的信号作为输出信号OUT。例如,如果频率确定信号F_DET具有逻辑“高”电平,则第四缓冲器254可以缓冲输入信号IN,以输出缓冲的信号作为输出信号OUT,并且如果频率确定信号F_DET具有逻辑“低”电平,则可以停止其的缓冲操作。即,仅当半导体系统的操作频率被设置为高频时,第四缓冲器254可以操作,以缓冲并输出输入信号IN作为输出信号OUT。结果,如果半导体系统的操作频率被设置为高频,则图5所示的操作控制电路25a的第三和第四缓冲器253和254都可以操作,以提高输入信号IN被缓冲并被输出作为输出信号OUT的操作速度。如果半导体系统的操作频率被设置为低频,则仅第三缓冲器253可以操作,而第四缓冲器254不操作。因此,可以降低操作控制电路25a的功率消耗。

[0039] 参见图6,操作控制电路25b可以包括体电压(bulk voltage)生成单元255和晶体管单元256。体电压生成单元255可以响应频率确定信号F_DET而调整体电压VB的电平。例如,如果半导体系统的操作频率被设置为高频,则体电压生成单元255可以接收具有逻辑“高”电平的频率确定信号F_DET,以降低体电压VB的电平,如果半导体系统的操作频率被设置为低频,则体电压生成单元255可以接收具有逻辑“低”电平的频率确定信号F_DET,以提高体电压VB的电平。可以根据频率确定信号F_DET的逻辑电平将从体电压生成单元255输出的体电压VB的电平调整为不同。例如,如果半导体系统的操作频率被设置为高频,以使频率确定信号F_DET具有逻辑“高”电平,则体电压生成单元255可以响应频率确定信号F_DET将体电压VB的电平设置为高电平,并且如果半导体系统的操作频率被设置为低频,以使频率确定信号F_DET具有逻辑“低”电平,则体电压生成单元255可以响应频率确定信号F_DET将体电压VB的电平设置为低电平。

[0040] 晶体管单元256可以接收体电压VB,以控制包括在其中的至少一个MOS晶体管(未示出)的操纵灵活性。例如,如果半导体系统的操作频率被设置为高频,则通过被设置为具有低电平的体电压VB,可以降低包括在晶体管单元256中的至少一个MOS晶体管的阈值电压。因此,可以提高至少一个MOS晶体的操作速度。在一个实施例中,如果半导体系统的操作频率被设置为低频,则通过被设置为具有高电平的体电压VB,可以提高包括在晶体管单元256中的至少一个MOS晶体管的阈值电压。因此,可以降低至少一个MOS晶体的操作速度。其结果是,如果半导体系统的操作频率被设置为高频,则组成晶体管单元256的至少一个MOS晶体的操作速度可以变得更快,以提高半导体器件2的操作速度。如果半导体系统的操作频率被设置为低频,则组成晶体管单元256的至少一个MOS晶体的操作速度可以变得更慢,以降低半导体器件2的功率消耗。体电压VB可以对应于施加到MOS晶体的本体区

域的背栅偏置。

[0041] 参见图7,晶体管单元256可以包括第一MOS晶体管257和第二MOS晶体管258。可以使用,例如,但不限于,具有由体电压VB控制的操纵灵活性的N型沟道MOS晶体管来实现第一MOS晶体管257。可以使用,例如,但不限于,其操纵灵活性由体电压VB控制的P型沟道MOS晶体管来实现第二MOS晶体管257。如果半导体系统的操作频率被设置为高频,则可以降低第一MOS晶体管257的阈值电压和第二MOS晶体管258的阈值电压,以提高晶体管单元256的操作速度。如果半导体系统的操作频率被设置为低频,则可以提高第一MOS晶体管257的阈值电压和第二MOS晶体管258的阈值电压,以降低晶体管单元256的操作速度。在某些实施例中,晶体管单元256可以实现为包括,例如,至少两个P型沟道MOS晶体管和至少两个N型沟道MOS晶体管。

[0042] 参见图8,根据一个实施例的半导体系统可以包括第一半导体器件3和第二半导体器件4。

[0043] 第一半导体器件3可以输出设置信号ICA<1:N>。设置信号ICA<1:N>可以被设置为具有各种逻辑电平组合。可以根据设置信号ICA<1:N>的逻辑电平组合使能或禁止模式寄存器写入命令MRW。设置信号ICA<1:N>可以包括半导体系统的操作频率的信息。包括在设置信号ICA<1:N>中的多个位中的至少一个位可以设置为对应于半导体系统的操作频率的信息。可以通过传送命令或同时传送命令和地址的线来传送设置信号ICA<1:N>。根据实施例,可以不同地设置包括在设置信号ICA<1:N>中的位的数量。

[0044] 第二半导体器件4可以包括命令译码器41、模式寄存器42、频率确定信号生成电路43和操作控制电路44。

[0045] 命令译码器41可以接收设置信号ICA<1:N>,以生成模式寄存器写入命令MRW。例如,如果将具有预定逻辑电平组合的设置信号ICA<1:N>输入到命令译码器41,命令译码器41可以生成被使能的模式寄存器写入命令MRW。在某些实施例中,命令译码器41可以接收包括在设置信号ICA<1:N>中的多个位之中的某些位的信号,以生成模式寄存器写入命令MRW。根据实施例,可以不同地设置被使能的模式寄存器写入命令MRW的逻辑电平。

[0046] 模式寄存器42可以响应模式寄存器写入命令MRW,从设置信号ICA<1:N>提取并储存操作频率的信息,并可以输出操作频率的信息。例如,如果模式寄存器写入命令MRW被使能,则模式寄存器42可以提取并储存包括在设置信号ICA<1:N>中的操作频率的信息,并可以输出操作频率的信息作为信息信号OP。如果操作频率被设置为高频,则信息信号OP可以被设置为具有逻辑“高”电平,并且如果操作频率被设置为低频,则信息信号OP可以被设置为具有逻辑“低”电平。根据实施例,可以不同地设置根据操作频率的信息信号OP的逻辑电平。根据实施例,可以不同地设置用于从设置信号ICA<1:N>提取信息信号OP的设计方案。例如,在某些实施例中,信息信号OP可以包括在设置信号ICA<1:N>中而不做任何信号处理,并且可以通过发送设置信号ICA<1:N>而被传送。在一个实施例中,可以通过信号处理器来处理信息信号OP,并且处理的信息信号OP可以与设置信号ICA<1:N>一起被传送。根据实施例,信息信号OP可以实现为具有至少两个位。模式寄存器42可以实现为仅接收包括在设置信号ICA<1:N>中的多个位之中的某些位,以用于信息信号OP的提取和输出。

[0047] 频率确定信号生成电路43可以响应信息信号OP生成频率确定信号F_DET。例如,如果信息信号OP具有逻辑“高”电平,则频率确定信号生成电路43可以生成具有逻辑“高”电平

的频率确定信号F_DET,并且如果信息信号OP具有逻辑“低”电平,则频率确定信号生成电路43可以生成具有逻辑“低”电平的频率确定信号F_DET。根据实施例,可以不同地设置根据信息信号OP的逻辑电平从频率确定信号生成电路43生成的频率确定信号F_DET的逻辑电平。如果频率确定信号F_DET具有逻辑“高”电平,则半导体系统可以高频操作,如果频率确定信号F_DET具有逻辑“低”电平,则半导体系统可以低频操作。根据实施例,可以不同地设置根据频率确定信号F_DET的逻辑电平确定的半导体系统的操作频率。

[0048] 操作控制电路44可以响应频率确定信号F_DET来控制半导体系统,以便使半导体系统以高频或低频操作。例如,操作控制电路44可以控制半导体系统,因此,如果频率确定信号F_DET具有逻辑“高”电平,则半导体系统以高频操作,如果频率确定信号F_DET具有逻辑“低”电平,则半导体系统以低频操作。根据实施例,可以不同地设置根据频率确定信号F_DET的逻辑电平由操作控制电路44控制的操作。以高频执行的操作可以包括,用于增加缓冲电路(未示出)的操纵灵活性的操作和用于降低MOS晶体管(未示出)的阈值电压以提高MOS晶体的操作速度的操作。在一个实施例中,以低频执行的操作可以包括,用于降低缓冲电路的操纵灵活性的操作和用于增加MOS晶体管的阈值电压以降低MOS晶体的操作速度的操作。操作控制电路44可以实现为具有参考图4至图7所描述的各个配置中的任一配置。因此,下文将省略操作控制电路44的配置和操作。

[0049] 参考图1至图8描述的半导体器件中的至少一个或半导体系统中的至少一个可以被应用到电子系统,所述电子系统包括,例如,存储系统、图形系统、计算系统、移动系统等。例如,如图9所示,根据一个实施例的电子系统1000可以包括数据储存单元1001、存储器控制器1002、缓冲存储器1003以及I/O接口1004。

[0050] 数据储存单元1001根据从存储器控制器1002生成的控制信号,可以储存从存储器控制器1002输出的数据,或可以读取储存的数据并将其输出到存储器控制器1002。数据储存单元1001可以包括图1中所示的第二半导体器件2和/或图8中所示的第二半导体器件4。数据储存单元1001可以包括非易失性存储器,所述非易失性存储器即便当其电源中断时也可以保留它们的储存的数据。非易失性存储器可以是诸如NOR型快闪存储器或NAND型快闪存储器的快闪存储器、相变随机存取存储器(PRAM)、电阻式随机存取存储器(RRAM)、自旋转矩随机存取存储器(STTRAM)、磁性随机存取存储器(MRAM)等。

[0051] 存储器控制器1002可以通过I/O接口1004接收从外部设备(例如,主机设备)输出的命令,并且可以解码从主机设备输出的命令,以控制用于将数据输入到数据储存单元1001或缓冲存储器1003中的操作,或着用于输出储存在数据储存单元1001或缓冲存储器1003中的数据的操作。存储器控制器1002可以包括图1中所示的第一半导体器件1和/或图8中示出的第一半导体器件3。虽然图9示出了具有单一块的存储器控制器1002,但是存储器控制器1002可以包括用于控制由非易失性存储器组成的数据储存单元1001的一个控制器以及用于控制由易失性存储器组成的缓冲存储器1003的另一控制器。

[0052] 缓冲存储器1003可以临时地储存通过存储器控制器1002处理的数据。缓冲存储器1003可以临时地储存从数据储存单元1001输出的数据或要输入到数据储存单元1001的数据。缓冲存储器1003可以储存根据控制信号从存储器控制器1002输出的数据。缓冲存储器1003可以读取储存的数据并将储存的数据输出到存储器控制器1002。缓冲存储器1003可以包括诸如动态随机存取存储器(DRAM)、移动DRAM、或静态随机存取存储器(SRAM)的易失性

存储器。

[0053] I/O接口1004可以将存储器控制器1002物理连接和电连接到外部设备(即,主机)。因此,存储器控制器1002可以通过I/O接口1004接收从外部设备(即,主机)提供的控制信号和数据,并且可以通过I/O接口1004将从存储器控制器1002生成的数据输出到外部设备(即,主机)。电子系统1000可以通过I/O接口1004与主机通信。I/O接口1004可以包括各种接口协议中的至少一个,这些接口协议例如是通用串行总线(USB)、多媒体卡(MMC)、外围组件互连-快速(PCI-E)、串行附接SCSI(SAS)、串行AT附件(SATA)、并行AT附件(PATA)、小型计算机系统接口(SCSI)、加强型小型设备接口(ESDI)、以及集成驱动电路(IDE)。

[0054] 电子系统1000可以用作主机的辅助储存设备或外部储存设备。电子系统1000可以包括,例如,但不限于,固态硬盘(SSD)、USB存储器、安全数字(SD)卡、迷你安全数字(mSD)卡、微型安全数字(微型SD)卡、安全数字高容量(SDHC)卡、存储棒卡、智能媒介(SM)卡、多媒体卡(MMC)、嵌入式多媒体卡(eMMC)或紧凑型闪存(CF)卡等。

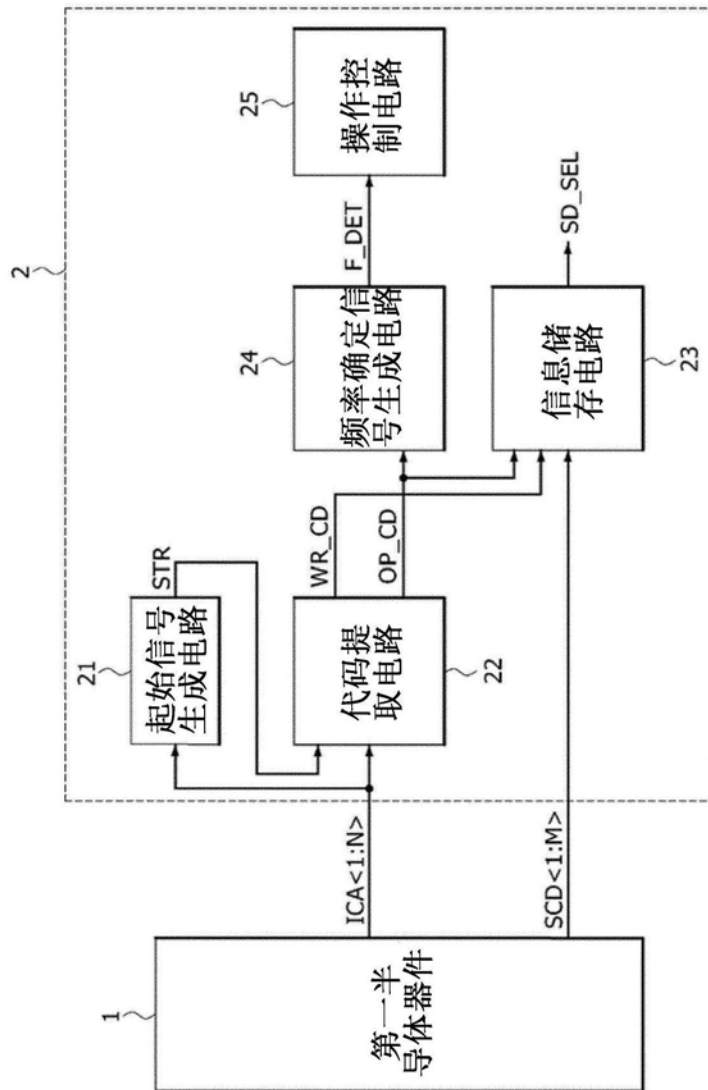


图1

23

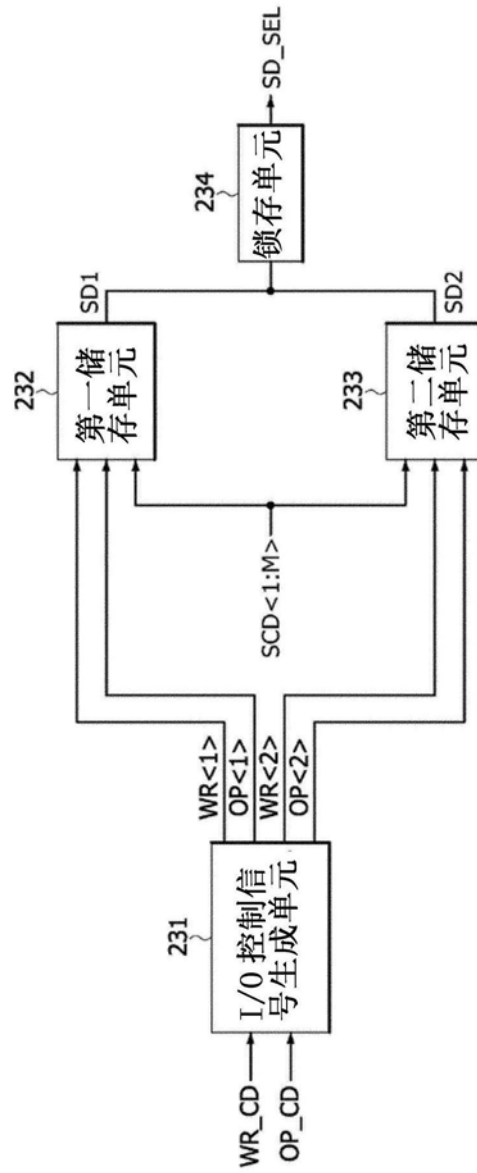


图2

WR_CD	OP_CD	WR<1>	OP<1>	WR<2>	OP<2>
L	L	H	L	L	L
L	H	L	H	L	L
H	L	L	L	H	L
H	H	L	L	L	H

图3

25

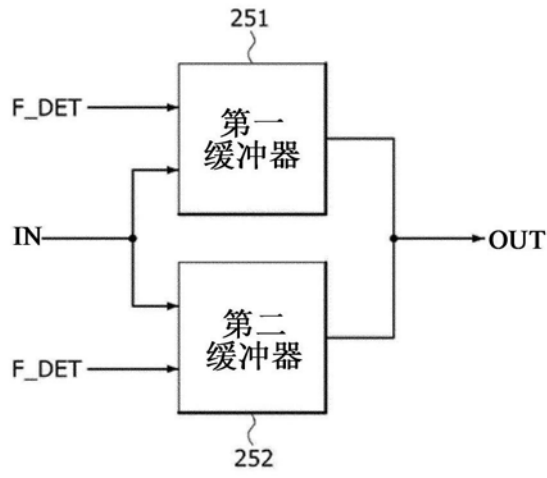


图4

25a

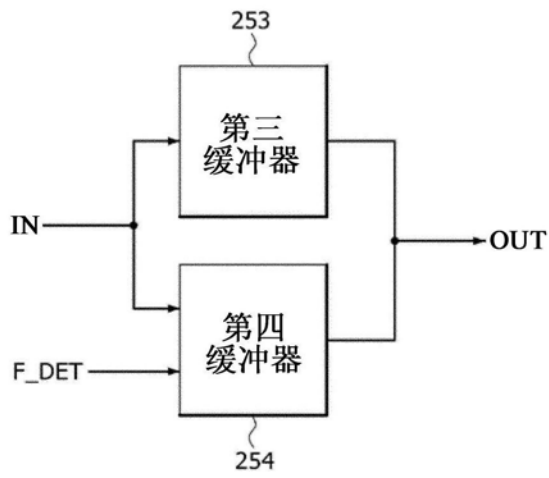


图5

25b

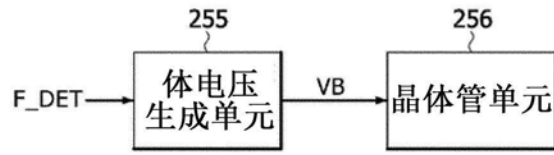


图6

256

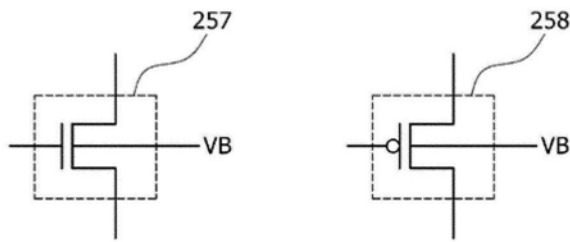


图7

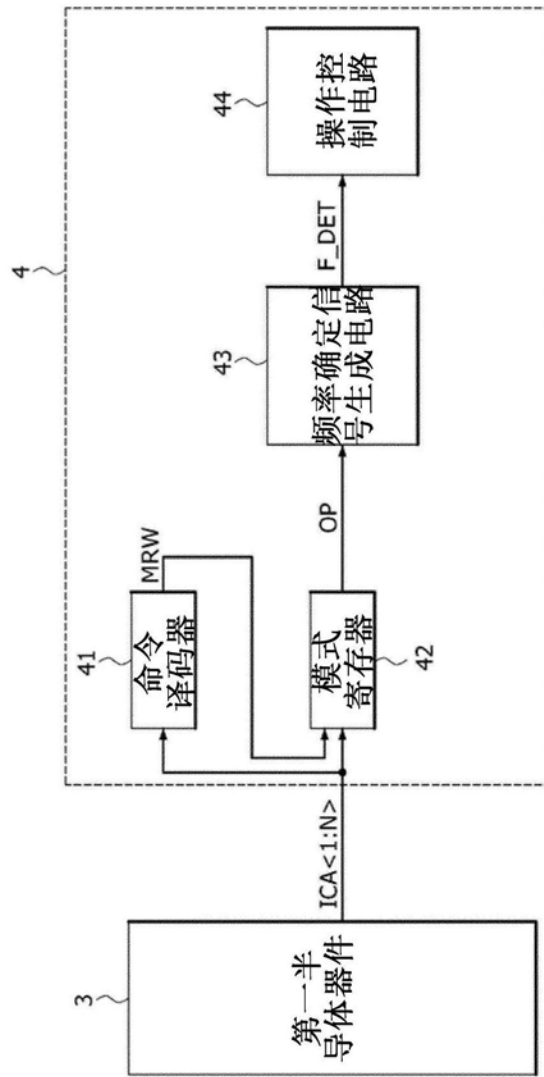


图8

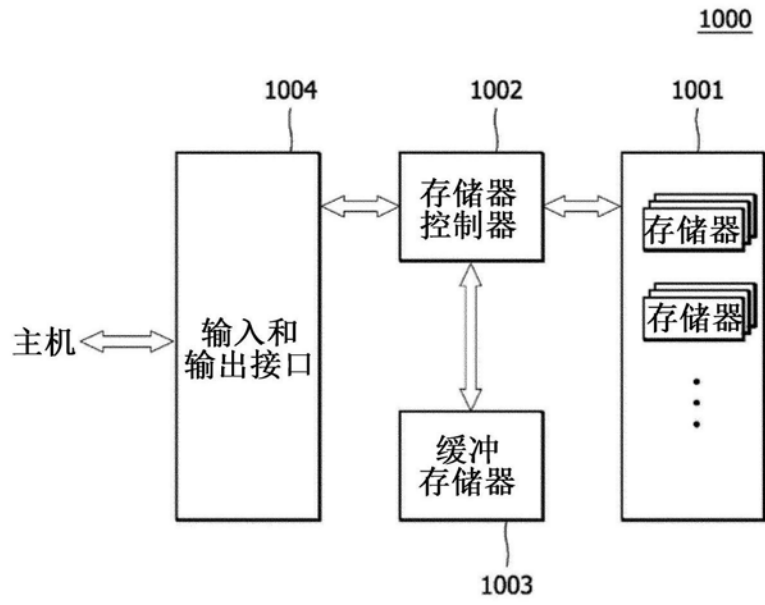


图9