

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 27/08
H01L 21/76

(45) 공고일자 1995년 10월 20일
(11) 공고번호 특 1995-0012744

(21) 출원번호	특 1987-0005705	(65) 공개번호	특 1988-0001055
(22) 출원일자	1987년 06월 05일	(43) 공개일자	1988년 03월 31일
(30) 우선권주장	61-140061 1986년 06월 18일 일본(JP)		
(71) 출원인	가부시기가이샤 히다찌세이사꾸쇼 미다 가쓰시게 일본국 도오교도 지요다구 간다 스루가다이 4-6		

(72) 발명자 가쓰도우 히사오
일본국 도오교도 니시다마군 히노테마찌히라이 2196-99
스기우라 준
일본국 도오교도 무사시노시 기쓰쇼우지 히가시쵸우 1-22-16

(74) 대리인 백남기

심사관 : 김정옥 (특자공보 제4186호)

(54) 반도체 기억장치의 제조방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체 기억장치의 제조방법

[도면의 간단한 설명]

제 1 도 내지 제 10 도는, 실시예 1의 반도체 기억장치의 제조공정에 있어서 메모리셀 영역 및 주변 회로 영역의 단면도.

제 11 도는 반도체 영역의 농도 프로파일을 도시한 그래프.

제 12 도는 실시예 2의 반도체 집적회로 장치의 메모리셀의 평면도.

제 13 도는 제 12 도의 A-A 절단선에 있어서의 단면도.

제 14 도는 제 12 도의 B-B 절단선에 있어서의 단면도.

제 15 도는 종래 기술에 의해, 채널 스톱퍼를 형성한 MISFET 형성영역의 일부를 도시한 평면도.

제 16도는 제 15 도의 A'-A' 절단선에 있어서의 단면도이다.

[발명의 상세한 설명]

본 발명은 반도체 기억장치에 관한 것으로, 특히, DRAM(Dynamic Random Access Memory)의 소자분리 기술 및 α 선 소프트 에러 방지 기술에 관한 것이다.

반도체 소자간의 소자분리는, 일반적으로 반도체 기판 표면의 산화에 의한 산화실리콘막으로 되는 필드(field) 절연막과, 채널 스톱퍼(channel stopper) 영역으로 된다. 채널 스톱퍼 영역을 형성하기 위한 불순물은, 필드 절연막을 형성하기 이전에 이온주입에 의해서 도입하고, 필드 절연막을 형성하기 위한 열산화시에 반도체 기판에 가해지는 염을 이용하여 확산한다. DRAM의 소자분리에 있어서도 상기와 같은 기술이 사용되고 있다. 또한 소자분리에 관한 기술은, 예를 들면 Science Forum사 발행 「초 LSI 디바이스 핸드북(Device Handbook)」 p63 소화 58년 11월 28일 발행에 기재되어 있다.

한편 DRAM의 소프트 에러는, 주로 α 선에 의한 전자 홀(hole)쌍의 발생에 의해 발생된다. 상기 α 선에 의한 소프트 에러방지 기술로서, 예를 들면 반도체 기판상의 메모리 셀이 형성되어야 할 영역에, 상기 전자 홀쌍에 대해서 포텐셜 베리어(potential barrier)로 되는 고불순물 농도 반도체 영역을 형성하는 기술이 알려져 있다. 상기 고불순물 농도 반도체 영역을 형성하기 위한 불순물은, 반도체 기판 표면의 산화에 의한 산화 실리콘막으로 되는 필드 절연막을 형성한 후, 상기 필드 절연막을

마스크(mask)로서 이온주입하는 것에 의해 메모리 셀 영역의 활성화영역하에 도입된다. 이와 같은 DRAM의 소프트 에러 방지 기술은, 예를 들면, 일본국 특허 공개 공보 소화 59-94451호에 기재되어 있다.

또, 반도체 기판표면의 산화에 의한 산화 실리콘막으로 되는 필드 절연막을 형성하기 이전에 채널 스토퍼영역을 사전에 형성해 놓고, 상기 필드 절연막을 형성한 후, CMOS(Complementary Metal Oxide Semiconductor)의 래치 업 방식을 위해, 기판 저항 저감의 목적에서, 상기 반도체 기판상의 MISFET(Metal Insulate Semiconductor Field Effect Transister)가 형성되어야 할 영역하에 고 불순물 농도 반도체 영역(이하, 편의상 불순물 도입 영역이라고도 한다)을 형성한다.

상기 고 불순물 농도 반도체 영역을 형성하기 위한 불순물은, 상기 필드 절연막을 통하는 이온주입에 의해서 상기 MISFET가 형성되어야 할 영역하에 도입된다.

상기 형성된 채널 스토퍼 영역과 상기 고 불순물 농도 반도체 영역은, 필드 절연막 하부에 연결되어 있으며, 상기 MISFET가 형성되어야 할 영역을 둘러싸듯이 형성되어 있다. 이와 같은 기술은 예를 들면, 일본국 특허 공개 공보 소화 61-10268호에 기재되어 있다.

본 발명자는 상기 기술을 검토한 결과, 다음의 문제점을 발견했다.

채널 스토퍼 영역을 형성하기 위한 불순물의 도입 공정은, 필드 절연막을 형성하기 이전에 행하여지고, 소프트 에러 방지를 위한 고 불순물 농도 반도체 영역을 형성하기 위한 불순물의 도입 공정은, 필드 절연막을 형성한 후에 행하여지고 있기 때문에, 각각 독립한 공정이므로 공정이 증가한다. 또, 채널 스토퍼 영역 및 필드 절연막을 형성한 후에 고 불순물 농도 반도체 영역을 형성하면, 채널 스토퍼가 MISFET의 채널영역으로 스며나와 채널 영역이 좁게 되기 때문에, MISFET의 임계값이 높게 된다. 상기한 채널 스토퍼영역이 MISFET의 채널 영역으로 스며나오는 상태를 제 15 도 및 제 16 도에 의해서 설명한다.

제 15 도는, MISFET가 형성되어 있는 영역의 일부를 도시한 평면도이고, 제 16 도는, 제 15 도의 A'-A' 절단선에 있어서의 단면도이다. 또한, 제 15 도는, MISFET의 구성을 보기 쉽게 하기 위해, 필드 절연막의 패턴 형상 이외의 절연막은 도시하고 있지 않다.

제 15 도에 도시하는 것과 같이 MOSFET는, 게이트 전극 18'(WL)과 그 양끝에 형성된 소오스, 드레인 확산영역 19'로 이루어진다. 상기 MISFET는, 필드 절연막 패턴 9'에 의해 둘러싸이고, 상기 필드 절연막 패턴 9'의 하부에는, 채널 스토퍼 10A'가 형성되어 있다. 상기 채널 스토퍼 10A'는 필드 절연막 형성시에 기판에 가해지는 열에 의해서, 제 16 도에 도시하는 것과 같이, 채널 스토퍼 영역 10A'의 영역 Z 부근에서, MISFET의 채널 영역 Y로 스며나온다. 이 때문에, 채널 영역이 좁게 되고, MISFET의 임계값이 높게 된다.

본 발명의 목적은, 반도체 기억장치의 신뢰성을 향상하는 것, 예를 들면 α 선에 대해서 강한 반도체 기억장치 및 그 제조방법을 제공하는데 있다.

본 발명의 다른 목적은, 반도체 기억장치의 전기적 특성을 향상하는 것, 예를 들면 MOSFET의 임계값을 낮게 한 반도체 기억장치 및 그 제조방법을 제공하는데 있다.

본 출원에 있어서 개시되는 발명중, 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

즉, 필드 절연막을 형성한 후에, 필드 절연막을 통해서 채널 스토퍼 영역을 형성하기 위한 불순물을 도입하는 것과 동시에, 메모리 셀하에 포텐셜 베리어로 되는 고 불순물 농도 반도체 영역을 형성하기 위한 불순물을 도입한다.

상기한 수단에 의하면, 채널 스토퍼 영역이 MISFET의 채널 영역으로 스며나오는 것을 방지할 수 있는 것과 동시에, 메모리셀 영역의 활성화 영역의 하부에 포텐셜 베리어로 되는 고 불순물 농도 반도체 영역을 형성할 수 있으므로, 반도체 기억장치의 전기적 특성 및 신뢰성을 향상할 수가 있다.

[실시예 1]

본 발명의 1 실시예를 다이내믹 RAM의 제조방법에 따라서 설명한다.

제 1 도 내지 제 10 도는, 다이내믹 RAM의 제조공정을 설명하기 위한 도면이며, 영역 A는 메모리 셀 영역의 단면도, 영역 B는 데코더(decoder), 어드레스 버퍼(address buffer), 센스 증폭기(sense amplifier) 등의 주변회로를 구성하는 주변회로 영역의 단면도이다.

제 1 도에 도시하는 것과 같이, p-형 단결정 실리콘으로 되는 반도체 기판(1)의 영역, B에 n-형 웰(well) 영역(3)을 형성하기 위하여, 반도체 기판(1)의 모든 표면을 산화해서 기저막(ground film)으로서의 산화 실리콘 막(2)를 형성한다. 다음에, 레지스트(regist) 막으로 되는 마스크(4)를 형성한다. 마스크(4)는, 영역 B에 있어서 n-형 웰 영역(3)이 형성되는 영역위에서 열려져 있다. 다음에, 이온주입에 의해서 n형 불순물 예를 들면 인(P)를 도입하고, 그후 마스크(4)를 제거하고 반도체 기판(1)을 어닐(anneal)하는 것에 의해서 상기 불순물을 확산하여 n-형 웰 영역(3)을 형성한다.

다음에 제 2 도에 도시하는 것과 같이, 반도체 기판(1)상에, 필드 절연막(9)(제 6 도 참조)를 형성하는 열산화화를 위한 질화 실리콘 막으로 되는 내산화성 마스크(5)를 예를 들면, Chemical Vapor Deposition(이하 CVD라고 약칭한다)에 의해서 형성한다. 다음에 도시하지 않은 레지스트 막으로 되는 마스크를 사용하고 영역 B의 필드 절연막(9)가 형성되는 영역 중, n-형 웰 영역(3)의 표면상의 부분의 내산화성 마스크(5)를 에칭(etching)에 의해서 제거해서 개구(開口)(7)를 형성한다. 개구(7)에서 n-형 웰 영역(3)의 표면의 일부가 노출한다. 내산화 마스크(5)를 개구(7)하기 위해 사용한 상기 도시하지 않은 레지스트막으로 되는 마스크는, 개구(7)를 형성한 후에 제거한다.

다음에, n-형 웰 영역(3)의 표면중 내산화성 마스크(5)에서 노출하고 있는 부분을 산화해서 막 두께가 500Å 정도의 산화 실리콘막(6)을 형성한다. 산화 실리콘막(6)은, 영역 B에 채널 스토퍼 영역

(10)(제 6 도 참조)를 형성하는 이온 주입할때의 마스크로 되며, 또 후에는 필드 절연막(9)의 일부로 된다.

다음에, 제 3 도에 도시하는 것과 같이, 도시하고 있지 않은 레지스트 막으로 되는 마스크를 사용해서, 영역 B에 있어서 마스크(5)중, 제 2 도의 공정으로 제거되지 않고 필드 절연막(9)가 형성되는 영역을 덮고 있는 부분을 에칭에 의해서 제거하여 개구(7)을 크게 한다.

다음에 제 4 도에 도시하는 것과 같이, 마스크(5) 및 산화 실리콘막(6)을 이온주입의 마스크로서, 영역 B에 채널 스톱퍼 영역(10)(제 6 도 참조)을 형성하기 위한 P형 불순물 예를 들면 붕소(B)(8)을 도입한다.

상기 P형 불순물의 주입 에너지는, 예를 들면, 60KeV 정도이다. 이때 영역 A(메모리 셀 영역)에는 채널스톱퍼를 형성하기 위한 상기 P형 불순물이 도입되지 않는다.

이와 같이 본 실시예에서는, 주변회로 영역(영역 B)에는, 필드 절연막(9)을 형성하기 이전에 채널 스톱퍼 영역(10)을 형성하기 위한 불순물(8)을 도입하고 있다.

다음에, 제 5 도에 도시하는 것과 같이, 도시하지 않은 레지스트 막으로 되는 마스크를 사용해서, 영역 A의 필드 절연막(9)가 형성되는 영역상의 내산화성 마스크(질화 실리콘막)(5)를 에칭에 의해서 제거해서 영역 A에 개구(7)를 형성한다. 이 개구(7)에서 영역 A의 표면이 노출한다. 상기 도시하지 않은 레지스트 막으로 되는 마스크는 에칭 후에 제거한다.

다음에 제 6 도에 도시하는 것과 같이, 영역 A 및 영역 B에 있어서, 내산화 마스크(5)에서 노출하고 있는 반도체 기판(1)의 표면 및 n-형 웰 영역(3)의 표면을 열산화하여, 산화 실리콘막으로 되는 필드 절연막(9)를 형성한다. 상기 필드 절연막(9)의 막 두께는 4500Å 정도로 한다. 또 제 6 도에는 도시하지 않았으나, 상기 n-형 웰 영역(3)의 표면의 열산화에 의해 형성된 필드 절연막(9)의 막 두께는, 4500Å 보다 조금 두껍게 되어 있다. 이 열산화시에 영역 B에 도입해둔 P형 불순물 예를 들면 붕소(B)가 확산되어, 영역 B에 도입해둔 P형 채널 스톱퍼 영역(10)이 형성된다. 여기에서는 영역 A에는 채널 스톱퍼 영역(10)은 형성되지 않는다.

필드 절연막(9)를 형성한 후에, 질화 실리콘막으로 되는 내산화 마스크(5)를 제거한다.

다음에 제 7 도에 도시하는 것과 같이, 영역 A에 채널 스톱퍼 영역(10)을 형성하는 이온주입을 위해, 레지스트막으로 되는 마스크(11)을 영역 B에 형성한다.

메모리 셀 어레이(array) 영역 즉, 영역 A의 전부가 마스크 11로부터 노출하고 있다. 다음에, P형 불순물 예를 들면 붕소(B)를 상기 필드 절연막(9)를 통하는 이온주입에 의해서 영역 A에 도입하고, 또 어닐하는 것에 의해, 채널 스톱퍼 영역(10A) 및 P형 반도체 영역(10B)를 동시에 형성한다. 주입 에너지는 200KeV 정도, 도우즈(dose) 양은 5×10^{12} atoms/cm² 정도로 한다. 또, 상기 어닐은 도입된 P형 불순물의 확산 및 활성화를 도모하기 위해 행해지고 있다.

이온 주입후에, 레지스트막으로 되는 마스크(11)을 제거한다.

채널 스톱퍼 영역(10A) 및 P형 반도체 영역(10B)를 형성하기 위한 불순물은, 영역 A의 필드 절연막(9)를 관통해서 그 하부의 반도체 기판(1)의 표면에 도입된다.

또, 반도체 기판(1)의 필드 절연막(9)에서 노출하고 있는 주변부에서는 농도분포의 피크(peak)가 반도체 기판(1)의 표면에서 5000Å 정도 하부에 오도록, 필드 절연막(9)의 하부에 도입된 불순물보다 반도체 기판(1)내의 깊은 부분에 도입된다.

이와 같이, 메모리 셀 영역 즉, 영역 A에서는, 필드 절연막(9)를 형성한 후에 채널 스톱퍼 영역(10A)를 형성하도록 하고 있다. 이렇게 해서, 필드 절연막(9)를 형성하기 위한 열산화시의 열이, 영역 A의 채널 스톱퍼 영역(10A)에 가해지지 않도록 해서 채널 스톱퍼 영역(10A)의 확산을 억제하고 있다.

또, 상기 채널 스톱퍼 영역(10A)와 동시에 형성된 P형 반도체 영역(10B)는, α선이 반도체 기판 1내로 침입하는 것에 의해 발생하는 전자 홀 쌍에 대해서, 포텐셜 베리어로 된다. 또한, 상기 영역 A에 있어서 채널 영역(10A) 및 P형 반도체 영역(10B)를 형성하기 위해 도입된 P형 불순물의 확산 및 활성화를 도모하기 위한 어닐은, 예를 들면 후에 형성되는 MISFET의 소오스, 드레인 영역을 형성하기 위한 불순물의 어닐을 사용해도 좋다. 또, 축적 용량 증가를 위해, 이 P형 불순물의 도입전에 메모리 셀 영역의 필드 절연막(9)를 약간 에칭해서, 채널 스톱퍼 영역(10)(제 6 도)을 갖는 주변회로의 고전압 회로부의 필드 절연막(9)보다도 더욱 막 두께를 얇게 해도 좋다. 상기 에칭에 의해, 메모리 셀 영역의 필드 절연막(9)의 폭을 작게 할 수가 있으므로, 소자 형성 영역을 넓게 할 수가 있고, 따라서 상기 축적용량부의 면적도 넓게 하는 것이 가능하다.

다음에, 제 8 도에 도시하는 것과 같이, 이온 주입등에 의해서 오염된 기저막으로서의 산화 실리콘막(2)을 에칭에 의해 제거하고, 필드 절연막(9)에서 노출하고 있는 반도체기판(1)의 표면을 산화하는 것에 의해, 산화 실리콘막으로 되는 유전체막(12)을 형성한다. 유전체막(12)는 메모리셀의 용량 소자를 구성하기 위한 것이며, 그 막두께는 70Å 정도로 형성된다. 이 공정에서는, 유전체막(12)가 영역 A(메모리 셀 영역) 뿐만 아니라 영역 B(주변회로 영역)에는 형성되어 있다. 다음에 용량소자의 한쪽의 전극인 n+형 반도체 영역(14)를 영역 A의 소정부에 형성하는 이온주입을 위해, 레지스트막으로 되는 마스크(13)를 영역 A의 일부 및 영역 B에 형성한다. 마스크(13)은, 영역 A에 있어서는 선택 MISFET 영역을 덮고, 영역 B에 있어서는 전영역을 덮고 있다. 다음에, 영역 A의 마스크(13)에서 노출하고 있는 반도체 기판(1)의 표면에 n형 불순물 예를 들면 비소(As)를 이온주입에 의해 도입하고, 또 질소(N₂) 분위기중에서 어닐하는 것으로 n+형 반도체 영역(14)를 형성한다.

상기 n형 불순물(As)의 주입 에너지는 89keV 정도, 도우즈량은, 2×10^{14} atoms/cm² 정도로 한다.

이 이온주입후에, 레지스트막으로 되는 마스크(13)를 제거한다.

다음에 제 9 도에 도시하는 것과 같이, 용량소자의 다른쪽의 전극인 도전판(15)를 형성하기 위하여, 예를 들면 CVD에 의해서 영역 A 및 영역 B의 전역에 다결정 실리콘막을 형성한다. 이 다결정 실리콘막을 도시하지 않은 레지스트 막으로 되는 마스크를 사용한 에칭에 의해서 패터닝해서 도전판(15)를 형성한다.

상기 에칭에 사용한(도시하지 않음) 레지스트막으로 되는 마스크는, 도전판(15)를 형성한 후에 제거한다.

다음에, 다결정 실리콘막으로 되는 도전판(15)가 노출하고 있는 표면을 산화해서, 산화 실리콘막으로 되는 절연막(16)을 형성한다. 다음에, 필드 절연막(9) 및 절연막(16)에서 노출하고 있는 유전체막(12)를 제거해서 반도체 기판(1)의 표면을 노출시켜, 이 노출한 표면을 산화해서 산화 실리콘막으로 되는 게이트 절연막(17)을 형성한다. 상기 게이트 절연막(17)의 막 두께는 200Å 정도로 형성한다. 다음에, 예를 들면 CVD에 의해서 반도체 기판(1)상의 전역에 다결정 실리콘막을 형성하고, 이것을 도시하지 않은 레지스트막으로 되는 마스크를 사용한 에칭에 의해서 패터닝해서 영역 A에 게이트 전극(18) 및 워드선 WL, 영역 B에 게이트 전극(18)을 형성한다. 또한, 게이트 전극(18) 및 워드선 WL은, Mo, W, Ta, Ti 등의 고용점 금속막 또는 그 고용점 금속의 실리사이드(silicide)막으로 형성해도 좋고, 또는 다결정 실리콘 막의 위에 상기 고용점 금속막 또는 실리사이드막을 적층한 다층막으로 구성해도 좋다.

다음에 제 10 도에 도시하는 것과 같이 영역 A 및 영역 B에 N채널 MISFET의 소오스, 드레인 영역의 일부인 n형 반도체 영역(19), 산화 실리콘막으로 되는 사이드 웰 스페이서(side wall spacer)(20), N채널 MISFET의 소오스, 드레인 영역의 일부인 n+형 반도체 영역(21), P채널 MISFET의 소오스, 드레인 영역인 P⁺형 반도체 영역(22), 예를 들면 CVD에 의한 인 실리게이트 글라스(phospho silicate glass)(PSG)막으로 되는 절연막(23), 접속 홀(24), 예를 들면 스퍼터(sputter)에 의해 알루미늄막으로 되는 데이타선 DL 및 도전층(25)을 형성한다. 주변회로의 제조방법에 대해서는, 1985년 5월 8일 출원한 미국 특허 731,975에 기재되어 있다. 또 메모리 셀부의 NMOS는 주변회로의 NMOS와 마찬가지로의 프로세스(process)로 형성된다.

이상의 설명과 같이, 영역 A에 있어서는, 필드 절연막(9)를 형성한 후에, 채널 스토퍼 영역(10A)를 형성하기 위한 P형 불순물 예를 들면 붕소(B)를 도입하고 있는 것에 의해, 채널 스토퍼 영역(10A)의 채널 영역으로의 스며나움이 저감된다. 이것에 의해, 메모리 셀의 선택 MISFET의 임계값을 저감할 수 있으므로, 리드(read)와 라이트(write)의 고속화를 도모할 수 있다.

또, 영역 A에 있어서, 용량소자의 한쪽의 전극인 n+형 반도체 영역(14)의 하부의 P형 반도체 영역(10B)는, 반도체 기판(1)중의 소수 캐리어(carrier)의 베리어로 된다. 또, P형 반도체 영역형성을 위해 이온 주입된 불순물은 제 11 도에 도시하는 것과 같이 반도체 기판 표면에서 0.5μm의 위치를 중심으로 분포하고 있기 때문에 n+형 반도체 영역(14)와의 PN 접합용량을 높이고 있다.

필드 절연막(9)의 버어즈 비이크(Bird's beak)부에 있어서, 반도체 기판(1)의 표면의 P형 채널 스토퍼 영역(10A)의 불순물 농도는, 필드 절연막(9)의 버어즈 비이크부 이외의 표면의 P형 채널 스토퍼 영역(10A)의 불순물 농도보다 작게 된다. 버어즈 비이크 부에서는, P형 불순물의 농도의 피크가 반도체 기판(1)의 표면보다 깊은 부분으로 오기 때문이다.

따라서, n+형 반도체 영역(14)와, P형 채널 스토퍼 영역(10A)의 접합 내압은, 같은 농도의 불순물을 필드 절연막 형성전에 이온주입해서 채널 스토퍼를 형성한 경우에 비해서 높게 된다.

또, P형 반도체 영역(10B)는, 선택 MISFET의 소오스, 드레인 영역인 n형 반도체 영역(19) 및 n+형 반도체 영역(21)의 하부에도 마련되어 있다. 이것은 n형 반도체 영역(19) 또는 n+형 반도체 영역(21)에 침입하는 소수 캐리어의 베리어로 된다.

한편, 영역 B에 있어서는, N채널 MISFET의 소오스, 드레인 영역인 n형 반도체 영역(19) 및 n+형 반도체 영역(21)의 하부에 P형 반도체 영역(10B)를 형성하고 있지 않다. 이것에 의해, 영역 B에 있어서 N채널 MISFET의 소오스, 드레인 영역의 접합용량의 증가를 억제할 수가 있으므로, 고속화가 가능하다.

또한, 제 7 도에 도시한 P형 채널 스토퍼 영역(10A) 및 P형 반도체 영역(10B)를 형성하기 위한 이온 주입은, 2회에 나누어서 행하도록 해도 좋다. 예를 들면 1회째의 이온주입을 200KeV 정도로 행하고, 2회째의 이온주입을 300KeV 정도로 행하도록 해도 좋다.

이와 같이 하는 것에 의해, 농도 프로파일이 급준하게 되는 것을 방지할 수가 있다.

또, 제 7 도에 도시한 공정후, 레지스트막으로 되는 마스크(11)를 제거하고, 새롭게 용량소자 영역만을 노출하는 패턴의 레지스트막으로 되는 마스크를 반도체 기판(1)상에 형성하고, 재차 P형 불순물을 용량소자영역에 도입하도록 해도 좋다. 이와 같이 하면, 용량소자 영역에 있어서, n+형 반도체 영역(14)의 하부의 P형 반도체 영역(10B)의 불순물 농도의 농도분포의 조정을 도모할 수가 있다.

또, 제 7 도에 도시한 공정후에, 마스크(11)를 제거하고, 새롭게 영역 A의 필드 절연막(9)만을 노출하는 레지스트막으로 되는 마스크를 반도체 기판(1)상에 형성하고, 재차 영역 A의 필드 절연막(9)의 하부에 P형 불순물을 도입하도록 해도 좋다. 이와 같이 하면, 영역 A에 있어서 채널 스토퍼 영역(10A)의 불순물 농도의 조정을 도모할 수가 있다.

[실시예 2]

제 12 도는 실시예 2의 다이내믹 RAM의 메모리 셀의 평면도이고, 제 13 도는 제 12 도의 A-A 절단선에 있어서의 단면도, 제 14 도는 제 12 도의 B-B 절단선에 있어서의 단면도이다. 또한, 제 12 도는

메모리 셀의 구성을 보기 쉽게 하기 위해, 필드 절연막(9) 이외의 절연막을 도시하지 않는다.

본 실시예에서는, 메모리 셀의 선택 MISFET의 측부, 즉 워드선 WL의 하부에 대응하는 필드 절연막(9A)는 4500Å 정도로 두껍게 하고, 용량소자와 용량소자의 사이의 필드 절연막(9B)는 2500~3000Å 정도로 얇게 하고 있다.

본 실시예에 있어서 P형 채널 스토퍼 영역(10A)은, 실시예 1과 마찬가지로 필드절연막(9)를 형성한 후, 불순물을 도입하는 방법으로 형성한다.

두꺼운 필드 절연막(9A)의 하부에 있어서 반도체 기판(1)의 표면에 P형 채널 스토퍼 영역(10A)의 농도 프로파일의 피크가 오도록 설정하면, 얇은 필드 절연막(9B)의 하부에 있어서 P형 채널 스토퍼 영역(10A)의 표면 불순물 농도가 내려가지만, 셀 사이의 분리를 손상하지 않는 정도로 할 수가 있다. 이것은 레지스트막으로 되는 마스크를 사용하지 않고, 한번의 이온 주입으로 행할 수 있다.

얇은 필드 절연막(9B)의 하부의 P형 채널 스토퍼 영역(10A)의 농도가 낮게 되기 때문에, PN 접합 내압을 높게 유지하면서 분리영역 폭을 저감하고 축적용량을 확보할 수가 있다.

이상 본 발명을 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능하다는 것은 말할 것도 없다.

예를 들면 본 발명은, 스테이틱 RAM(S-RAM)에 적용해도 좋고, 또 마스크 ROM, EPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable and Programmable ROM)에 적용해도 좋다.

또, 게이트 전극 18 및 워드선 WL은 Mo, W, Ta, Ti 등의 고용점 금속막 또는 그 실리사이드막에 의해서 구성해도 좋고, 또는 다결정 실리콘막의 위에 상기 고용점 금속막 또는 실리사이드막을 적층한 다층막으로 구성해도 좋다. 이렇게 하는 것에 의해서, P형 채널 스토퍼 영역(10A)를 형성하기 위한 P형 불순물이 선택 MISFET의 채널 영역하에 들어가기 어렵게 되므로 임계값을 내릴 수가 있다.

(57) 청구의 범위

청구항 1

(A) 그의 주면에 제 1 도전형의 제 1 영역과 제 2 영역을 갖는 반도체기판, (B) 상기 제 1 영역 및 상기 제 2 영역의 각각을 둘러싸고 또한 상기 제 1 영역 및 제 2 영역의 각각에 인접하는 영역에 있어서, 상기 반도체 기판의 주면을 선택적으로 열산화하는것에 의해 마련된 분리 산화막, (C) 상기 제 2 영역을 둘러싸고 또한 상기 제 2 영역에 인접하는 상기 반도체 기판의 주면으로써, 상기 분리 산화막의 바닥면에 접촉하도록 마련된 제 1 도전형의 제 1 채널 스토퍼 영역, (D) 상기 제 1 영역을 둘러싸고 또한 상기 제 1 영역에 인접하는 상기 반도체 기판의 주면으로써, 상기 분리 산화막의 바닥면에 접촉하도록 마련된 제 1 도전형의 제 2 채널 스토퍼 영역, (E) 상기 제 1 영역에 있어서, 상기 반도체 기판중에 마련되고, 상기 제 2 채널 스토퍼영역과 일체이고 또한 상기 제 1 영역보다 불순물 농도가 높은 제 1 도전형의 제 1 반도체 영역, (F) 상기 제 1 영역에 마련된 메모리셀을 구성하는 제 1 MISFET, (G) 상기 제 2 영역에 마련된 주변회로를 구성하는 제 2 MISFET를 포함하고, 상기 제 1 채널 스토퍼 영역은 상기 분리 산화막을 형성하기 이전에 제 1 도전형의 제 1 불순물을 상기 제 1 영역을 둘러싸고 또한 상기 제 1 영역에 인접하는 상기 반도체 기판의 주면에 도입하는 일 없이 상기 제 2 영역을 둘러싸고 또한 상기 제 2 영역에 인접하는 상기 반도체 기판의 주면에 선택적으로 도입하는 것에 의해 마련되고, 상기 제 2 채널 스토퍼 영역은 상기 분리 산화막을 형성한 후에, 상기 분리 산화막을 통해서 제 1 도전형의 제 2 불순물을 상기 제 1 영역을 둘러싸고 또한 상기 제 1 영역에 인접하는 상기 반도체 기판의 주면에 도입하는 것에 의해 마련되고, 상기 제 1 반도체 영역은 상기 제 2 채널 스토퍼 영역형성을 위한 상기 제 2 불순물 도입과 동시에 제 1 도전형의 제 2 불순물을 상기 제 1 영역의 주면에도 도입하는 것에 의해 마련되고, 상기 제 1 반도체 영역은 상기 제 2 채널 스토퍼 영역보다도 상기 반도체 기판의 주면으로부터 깊은 위치에 형성된 것을 특징으로 하는 반도체 기억장치.

청구항 2

제 1 항에 있어서, 상기 제 1 MISFET는 상기 제 1 영역에 형성된 게이트 절연막과 그 위의 게이트 도체층을 갖고, 상기 게이트 도체층은 상기 제 1 영역을 둘러싸고 또한 상기 제 1 영역에 인접하는 상기 분리 산화막상으로 연장하는 것을 특징으로 하는 반도체 기억장치.

청구항 3

제 2 항에 있어서, 상기 제 2 MISFET는 상기 제 2 영역에 형성된 게이트 절연막과 그 위의 게이트 도체층을 갖고, 상기 게이트 도체층은 상기 제 2 영역을 둘러싸고 또한 상기 제 2 영역에 인접하는 상기 분리 산화막상으로 연장하는 것을 특징으로 하는 반도체 기억장치.

청구항 4

제 1 항에 있어서, 상기 제 1 도전형의 제 1 반도체 영역은 알파선이 상기 반도체 기판 중에 침입하는 것에 의해 발생한 전자 출사에 대한 포텐션 배리어 영역인 것을 특징으로 하는 반도체 기억장치.

청구항 5

제 1 항에 있어서, 상기 제 2 채널 스토퍼 영역은 상기 제 1 영역과 상기 분리 산화막의 경계부에 있어서, 상기 분리 산화막에서 격리되어 마련되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 6

제 1 항에 있어서, 상기 제 1 도전형의 제 1 반도체 영역의 불순물 농도의 정점은 상기 반도체 기판

의 표면에서 0.5 μ m의 깊이 위치에 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 7

제 1 항에 있어서, 상기 반도체 기억장치는 또 용량소자를 포함하고, 상기 용량소자는 상기 메모리셀을 구성하는 상기 제 1 MISFET에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 8

제 1 항에 있어서, 상기 제 1 도전형의 제 1 불순물 및 상기 제 1 도전형의 제 2 불순물의 각각은 이온주입법으로 도입되고, 상기 제 1 도전형의 제 2 불순물의 주입 에너지는 상기 제 1 도전형의 제 1 불순물의 주입에너지보다 높은 것을 특징으로 하는 반도체 기억장치.

청구항 9

제 1 항에 있어서, 상기 제 1 도전형은 P형인 것을 특징으로 하는 반도체 기억장치.

청구항 10

제 1 항에 있어서, 상기 제 1 MISFET는 상기 제 1 영역에 마련된 게이트 절연막, 상기 게이트 절연막상에 마련된 게이트 도체층 및 상기 게이트 도체층의 양측의 상기 제 1 영역에 마련된 제 2 도전형의 한쌍의 반도체층을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 11

제 10 항에 있어서, 상기 반도체 기억장치는 또 상기 제 2 도전형의 한쌍의 반도체층의 한쪽에 전기적으로 접속하는 용량소자를 포함하고, 상기 제 1 MISFET와 상기 용량소자에 의해 구성되는 상기 메모리셀을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 12

제 11 항에 있어서, 상기 메모리셀은 DRAM셀인 것을 특징으로 하는 반도체 기억장치.

청구항 13

제 11 항에 있어서, 상기 제 2 도전형의 한쌍의 반도체층의 다른쪽은 상기 게이트 도체층과 상기 제 1 영역을 둘러싸고 또한 상기 제 1 영역에 인접하는 분리 산화막에 대해서 자기정합으로 마련되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 14

제 13 항에 있어서, 상기 제 2 도전형은 N형인 것을 특징으로 하는 반도체 기억장치.

청구항 15

(A) 제 1 도전형의 주면을 갖는 반도체 기판의 제 1 영역 및 제 2 영역을 덮도록 내산화성막을 선택적으로 형성하고, 상기 내산화성막에 대해서 자기정합이고 또한 상기 제 2 영역을 둘러싸고 또한 상기 제 2 영역에 인접하는 영역의 상기 반도체 기판의 주면에만 제 1 반도체영역을 형성하기 위해 제 1 도전형의 제 1 불순물을 도입하는 공정, (B) 상기 공정(A) 후에, 상기 내산화성막으로부터 노출하는 상기 반도체 기판의 주면을 열산화하는 것에 의해 상기 제 1 영역과 상기 제 2 영역의 각각을 둘러싸고 또한 상기 제 1 영역과 상기 제 2 영역에 인접하는 영역에 분리 산화막을 선택적으로 형성하는 공정, (C) 상기 공정(B) 후에, 상기 분리 산화막을 통해서 상기 제 1 영역을 둘러싸고 또한 상기 제 1 영역에 인접하는 영역에 제 1 도전형의 제 2 불순물을 도입하는 것에 의해 상기 제 1 영역을 둘러싸고 또한 상기 제 1 영역에 인접하는 영역의 상기 분리 산화막의 하부에 상기 제 1 영역의 반도체 기판의 주면보다 불순물 농도가 높은 제 1 도전형의 제 2 반도체 영역을 형성하고, 상기 제 1 영역에 상기 제 1 도전형의 제 2 불순물을 동시에 도입하는 것에 의해 상기 제 1 영역의 상기 반도체 기판의 주면에 상기 제 1 영역의 상기 반도체 기판의 주면보다 불순물 농도가 높은 제 1 도전형의 제 3 반도체 영역을 동시에 형성하는 공정, (D) 상기 제 1 영역의 반도체 기판 주면에 제 1 게이트 절연막을 형성하고, 상기 제 2 영역의 반도체 기판 주면에 제 2 게이트 절연막을 형성하는 공정, (E) 상기 제 1 게이트 절연막상에 제 1 게이트 도체층을 형성하고, 상기 제 2 게이트 절연막상에 제 2 게이트 도체층을 형성하는 공정, (F) 상기 제 1 게이트 도체층과 상기 분리 산화막에 의해 규정된 상기 제 1 영역 및 상기 제 2 게이트 도체층과 상기 분리 산화막에 의해 규정된 상기 제 2 영역의 각각에 제 2 도전형의 제 3 불순물을 도입하고 상기 제 1 영역의 반도체 기판 주면에 제 2 도전형의 제 4 반도체 영역을 형성하고 또한 상기 제 2 영역의 반도체 기판 주면에 제 2 도전형의 제 5 반도체 영역을 형성하는 공정을 포함하고, 상기 제 1 게이트 절연막과 상기 제 1 게이트 도체층과 상기 제 4 반도체 영역은 메모리셀을 구성하는 제 1 MISFET를 구성하고, 상기 제 2 게이트 절연막과 상기 제 2 게이트 도체층과 상기 제 5 반도체 영역은 주변 회로를 구성하는 제 2 MISFET를 구성하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 16

제 15 항에 있어서, 상기 공정(C)에 앞서서, 상기 제 2 영역상을 덮는 마스크층을 형성하는 공정을 또 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 17

제 15 항에 있어서, 상기 내산화성막은 질화 실리콘막인 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 18

제 15 항에 있어서, 상기 공정(A)의 상기 제 1 도전형의 제 1 불순물 및 상기 공정(C)의 상기 제 1 도전형의 제 2 불순물의 각각은 이온 주입법으로 도입되고, 상기 공정(C)의 상기 제 2 불순물의 이온 주입 에너지는 상기 공정(A)의 상기 제 1 불순물의 이온 주입 에너지보다 높은 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 19

제 15 항에 있어서, 상기 공정(B)의 분리 산화막을 형성한 후에 또한 상기 공정(C)의 상기 제 1 도전형의 상기 제 2 불순물을 도입하기 이전에 상기 반도체 기판의 주변에서 상기 내산화성막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 20

제 15 항에 있어서, 상기 제 1 도전형은 P형이고, 상기 제 2 도전형은 N형인 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 21

제 15 항에 있어서, 상기 제 1 영역의 반도체 기판 주변상에 상기 제 2 도전형의 상기 제 4 반도체 영역에 전기적으로 접속하는 용량소자를 형성하는 공정을 포함하고, 상기 제 1 MISFET와 상기 용량소자에 의해 구성되는 상기 메모리셀을 형성하는 공정을 또 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 22

제 21 항에 있어서, 상기 용량소자를 형성하는 공정은 상기 제 2 도전형의 상기 제 4 반도체 영역의 표면에 유전체막을 형성하는 공정과 상기 유전체막상에 도체층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 23

제 22 항에 있어서, 상기 메모리셀은 DRAM셀인 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 24

제 15 항에 있어서, 상기 제 4 반도체 영역은 상기 제 1 MISFET의 소오스 및 드레인 영역의 어느 한 쪽인 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 25

제 15 항에 있어서, 상기 제 5 반도체 영역은 상기 제 2 MISFET의 소오스 및 드레인 영역의 어느 한 쪽인 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 26

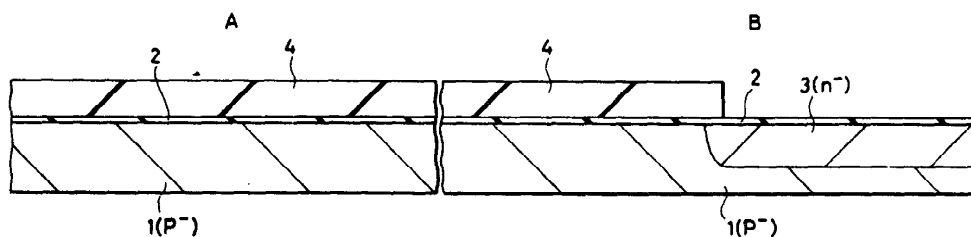
제 15 항에 있어서, 상기 제 2 영역을 둘러싸고 또한 상기 제 2 영역에 인접하는 영역에 마련된 상기 분리 산화막은 상기 제 2 영역을 평면적으로 둘러싸도록 형성되고, 상기 제 1 반도체 영역은 상기 제 2 영역을 둘러싸고 또한 상기 제 2 영역에 인접하는 영역에 마련된 상기 분리 산화막의 바닥면에 접촉하도록 형성되고 또한 주변회로의 채널 스톱퍼 영역으로써 형성되는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 27

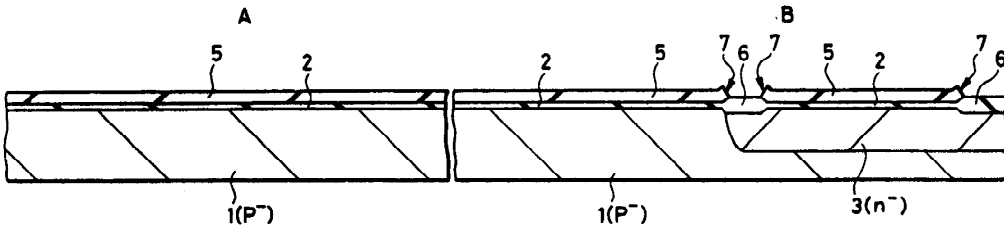
제 15 항에 있어서, 상기 제 1 영역을 둘러싸고 또한 상기 제 1 영역에 인접하는 영역에 마련된 상기 분리 산화막은 상기 제 1 영역을 평면적으로 둘러싸도록 형성되고, 상기 제 2 반도체 영역은 상기 제 1 영역을 둘러싸고 상기 제 1 영역이 인접하는 영역에 마련된 상기 분리 산화막의 바닥면에 접촉하도록 형성되고 또한 메모리셀의 채널 스톱퍼 영역으로써 형성되는 것을 특징으로 하는 반도체 기억장치의 제조방법.

도면

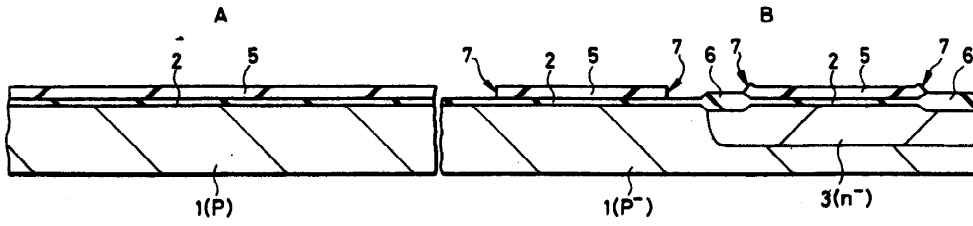
도면1



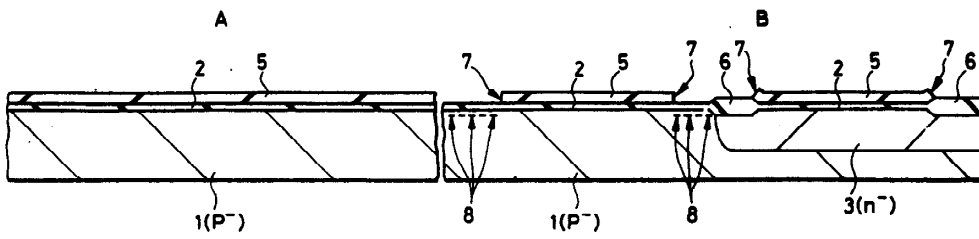
도면2



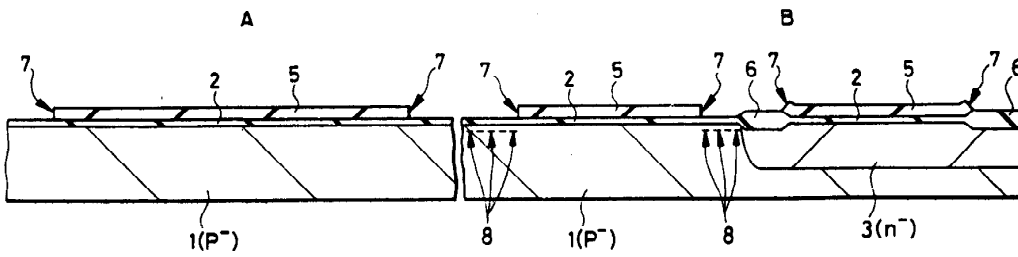
도면3



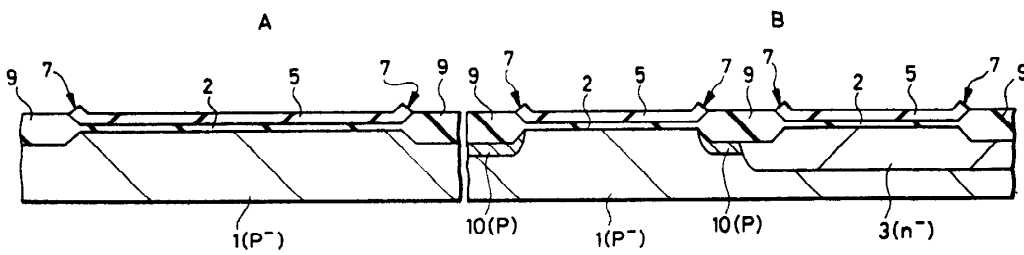
도면4



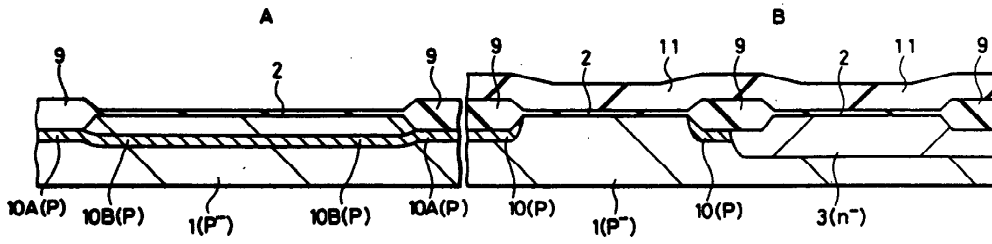
도면5



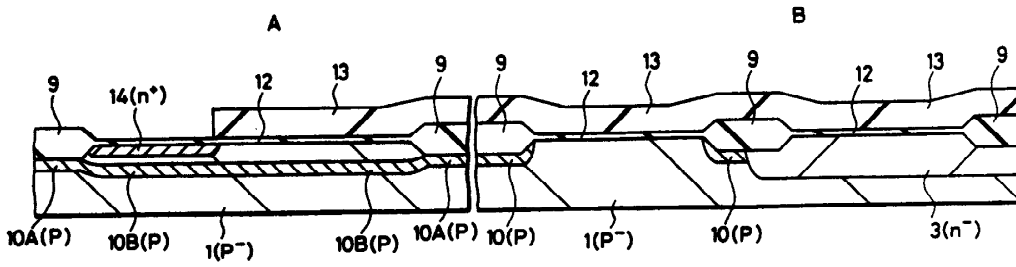
도면6



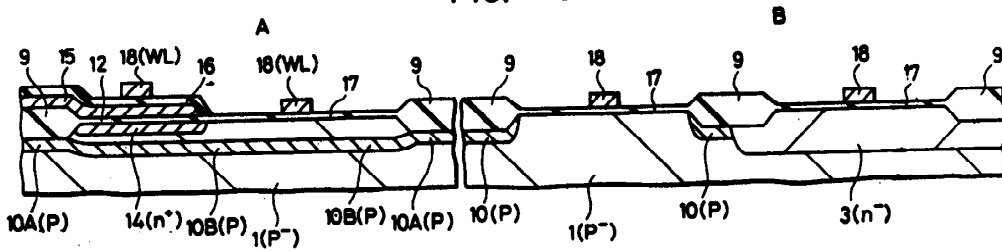
도면7



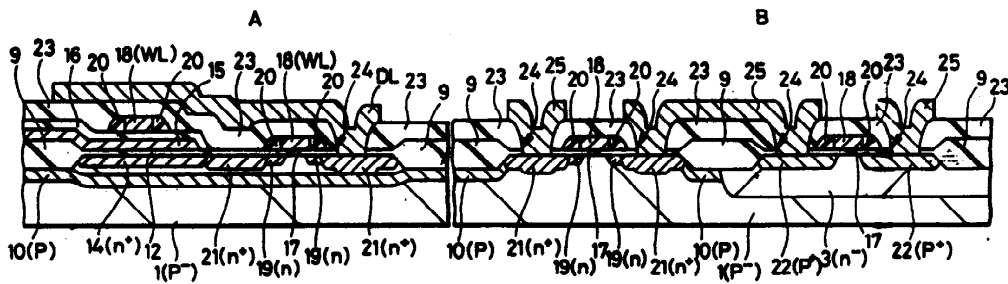
도면8



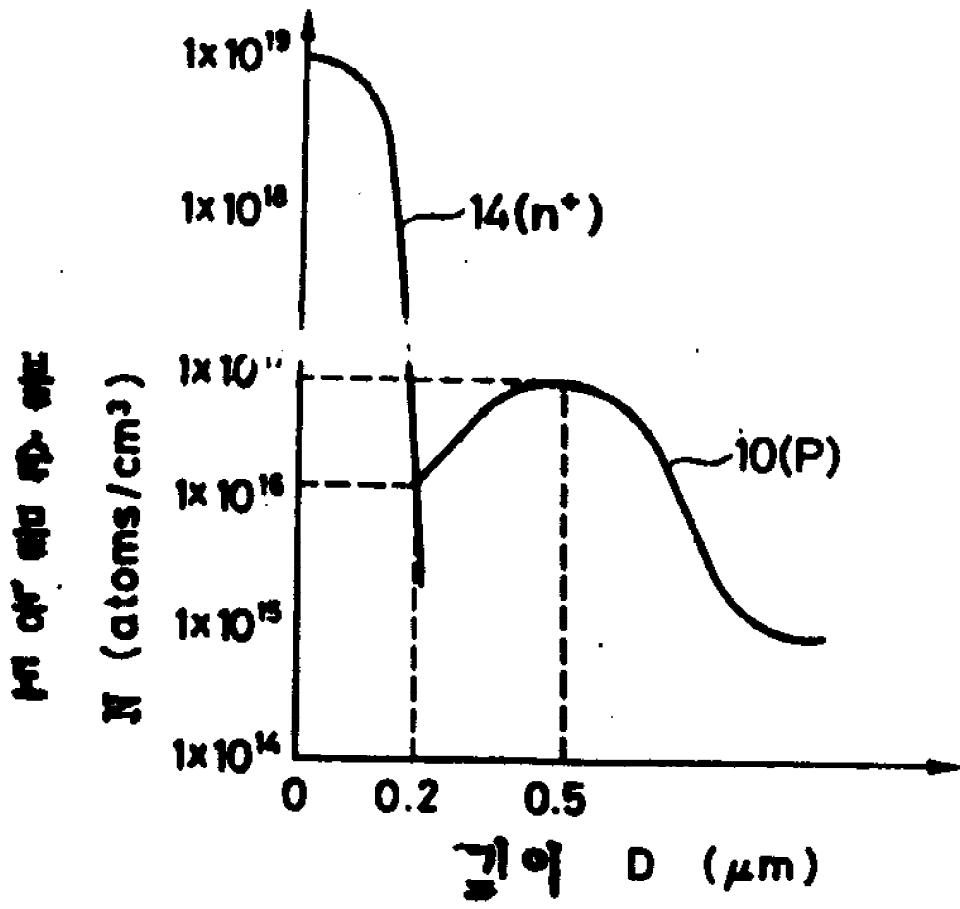
도면9



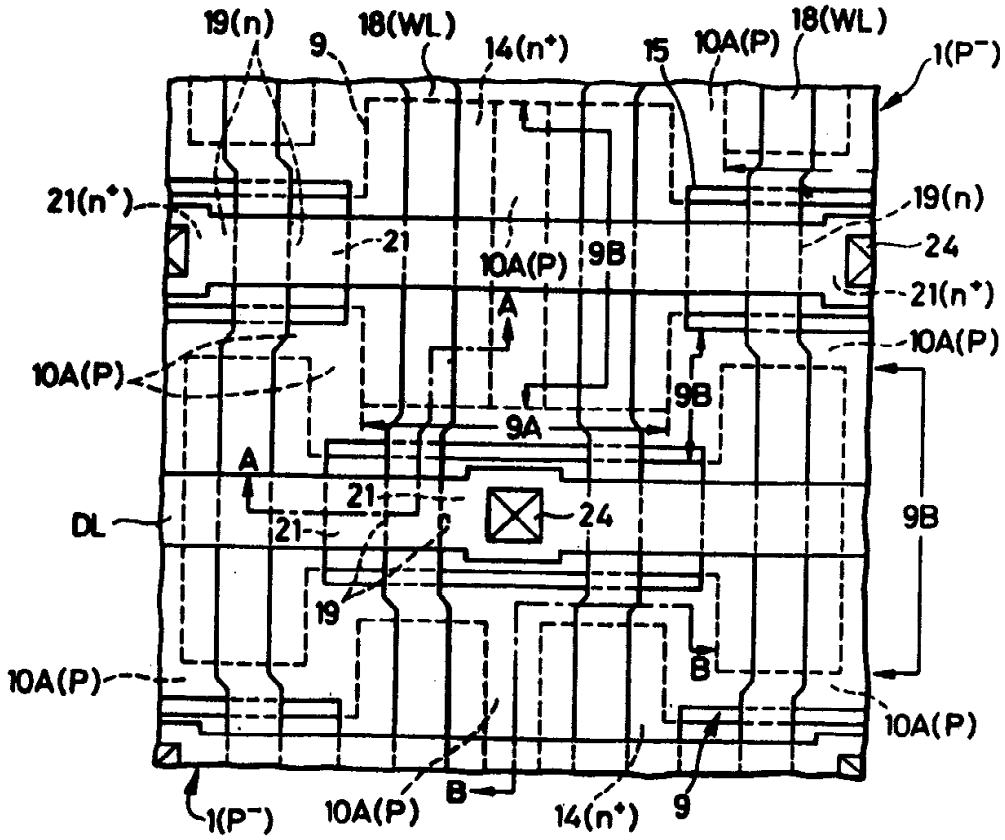
도면10



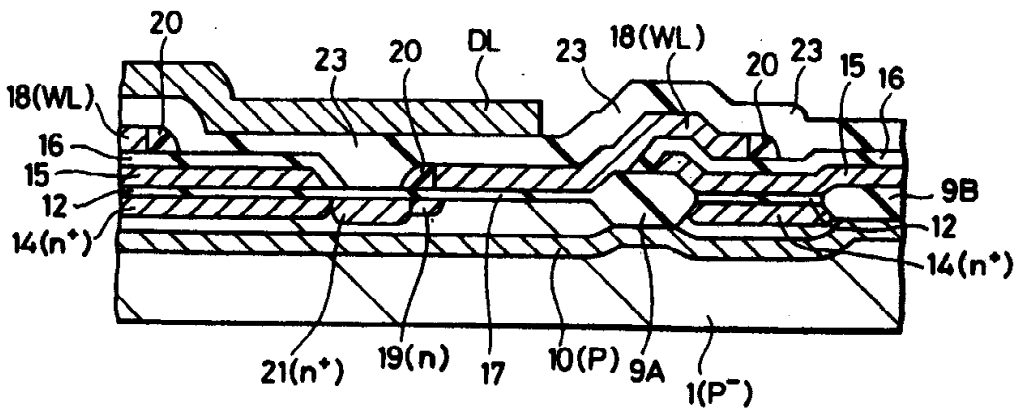
도면11



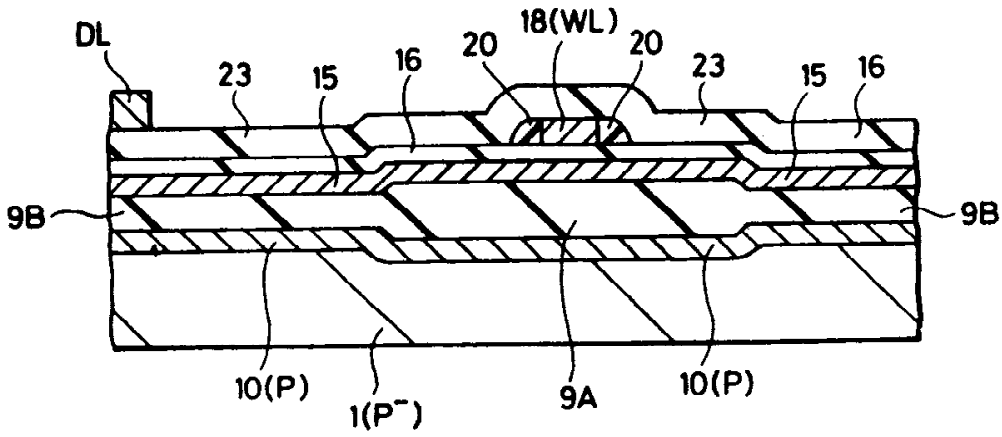
도면12



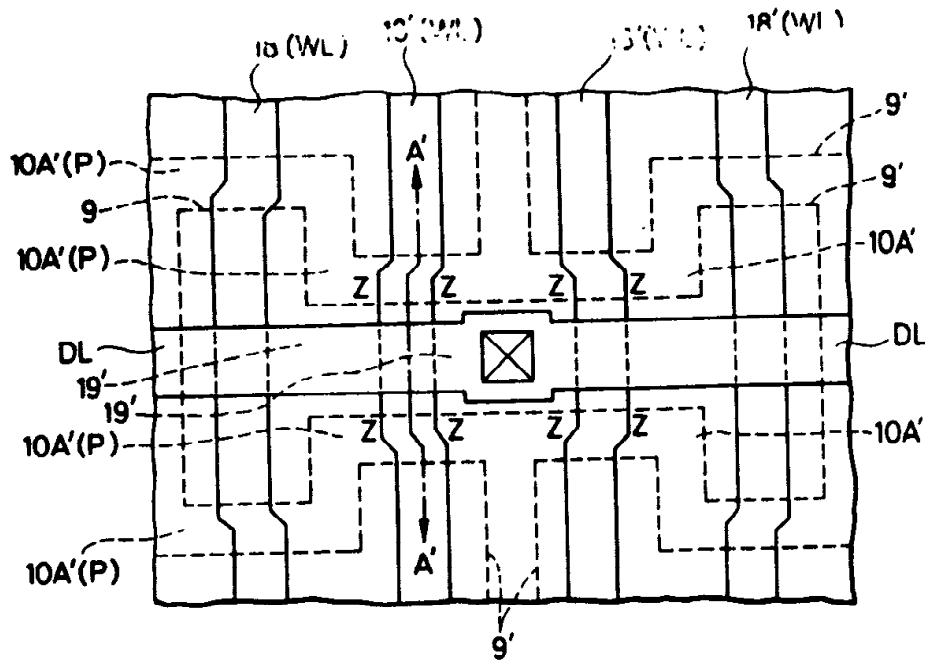
도면13



도면 14



도면 15



도면 16

