(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0112773
(43) 공개일자 2009년10월29일

(51) Int. Cl.
H01L 23/12 (2006.01)
(21) 출원번호 10-2008-0038462
(22) 출원일자 2008년04월25일
심사청구일자 2008년04월25일

(71) 출원인
앰코 테크놀로지 코리아 주식회사
광주 북구 대촌동 957
(72) 발명자
김동인
광주 북구 대촌동 앰코테크놀로지코리아(주) 기숙사 6동 216호
김승환
서울 관악구 신림동 94-179 102호
(뒷면에 계속)
(74) 대리인
백남훈, 이학수

전체 청구항 수 : 총 4 항

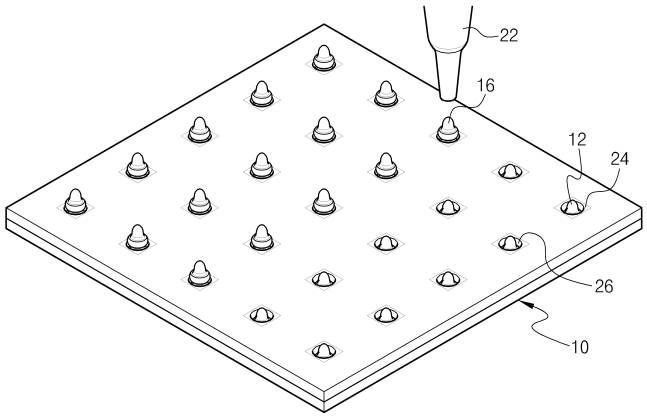
(54) 적층 칩 패키지의 칩 적층 방법

(57) 요 약

본 발명은 적층 칩 패키지의 칩 적층 방법에 관한 것으로서, 더욱 상세하게는 하나 이상의 반도체 칩을 스터드 범프를 이용하여 서로 전기적 신호 교환 가능하게 적층시킬 수 있도록 한 적층 칩 패키지의 칩 적층 방법에 관한 것이다.

이를 위해, 본 발명은 본딩패드를 갖는 복수개의 반도체 칩을 구비하는 제1단계와; 상기 복수개의 반도체 칩중 가장 아래쪽에 배치될 제1반도체 칩의 본딩패드에 제1스터드 범프를 형성하는 제2단계와; 상기 제1반도체 칩 위에 적층될 제2반도체 칩의 본딩패드 부위에 관통홀을 형성하는 제3단계와; 상기 제2반도체 칩의 관통홀내에 상기 제1반도체 칩에 형성된 제1스터드 범프가 삽입되게 하여, 상기 제1반도체 칩 위에 제2반도체 칩을 적층시키는 제4단계와; 상기 제2반도체 칩의 관통홀내에 삽입된 제1스터드 범프 위에 제2스터드 범프를 일체로 형성하는 제5단계; 로 이루어지되, 상기 제2단계에서 제5단계를 반복하여, 가장 위쪽에 제n반도체 칩이 적층되고, 이 제n반도체 칩의 관통홀에 제n스터드 범프가 형성되도록 한 것을 특징으로 하는 적층 칩 패키지의 칩 적층 방법을 제공한다.

대 표 도 - 도3



(72) 발명자

나석호

광주 광산구 월계동 첨단3차 우미아파트 305동 412호

김진영

광주 북구 두암동 부영아파트 101동 904호

특허청구의 범위

청구항 1

본딩패드를 갖는 복수개의 반도체 칩을 구비하는 제1단계와;

상기 복수개의 반도체 칩중 가장 아래쪽에 배치될 제1반도체 칩의 본딩패드에 제1스터드 범프를 형성하는 제2단계와;

상기 제1반도체 칩 위에 적층될 제2반도체 칩의 본딩패드 부위에 관통홀을 형성하는 제3단계와;

상기 제2반도체 칩의 관통홀내에 상기 제1반도체 칩에 형성된 제1스터드 범프가 삽입되게 하여, 상기 제1반도체 칩 위에 제2반도체 칩을 적층시키는 제4단계와;

상기 제2반도체 칩의 관통홀내에 삽입된 제1스터드 범프 위에 제2스터드 범프를 일체로 형성하는 제5단계; 로 이루어지되,

상기 제2단계에서 제5단계를 반복하여, 가장 위쪽에 제n반도체 칩이 적층되고, 이 제n반도체 칩의 관통홀에 제n스터드 범프가 형성되도록 한 것을 특징으로 하는 적층 칩 패키지의 칩 적층 방법.

청구항 2

청구항 1에 있어서, 상기 제1스터드 범프 내지 제n스터드 범프는 와이어 본딩용 캐필러리에 의하여 형성되는 것을 특징으로 하는 적층 칩 패키지의 칩 적층 방법.

청구항 3

청구항 1 또는 청구항 2에 있어서, 상기 제1스터드 범프 내지 제n스터드 범프의 상단 일부는 상기 관통홀의 위쪽으로 돌출되도록 한 것 특징으로 하는 적층 칩 패키지의 칩 적층 방법.

청구항 4

청구항 1에 있어서, 상기 제1반도체 칩 내지 제n반도체 칩에 형성된 본딩패드는 가로 및 세로방향을 따라 다수개가 등간격을 이루며 형성된 것을 특징으로 하는 적층 칩 패키지의 칩 적층 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 적층 칩 패키지의 칩 적층 방법에 관한 것으로서, 더욱 상세하게는 하나 이상의 반도체 칩을 스터드 범프를 이용하여 서로 전기적 신호 교환 가능하게 적층시킬 수 있도록 한 적층 칩 패키지의 칩 적층 방법에 관한 것이다.

배 경 기 술

<2> 반도체 집적회로의 패키징 기술중 3차원 적층 기술에 대한 개발은 전자소자의 크기를 줄이는 동시에 실장 밀도를 높이며 그 성능을 향상시킬 수 있는 목표를 두고 발전되어 왔다.

<3> 3차원 적층 기술은 크게 패키징되지 않은 베어 칩(Bare Chip)을 적층하고 이들을 접속시키는 방법과, 칩을 패키징한 다음 접속시키는 방법, 반도체 칩들을 멀티 칩 모듈(MCM; Multi Chip Module)로 조립한 다음 적층하는 방법 등으로 나눌 수 있으며, 이러한 3차원 적층 패키지는 동일한 기억 용량의 칩을 복수개 적층한 패키지로서, 이를 통상 적층 칩 패키지(Stack Chip Package)라 한다.

<4> 적층 칩 패키지의 기술은 단순화된 공정으로 패키지의 제조 단가를 낮출 수 있으며, 또한 대량 생산 등의 잇점이 있는 반면, 적층되는 칩의 수 및 크기 증가에 따른 패키지 내부의 전기적 연결을 위한 배선 공간이 부족하다는 단점이 있다.

<5> 즉, 기존의 적층 칩 패키지는, 기판의 칩부착영역에 복수개의 칩이 부착된 상태에서, 각 칩의 본딩패드와 기판

의 전도성회로패턴간이 와이어로 통전 가능하게 연결된 구조로 제조됨에 따라, 와이어 본딩을 위한 공간이 필요하고, 또한 와이어가 연결되는 기판의 회로패턴 면적이 필요하여, 결국 반도체 패키지의 크기가 증가되는 단점이 있다.

<6> 이러한 점을 감안하여, 스택 패키지의 한 예로 관통 실리콘 비아(Through silicon via;이하, TSV)를 이용한 구조가 제안되었는 바, 칩 내에 TSV를 형성해서 상기 TSV에 의해 수직으로 칩들간 물리적 및 전기적 연결이 이루어지도록 한 구조이며, 그 종래의 제조 과정을 간략하게 살펴보면 다음과 같다.

<7> 먼저, 웨이퍼 레벨에서 각 칩의 소정 부위에 수직 홀을 형성하고, 이 수직 홀의 표면에 절연막을 형성한다.

<8> 상기 절연막 상에 씨드 금속막을 형성한 상태로, 상기 수직 홀 내에 전해도금 공정을 통해 전해 물질, 즉 전도성 금속을 매립해서 TSV를 형성한다.

<9> 다음으로, 웨이퍼의 후면을 백그라인딩(back grinding)하여 상기 TSV를 노출시킨다.

<10> 이어서, 웨이퍼를 쏘잉하여 개별 칩들로 분리시킨 후, 기판 상에 적어도 둘 이상의 칩을 TSV를 이용해서 수직으로 쌓아올린 후, 스택된 칩들을 포함한 기판 상면을 몰딩하고, 기판 하면에 솔더볼을 마운팅하여 스택 패키지를 완성하게 된다.

<11> 그러나, 상기와 같이 반도체 칩에 관통 실리콘 비아 즉, TSV를 형성하는 종래의 방법은 그 과정이 매우 복잡하여, 공정수 증가 및 작업성이 크게 떨어지는 단점이 있고, 공정수 및 각종 재료의 소요로 인해 제조 비용이 많이 소요되는 단점이 있다.

발명의 내용

해결 하고자하는 과제

<12> 본 발명은 상기와 같은 점을 감안하여 안출한 것으로서, 복수개의 반도체 칩을 적층함에 있어서, 반도체 칩의 본딩패드에 관통홀을 관통 형성하고, 이 관통홀에 캐필러리에 의한 스터드 범프가 채워지게 하는 간단한 방식으로 반도체 칩을 적층함으로써, 공정이 단순하여 비용절감 및 공수절감을 실현할 수 있고, 칩간의 전기적 접속이 용이하게 이루어질 수 있도록 한 적층 칩 패키지의 칩 적층 방법을 제공하는데 그 목적이 있다.

과제 해결수단

<13> 상기한 목적을 달성하기 위한 본 발명은: 본딩패드를 갖는 복수개의 반도체 칩을 구비하는 제1단계와; 상기 복수개의 반도체 칩중 가장 아래쪽에 배치될 제1반도체 칩의 본딩패드에 제1스터드 범프를 형성하는 제2단계와; 상기 제1반도체 칩 위에 적층될 제2반도체 칩의 본딩패드 부위에 관통홀을 형성하는 제3단계와; 상기 제2반도체 칩의 관통홀내에 상기 제1반도체 칩에 형성된 제1스터드 범프가 삽입되게 하여, 상기 제1반도체 칩 위에 제2반도체 칩을 적층시키는 제4단계와; 상기 제2반도체 칩의 관통홀내에 삽입된 제1스터드 범프 위에 제2스터드 범프를 일체로 형성하는 제5단계; 로 이루어지되, 상기 제2단계에서 제5단계를 반복하여, 가장 위쪽에 제n반도체 칩이 적층되고, 이 제n반도체 칩의 관통홀에 제n스터드 범프가 형성되도록 한 것을 특징으로 하는 적층 칩 패키지의 칩 적층 방법을 제공한다.

<14> 바람직한 구현예로서, 상기 제1스터드 범프 내지 제n스터드 범프는 와이어 본딩용 캐필러리에 의하여 형성되는 것을 특징으로 한다.

<15> 이때, 상기 제1스터드 범프 내지 제n스터드 범프의 상단 일부는 상기 관통홀의 위쪽으로 돌출되도록 한 것 특징으로 한다.

<16> 또한, 상기 제1반도체 칩 내지 제n반도체 칩에 형성된 본딩패드는 가로 및 세로방향을 따라 다수개가 등간격을 이루며 형성된 것을 특징으로 한다.

효 과

<17> 상기한 과제 해결 수단을 통하여, 본 발명은 다음과 같은 효과를 제공할 수 있다.

<18> 칩 적층형 패키지를 구성하는 복수개의 반도체 칩을 적층함에 있어서, 가장 아래쪽 반도체 칩을 제외하고, 그 위에 적층되는 복수의 반도체 칩에 관통홀을 관통 형성하고, 이 관통홀에 캐필러리에 의한 전도성 스터드 범프를 채워지게 하는 간단한 방법으로, 각 반도체 칩 상호간의 전기적인 접속이 용이하게 이루어질 수 있다.

<19> 또한, 기존의 TSV를 이용한 칩 적층 방법이 매우 복잡한 공정으로 진행되었지만, 본 발명에 따른 칩 적층은 각 반도체 칩에 관통홀을 형성하고, 이 관통홀에 스터드 범프를 삽입시키는 간단한 방법으로 이루어지므로, 공정이 단순하여 비용절감 및 공수절감을 실현할 수 있다.

발명의 실시를 위한 구체적인 내용

<20> 이하, 본 발명의 바람직한 실시예를 첨부도면을 참조로 상세하게 설명하기로 한다.

<21> 본 발명은 칩 적층형 패키지를 제조함에 있어서, 다수개의 칩을 전기적 접속 가능하게 적층하되, 기존의 TSV를 이용한 복잡한 방법과 달리, 간단한 방식으로 칩간의 전기적 접속을 용이하게 실현시킬 수 있는 칩 적층 방법을 제공하고자 한 것이다.

<22> 이를 위한, 본 발명의 칩 적층 방법을 순서대로 설명하면 다음과 같다.

<23> 첨부한 도 1 내지 도 4는 본 발명에 따른 적층 칩 패키지의 칩 적층 방법을 순서대로 나타낸 사시도이다.

<24> 도 1 내지 도 4에 도시된 바와 같이, 가로 및 세로 방향을 따라 등간격을 이루며 다수의 본딩패드가 형성된 복수개의 반도체 칩 즉, 원하는 적층 갯수의 반도체 칩을 구비한다.

<25> 도 1을 참조하면, 먼저 복수개의 반도체 칩중 가장 아래쪽에 배치되는 제1반도체 칩(10)의 각 본딩패드에 제1스터드 범프(12)를 형성한다.

<26> 상기 제1스터드 범프(12)와, 하기에 설명되는 제2스터드 범프(16) 내지 제n 스터드 범프(20)는 와이어 본딩을 위한 캐필러리(22)를 이용하여 형성하게 된다.

<27> 본 발명의 이해를 돕기 위하여, 상기 캐필러리 및 그 동작을 간략하게 설명하면 다음과 같다.

<28> 반도체 패키지를 제조함에 있어서, 기판에 탑재된 반도체 칩의 본딩패드와 기판의 본딩영역간을 전기적 신호 교환 가능하게 와이어(골드 또는 구리와이어)로 연결하는 수단이 캐필러리이며, 이 캐필러리는 와이어 본더 장비에 설치되어 소정의 좌표대로 이송하며 와이어 본딩을 실시하게 된다.

<29> 상기 캐필러리에 의한 와이어 본딩시, 반도체 칩의 본딩패드에 와이어를 연결하는 본딩을 볼 본딩(1차 본딩이라고도 함)이라 하고, 기판의 본딩영역에 행하는 본딩을 스티치 본딩(2차 본딩이라고도 함)이라 하며, 이러한 볼 본딩과 스티치 본딩은 연속 구분 동작으로 이루어진다.

<30> 좀 더 상세하게는, 상기 볼 본딩은 캐필러리의 끝단으로 인출된 와이어에 방전에 의하여 열을 가하여 볼 형태로 만들어주는 동시에 이 볼 형태의 와이어가 칩의 본딩패드에 본딩되는 과정을 말하며, 상기 스티치 본딩(stitch)은 상기 캐필러리가 기판의 본딩영역으로 이동하는 동시에 기판의 본딩영역에 와이어를 부착시키면서 끊어주는 동작으로 이루어진다.

<31> 이러한 캐필러리를 본 발명에 적용할 수 있는 바, 상기 제1반도체 칩(10)의 각 본딩패드(24)에 제1스터드 범프(12)를 형성하는 과정과, 후술하는 바와 같이 제2스터드 범프(16) 내지 제n스터드 범프(20)를 형성하는 과정이 캐필러리(22)에 의하여 진행될 수 있다.

<32> 즉, 상기 캐필러리(22)의 끝단에 인출된 와이어를 볼 형태로 만들어주는 동시에 위쪽으로 약간 당긴 다음, 와이어를 끊어주는 과정을 통해, 상기 제1~n스터드 범프를 용이하게 형성할 수 있다.

<33> 이때, 첨부한 도 5에 도시된 바와 같이, 상기 제1스터드 범프(12)의 상단 일부는 위쪽으로 돌출되는 형상이 되도록 한다.

<34> 다음으로, 상기 제1반도체 칩(10) 위에 적층될 제2반도체 칩(14)의 본딩패드(24) 부위에 관통홀(26)을 형성하는 바, 이 관통홀(26)의 형성 방법은 기계적인 가공 방법도 가능하지만 화학적 에칭 방법을 이용하여 형성하는 것이 칩 보호를 위해 바람직하다.

<35> 이어서, 상기 제1반도체 칩(10) 위에 제2반도체 칩(14)을 적층시키되, 제2반도체 칩(14)의 관통홀(26)내에 상기 제1반도체 칩(10)에 형성된 제1스터드 범프(12)가 삽입되도록 함으로써, 상기 제1반도체 칩(10)에 대한 제2반도체 칩(14)의 적층이 이루어진다.

<36> 이때, 상기 제1스터드 범프(12)의 외둘레면이 상기 제2반도체 칩(14)의 관통홀(26) 내벽면에 접촉되지 않으면 제1 및 제2반도체 칩(10,14) 상호간의 전기적인 접속이 이루어지지 않을 수 있다.

<37> 따라서, 상기 제2반도체 칩(14)의 관통홀(26)내에 삽입된 제1스터드 범프(12) 위에 다시 캐필러리(22)에 의한 제2스터드 범프(16)가 일체로 적층 형성되며, 이때 제2스터드 범프(16)의 일부는 상기 제1스터드 범프(12)의 외둘레면과 상기 제2반도체 칩(14)의 관통홀(26) 내벽면 사이에 채워지게 되어, 결국 제1 및 제2반도체 칩(10,14) 상호간의 전기적인 접속이 이루어지게 된다.

<38> 상기와 같이, 상기 제1 및 제2반도체 칩(10,14)을 적층하는 방법을 동일하게 반복함으로써, 원하는 갯수의 반도체 칩 즉, 제n반도체 칩(18)을 용이하게 적층할 수 있다.

<39> 최종적으로, 칩 적층을 마치게 되면 가장 위쪽에 제n반도체 칩(18)이 적층되고, 이 제n반도체 칩(18)의 관통홀(26)에 제n스터드 범프(20)가 돌출 형성되는 상태가 된다.

<40> 이와 같이, 칩 적층형 패키지를 제조하기 위하여 복수개의 반도체 칩을 적층함에 있어서, 가장 아래쪽 반도체 칩을 제외하고, 그 위에 적층되는 복수의 반도체 칩에 관통홀을 관통 형성하고, 이 관통홀에 캐필러리에 의한 전도성 스터드 범프를 채워지게 하는 간단한 방법으로, 각 반도체 칩 상호간의 적층 및 전기적인 접속이 용이하게 이루어질 수 있다.

도면의 간단한 설명

<41> 도 1 내지 도 4는 본 발명에 따른 적층 칩 패키지의 칩 적층 방법을 순서대로 나타낸 사시도,

<42> 도 5는 본 발명에 따른 칩 적층 방법에서, 캐필러리에 의하여 형성되는 스터드 범프 형상을 보여주는 사시도.

<43> <도면의 주요 부분에 대한 부호의 설명>

<44> 10 : 제1반도체 칩 12 : 제1스터드 범프

<45> 14 : 제2반도체 칩 16 : 제2스터드 범프

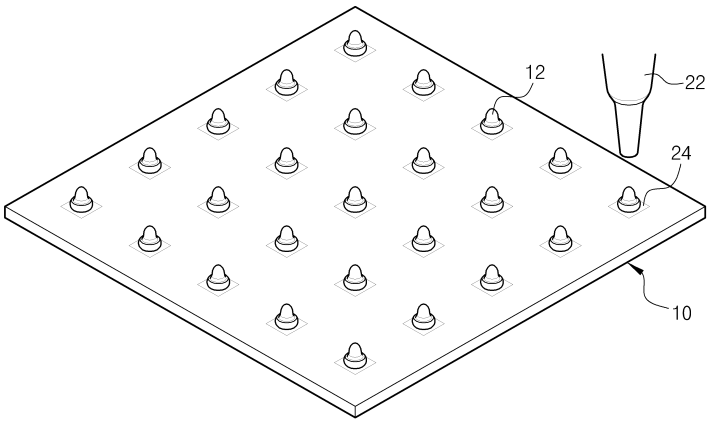
<46> 18 : 제n반도체 칩 20 : 제n스터드 범프

<47> 22 : 캐필러리 24 : 본딩패드

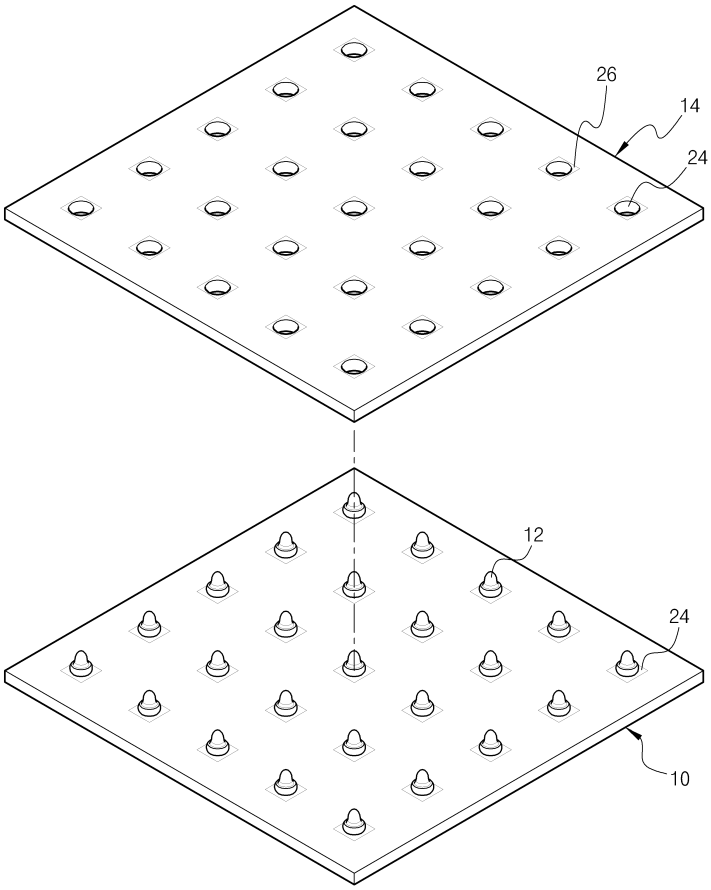
<48> 26 : 관통홀

도면

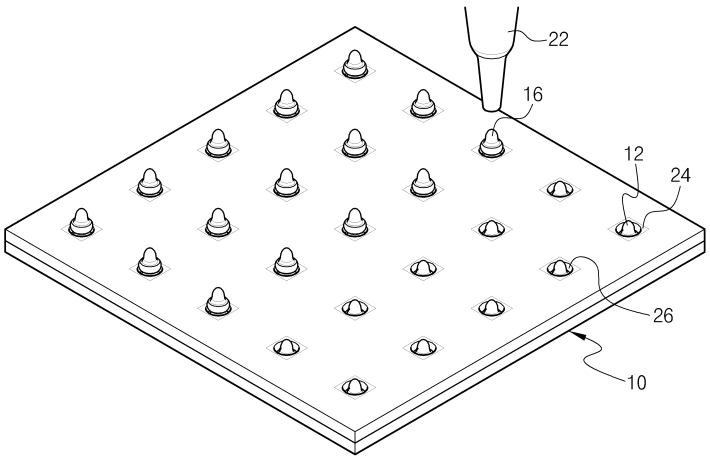
도면1



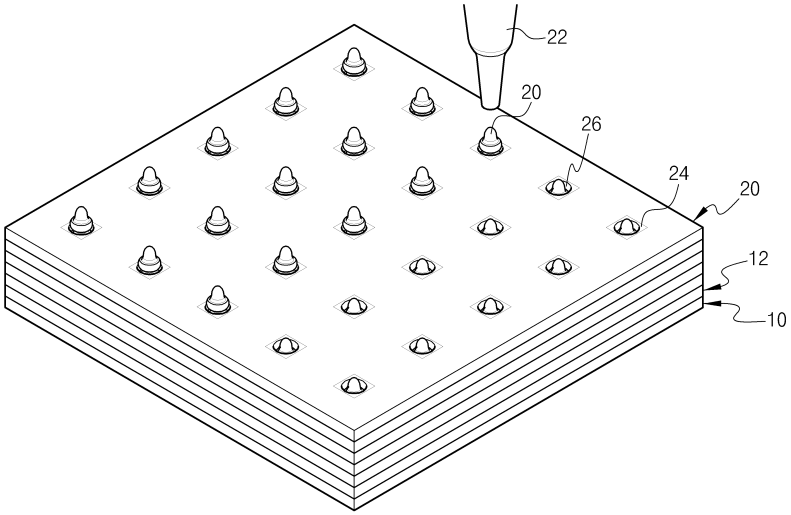
도면2



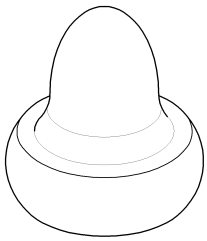
도면3



도면4



도면5



- 스터드 범프 형상 -