



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 198 41 996 B4** 2004.02.12

(12)

Patentschrift

(21) Aktenzeichen: **198 41 996.1**
(22) Anmeldetag: **04.09.1998**
(43) Offenlegungstag: **16.03.2000**
(45) Veröffentlichungstag
der Patenterteilung: **12.02.2004**

(51) Int Cl.7: **H01L 23/50**
H01L 21/60

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(71) Patentinhaber:
Siemens AG, 80333 München, DE

(72) Erfinder:
Galuschki, Klaus-Peter, Dr., 12526 Berlin, DE;
Hacke, Hans-Jürgen, Dipl.-Ing., 81475 München, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 56 56 863
US 55 54 887
US 54 77 087
US 52 81 604
EP 06 90 490 A2
JP 02-1 80 036 A
JP 9-17795 A, In: Patent Abstracts of Japan;

(54) Bezeichnung: **Halbleiterbauelement im Chip-Format und Verfahren zu seiner Herstellung**

(57) Hauptanspruch: Halbleiterbauelement im Chip-Format mit einem Chip (1), der

- auf mindestens einer Oberfläche mindestens eine erste Isolierschicht (3) und von dieser Isolierschicht (3) freie elektrische Anschlußflächen (2) aufweist, mit
- auf der ersten Isolierschicht (3) verlaufenden Leiterbahnen (5), die
- jeweils von den elektrischen Anschlußflächen (2) zu Fußbereichen äußerer Anschlüsselemente (16) führen und jeweils ein Sockelteil (8) der äußeren Anschlüsselemente (16) bilden, mit
- jeweils einer säulenartigen Erhebung (9) aus einem leitfähigen Polymer auf den Sockelteilen (8) der äußeren Anschlüsselemente (16), mit
- einer Kupferschicht (13) auf dem Kopf (12) jeder säulenartigen Erhebung (9) und mit
- jeweils einem mindestens außen metallenen Kügelchen (15) auf der Kupferschicht (13) jeder säulenartigen Erhebung (9).

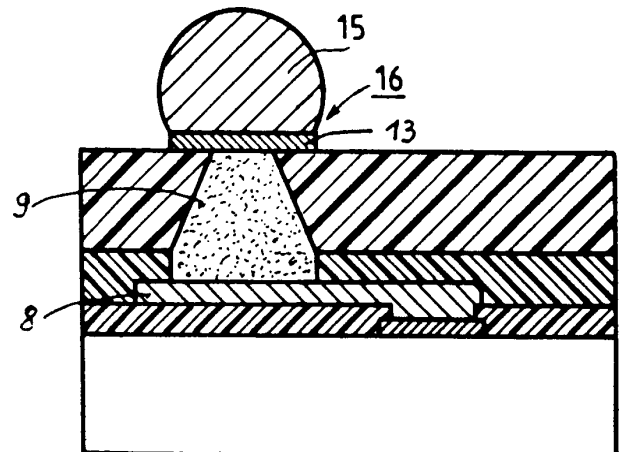


Fig. 11

Beschreibung

Stand der Technik

[0001] Aus der US-Patentschrift 5 281 684 ist ein sogenanntes Chipsize-Halbleiterbauelement bekannt, also ein Halbleiterbauelement im Chip-Format, das sich dadurch auszeichnet, daß es in seinen flächigen Abmessungen im wesentlichen denen des Chips entspricht und nur in der Höhe größer als der Chip ist. Bei dem bekannten Halbleiterbauelement sind die äußeren Anschlüsse oberhalb der Oberfläche des eigentlichen Chip angebracht, indem der Chip auf einer Oberfläche eine Passivierungsschicht und von dieser Schicht freie elektrische Anschlußflächen aufweist; mit diesen elektrischen Anschlußflächen ist die innerhalb des Chips angeordnete Elektronik elektrisch verbunden. Auf der Passivierungsschicht verlaufen Leiterbahnen, die von den elektrischen Anschlußflächen ausgehen und an Fußpunkten äußerer Anschlußelemente unter Bildung von Sockelteilen der äußeren Anschlußelemente enden. Die Leiterbahnen sind aufgedruckt; als Druckwerkstoff ist ein Polymer mit Kupferpartikeln verwendet. Die äußeren Anschlußelemente weisen bei dem bekannten Halbleiterbauelement jeweils eine Lotkugel auf, die aus einer auf die Sockelteile aufgebrachten Lotschicht durch Umschmelzen gebildet sind. Die äußeren Anschlußelemente in Form der Lotkugeln sind dabei so angeordnet, wie es dem Raster von Lötunkten auf einer gedruckten Leiterplatte entspricht. Das bekannte Halbleiterbauelement kann daher ohne weiteres durch Löten auf eine gedruckte Leiterplatte aufgebracht werden.

[0002] Es ist ferner ein Halbleiterbauelement im Chip-Format mit einem Chip bekannt (US-Patentschrift 5,656,863), der auf mindestens einer Oberfläche mindestens eine erste Isolierschicht und von dieser Isolierschicht freie elektrische Anschlußflächen aufweist. Auf der ersten Isolierschicht verlaufen Leiterbahnen, die jeweils von den elektrischen Anschlußflächen zu Fußbereichen äußerer Anschlußelemente führen und jeweils ein Sockelteil der äußeren Anschlußelemente bilden. Auf den Sockelteilen befindet sich jeweils eine säulenartige Erhebung aus Kupfer. Auf dem Kopf jeder säulenartigen Erhebung ruht ein Kügelchen aus einem Lötwerkstoff.

Aufgabenstellung

[0003] Der Erfindung liegt die Aufgabe zugrunde, ein Halbleiterbauelement im Chip-Format vorzuschlagen, das eine vergleichsweise gute mechanische Entkopplung von einer gedruckten Leiterplatte ermöglicht, wenn das Halbleiterbauelement auf die Leiterplatte aufgelötet ist.

[0004] Der Erfindung liegt ferner die Aufgabe zugrunde, ein Verfahren zum Herstellen eines Halbleiterbauelementes im Chip-Format anzugeben, mit dem sich auf vergleichsweise einfache Weise Halb-

leiterbauelemente herstellen lassen, die gute mechanische Entkopplungseigenschaften aufweisen.

[0005] Die erstgenannte Aufgabe wird erfindungsgemäß durch ein Halbleiterbauelement im Chip-Format mit einem Chip gelöst, der auf mindestens einer Oberfläche mindestens eine erste Isolierschicht und von dieser Isolierschicht freie elektrische Anschlußflächen aufweist, mit auf der ersten Isolierschicht verlaufenden Leiterbahnen, die jeweils von den elektrischen Anschlußflächen zu Fußbereichen äußerer Anschlußelemente führen und jeweils ein Sockelteil der äußeren Anschlußelemente bilden, mit jeweils einer säulenartigen Erhebung aus einem leitfähigen Polymer auf den Sockelteilen der äußeren Anschlußelemente, mit einer Kupferschicht auf dem Kopf jeder säulenartigen Erhebung und mit jeweils einem mindestens außen metallenen Kügelchen auf der Kupferschicht jeder säulenartigen Erhebung.

Stand der Technik

[0006] Es ist zwar aus der europäischen Patentanmeldung EP 0 690 490 A2 bekannt, einen sogenannten Flip-Chip mit säulenartigen Erhebungen aus einem leitfähigen Polymer zur Kontaktierung mit Anschlußstellen auf einem Substrat, z. B. einer gedruckten Leiterplatte, zu versehen, jedoch sind hierbei die säulenartigen Erhebungen unmittelbar auf den elektrischen Anschlußflächen des Flip-Chip angeordnet und die Verbindung zwischen den säulenartigen Erhebungen und den Anschlußstellen auf dem Substrat erfolgt unmittelbar durch Polymerisation infolge Erwärmung.

[0007] Ein wesentlicher Vorteil des erfindungsgemäßen Halbleiterbauelementes ergibt sich durch die säulenartigen Erhebungen auf den Sockelteilen, weil diese Erhebungen aus dem leitfähigen Polymer vergleichsweise gute elastische Eigenschaften aufweisen, so daß beispielsweise durch eine Erwärmung eines aus einer gedruckten Leiterplatte und dem Halbleiterbauelement gebildeten Verbundes mit einhergehenden thermomechanischen Beanspruchungen diese Beanspruchungen von den Verbindungsstellen zwischen dem Halbleiterbauelement und der Leiterplatte ferngehalten werden. Darüber hinaus hat diese Ausführungsform den Vorteil, daß wegen der Anbringung einer Kupferschicht auf dem Kopf jeder säulenartigen Erhebung mindestens außen metallene Kügelchen unterschiedlicher Ausführung auf mannigfaltige Weise angebracht werden können.

[0008] Bei einer vorteilhaften Ausgestaltung des erfindungsgemäßen Halbleiterbauelementes mit Metallschichten auf den säulenartigen Erhebungen befindet sich auf den Leiterbahnen und auf der mindestens einen ersten Isolierschicht eine weitere Isolierschicht, in die die säulenartigen Erhebungen unter Freilassung ihres Kopfes eingebettet sind, und die Kupferschicht liegt den Kopf der säulenartigen Erhebungen jeweils überkragend auch auf der weiteren Isolierschicht auf. Bei dieser Ausgestaltung lassen

sich die säulenartigen Erhebungen relativ schlank und damit elastisch ausführen und dennoch ausreichend große Kügelchen bilden.

[0009] Die mindestens außen metallene Kügelchen können unterschiedlich ausgeführt sein; beispielsweise können es Vollmetall-Kügelchen, z. B. Lotkügelchen sein. Bei einer besonders vorteilhaften Ausführungsform des erfindungsgemäßen Halbleiterbauelementes sind die mindestens außen metallenen Kügelchen metallisierte Kunststoffkügelchen. Derartige Kügelchen zeichnen sich durch eine hohe Elastizität aus, so daß sie ganz wesentlich zur mechanischen Entkopplung des Halbleiterbauelementes von einer mit dem Halbleiterbauelement bestückten, gedruckten Leiterplatte beitragen. An sich ist es aus der US-Patentschrift 5,477,087 und der JP 2-180036 A bekannt, zur Verbindung von Halbleiterbauelementen mit Leiterplatten Anschlußelemente zu verwenden, die einen Kunststoffkern mit Metallüberzug aufweisen, jedoch sind diese Anschlußelemente über eine Metallschicht mit der Anschlußfläche des Chips verbunden.

[0010] Bei dem erfindungsgemäßen Halbleiterbauelement sind in allen oben beschriebenen Ausführungsformen die Leiterbahnen durch Strukturieren einer Dünnschichtmetallisierung auf den freien elektrischen Anschlußflächen und der ersten Isolierschicht gebildete Strombahnen. Vorteilhaft daran ist, daß sich damit vergleichsweise fein strukturierte Leiterbahnen herstellen lassen, was bei durch Drucken erzeugten Leiterbahnen nicht möglich ist.

[0011] Eine Lösung der zweitgenannten Aufgabe besteht in einem Verfahren, bei dem auf mindestens eine Oberfläche des Chips mindestens eine erste Isolierschicht unter Freilassung elektrischer Anschlußflächen aufgebracht wird, auf die mindestens eine erste Isolierschicht von den elektrischen Anschlußflächen zu jeweils einem Fußbereich äußerer Anschlußelemente führende und jeweils ein Sockelteil der äußeren Anschlußelemente bildende Leiterbahnen aufgebracht werden, auf den Sockelteilen der äußeren Anschlußelemente säulenartige Erhebungen aus einem leitfähigen Polymer gebildet werden, auf den Kopf jeder säulenartigen Erhebung eine Kupferschicht aufgebracht wird und auf der Kupferschicht jeder säulenartigen Erhebung ein mindestens außen metallenes Kügelchen angebracht wird.

[0012] Ein wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß mit ihm Halbleiterbauelemente mit mechanischen Entkopplungseigenschaften auf vergleichsweise einfache Weise hergestellt werden können, weil das Anbringen der säulenartigen Erhebungen aus dem leitfähigen Polymer verhältnismäßig einfach verfahrenstechnisch durchgeführt werden kann und metallene Kügelchen unterschiedlicher Ausführung auf mannigfaltige Weise angebracht werden können.

[0013] Besonders vorteilhaft wegen des relativ geringen Fertigungsaufwandes läßt sich dieses Verfahren dann durchführen, wenn nach dem Erzeugen der

säulenartigen Erhebungen unter Bildung einer weiteren Isolierschicht ein Kleber oder eine Klebefolie aufgetragen wird, und auf die weitere Isolierschicht und den Kopf der säulenartigen Erhebungen eine Kupferfolie aufgebracht wird; die Kupferfolie wird unter Bildung der einzelnen Metallschichten auf den säulenartigen Erhebungen strukturiert.

[0014] Bei dem erfindungsgemäßen Verfahren lassen sich unterschiedlich ausgeführte, mindestens außen metallene Kügelchen auf verschiedene Weise auf die Kupferschichten aufbringen. Als besonders vorteilhaft wird es wegen der guten Ausführbarkeit angesehen, wenn als mindestens außen metallene Kügelchen vorgefertigte Kügelchen verwendet werden und die Kügelchen auf die Kupferschichten aufgelötet oder leitend aufgeklebt werden.

[0015] In gleicher Weise vorteilhaft erscheint es, wenn auf die Kupferschichten eine Lotschicht aufgebracht wird und durch Umschmelzen aus der Lotschicht jeweils ein Lotkügelchen auf dem Kopf der säulenartigen Erhebungen erzeugt wird.

[0016] Weil es sich bei dem erfindungsgemäßen Verfahren besonders gut durchführen läßt, werden die säulenartigen Erhebungen durch Aufdrucken des leitenden Polymer erzeugt.

[0017] Ferner erscheint es vorteilhaft, wenn auf die freien elektrischen Anschlußflächen und auf die erste Isolierschicht eine Dünnschichtmetallisierung aufgebracht wird und durch Strukturieren der Dünnschichtmetallisierung die Leiterbahnen gebildet werden.

[0018] Ferner wird es wegen der guten Praktikabilität als vorteilhaft angesehen, wenn die Verfahrensschritte an einem Wafer durchgeführt werden und nach dem Aufbringen der mindestens außen metallenen Kügelchen ein Zertrennen des Wafers unter Gewinnung der Halbleiterbauelemente erfolgt.

[0019] Dies führt zu einer wesentlichen Kostenreduzierung, weil die einzelnen Verfahrensschritte nicht individuell bei jedem Chip, sondern gewissermaßen im Chipverbund durchgeführt werden, der von einem Wafer dargestellt wird.

[0020] Zur Erläuterung der Erfindung sind in den

[0021] **Fig. 1** bis 11 die verschiedenen Verfahrensschritte bei der Durchführung eines Ausführungsbeispiels des erfindungsgemäßen Verfahrens und in den

[0022] **Fig. 12** und 13 die wesentlichen Verfahrensschritte bei einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahrens dargestellt.

[0023] Die **Fig. 1** zeigt einen Ausschnitt aus einem Chip **1**, der in üblicher Weise mit elektrischen Anschlußflächen **2**, die häufig auch als Pads bezeichnet werden, versehen ist. Von den vielen Anschlußflächen **2** ist in der **Fig. 1** nur eine einzige der besseren Übersichtlichkeit halber dargestellt. Auf den Chip **1** ist eine Passivierungsschicht **3** in üblicher Weise so aufgebracht, daß sie die elektrischen Anschlußflächen **2** freiläßt.

[0024] Auf den soweit vorbereiteten Chip **1** wird in einem nächsten, in der **Fig. 2** dargestellten Verfah-

rensschritt eine Metallschicht **4** aufgebracht. Das Aufbringen kann durch eine Dünnschichtmetallisierung erfolgen, ggf. mit anschließender Verstärkung der Schicht **4** auf galvanischem Wege. Die Schicht **4** kann auch als ein Mehrschichtsystem aufgebaut sein. Wie die **Fig. 2** erkennen läßt, ist die Metallschicht **4** über den gesamten Chip **1** an seiner Oberseite aufgebracht.

[0025] Anschließend erfolgt – wie **Fig. 3** zeigt – eine Strukturierung der Metallschicht **4**, wodurch Leiterbahnen **5** gebildet werden, die von den elektrischen Anschlußflächen **2** zu später noch näher beschriebenen Fußbereichen äußerer Anschlußelemente führen.

[0026] Die **Fig. 4** läßt erkennen, daß nach dem Strukturieren der Metallschicht **4** unter Bildung der Leiterbahnen **5** eine weitere Passivierungsschicht **6** auf den Chip **1** aufgebracht wird. Diese weitere Passivierungsschicht **6** deckt somit die Leiterbahnen **5** ab und verstärkt auch den Schutz der durch die erste Passivierungsschicht **3** gegeben ist.

[0027] Die **Fig. 5** läßt erkennen, daß danach die weitere Passivierungsschicht **6** unter Bildung einer Öffnung **7** geöffnet wird, was fototechnisch oder durch Laseranwendung geschehen kann. Der Bereich der Leiterbahn **5** an der Öffnung **7** bildet ein Sockelteil **8** im Fußbereich eines äußeren Anschlußelementes.

[0028] Vorzugsweise durch Drucken wird auf dem Sockelteil **8** eine säulenartige Erhebung **9** aus einem leitfähigen Polymer aufgebracht. Dies zeigt deutlich die **Fig. 6**.

[0029] Die **Fig. 7** läßt erkennen, daß nach dem durch die **Fig. 6** dargestellten Verfahrensschritt eine Schicht **10** aus einem Kleber aufgebracht wird. Darauf wird (vgl. **Fig. 8**) eine Kupferfolie **11** unter Bildung einer elektrischen Verbindung mit dem Kopf **12** der säulenartigen Erhebung **9** aufgeklebt. Es ist aber auch möglich, ausgehend von dem Verfahrensstand gemäß **Fig. 6** durch Auflaminieren einer Klebefolie oder kombinierten Kupfer-Klebe-Folie zu dem Halbleiterbauelement in einem Zustand zu gelangen, wie ihn **Fig. 8** zeigt.

[0030] Nachdem der Chip **1** soweit vorbereitet ist, wie es die **Fig. 8** zeigt, wird die Kupferfolie **11** in der Weise strukturiert, daß Kupferschichten **13** auf dem Kopf **12** jeder säulenartigen Erhebung **9** entstehen. Diese überkragen den Kopf **12**.

[0031] Dann wird – wie **Fig. 10** zeigt – im Bereich jeder Kupferschicht **13** eine Lotschicht **14** aufgebracht, vorzugsweise aufgedruckt. Anschließend erfolgt – siehe **Fig. 11** – ein Umschmelzen der Lotschicht **14** zu einem Lotkügelchen als metallenen Kügelchen **15**. Das Sockelteil **8**, die säulenartige Erhebung **9**, die Kupferschicht **13** und das Kügelchen **15** bilden dann das äußere elektrische Anschlußelement **16**.

[0032] Es ist aber auch möglich, auf das Halbleiterbauelement in einem Zustand gemäß **Fig. 9** ein zumindest außen metallenes Kügelchen aufzusetzen und es auf der Kupferschicht **13** leitend zu befesti-

gen. Bei dem mindestens außen metallenen Kügelchen kann es sich um ein Kunststoffkügelchen handeln, das einen inneren Körper aus Kunststoff aufweist, der außen mit einer Metallschicht überzogen ist.

[0033] Ausgehend von dem Verfahrensstand gemäß **Fig. 6** kann auf dem Kopf der säulenartigen Erhebungen **20** in bekannter Weise direkt eine Lotschicht **21** aufgebracht werden – siehe (**Fig. 12**) –, die durch Umschmelzen ein Lotkügelchen **22** bildet, wie **Fig. 13** zeigt. Allerdings sind hierbei die säulenartigen Erhebungen etwas massiver als bei dem Verfahren nach den **Fig. 1** bis **11** auszuführen. Dabei bilden dann das Sockelteil **8**, die säulenartige Erhebung **20** und das Lotkügelchen **22** ein äußeres elektrisches Anschlußelement **23**.

Patentansprüche

1. Halbleiterbauelement im Chip-Format mit einem Chip (**1**), der
 – auf mindestens einer Oberfläche mindestens eine erste Isolierschicht (**3**) und von dieser Isolierschicht (**3**) freie elektrische Anschlußflächen (**2**) aufweist, mit
 – auf der ersten Isolierschicht (**3**) verlaufenden Leiterbahnen (**5**), die
 – jeweils von den elektrischen Anschlußflächen (**2**) zu Fußbereichen äußerer Anschlußelemente (**16**) führen und jeweils ein Sockelteil (**8**) der äußeren Anschlußelemente (**16**) bilden, mit
 – jeweils einer säulenartigen Erhebung (**9**) aus einem leitfähigen Polymer auf den Sockelteilen (**8**) der äußeren Anschlußelemente (**16**), mit
 – einer Kupferschicht (**13**) auf dem Kopf (**12**) jeder säulenartigen Erhebung (**9**) und mit
 – jeweils einem mindestens außen metallenen Kügelchen (**15**) auf der Kupferschicht (**13**) jeder säulenartigen Erhebung (**9**).

2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß
 – sich auf den Leiterbahnen (**5**) und auf der mindestens einen ersten Isolierschicht (**3**) eine weitere Isolierschicht (**10**) befindet, in die die säulenartigen Erhebungen (**9**) unter Freilassung ihres Kopfes (**12**) eingebettet sind, und
 – die Kupferschicht (**13**) den Kopf (**12**) der säulenartigen Erhebungen (**9**) jeweils überkragend auch auf der weiteren Isolierschicht (**10**) aufliegt.

3. Halbleiterbauelement nach Anspruch 1 oder 2, – dadurch gekennzeichnet, daß die mindestens außen metallenen Kügelchen metallisierte Kunststoffkügelchen sind.

4. Halbleiterbauelement nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß
 – die Leiterbahnen (**5**) durch Strukturieren einer Dünnschichtmetallisierung (**4**) auf den freien elektri-

schen Anschlußflächen (2) und der ersten Isolierschicht (3) gebildete Strombahnen sind.

5. Verfahren zum Herstellen eines Halbleiterbauelementes im Chip-Format mit einem Chip (1), bei dem

- auf mindestens eine Oberfläche des Chips (1) mindestens eine erste Isolierschicht (3) unter Freilassung elektrischer Anschlußflächen (2) aufgebracht wird,
- auf die mindestens eine erste Isolierschicht (3) von den elektrischen Anschlußflächen zu jeweils einem Fußbereich äußerer Anschlußelemente (16) führende und jeweils ein Sockelteil (8) der äußeren Anschlußelemente (16) bildende Leiterbahnen (5) aufgebracht werden,
- auf den Sockelteilen (8) der äußeren Anschlußelemente (16) säulenartige Erhebungen (9) aus einem leitfähigen Polymer gebildet werden,
- auf den Kopf (12) jeder säulenartigen Erhebung (9) eine Kupferschicht (13) aufgebracht wird und
- auf der Kupferschicht (13) jeder säulenartigen Erhebung (9) ein mindestens außen metallenes Kügelchen (15) angebracht wird.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß

- nach dem Erzeugen der säulenartigen Erhebungen (9) unter Bildung einer weiteren Isolierschicht (10) ein Kleber oder eine Klebefolie aufgetragen wird,
- auf die weitere Isolierschicht (10) und den Kopf (12) der säulenartigen Erhebungen (9) eine Kupferfolie (11) aufgebracht wird und
- die Kupferfolie (11) unter Bildung der einzelnen Kupferschichten (13) auf den säulenartigen Erhebungen (9) strukturiert wird.

7. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß

- nach dem Erzeugen der säulenartigen Erhebungen eine kombinierte Kupfer-Klebe-Folie auflaminiert wird und
- die Kupferfolie unter Bildung der einzelnen Kupferschichten auf den säulenförmigen Erhebungen strukturiert wird.

8. Verfahren nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß

- als mindestens außen metallene Kügelchen vorgefertigte Kügelchen verwendet werden und
- die Kügelchen auf die Kupferschichten aufgelötet oder leitend aufgeklebt werden.

9. Verfahren nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß

- auf die Kupferschichten (13) eine Lotschicht (14) aufgebracht wird und
- durch Umschmelzen aus der Lotschicht (14) jeweils ein Lotkügelchen (15) auf dem Kopf (12) der säulenartigen Erhebungen (9) erzeugt wird.

10. Verfahren nach einem der Ansprüche 5 bis 9, dadurch gekennzeichnet, daß

- die säulenartigen Erhebungen (9) durch Aufdrucken des leitenden Polymer erzeugt werden.

11. Verfahren nach einem der Ansprüche 5 bis 10, dadurch gekennzeichnet, daß

- auf die freien elektrischen Anschlußflächen (2) und auf die erste Isolierschicht (3) eine Dünnschichtmetallisierung (4) aufgebracht wird und
- durch Strukturieren der Dünnschichtmetallisierung (4) die Leiterbahnen (5) gebildet werden.

12. Verfahren nach einem der Ansprüche 5 bis 11, dadurch gekennzeichnet, daß

- die Verfahrensschritte an einem Wafer durchgeführt werden und
- nach dem Aufbringen der mindestens außen metallenen Kügelchen ein Zertrennen des Wafers unter Gewinnung der Halbleiterbauelemente erfolgt.

Es folgen 3 Blatt Zeichnungen

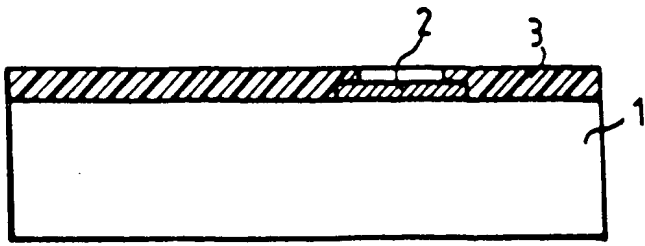


Fig. 1

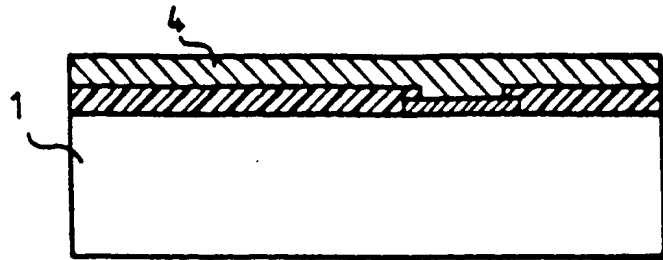


Fig. 2

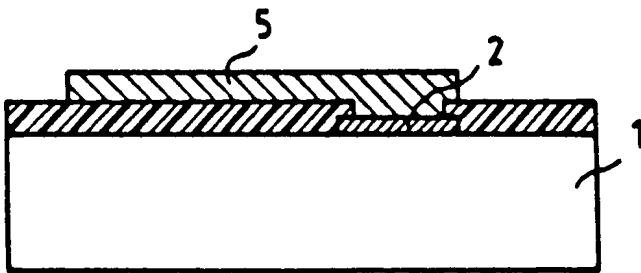


Fig. 3

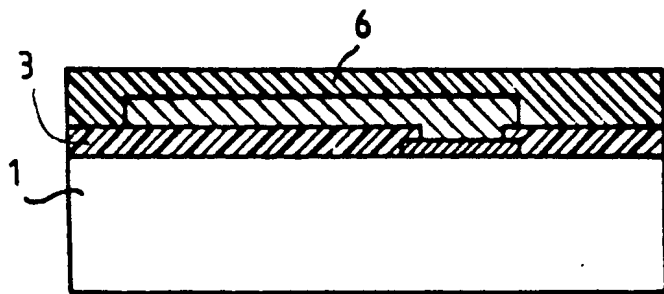


Fig. 4

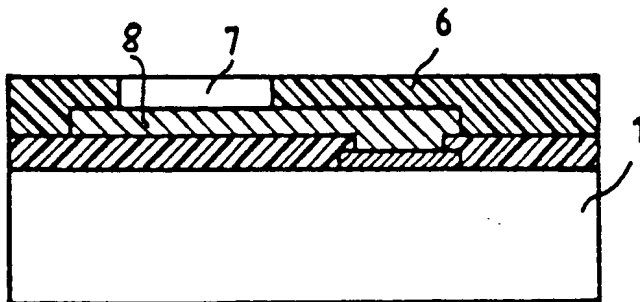


Fig. 5

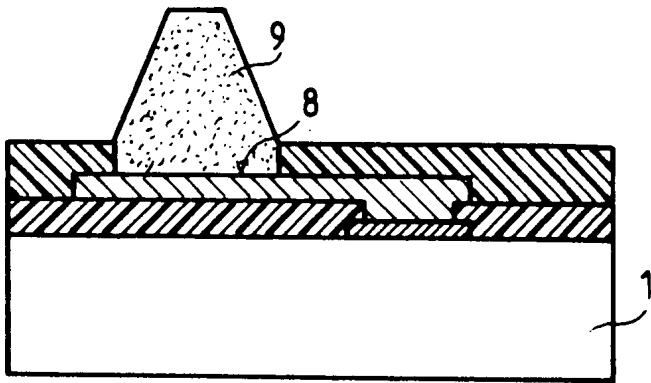


Fig. 6

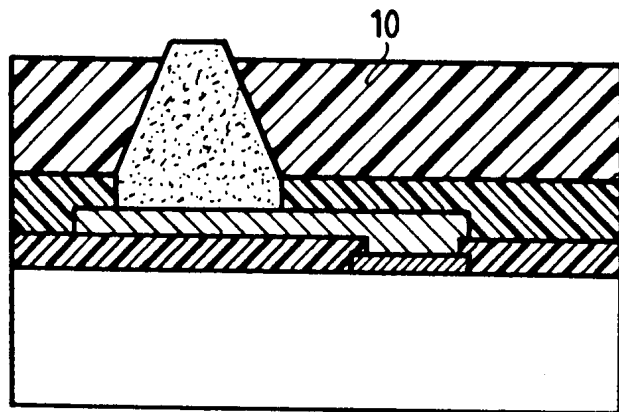


Fig. 7

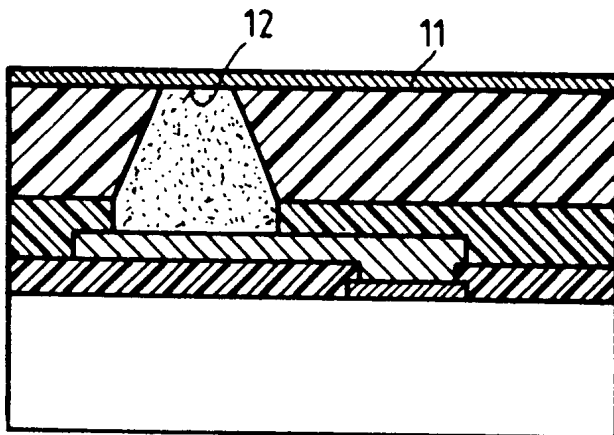


Fig. 8

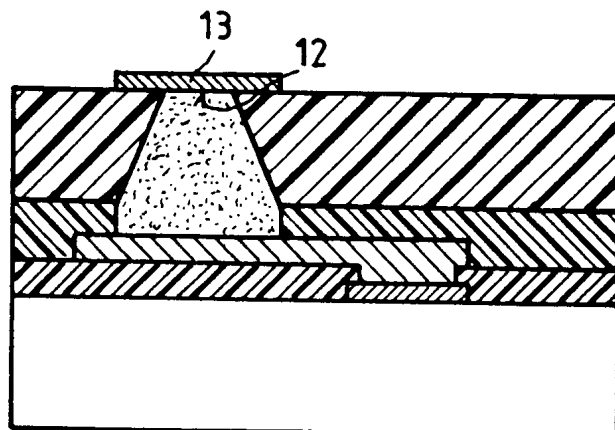


Fig. 9

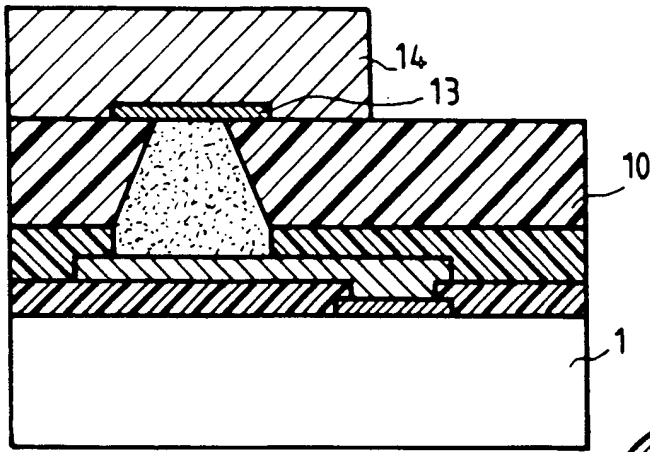


Fig. 10

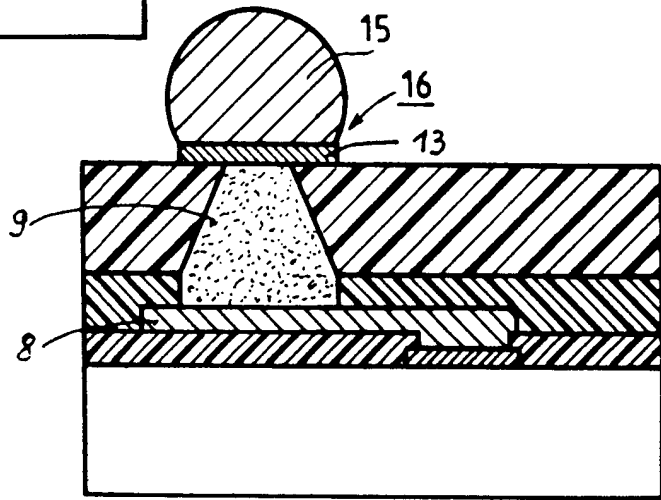


Fig. 11

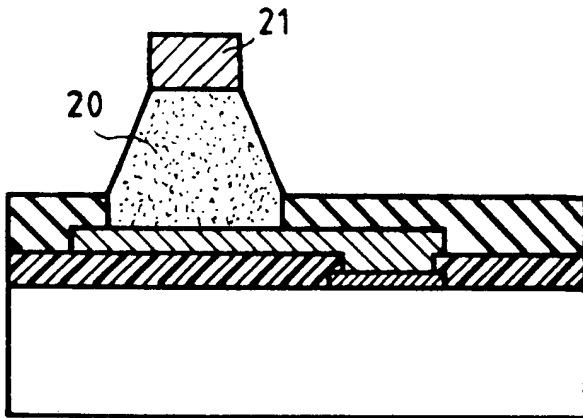


Fig. 12

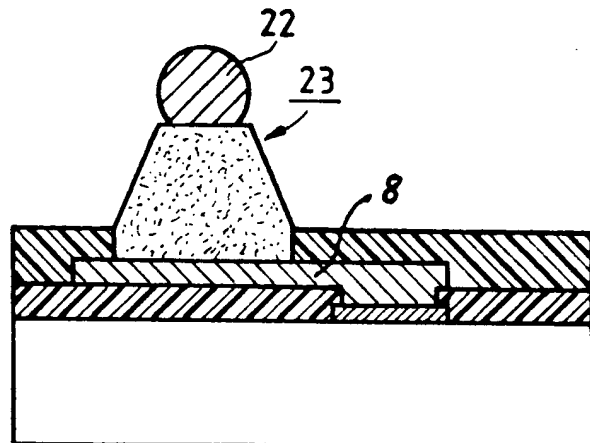


Fig. 13