



(12) 发明专利

(10) 授权公告号 CN 113938144 B

(45) 授权公告日 2022.10.18

(21) 申请号 202111224161.5

(22) 申请日 2021.10.19

(65) 同一申请的已公布的文献号
申请公布号 CN 113938144 A

(43) 申请公布日 2022.01.14

(73) 专利权人 中国人民解放军国防科技大学
地址 410073 湖南省长沙市开福区砚瓦池
正街47号

(72) 发明人 吕方旭 唐子翔 赖明澈 齐星云
张金旺 常俊胜 徐佳庆 戴艺
董德尊 许超龙 欧洋 廖湘科

(74) 专利代理机构 湖南兆弘专利事务所(普通
合伙) 43008
专利代理师 谭武艺

(51) Int.Cl.
H04B 1/04 (2006.01)

(56) 对比文件

CN 111064473 A, 2020.04.24

CN 106603095 A, 2017.04.26

CN 106375017 A, 2017.02.01

CN 111464239 A, 2020.07.28

CN 1595844 A, 2005.03.16

US 9143171 B1, 2015.09.22

US 2017310400 A1, 2017.10.26

Lau F. Suhr et al.. "112-Gbit/s x 4-Lane Duobinary-4-PAM for 400GBase".《IEEE, 2014 The European Conference on Optical Communication (ECOC)》.2014, 第1-3页.

张美生. "基于双二进制信号的高速串行通信接收电路设计".《中国优秀博硕士学位论文全文数据库(硕士) 信息科技辑》.2019, I135-172.

审查员 施莹莹

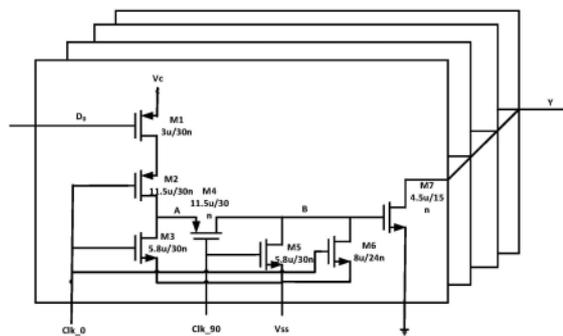
权利要求书1页 说明书4页 附图6页

(54) 发明名称

一种Duo-binary PAM4发射机及数据传输系统

(57) 摘要

为了解决传统NRZ和PAM4发射机在经过强信道下衰减过大功耗过高的问题,本发明提供一种Duo-binary PAM4发射机及数据传输系统,本发明的Duo-binary PAM4发射机包括伪PRBS发生器、预编码模块、双二进制模块、低速并串转换模块、4:1高速合路器和电压模驱动电路,4:1高速合路器包括四个独立的数据信号电流补偿电路,且四个数据信号电流补偿电路的输出端通过线与将四路信号进行叠加从而实现合路功能输出信号Y;数据传输系统包括接收机和前述Duo-binary PAM4发射机。本发明采用Duo-Binary PAM4编码解决信号衰减过大的问题,利用电流补偿架构的4:1高速合路器,降低了功耗,提升了时序裕度,拓宽了判决容限。



1. 一种Duo-binary PAM4发射机,包括伪PRBS发生器、预编码模块、双二进制模块、低速并串转换模块、4:1高速合路器和电压模驱动电路,其特征在于,所述4:1高速合路器包括四个独立的数据信号电流补偿电路,且四个数据信号电流补偿电路的输出端通过线与将四路信号进行叠加从而实现合路功能输出信号Y,所述数据信号电流补偿电路包括MOS管 $M_1 \sim M_7$,其中MOS管 M_1 、MOS管 M_2 、MOS管 M_4 为N型MOS管,MOS管 M_3 、MOS管 M_5 、MOS管 M_6 、MOS管 M_7 为P型MOS管,MOS管 M_2 、MOS管 M_3 、MOS管 M_6 的栅极与时钟clk_0相连,MOS管 M_4 、MOS管 M_5 的栅极与时钟clk_90相连,所述时钟clk_0和时钟clk_90两者相位相差 90° ,MOS管 M_1 的栅极作为数据 D_0 的输入端、源极与电源Vcc相连、漏极与MOS管 M_2 的源极相连,MOS管 M_2 的漏极、MOS管 M_3 的漏极共同与MOS管 M_4 的源极相连,MOS管 M_3 、 M_5 、 M_6 的源极与电流源Vss相连,MOS管 M_4 、 M_5 、 M_6 的漏极共同与MOS管 M_7 的栅极相连,MOS管 M_7 的源极接地、漏极作为数据信号电流补偿电路的输出端。

2. 根据权利要求1所述的Duo-binary PAM4发射机,其特征在于,所述时钟clk_0为0度相位的时钟。

3. 根据权利要求2所述的Duo-binary PAM4发射机,其特征在于,所述时钟clk_90为90度相位的时钟。

4. 根据权利要求3所述的Duo-binary PAM4发射机,其特征在于,所述预编码模块、双二进制模块之间设有电平变换模块,所述电平变换模块用于将预编码模块输出的将单极性码 $\{0,1\}$ 的数据 $\{d_n\}$ 转换为双极性码 $\{-1,1\}$ 的数据 $\{a_n\}$ 。

5. 根据权利要求4所述的Duo-binary PAM4发射机,其特征在于,所述预编码模块为模二相加运算电路,用于将输入的单极性码 $\{0,1\}$ 的数据 $\{b_n\}$ 进行模二相加运算得到单极性码 $\{0,1\}$ 的数据 $\{d_n\}$ 。

6. 根据权利要求5所述的Duo-binary PAM4发射机,其特征在于,所述双二进制模块包括延时相加电路,所述延时相加电路用于将输入的双极性码 $\{-1,1\}$ 的数据 $\{a_n\}$ 与延时时长 T_b 前的双极性码 $\{-1,1\}$ 的数据 $\{a_n\}$ 累加得到三电平信号 $\{-2,0,2\}$ 的数据 $\{c_n\}$ 。

7. 根据权利要求6所述的Duo-binary PAM4发射机,其特征在于,所述双二进制模块还包括低通模块,所述低通模块用于将三电平信号 $\{-2,0,2\}$ 的数据 $\{c_n\}$ 低通滤波。

8. 根据权利要求7所述的Duo-binary PAM4发射机,其特征在于,所述PRBS发生器的输出为由伪随机码产生的64路875Mb/s的并行信号;所述低速并串转换模块为64:4低速并串转换模块,用于将64路875Mbps合成14Gbps的高速串行信号;所述电压模驱动电路最终的输出为112Gb/s的Duo-binary PAM4信号。

9. 一种数据传输系统,包括相互连接的发射机和接收机,其特征在于,所述发射机为权利要求1~8中任意一项所述的Duo-binary PAM4发射机。

一种Duo-binary PAM4发射机及数据传输系统

技术领域

[0001] 本发明涉及芯片与光模块的互联、芯片与芯片的互联和以太网互连领域的有线通信技术,具体涉及一种Duo-binary PAM4发射机及数据传输系统。

背景技术

[0002] Duo-binary PAM4发射机是高速串口的数据发送端,用于将处理器、存储器或者传感器发出的多路并行数据串行化,并通过信道传输至接收机。如图1所示,现有Duo-binary PAM4发射机主要包括伪PRBS发生器、预编码模块、双二进制模块、低速并串转换模块、4:1高速合路器和电压模驱动电路,其工作流程包括:(1)利用伪随机码发生器产生64路875Mb/s的并行信号;(2)利用预编码模块消除并行信号前后码元的相关性;(3)利用双二进制模块将输入信号转换为三电平信号(4)利用低速并串转换模块将64路875Mbps合成4路14Gbps的高速串行信号;(5)利用4:1高速合路器将4路数据串化成一路高速的数据流;(6)利用电压模驱动电路实现信号输出。由于双二进制信号进行传输时会出现差错传递,需要在进行双二进制转换前加入预编码电路来消除前后码元的相关性。

[0003] 图2给出了Duo-Binary PAM4 (DB-PAM4)的功率谱密度,112Gb/s Duo-binary PAM4信号的奈奎斯特频率为14GHz,而同速下的PAM4信号奈奎斯特频率为28GHz,NRZ信号为56GHz。图3给出在强信道下,Duo-binary PAM4信号、PAM4信号以及NRZ信号的信道衰减。Duo-binary PAM4信号衰减为20.9dB,PAM4信号衰减为36.16dB,NRZ信号达到70dB衰减。Duo-binary PAM4发射机不同于NRZ信号只有两个电平和两种跳变沿以及PAM-4信号具有4个电平和12种不同的跳变沿,Duo-binary PAM4具有7个电平和30种不同的跳变沿,有限的电平的跳变速度在Duo-binary PAM4中带来确定性抖动,显著压缩了眼宽。

[0004] 如图3所示传统的4:1高速合路器,主要包含电感,电阻和四个完全相同的脉冲产生单元。采用电感拓宽了带宽,使用电阻控制了电路的电流。每个脉冲产生单元在两个相差90度相位的时钟驱动下产生1UI (Unit Interval,单位码元长度)的数据输出脉冲。这四个相同的脉冲产生单元然后在流水线时钟的驱动下将四路数据串行化成一路高速的数据流(CK0,CK90,CK180,CK270为相位相差90度的四个时钟)。其时序波形图如图4所示,当数据率达到100Gb/s时,传统的1/2速架构的合路器留给数据建立和保持的时间只有1UI(仅为10ps),而合路器必须要提供充足的时序裕度以保证时序的正确性,因此需要设计能够有效扩展时序裕度的合路器。

发明内容

[0005] 本发明要解决的技术问题:为了解决传统NRZ和PAM4发射机在经过强信道下衰减过大功耗过高的问题,提供一种Duo-binary PAM4发射机及数据传输系统,本发明采用Duo-Binary PAM4编码解决信号衰减过大的问题,利用电流补偿架构的4:1高速合路器,降低了功耗,提升了时序裕度,拓宽了判决容限。

[0006] 为了解决上述技术问题,本发明采用的技术方案为:

[0007] 一种Duo-binary PAM4发射机,包括伪PRBS发生器、预编码模块、双二进制模块、低速并串转换模块、4:1高速合路器和电压模驱动电路,所述4:1高速合路器包括四个独立的数据信号电流补偿电路,且四个数据信号电流补偿电路的输出端通过线与将四路信号进行叠加从而实现合路功能输出信号Y。

[0008] 可选地,所述数据信号电流补偿电路包括MOS管 $M_1 \sim M_7$,其中MOS管 M_1 、MOS管 M_2 、MOS管 M_4 为N型MOS管,MOS管 M_3 、MOS管 M_5 、MOS管 M_6 、MOS管 M_7 为P型MOS管,MOS管 M_1 、MOS管 M_3 、MOS管 M_6 的栅极与时钟clk_0相连,MOS管 M_4 、MOS管 M_5 的栅极与时钟clk_90相连,所述时钟clk_0和时钟clk_90两者相位相差 90° ,MOS管 M_1 的栅极作为数据 D_0 的输入端、源极与电源Vcc相连、漏极与MOS管 M_2 的源极相连,MOS管 M_2 的漏极、MOS管 M_3 的漏极共同与MOS管 M_4 的源极相连,MOS管 M_3 、 M_5 、 M_6 的源极与电流源Vss相连,MOS管 M_4 、 M_5 、 M_6 的漏极共同与MOS管 M_7 的栅极相连,MOS管 M_7 的源极接地、漏极作为数据信号电流补偿电路的输出端。

[0009] 可选地,所述时钟clk_0为0度相位的时钟。

[0010] 可选地,所述时钟clk_90为90度相位的时钟。

[0011] 可选地,所述预编码模块、双二进制模块之间设有电平变换模块,所述电平变换模块用于将预编码模块输出的将单极性码 $\{0,1\}$ 的数据 $\{d_n\}$ 转换为双极性码 $\{-1,1\}$ 的数据 $\{a_n\}$ 。

[0012] 可选地,所述预编码模块为模二相加运算电路,用于将输入的单极性码 $\{0,1\}$ 的数据 $\{b_n\}$ 进行模二相加运算得到单极性码 $\{0,1\}$ 的数据 $\{d_n\}$ 。

[0013] 可选地,所述双二进制模块包括延时相加电路,所述延时相加电路用于将输入的双极性码 $\{-1,1\}$ 的数据 $\{a_n\}$ 与延时时长 T_b 前的双极性码 $\{-1,1\}$ 的数据 $\{a_n\}$ 累加得到三电平信号 $\{-2,0,2\}$ 的数据 $\{c_n\}$ 。

[0014] 可选地,所述双二进制模块还包括低通模块,所述低通模块用于将三电平信号 $\{-2,0,2\}$ 的数据 $\{c_n\}$ 低通滤波。

[0015] 可选地,所述PRBS发生器的输出为由伪随机码产生的64路875Mb/s的并行信号;所述低速并串转换模块为64:4低速并串转换模块,用于将64路875Mbps合成14Gbps的高速串行信号;所述电压模驱动电路最终的输出为112Gb/s的Duo-binary PAM4信号。

[0016] 此外,本发明还提供一种数据传输系统,包括相互连接的发射机和接收机,所述发射机为所述的Duo-binary PAM4发射机。

[0017] 和现有技术相比,本发明具有下述优点:本发明包括伪PRBS发生器、预编码模块、双二进制模块、低速并串转换模块、4:1高速合路器和电压模驱动电路,所述4:1高速合路器包括四个独立的数据信号电流补偿电路,且四个数据信号电流补偿电路的输出端通过线与将四路信号进行叠加从而实现合路功能输出信号Y。本发明采用Duo-Binary PAM4编码解决信号衰减过大的问题,利用电流补偿架构的4:1高速合路器,降低了功耗,提升了时序裕度,拓宽了判决容限。

附图说明

[0018] 图1为现有技术中的Duo-binary PAM4发射机的结构框图。

[0019] 图2为Duo-Binary PAM4 (DB-PAM4) 和PAM4的功率谱密度对比示意图。

[0020] 图3为Duo-Binary PAM4的信道损耗。

- [0021] 图4为现有技术的4:1高速合路器。
- [0022] 图5为现有技术的4:1高速合路器时序波形图。
- [0023] 图6为本发明实施例中带电流补偿架构的4:1高速合路器的结构示意图。
- [0024] 图7为本发明实施例中带电流补偿架构的4:1高速合路器时序波形图
- [0025] 图8为本发明实施例中NRZ信号转换成双二进制信号的线性模型。
- [0026] 图9为本发明实施例中4:1高速合路器的仿真眼图
- [0027] 图10为本发明实施例中Duo-binary PAM4发射机眼图。

具体实施方式

[0028] 参见图1,本实施例提供一种Duo-binary PAM4发射机,包括伪PRBS(伪随机码)发生器、预编码模块、双二进制模块、低速并串转换模块、4:1高速合路器和电压模驱动电路,且在上述结构的基础上,本实施例中的4:1高速合路器包括四个独立的数据信号电流补偿电路,且四个数据信号电流补偿电路的输出端通过线与将四路信号进行叠加从而实现合路功能输出信号Y,因此采用Duo-Binary PAM4编码可解决信号衰减过大的问题,利用电流补偿架构的4:1高速合路器,降低了功耗,提升了时序裕度,拓宽了判决容限。

[0029] 如图6所示,本实施例中的数据信号电流补偿电路包括MOS(Metal Oxide Semiconductor,金属氧化物半导体)管 $M_1 \sim M_7$,其中MOS管 M_1 、MOS管 M_2 、MOS管 M_4 为N型MOS管,MOS管 M_3 、MOS管 M_5 、MOS管 M_6 、MOS管 M_7 为P型MOS管,MOS管 M_1 、MOS管 M_3 、MOS管 M_6 的栅极与时钟clk_0相连,MOS管 M_4 、MOS管 M_5 的栅极与时钟clk_90相连,所述时钟clk_0和时钟clk_90两者相位相差 90° ,MOS管 M_1 的栅极作为数据 D_0 的输入端、源极与电源Vcc相连、漏极与MOS管 M_2 的源极相连,MOS管 M_2 的漏极、MOS管 M_3 的漏极共同与MOS管 M_4 的源极相连,MOS管 M_3 、 M_5 、 M_6 的源极与电流源Vss相连,MOS管 M_4 、 M_5 、 M_6 的漏极共同与MOS管 M_7 的栅极相连,MOS管 M_7 的源极接地、漏极作为数据信号电流补偿电路的输出端。利用MOS管组成反相器控制信号的传输,利用电流源Vss抬高电平,在电平抬高的同时,拓宽了判决容限,减缓时序裕度的紧张,进而能保证发射的信号在高速传输下保证了时序的正确性。图6中,MOS管 $M_1 \sim M_7$ 一侧的参数为结构参数,例如3u/30n表示MOS管的宽度为3u、长度为30n。

[0030] 本实施例中,时钟clk_0为0度相位的时钟。

[0031] 本实施例中,时钟clk_90为90度相位的时钟。

[0032] 需要说明的是,在满足时钟clk_0和时钟clk_90两者相位相差 90° 的前提下,也可以根据需求采用其他可满足上述条件的时钟类型。

[0033] 本实施例中的数据信号电流补偿电路的工作过程如下:信号输入在MOS管 M_1 作用下实现电平的转换,MOS管 M_2 和 M_3 作为一组开关控制电流的通断,在时钟C1k_0的作用下,当时钟C1k_0为低电平时MOS管 M_2 导通、MOS管 M_3 截止、MOS管 M_6 截止;当时钟C1k_0为高电平时,MOS管 M_2 截止、MOS管 M_3 导通、MOS管 M_6 导通;MOS管 M_4 和MOS管 M_5 也是一组开关,在时钟C1k_90的作用下,当C1k_90为高电平时,MOS管 M_4 截止、MOS管 M_5 导通;当C1k_90为低电平时,MOS管 M_4 导通、MOS管 M_5 截止。MOS管 M_2 、MOS管 M_3 和MOS管 M_6 、MOS管 M_4 和MOS管 M_5 在时钟信号作用下,作为开关控制电流的通断,以此来降低合路器的功耗。MOS管 M_7 栅极与MOS管 M_5 、MOS管 M_6 的漏极相连,采样后的信号经过MOS管 M_7 实现放大信号的功能,在线与的作用下,四路采样后的信号进行叠加从而实现合路输出信号Y。通过在MOS管 M_5 的源极增加电流源,使得电平抬高,拓宽

了判决容限,减缓时序裕度的紧张,输出信号时序图如图7所示。

[0034] 如图8所示由NRZ信号转换成双二进制信号的线性模型。如图8所示,本实施例中预编码模块、双二进制模块之间设有电平变换模块,电平变换模块用于将预编码模块输出的将单极性码 $\{0,1\}$ 的数据 $\{d_n\}$ 转换为双极性码 $\{-1,1\}$ 的数据 $\{a_n\}$ 。

[0035] 如图8所示,本实施例中预编码模块为模二相加运算电路,用于将输入的单极性码 $\{0,1\}$ 的数据 $\{b_n\}$ 进行模二相加运算得到单极性码 $\{0,1\}$ 的数据 $\{d_n\}$ 。

[0036] 如图8所示,本实施例中双二进制模块包括延时相加电路,延时相加电路用于将输入的双极性码 $\{-1,1\}$ 的数据 $\{a_n\}$ 与延时时长 T_b 前的双极性码 $\{-1,1\}$ 的数据 $\{a_n\}$ 累加得到三电平信号 $\{-2,0,2\}$ 的数据 $\{c_n\}$ 。

[0037] 如图8所示,本实施例中双二进制模块还包括低通模块,低通模块用于将三电平信号 $\{-2,0,2\}$ 的数据 $\{c_n\}$ 低通滤波,能够有效解决传输信号产生的负向毛刺,提升了眼图的质量。发射机将三电平信号 $\{-2,0,2\}$ 的数据 $\{c_n\}$ 发送给接收机后,接收机通过判决器(切片器Slicer)进行判决,判决出的值作为接收端采样的值来与输入的单极性码进行比较,验证正确性。输出信号为0判决为1,输出信号为正负2判决为0。最终,可恢复出单极性码 $\{0,1\}$ 的数据 $\{\hat{b}_n\}$ 。

[0038] 本实施例中,PRBS发生器的输出为由伪随机码产生的64路875Mb/s的并行信号,经过预编码模块来消除前后码元的相关性,后经过双二进制模块产生三电平信号;低速并串转换模块为64:4低速并串转换模块,用于将64路875Mbps合成14Gbps的高速串行信号;带有电流补偿架构的4:1高速合路器将4路数据串化成一路高速的数据流,输出眼图如图9所示,输出眼宽大约是17.8ps,且四个眼睛均匀,最大抖动为225fs,最后由驱动模块实现驱动,输出112Gb/s Duo-binary PAM4信号,图10给出输出的Duo-binary PAM4眼图。最终,电压模驱动电路最终的输出为112Gb/s的Duo-binary PAM4信号。

[0039] 此外,本实施例还提供一种数据传输系统,包括相互连接的发射机和接收机,该发射机为前述的Duo-binary PAM4发射机。

[0040] 以上所述仅是本发明的优选实施方式,本发明的保护范围并不仅局限于上述实施例,凡属于本发明思路下的技术方案均属于本发明的保护范围。应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理前提下的若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

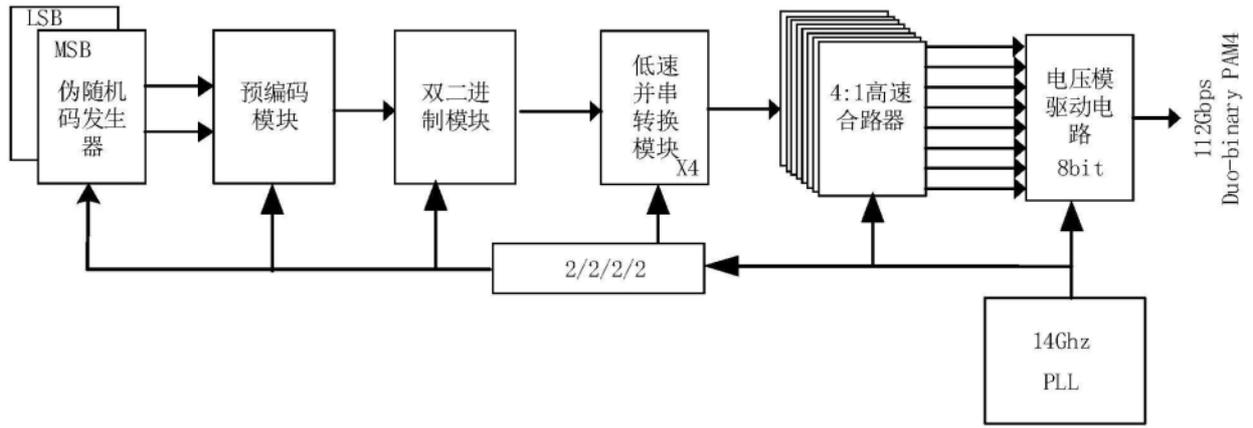


图1

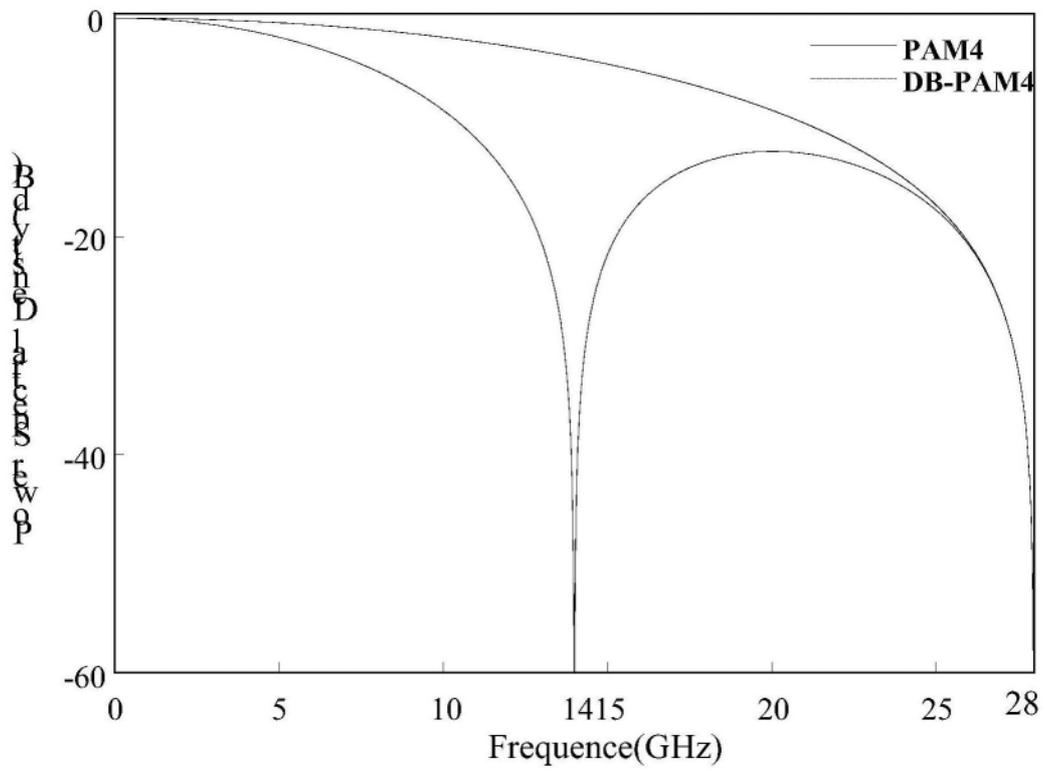


图2

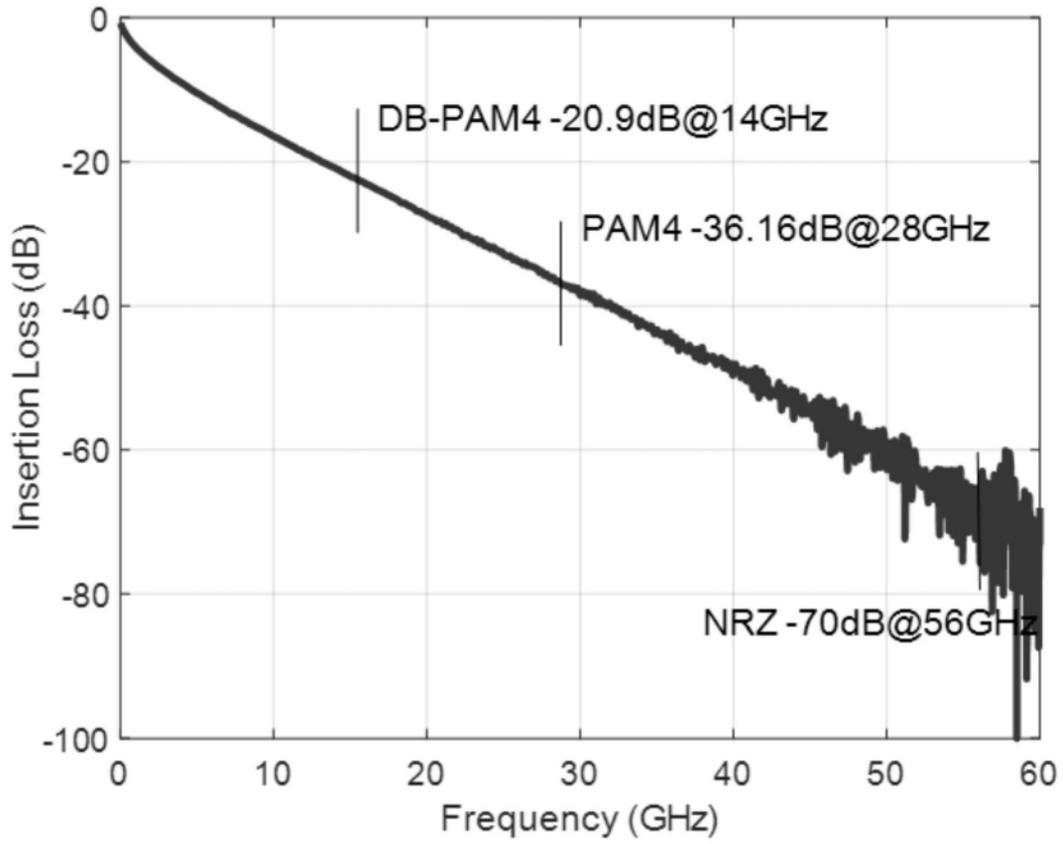


图3

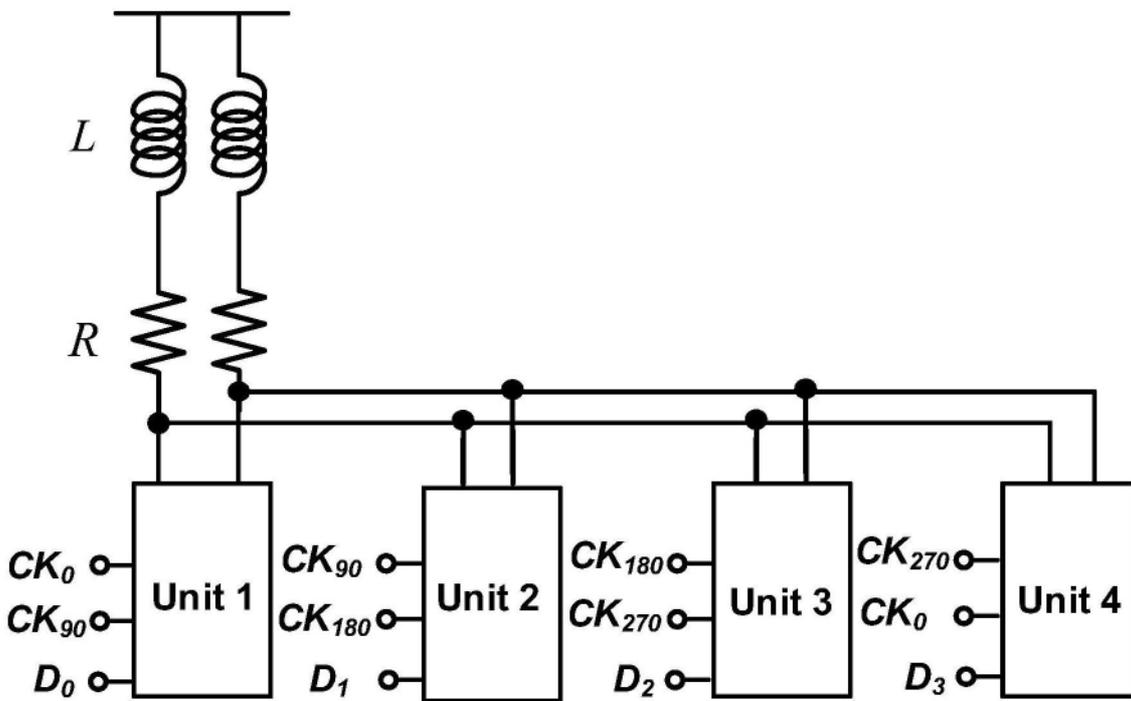


图4

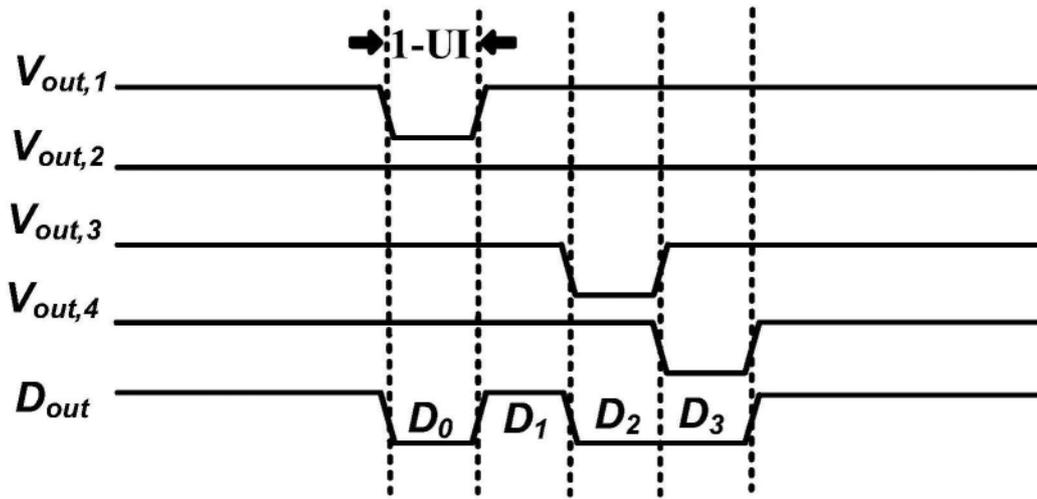


图5

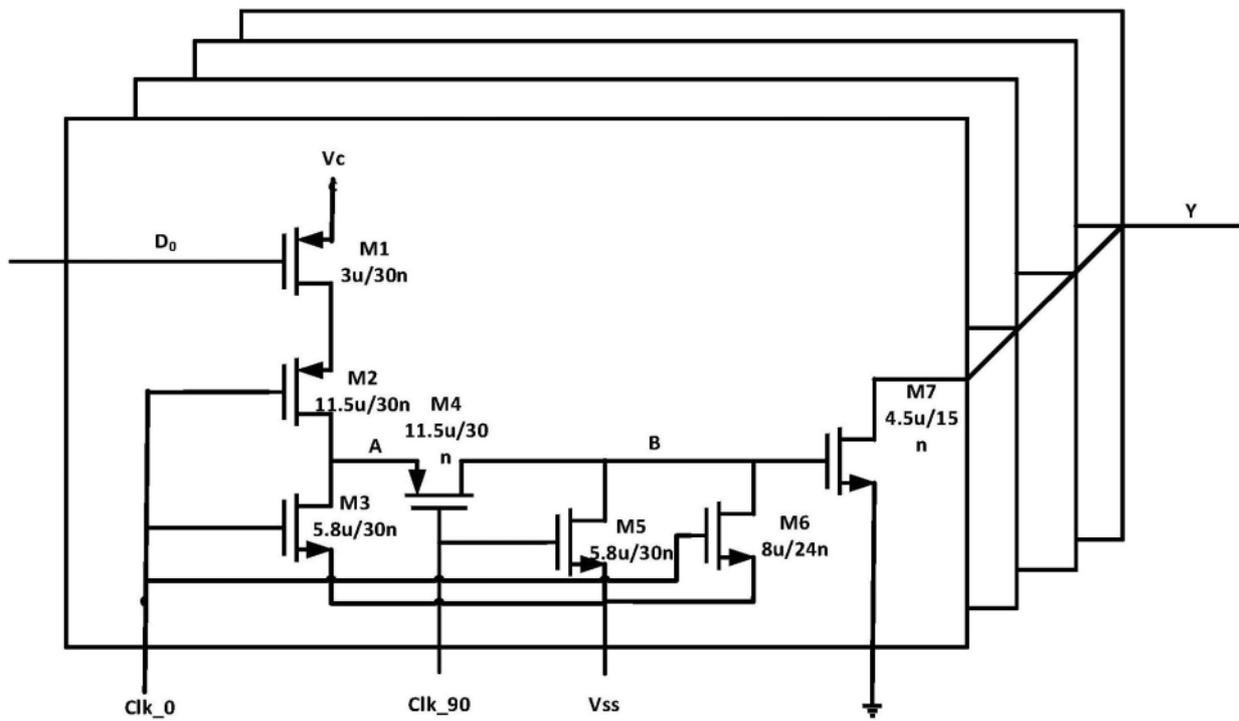


图6

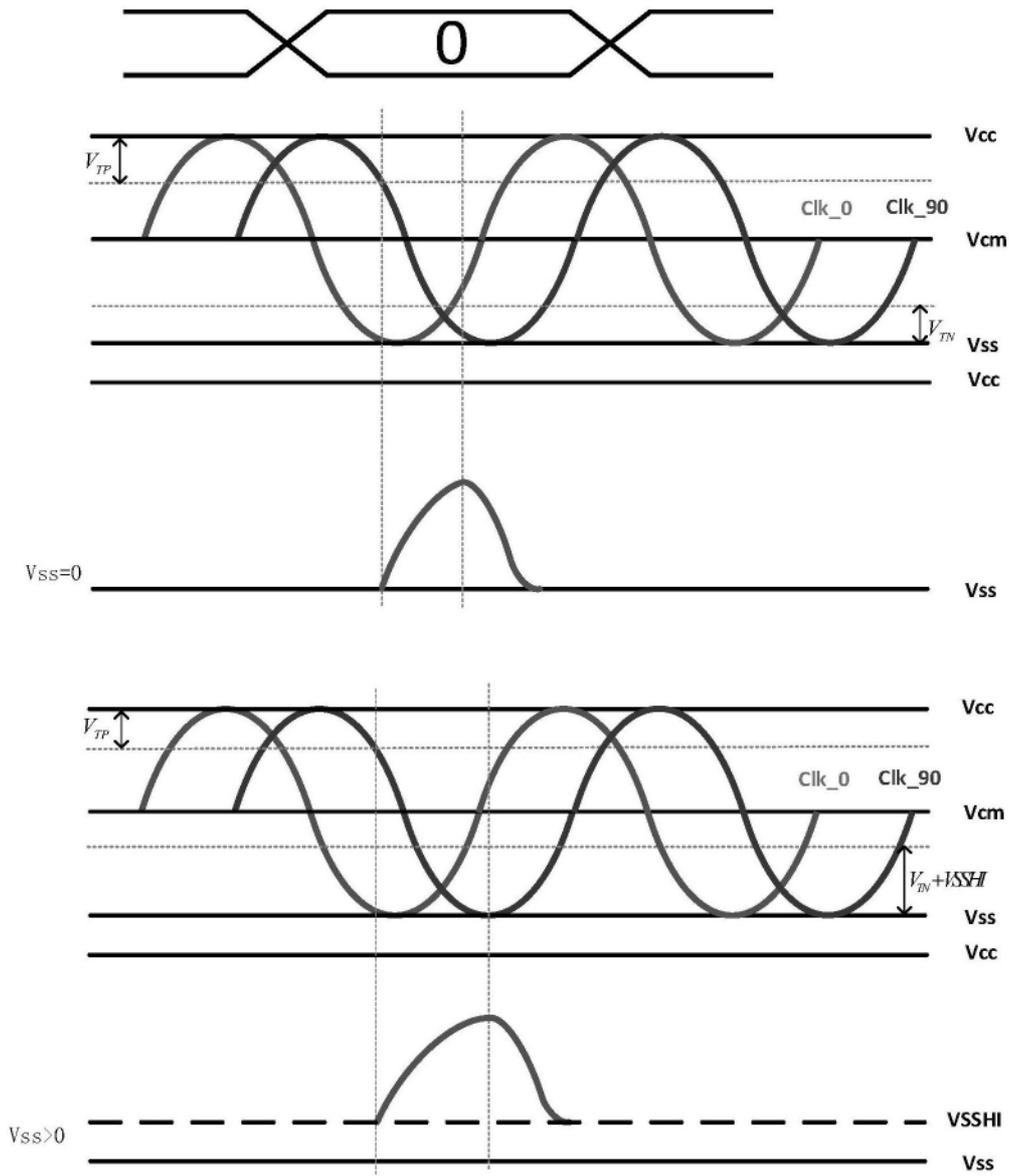


图7

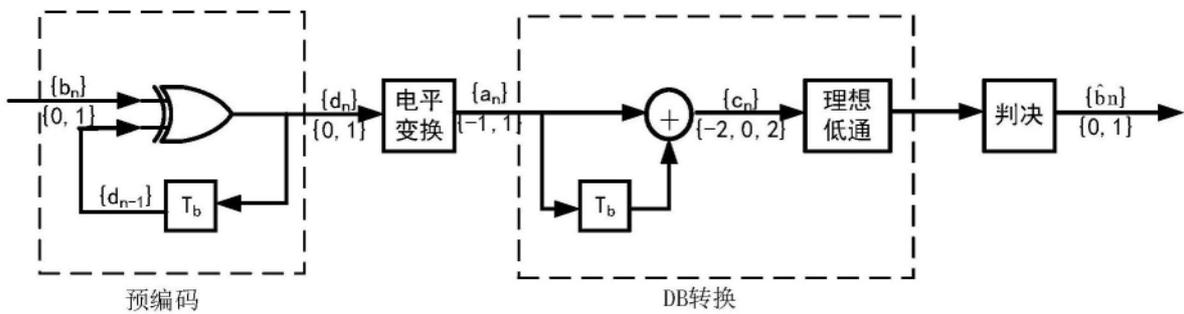


图8

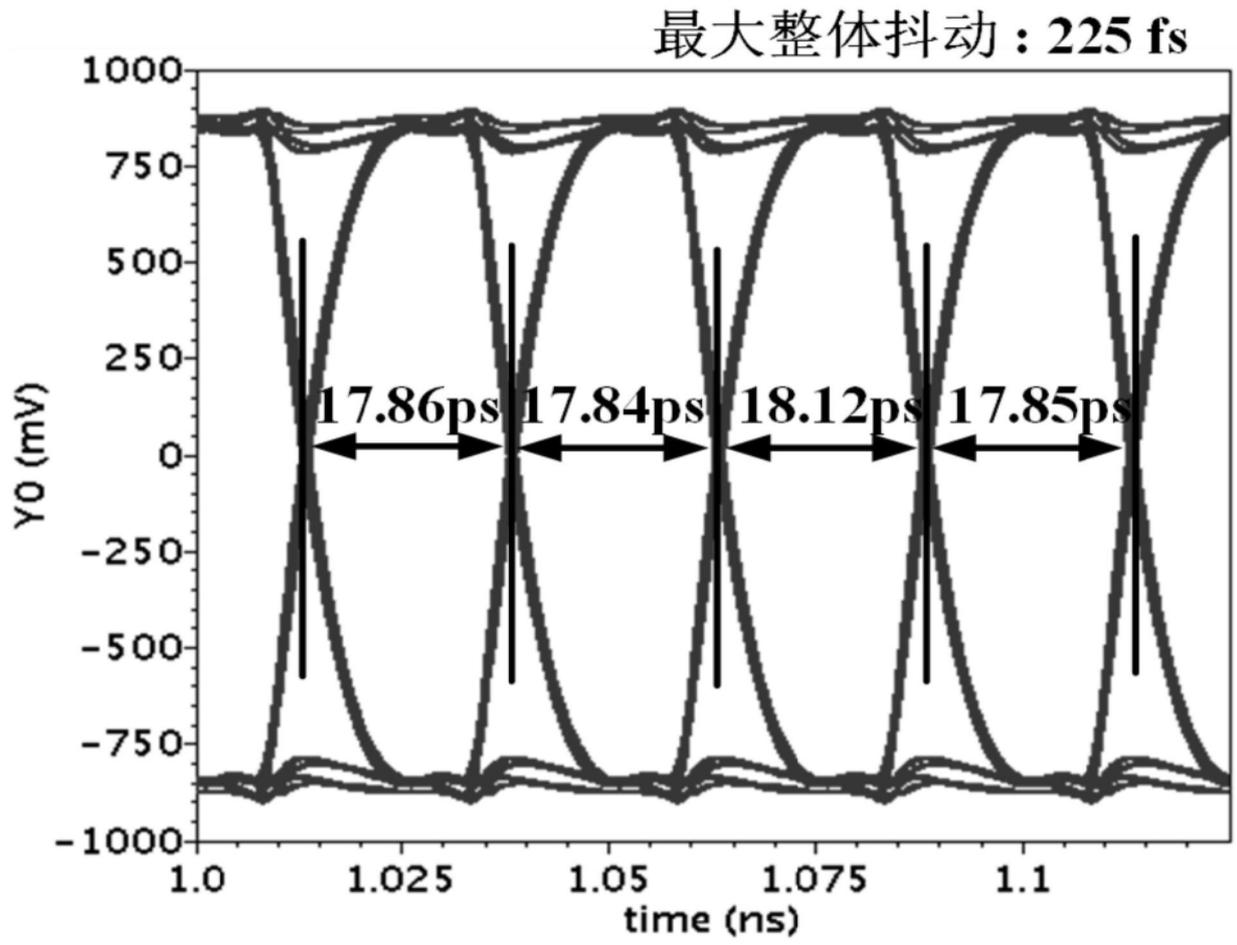


图9

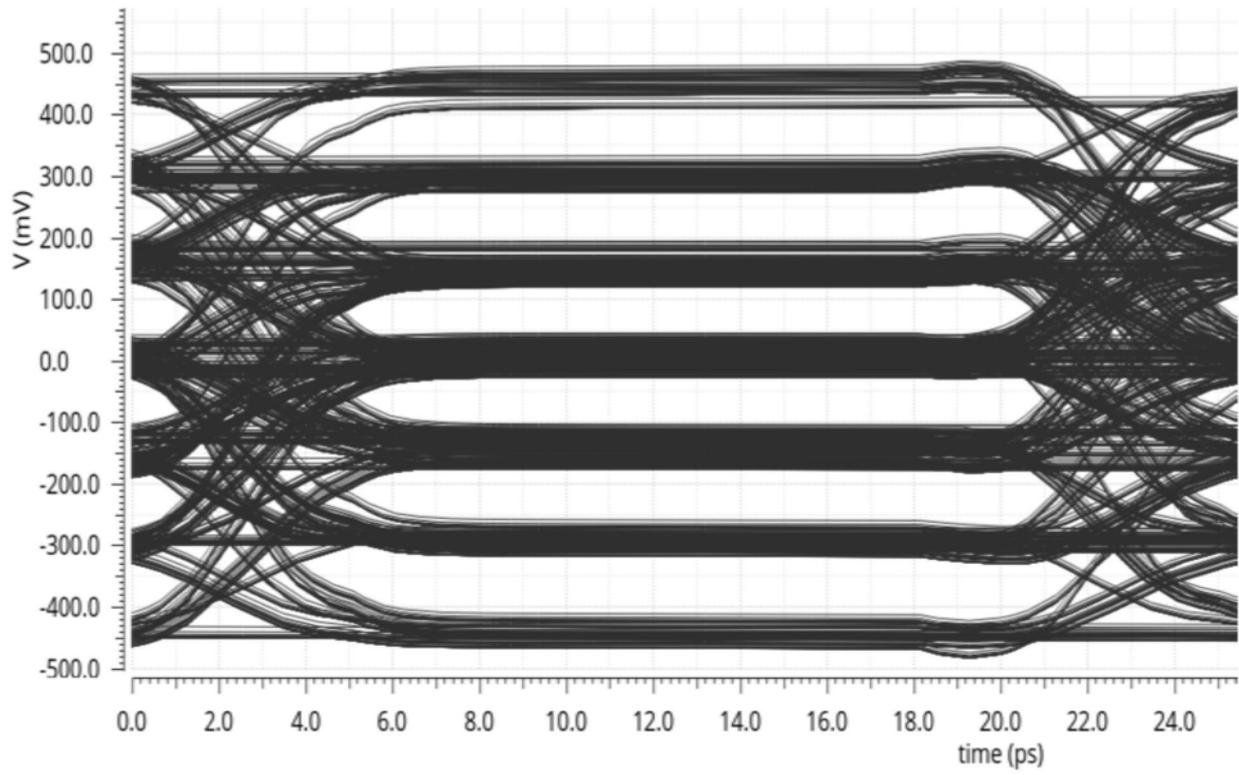


图10