



- (21)申請案號：106101874 (22)申請日：中華民國 100 (2011) 年 07 月 22 日
- (51)Int. Cl. : *H01L21/8242(2006.01)* *H01L21/8244(2006.01)*  
*H01L27/108 (2006.01)* *H01L27/11 (2006.01)*  
*G11C7/12 (2006.01)* *G11C7/18 (2006.01)*  
*G11C8/08 (2006.01)* *G11C8/14 (2006.01)*
- (30)優先權：2010/08/06 日本 2010-178045  
 2011/05/13 日本 2011-108416
- (71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY  
 LABORATORY CO., LTD. (JP)  
 日本
- (72)發明人：齋藤利彥 SAITO, TOSHIHIKO (JP)；畑勇氣 HATA, YUKI (JP)；加藤清 KATO,  
 KIYOSHI (JP)
- (74)代理人：林志剛
- (56)參考文獻：  
 TW 200802889A CN 1941299A  
 JP 2010-109341A
- 審查人員：古朝璟
- 申請專利範圍項數：4 項 圖式數：40 共 155 頁

## (54)名稱

半導體裝置

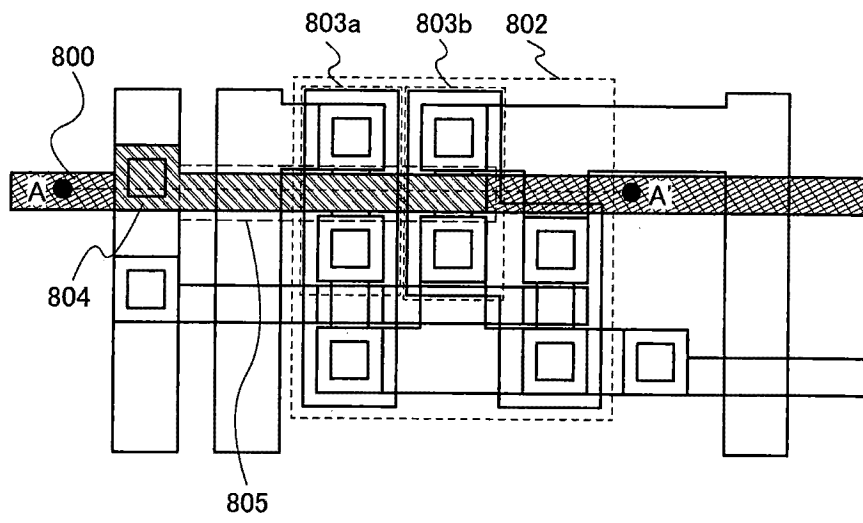
## (57)摘要

目的在於將半導體裝置微小化。另一目的是降低包含記憶胞的半導體裝置之驅動電路的面積。半導體裝置包含設有至少第一半導體元件的元件形成層、設於元件形成層上的第一佈線、設於第一佈線上的層間膜、及與第一佈線重疊而以層間膜設於其間之第二佈線。第一佈線、層間膜、及第二佈線包含於第二半導體元件中。第一佈線及第二佈線是被供予相同電位的佈線。

An object is to miniaturize a semiconductor device. Another object is to reduce the area of a driver circuit of a semiconductor device including a memory cell. The semiconductor device includes an element formation layer provided with at least a first semiconductor element, a first wiring provided over the element formation layer, an interlayer film provided over the first wiring, and a second wiring overlapping with the first wiring with the interlayer film provided therebetween. The first wiring, the interlayer film, and the second wiring are included in a second semiconductor element. The first wiring and the second wiring are wirings to which the same potentials are supplied.

指定代表圖：

圖 8



符號簡單說明：

800 . . . 訊號線

802 . . . 反及閘

803a . . . 電晶體

803b . . . 電晶體

804 . . . 訊號線

805 . . . 區域

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

## 【技術領域】

本發明係關於使用半導體元件的半導體裝置。

## 【先前技術】

例如能夠重複地寫入及抹拭資料非依電性的儲存裝置等半導體裝置是便利的且具有高的物理衝擊耐受性，舉例而言，非依電性儲存裝置可為 EEPROM 和快閃記憶體等。因此，它們主要用於例如 USB 快閃驅動器及記憶卡、資料被無線地讀取的射頻識別 (RFID) 媒體的 RF 標籤等可攜式儲存媒體，而且可以在市場上廣泛地取得。在半導體裝置中，作為儲存元件的電晶體包含於每一記憶胞中。此外，電晶體包含位於閘極電極與作為主動層的半導體膜之間稱為浮動閘極的電極。在浮動閘極中電荷的累積能夠儲存資料。

專利文獻 1 及 2 是包含形成於玻璃基底上的浮動閘極之薄膜電晶體。

## [參考文獻]

[專利文獻 1] 日本公開專利申請號 H6-021478

[專利文獻 2] 日本公開專利申請號 2005-322899

### 【發明內容】

在形成包含眾多訊號線的電路以作為半導體裝置的驅動電路的情形中，較佳的是增加佈線層的數目及在每一層中形成訊號線以便降低驅動電路的面積。但是，在增加佈線層的數目時簡單地增加佈線掩罩的數目因為成本的增加而不受喜好。

特別地，例如儲存裝置等半導體裝置包含記憶胞及用於驅動記憶胞的驅動電路；因此，半導體裝置的大小受限於驅動電路的面積。亦即，即使當僅有記憶胞的面積降低時，除非驅動電路的面積降低，否則半導體裝置無法整體地微小化。因此，在微小化半導體裝置時，重要的是降低驅動電路的面積。

慮及上述，本發明的一實施例之目的是微小化半導體裝置。

本發明的一實施例之另一目的是降低包含記憶胞的半導體裝置的驅動電路的面積。

本發明的實施例是半導體裝置，其包含設有至少第一半導體元件的元件形成層、設於元件形成層上的第一佈線、設於第一佈線上的層間膜、及與第一佈線重疊且以層間膜介於其間的第二佈線。第一佈線、層間膜、及第二佈線包含於第二半導體元件中。第一佈線及第二佈線是被供

予相同電位的佈線。

本發明的另一實施例是半導體裝置，其包含設有至少第一半導體元件的元件形成層、設於元件形成層上的第一佈線、設於第一佈線上的層間膜、及與第一佈線重疊且以層間膜介於其間的第二佈線。第一佈線、層間膜、及第二佈線包含於第二半導體元件中。第一佈線及第二佈線是共同模式訊號輸入的佈線。

本發明的另一實施例是半導體裝置，其包含記憶胞及記憶胞的驅動電路部份。記憶胞包含：第一電晶體，包括第一通道形成區、第一閘極電極、第一源極電極、及第一汲極電極；第二電晶體，包括第二通道形成區、第二閘極電極、第二源極電極、及第二汲極電極；以及，電容器。第二電晶體設置成至少與第一電晶體重疊。驅動電路部份設有包含第一佈線和第二佈線的半導體元件。第一佈線是由與第二源極電極和第二汲極電極相同的製程形成。第二佈線與第一佈線重疊而以層間膜設於其間，且由與第二閘極電極相同的製程形成。第一佈線及第二佈線是被供予相同電位的佈線。

本發明的另一實施例是半導體裝置，其包含記憶胞及記憶胞的驅動電路部份。記憶胞包含：第一電晶體，包括第一通道形成區、第一閘極電極、第一源極電極、及第一汲極電極；第二電晶體，包括第二通道形成區、第二閘極電極、第二源極電極、及第二汲極電極；以及，電容器。第二電晶體設置成至少與第一電晶體重疊。驅動電路部份

設有包含第一佈線和第二佈線的半導體元件。第一佈線是由與第二源極電極和第二汲極電極相同的製程形成。第二佈線與第一佈線重疊而以層間膜設於其間，且由與第二閘極電極相同的製程形成。第一佈線及第二佈線是共同模式訊號輸入的佈線。

在上述半導體裝置中，半導體元件可以是位準偏移器。層間膜的厚度較佳地大於或等於 10 nm 且小於或等於 100 nm。

在本說明書等中，在元件之間的位置關係的說明中，「在...之上」或「在...之下」並非一定分別意指「直接在...之上」或「直接在...之下」。舉例而言，「在閘極絕緣膜上的閘極電極」之說明意指閘極絕緣膜與閘極電極之間有增加的元件的情形。

此外，在本說明書等中，例如「電極」或「佈線」等名詞並非限定元件的功能。舉例而言，「電極」在某些情形中可以作為「佈線」的一部份，反之亦然。此外，「電極」或「佈線」等詞包含以集成方式形成複數「電極」或「佈線」的情形。

舉例而言，當使用具有不同極性的電晶體時或在電路操作時改變電流方向時，「源極」和「汲極」的功能有時可以互相取代。因此，在本說明書中，「源極」和「汲極」等詞可以用以分別表示汲極和源極。

注意，在本說明書等中，「電連接」一詞包含複數個元件經由「具有任何電功能的物體」而連接之情形。只要

可以在經由物體而連接的複數個元件之間傳送及接收電訊號，則對於「具有任何電功能的物體」並無特別限定。

「具有任何電功能的物體」的實施例是例如電晶體等切換元件、電阻器、電感器、電容器、及具有各種不同功能的元件與電極和佈線。

在本說明書等中，「相同電位」包含「實質上相同的電位」。本發明的技術概念在於製造堆疊的複數導體層（第一佈線及第二佈線）而以薄絕緣膜設於其間，以作為佈線，並降低電路中的寄生電容。因此，「相同電位」包含「實質上相同的電位」，例如相較於第一電位（例如，VDD）供應至第一佈線的情形，使寄生電容充份降低（至百分之一或更低）的電位，以及從不同於第一電位的電源線之電源線供應至第二佈線的第二電位（例如，GND）。此外，導因於佈線電阻等的電位偏移是可合理接受的。類似地，「共同模式」電位包含「實質上共同模式」電位。

根據本發明的一實施例，提供微小化的半導體裝置。

又根據本發明的一實施例，提供包含記憶胞和面積降低的驅動電路之半導體裝置。

#### 【圖式簡單說明】

在附圖中，

圖 1A 是半導體裝置的剖面視圖，圖 1B 是其電路圖；

圖 2 是半導體裝置的電路圖；

圖 3 是半導體裝置的電路圖；

圖 4 是半導體裝置的剖面視圖；

圖 5 是半導體裝置的電路圖；

圖 6 是半導體裝置的電路圖；

圖 7 是半導體裝置的剖面視圖；

圖 8 是半導體裝置的平面視圖；

圖 9 是半導體裝置的電路圖；

圖 10 是半導體裝置的剖面視圖；

圖 11 是半導體裝置的平面視圖；

圖 12 是半導體裝置的電路圖；

圖 13 是半導體裝置的剖面視圖；

圖 14 是半導體裝置的電路圖；

圖 15A 是半導體裝置的剖面視圖，及圖 15B 是其平面視圖；

圖 16A 至 16G 是剖面視圖，顯示半導體裝置的製造步驟；

圖 17A 至 17E 是剖面視圖，顯示半導體裝置的製造步驟；

圖 18A 至 18D 是剖面視圖，顯示半導體裝置的製造步驟；

圖 19A 至 19D 是剖面視圖，顯示半導體裝置的製造步驟；

圖 20A 至 20C 是剖面視圖，顯示半導體裝置的製造步驟；



圖 21A 至 21F 是電子裝置的實施例；

圖 22A 及 22B 是半導體裝置的剖面視圖；

圖 23A 至 23C 是剖面視圖，顯示半導體裝置的製造步驟；

圖 24A 至 24E 均顯示根據本發明的一實施例之氧化物材料的結構；

圖 25A 至 25C 均顯示根據本發明的一實施例之氧化物材料的結構；

圖 26A 至 26C 均顯示根據本發明的一實施例之氧化物材料的結構；

圖 27 顯示藉由計算取得的遷移率相對於閘極電壓的相依性；

圖 28A 至 28C 均顯示藉由計算取得的汲極電流和遷移率相對於閘極電壓的相依性；

圖 29A 至 29C 均顯示藉由計算取得的汲極電流和遷移率相對於閘極電壓的相依性；

圖 30A 至 30C 均顯示藉由計算取得的汲極電流和遷移率相對於閘極電壓的相依性；

圖 31A 及 31B 是用於計算的電晶體的結構的剖面視圖；

圖 32A 至 32C 均顯示包含氧化物半導體膜的電晶體的特徵曲線；

圖 33A 及 33B 均顯示已接受 BT 測試的樣品 1 的電晶體的  $V_g-I_d$  特徵曲線；

圖 34A 及 34B 均顯示已接受 BT 測試的樣品 2 的電晶體的  $V_g$ - $I_d$  特徵曲線；

圖 35 顯示樣品 A 和樣品 B 的 XRD 光譜；

圖 36 顯示測量電晶體時關閉狀態電流與基底溫度之間的關係；

圖 37 顯示  $I_d$  及場效遷移率相對於  $V_g$  的相依性；

圖 38A 顯示基底溫度與臨界電壓之間的關係，圖 38B 顯示基底溫度與場效遷移率之間的關係；

圖 39A 是半導體裝置的上視圖，圖 39B 是其剖面視圖；以及

圖 40A 是半導體裝置的上視圖，圖 40B 是其剖面視圖。

### 【實施方式】

於下，將參考附圖，詳述本發明的實施例。注意，本發明不限於下述說明，習於此技藝者將清楚知道，在不悖離本發明的精神及範圍下，可以以不同方式修改模式及細節。因此，本發明不應被解釋成侷限於下述實施例中的說明。

注意，在某些情形中，爲了簡明起見，圖式等中所示的每一結構的位置、尺寸、範圍、等等未準確地顯示。因此，本發明不必侷限於圖式等中所揭示的位置、尺寸、範圍、等等。

在本說明書等中，使用例如「第一」、「第二」及

「第三」等序號以避免在元件之間造成混淆，這些名詞並非意指元件數目的限定。

(實施例 1)

在本實施例中，將參考圖式，說明根據本發明的一實施例之半導體裝置的基本結構。

圖 1A 及 1B 顯示明根據本發明的一實施例之半導體裝置的結構。圖 1A 顯示半導體裝置的剖面結構。圖 1B 顯示電路配置。

圖 1A 顯示半導體裝置的結構，其中，設有例如電晶體等半導體元件的層 301（於下稱為元件形成層 301）、第一佈線 302、第一層間膜 305、第二佈線 303、第二層間膜 306、及第三佈線 304 堆疊於基底 300 上。元件形成層 301 是例如電容器或電阻器等半導體元件與電晶體形成的區域。在圖 1A 及 1B 中，第一層間膜 305 比第二層間膜 306 薄。使用導體層，將第一佈線 302、第二佈線 303、及第三佈線 304 均形成為具有單層結構或是層疊結構。此外，藉由使用絕緣層，將第一層間膜 305 及第二層間膜 306 形成為具有單層結構或層疊結構。

圖 1B 顯示電路 100 的電路配置及電路 100 中的佈線位置關係。電路 100 包含遍佈電路 100 設置的佈線 303a、從佈線 303a 分出的佈線 302a、電晶體 101、及區域 102，在區域 102 中，佈線 303a 與佈線 302a 彼此重疊。此外，佈線 303a 被給予輸入訊號並經由電連接至佈

線 303a 的佈線 302a 而連接至電晶體 101 的閘極電極。使用圖 1A 中的第二佈線 303 以形成佈線 303a，以及，使用圖 1A 中的第一佈線 302 以形成佈線 302a。

一般而言，具有圖 1A 中的剖面結構之半導體裝置具有下述問題。由於儘有薄的第一層間膜 305 設於第一佈線 302 與第二佈線 303 之間，所以，可能在第一佈線 302 與第二佈線 303 彼此重疊的區域中產生大的寄生電容。結果，給予第一佈線 302 及第二佈線 303 的訊號之延遲時間增加，電路操作因此而減緩或停止。為避免此不利效果，能夠採用一結構，其中，僅使用第一佈線 302 及第二佈線 303 中之一；但是，在該情形中，具有之問題為電路面積因為使用的佈線之數目增加一而增加。

另一方面，當使用圖 1B 中的配置時，能夠抑制訊號的延遲時間增加，但是，在佈線 303a 及佈線 302a 彼此重疊的區域 102 中產生大寄生電容。這是因為產生電容之二端子因佈線 303a 與佈線 302a 之間的電連接而處於實質上相同的電位，以致於二端子容易被充電及放電。

因此，使用第一佈線與第二佈線彼此重疊而以薄層間膜（圖 1A 中的第一層間膜 305）設於其間之區域，形成電路，導致電路面積比僅使用第一佈線與第二佈線中之一的情形降低。結果，取得半導體裝置的尺寸縮減。

藉由採用圖 1B 中所示的電路配置及佈線的位置關係，無論圖 1A 中所示的第一層間膜 305 的厚度可以多小，第一佈線 302 與第二佈線 303 彼此重疊的區域都能作

為部份電路，有利於降低電路面積。另一方面，在半導體裝置中使用第一層間膜 305 作為電容器的介電質或電晶體的閘極絕緣膜之情形中，第一層間絕緣膜 305 的厚度較佳地大於或等於 10 nm 且小於或等於 300 nm，更佳地大於或等於 10 nm 且小於或等於 100 nm，又更佳地大於或等於 10 nm 且小於或等於 30 nm。

此外，在圖 1B 中的配置中，佈線 302a 可以比佈線 303a 還薄。在該情形中，關切佈線 302a 比佈線 303a 具有更高的片電阻並因而具有高的佈線電阻。但是，當使用佈線 303a 作為遍佈電路 100 設置的長佈線 302a 時，能夠使用佈線 302a 僅作為短佈線；因此，佈線 302a 的佈線電阻降低。因此，能夠降低佈線電阻對電路操作的不利效果。

在半導體裝置的製程中，佈線 302a 的厚度降低造成導因於設在較低層中的佈線 302a 的步階高度降低、並防止佈線 303a 斷開及佈線 302a 與佈線 303a 之間短路，這是較佳的。舉例而言，佈線 302a 的厚度較佳地大於或等於 50 nm 且小於或等於 150 nm。藉由將佈線 302a 的厚度設於上述值，佈線 302a 具有高的片電阻，並抑制佈線 302a 的佈線電阻對電路操作的影響，以及，降低製程中導因於佈線 302a 的步階之不利影響。

注意，圖 1B 顯示一實施例，其中，佈線 302a 及電晶體 101 的閘極電極在電路 100 中彼此電連接，而為典型實施例；但是，本實施例不限於此。佈線 302a 可以連接至眾多電晶體的閘極電極。或者，佈線 302a 可以是電晶體

的源極電極或汲極電極或是例如電容器或電阻器等半導體元件，以取代連接至電晶體的閘極電極。

接著，將說明使用圖 2 中的電路配置及佈線的位置關係之半導體裝置，作為不同於圖 1B 中的半導體裝置。注意，圖 1A 中的剖面結構應用至半導體裝置的剖面結構。

圖 2 顯示電路 200 的電路配置及電路 200 中的佈線的位置關係。電路 200 包含佈線 303b、佈線 302b、電晶體 201 和 202、以及區域 203，在區域 203 中，佈線 303b 與佈線 302b 彼此重疊。佈線 303b 被給予輸入至電路 200 的訊號並電連接至電晶體 201 的閘極電極。此外，佈線 302b 被給予電路 200 輸出的訊號並電連接至電晶體 202 的源極電極和汲極電極之一。使用圖 1A 中的第二佈線 303 以形成佈線 303b，以及，使用圖 1A 中的第一佈線 302 以形成佈線 302b。

佈線 303b 及佈線 302b 被給予共同模式訊號。此處，共同模式訊號意指具有相同相位的訊號。在它們是數位訊號的情形中，它們意指具有彼此對應的高位準週期的訊號及彼此對應的低位準週期。注意，數位訊號的對應程度較佳地如下所述：訊號的上升時間或下降時間中的至少部份彼此重疊。在訊號之一的上升時間或下降時間與其它訊號的上升時間或下降時間重疊之情形中，每一佈線的寄生電容的充電及放電被抑制，以致於相較於訊號之一的上升時間或下降時間未與其它訊號的上升時間或下降時間重疊之情形，訊號的延遲時間被降低。

如上所述，一般而言，具有圖 1A 中的剖面結構的半導體裝置具有下述問題。由於僅有薄的第一層間膜 305 設於第一佈線 302 與第二佈線 303 之間，所以，可能在第一佈線 302 與第二佈線 303 彼此重疊的區域中產生大的寄生電容。結果，施加至第一佈線 302 及第二佈線 303 的訊號之延遲時間增加且電路操作減慢或停止。為避免此不利效果，能夠採用一結構，其中，僅使用第一佈線 302 與第二佈線 303 中之一；但是，在該情形中，有一問題為由於使用的佈線數目減少一，所以電路的面積增加。

另一方面，當使用圖 2 中的配置時，能夠抑制訊號的延遲時間增加，但是，在佈線 303b 與佈線 302b 彼此重疊的區域 203 中產生大寄生電容。這是因為佈線 303b 與佈線 302b 被施加共同模式訊號，造成產生寄生電容的二端子之間的電位差降低並抑制二端子的充電及放電。

因此，佈線 303b 與佈線 302b 彼此重疊而以薄層間膜（圖 1A 中的第一層間膜 305）設於其間的區域 203 作為部份電路，導致電路面積比僅使用佈線 302b 和佈線 303b 的情形減少。結果，取得半導體裝置的尺寸減少。

注意，第一層間膜 305 比圖 1A 中所示的第二層間膜 306 薄的結構用於不同的半導體裝置。舉例而言，這些半導體裝置可以具有一結構，在此結構中，第一佈線 302 與第二佈線 303 作為形成於元件形成層 301 上的半導體元件以外的某些半導體元件。具體而言，這些半導體裝置具有第一佈線 302 和第二佈線 303 作為電容器的電極之結構。

由於電容器的介電質較薄，所以，電容值增加；因此，第一層間膜 305 較佳的薄。當使用第一佈線 302 作為電晶體的閘極電極及第二佈線 303 作為電晶體的源極電極和汲極電極時，由於使用第一層間膜 305 作為閘極絕緣膜，所以，在某些情形中第一層間膜 305 形成為薄的。注意，第一佈線 302 可以作為源極電極和汲極電極，以及，第二佈線 303 可以作為閘極電極。關於電晶體，使用具有包含非晶矽的半導體主動區之電晶體、具有包含氧化物半導體的半導體主動區之電晶體、等等。此外，可以使用第一佈線 302 及第二佈線 303 作為儲存元件或電阻器的一部份。

藉由使用圖 2 中所示的電路配置及佈線的位置關係，無論圖 1A 中所示的第一層間膜 305 的厚度可以多小，第一佈線 302 與第二佈線 303 彼此重疊的區域都能作為部份電路，有利於降低電路面積。另一方面，在半導體裝置中使用第一層間膜 305 作為電容器的介電質或電晶體的閘極絕緣膜之情形中，第一層間絕緣膜 305 的厚度較佳地大於或等於 10 nm 且小於或等於 300 nm，更佳地大於或等於 10 nm 且小於或等於 100 nm，又更佳地大於或等於 10 nm 且小於或等於 30 nm。

注意，圖 2 顯示一實施例，其中，在電路 200 中，佈線 303b 與電晶體 201 的閘極電極彼此電連接，佈線 302b 與電晶體 202 的源極電極或汲極電極彼此電連接，而為典型之實施例；但是，本實施例不限於此。佈線 303b 可以連接至電晶體的源極電極和汲極電極之一。佈線 302b 可



以連接至電晶體的閘極電極。或者，佈線 302b 與佈線 303b 可以連接至眾多電晶體的閘極電極、源極電極、或汲極電極或是例如電容器機構、電阻器機構、或二極體等半導體元件。

注意，雖然在本實施例中使用圖 1A 中的第二佈線 303 來形成佈線 303b 及使用圖 1A 中的第一佈線 302 來形成佈線 302b，但是，可以使用圖 1A 中的第二佈線 303 來形成佈線 302b 及使用圖 1A 中的第一佈線 302 來形成佈線 303b。

注意，在圖 2 中，佈線 303b 被施予輸入至電路 200 的訊號；但是，本實施例不限於此。佈線 303b 可以被施予電路 200 的內部訊號之一。此外，在圖 2 中，佈線 302b 被施予電路 200 輸出的訊號；但是，本實施例不限於此。佈線 302b 可以被施予電路 200 的內部訊號之一。

本實施例中所述的結構、方法、等等可以與其它實施例中所述的結構、方法、等等適當地結合。

## （實施例 2）

在本實施例中，將參考附圖，說明實施例 1 中所述的電路配置應用至半導體裝置的驅動電路的實施例。在本實施例中，使用儲存裝置作為半導體裝置的實施例。

## < 記憶胞的結構及操作 >

首先，將說明包含於儲存裝置中的記憶胞 502 的結構

和操作。圖 3 是記憶胞 502 的電路圖。圖 3 中的記憶胞 502 包含第一電晶體 1201、第二電晶體 1202、及電容器 1203。第二電晶體 1202 的閘極電極電連接至第二訊號線 S2，第二電晶體 1202 的源極電極和汲極電極之一電連接至第一訊號線 S1。第二電晶體 1202 的源極電極和汲極電極中之另一電極電連接至第一電晶體 1201 的閘極電極及電容器 1203 的電極之一。第一電晶體 1201 的源極電極電連接至源極線 (SL)，以及，第一電晶體 1201 的汲極電極電連接至位元線 (BL)。電容器 1203 的另一電極電連接至字線 (WL)。

此處，使用包含氧化物半導體的電晶體作為第二電晶體 1202。由於包含氧化物半導體的電晶體之關閉狀態電流極度低，所以，包含此電晶體的記憶胞能夠將儲存的資料固持相當長的時間。換言之，更新操作變成不需要或是更新操作的頻率可以相當低，導致包含記憶胞的半導體裝置之耗電充份降低。此外，即使未被供予電力時，儲存的資料仍然可以長時間地儲存。此外，包含氧化物半導體以外的半導體材料之電晶體作為第一電晶體 1201。注意，關於第一電晶體 1201 的半導體材料，較佳地使用矽、鍺、矽鍺、碳化矽、砷化鎵、或類似者，以及，較佳地使用單晶半導體。舉例而言，包含此半導體材料的第一電晶體 1201 能以足夠高的速度操作，以致於能夠高速地讀取儲存的資料。

圖 4 是視圖，顯示記憶胞 502 的剖面。如圖 4 所示，

記憶胞 502 包含第一電晶體 1301 及設置成至少與第一電晶體 1301 重疊的第二電晶體 1302。第二電晶體 1302 設置於第一電晶體 1301 的上方，以及，第一電晶體 1301 的閘極電極以及第二電晶體 1302 的源極電極和汲極電極之一彼此電連接。圖 4 中的第一電晶體 1301 和第二電晶體 1302 分別對應於圖 3 中的第一電晶體 1201 和第二電晶體 1202。

圖 3 中的半導體裝置使用能夠固持第一電晶體 1201 的閘極電極的電位之特徵，藉以如下所述般寫入、儲存、及讀取。

將說明資料的寫入及儲存。首先，第二訊號線 (S2) 的電位設定於使第二電晶體 1202 開啓的電位，以致於第二電晶體 1202 開啓。因此，第一訊號線 (S1) 的電位供應至第一電晶體 1201 的閘極電極及電容器 1203。亦即，預定的電位施加至第一電晶體 1201 的閘極電極 (佈線)。此處，用於供應二不同電位的電荷之一 (於下，用於供應低電位的電荷稱為電荷  $Q_L$ ，用於供應高電位的電荷稱為電荷  $Q_H$ ) 施加至第一電晶體 1201 的閘極電極。注意，可以施加給予三或更多不同的電位之電荷以增加儲存容量。

之後，第二訊號線 (S2) 的電位設定於使第二電晶體 1202 關閉的電位，以致於第二電晶體 1202 關閉。因此，施加至第一電晶體 1201 的閘極電極的電荷被固持 (儲存)。由於第二電晶體 1202 的關閉狀態電流顯著地小，

所以，第一電晶體 1201 的閘極電極的電位長時間保持。

接著，將說明資料讀取的操作。藉由供應適當的電位（讀取電位）給字線（WL），並供應預定電位（固定電位）給源極線（SL），位元線（BL）的電位會視固持於第一電晶體 1201 的閘極電極中的電荷量而變。一般而言，這是因為當第一電晶體 1201 為 n 通道電晶體時，在  $Q_H$  施加至第一電晶體 1201 的閘極電極之情形中視在臨界電壓  $V_{th\_H}$  低於  $Q_L$  施加至第一電晶體 1201 的閘極電極之情形中視在臨界電壓  $V_{th\_L}$ 。此處，視在臨界電壓意指開啓第一電晶體 1201 所需的字線（WL）的電壓。

因此，字線（WL）的電位被設定於在  $V_{th\_H}$  與  $V_{th\_L}$  中間的電位  $V_0$ ，因而決定施加至第一電晶體 1201 的閘極電極之電荷。舉例而言，在寫入時施加  $Q_H$  的情形中，當字線（WL）的電位設定於  $V_0$  時，由於  $V_0$  高於  $V_{th\_H}$ ，所以，第一電晶體 1201 開啓。另一方面，在寫入時施加  $Q_L$  的情形中，當字線（WL）的電位設定於  $V_0$  時，由於  $V_0$  低於  $V_{th\_L}$ ，所以，第一電晶體 1201 維持在關閉狀態。因此，藉由決定位元線（BL）的電位，讀取儲存的資料。

注意，在記憶胞排成行列以被使用的情形中，僅有所需的記憶胞的資料需要被讀取。因此，在預定的記憶胞的資料被讀取及其它記憶胞的資料未被讀取的情形中，無論閘極電極的狀態為何而能將第一電晶體 1201 開啓或關閉的電位可以供應至其資料不是要被讀取的記憶胞的字線（WL）。具體而言，無論閘極電極的狀態為何，為了開

啓第一電晶體 1201，高於  $V_{th\_L}$  的電位可以供應至字線 (WL)。無論閘極電極的狀態為何，爲了關閉第一電晶體 1201，低於  $V_{th\_L}$  的電位可以供應至字線 (WL)。

視記憶胞 502 的連接關係 (例如，視記憶胞串聯或並聯) 而適當地決定供應開啓第一電晶體 1201 的電位或是關閉第一電晶體 1201 的電位給資料不是要被讀取的記憶胞的字線 (WL)。

接著，將說明資料的重寫。類似於資料的寫入或儲存，執行資料重寫。亦即，第二訊號線 (S2) 的電位設定於開啓第二電晶體 1202 的電位，因而開啓第二電晶體 1202。因此，第一訊號線 (S1) (與新資料有關的電位) 的電位供應至第一電晶體 1201 的閘極電極和電容器 1203。之後，第二訊號線 (S2) 的電位設定於關閉第二電晶體 1202 的電位，因而關閉第二電晶體 1202。因此，與新資料有關的電荷被固持於第一電晶體 1201 的閘極電極中。

因此，在根據本發明的半導體裝置中，藉由新資料的覆寫而直接重寫資料。因此，不需要使用快閃記憶體中所需的高電壓等等來將浮動閘極中電荷取出，因此，抑制歸因於抹拭操作的操作速度下降。亦即，實現半導體裝置的高速操作。此外，在該情形中，不存在習知的浮動閘極電晶體中指出的閘極絕緣膜 (隧道絕緣膜) 劣化的問題。也就是說，能夠忽略傳統上被視爲問題之導因於電子注入浮動閘極的閘極絕緣膜的劣化。這意指寫入次數在原理上並

無限定。

注意，第二電晶體 1202 的源極電極或汲極電極電連接至第一電晶體 1201 的閘極電極，因而具有類似於用於非依電性儲存元件的浮動閘極電晶體的浮動閘極之效果。因此，在圖中第二電晶體 1202 的源極電極或汲極電極電連接至第一電晶體 1201 的閘極電極之部份稱為節點 C。當第二電晶體 1202 關閉時，節點 C 被視為嵌入於絕緣體中，因而電荷被固持於節點 C 中。包含氧化物半導體的第二電晶體 1202 的關閉狀態的電流數量低於或等於包含矽半導體的電晶體的關閉狀態電流的數量的十萬分之一；因此，導因於第二電晶體 1202 的漏電流之累積於節點 C 中的電荷遺失是可忽略的。亦即，根據包含氧化物半導體的第二電晶體 1202，能夠實現不用被供予電力即可儲存資料的實質上非依電性的儲存裝置。

舉例而言，當第二電晶體 1202 的關閉狀態電流在室溫（25°C）下是 10 zA（1 zA（介安培（zeptoampere）是  $1 \times 10^{-21}$  A）或較低且電容器 1203 的電容值約 10 fF 時，資料可以被儲存  $10^4$  秒或更長。無需多言，儲存時間取決於電晶體特徵及電容值。

#### < 半導體裝置的結構 >

圖 5 是半導體裝置的電路圖實施例。圖 5 是記憶胞 502 及驅動記憶胞 502 的驅動電路之電路圖。圖 5 中的驅動電路包含列解碼器 500、列驅動器 501、及記憶胞

502。眾多列驅動器 501 和眾多記憶胞 502 排成陣列。

列驅動器 501 包含反及 (NAND) 閘部份 504、第一位準偏移器 505、第一緩衝器 506、第二 NAND 閘 507、第二位準偏移器 508、及第二緩衝器 509。NAND 閘部份 504 包含第一 NAND 閘 503。

#### < 驅動電路部份的結構及操作 >

將說明圖 5 中的驅動電路的操作。列驅動器 501 中之一由列解碼器 500 選取。列解碼器 500 的輸出線電連接至第一 NAND 閘 503 的輸入部份之一以及第二 NAND 閘 507 的輸入部份之一。同時，第一 NAND 閘 503 的其它輸入部份電連接至寫入賦能訊號線 (WE)，以及，第二 NAND 閘 507 的其它輸入部份電連接至讀取賦能訊號線 (RE)。因此，在寫入操作時，亦即，當 WE 是活動時，第一 NAND 閘 503 的輸出是活動的。在讀取操作時，亦即，當 RE 是活動時，第二 NAND 閘 507 的輸出是活動的。

第一 NAND 閘 503 的輸出輸入至第一位準偏移器 505，以及，第二 NAND 閘 507 的輸出輸入至第二位準偏移器 508。同時，寫入電壓 (VW) 施加至第一位準偏移器 505 的電源線，以及，讀取電壓 (VR) 施加至第二位準偏移器 508 的電源線。因此，當第一 NAND 閘 503 的輸出是活動時，第一位準偏移器 505 執行放大，以致於產生電壓，以及，當第二 NAND 閘 507 的輸出是活動時，第二

位準偏移器 508 放大列解碼器 500 的輸出，以致於產生讀取電壓。第一位準偏移器 505 的輸出通過第一緩衝器 506 以及從第二訊號線 (S2) 輸入至記憶胞 502，以及，第二位準偏移器 508 的輸出通過第二緩衝器 509 及從字線 (WL) 輸入至記憶胞 502。除了第二訊號線 (S2) 及字線 (WL) 之外，位元線 (BL) 及第一訊號線 (S1) 也連接至記憶胞 502。

如圖 3 所示，記憶胞 502 包含第一電晶體 1201、及設置成與第一電晶體 1201 重疊的第二電晶體 1202。此處，包含圖 4 中的第一電晶體 130 的層 1300 對應於圖 1A 中的元件形成層 301。此外，在本實施例中，經由與第二電晶體 1202 的源極電極和汲極電極相同的製程形成之驅動電路部份的佈線對應於圖 1A 中的第一佈線 302。由與第二電晶體 1202 的閘極絕緣膜相同的製程形成的層間膜對應於圖 1A 中的第一層間膜 305。經由與第二電晶體 1202 的閘極電極相同的製程形成之驅動電路部份的佈線對應於圖 1A 中的第二佈線 303。在該情形中，藉由應用實施例 1 的結構，經由與包含於記憶胞 502 中的第二電晶體 1202 的源極電極和汲極電極相同的製程形成之驅動電路部份的佈線以及經由與第二電晶體 1202 的閘極電極相同的製程形成之佈線都可以作為電路的一部份。因此，驅動電路部份的面積降低。

更具體而言，實施例 1 中所述的電路配置應用至 NAND 閘部份 504、第一位準偏移器 505、及第二位準偏



移器 508。圖 1B 中的電路配置應用至 NAND 閘極部份 504，以及，圖 2 中的電路配置應用至第一位準偏移器 505 及第二位準偏移器 508。

首先，將參考圖式，說明圖 1B 中的電路配置應用至 NAND 閘部份 504。圖 6 是 NAND 閘部份 504 的電路圖。

圖 6 中的電路包含 n 通道電晶體 601 和 602、p 通道電晶體 603 和 604、及訊號線 605 和 606。

訊號線 605 是驅動眾多 NAND 閘（圖 5 中的 NAND 閘 503 和 NAND 閘 507）之共同訊號線。訊號線 606 電連接至訊號線 605、n 通道電晶體 601 的閘極電極、以及 p 通道電晶體 603 的閘極電極。

在圖 6 中，訊號線 606 和訊號線 605 分別對應於圖 1A 中的第一佈線 302 及第二佈線 303。更具體而言，經由與包含於記憶胞 502 中的第二電晶體 1202 的源極電極和汲極電極相同的製程形成訊號線 606，以及，經由與第二電晶體 1202 的閘極電極相同的製程形成訊號線 605。因此，包含於記憶胞 502 中的第二電晶體 1202 的閘極絕緣膜以及訊號線 606 與訊號線 605 之間的層間膜經由相同製程形成，以致於層間膜的厚度降低。層間膜的厚度大於或等於 10 nm 且小於或等於 300 nm，較佳地大於或等於 10 nm 且小於或等於 100 nm，更佳地大於或等於 10 nm 且小於或等於 30 nm。

區域 607 包含於圖 6 中，其中，訊號線 606 及訊號線 605 彼此重疊。雖然在訊號線 605 與訊號線 606 彼此重疊

的區域 607 中產生大的寄生電容，但是，能夠抑制訊號的延遲時間。這是因為產生寄生電容的二端子因為訊號線 605 與訊號線 606 之間的電連接而處於實質上相同的電位，以致於二端子較不易充電及放電。

注意，訊號線 605 可以經由與第二電晶體 1202 的源極電極和汲極電極相同的製程形成，以及，訊號線 606 可以經由與第二電晶體 1202 的閘極電極相同的製程形成。此外，較佳的是經由與源極電極和汲極電極相同的製程形成的佈線的厚度大於或等於 100 nm 且小於或等於 150 nm，小於由與閘極電極相同的製程形成的佈線的厚度。這是因為能夠防止導因於較下層（第一層）中的佈線造成的步階高度之斷開。

圖 7 顯示 NAND 閘極部份 504 的部份剖面。圖 7 中的剖面包含訊號線 700、NAND 閘 702、及訊號線 704。NAND 閘 702 包含電晶體 703a 和 703b。在圖 7 中，電晶體 703a 和 703b 由與包含於記憶胞 502 中的第一電晶體 1201 的相同製程形成。圖 7 中的訊號線 704 和訊號線 700 分別對應於圖 6 中的訊號線 606 及訊號線 605。圖 7 中訊號線 700 與訊號線 704 彼此重疊的區域 705 對應於圖 6 中的區域 607。

在圖 7 中，訊號線 700 電連接至訊號線 704，訊號線 704 電連接至 NAND 閘 702 中的電晶體 703a 的閘極電極和電晶體 703b 的閘極電極。

圖 8 是圖 6 及圖 7 中 NAND 閘部份 504 的上視圖的實

施例。圖 8 中的虛線 A-A' 對應於圖 7 中的剖面視圖 A-A'。

圖 8 中的 NAND 閘 802 對應於圖 7 中的 NAND 閘 702。訊號線 800 對應於圖 7 中的訊號線 700。訊號線 804 對應於圖 7 中的訊號線 704。訊號線 800 與訊號線 804 彼此重疊的區域 805 對應於圖 7 中的區域 705。NAND 閘 802 中的電晶體 803a 和電晶體 803b 分別對應於圖 7 中的電晶體 703a 和電晶體 703b。

包含於 NAND 閘極 702 中的電晶體 703a 和電晶體 703b 分別對應於圖 6 中的 n 通道電晶體 601 和 p 通道電晶體 603。使用與圖 4 中的第二電晶體 1302 的閘極電極相同的佈線層形成訊號線 700，以及，使用與圖 4 中的第二電晶體 1302 的源極電極和汲極電極相同的佈線層，形成訊號線 704。因此，訊號線 700 的厚度較佳地大於 200 nm，訊號線 704 的厚度較佳地大於或等於 100 nm 且小於或等於 150 nm。

區域 705 是設有訊號線 700 與訊號線 704 並以層間膜 706 設於其間的區域。層間膜 706 的厚度大於或等於 10 nm 且小於或等於 300 nm，較佳地大於或等於 10 nm 且小於或等於 100 nm，更佳地大於或等於 10 nm 且小於或等於 30 nm。層間膜 706 由與圖 4 中分開第二電晶體 1302 的閘極電極與源極和汲極電極之膜（亦即，閘極絕緣膜）相同的製程形成。

訊號線 700 與訊號線 704 僅由薄的層間膜 706 分開；

但是，即使當訊號線 700 與訊號線 704 之間的層間絕緣膜是薄的時，由於在應用圖 6 中的電路配置的情形中輸入至訊號線 700 及訊號線 704 的訊號相同，所以它們不會彼此影響。因此，即使當有訊號線 700 與訊號線 704 彼此重疊的區域 705 時，訊號線 700 及訊號線 704 作為佈線。

接著，將參考圖 9，說明圖 2 中的電路配置應用至圖 5 中的第一位準偏移器 505 及第二位準偏移器 508 之實施例。圖 9 是第一位準偏移器 505 和第二位準偏移器 508 的電路圖。

圖 9 中的位準偏移器包含  $n$  通道電晶體 901 和 902 以及  $p$  通道電晶體 903、904、905、和 906。

當圖 9 中的位準偏移器處於高位準時，輸入訊號線及反相訊號輸入線的電位是電源電位，而當圖 9 中的位準偏移器處於低位準時，這些線的電位是接地電位。此外，當圖 9 中的位準偏移器處於高位準時，輸出訊號線及反相訊號輸出線的電位是高電源電位  $VDDH$ ，而當圖 9 中的位準偏移器處於低位準時，這些線的電位是接地電位。在第一位準偏移器 505 的情形中，使用  $VW$  作為高電源電位，以及，在第二位準偏移器 508 的情形中，使用  $VR$  作為高電源電位。

在圖 9 中，輸入訊號線 910 和輸出訊號線 912 之一對應於圖 1A 中的第一佈線 302，而另一線對應於圖 1A 中的第二佈線 303。更具體而言，輸入訊號線 910 及輸出訊號線 912 之一由與包含於記憶胞 502 中的第二電晶體 1202

的源極電極和汲極電極相同的製程形成，而另一線由與第二電晶體 1202 的閘極電極相同的製程形成。

或者，在圖 9 中，反相訊號輸入線 911 及反相訊號輸出線 913 中之一可以對應於圖 1A 中的第一佈線 302，而另一線對應於圖 1A 中的第二佈線 303。更具體而言，反相訊號輸入線 911 及反相訊號輸出線 913 由與包含於記憶胞 502 中的第二電晶體 1202 的源極電極和汲極電極相同的製程形成，而另一線由與第二電晶體 1202 的閘極電極相同的製程形成。

因此，輸入訊號線 910 與輸出訊號線 912 之間的層間膜與反相輸入訊號線 911 與反相輸出訊號線 913 之間的層間膜由與包含於記憶胞 502 中的第二電晶體 1202 的閘極絕緣膜相同的製程形成，以致於減少層間膜的厚度。層間膜的厚度大於或等於 10 nm 且小於或等於 300 nm，較佳地大於或等於 10 nm 且小於或等於 100 nm，更佳地大於或等於 10 nm 且小於或等於 30 nm。

注意，輸入訊號線 910 是輸入訊號 IN 藉以輸入的佈線，反相輸入訊號線 911 是輸入訊號的反相訊號 INB 藉以輸入的佈線。此外，輸出訊號線 912 是輸出訊號 OUT 藉以輸出的佈線，反相訊號輸出線 913 是輸出訊號的反相訊號 OUTB 藉以輸出的佈線。

注意，當包含於記憶胞 502 中的第二電晶體 1302 是頂部閘極型電晶體時，較佳的是圖 1A 中的第一佈線 302 由與第二電晶體 1302 的源極電極和汲極電極相同的製程

形成，而第二佈線 303 由與第二電晶體 1302 的閘極電極相同的製程形成。這是因為在第二電晶體 1302 中源極電極和汲極電極比閘極電極薄，以致於能夠防止導因於第一佈線造成的步階高度之第二佈線的斷開。注意，第一佈線（第二電晶體 1302 的源極電極和汲極電極）的厚度較佳地大於或等於 100 nm 且小於或等於 150 nm。

注意，圖 9 顯示將高位準訊號從電源電位轉換至高電源電位之位準偏移器，以及，本發明的一實施例類似地應用至將低位準訊號從接地電位轉換至低電源電位之位準偏移器。

圖 10 顯示圖 9 中的位準偏移器的部份剖面。圖 10 中的剖面包含電晶體 1000、佈線 1001、及佈線 1002。在圖 10 中，電晶體 1000 由與包含於記憶胞 502 中的第一電晶體 1201 相同的製程形成。此外，圖 10 中的位準偏移器包含佈線 1001 與佈線 1002 彼此重疊的區域 1003。佈線 1001 電連接至電晶體 1000 的源極電極和汲極電極之一。雖然未顯示，但是佈線 1002 電連接至不同於電晶體 1000 的電晶體之閘極電極。

圖 10 中的電晶體 1000 對應於圖 9 中的反相器 900 中的電晶體。佈線 1001 及佈線 1002 分別對應於圖 9 中的反相訊號輸入線 911 和反相訊號輸出線 913。或者，佈線 1001 和佈線 1002 分別對應於圖 9 中的輸入訊號線 910 和輸出訊號線 912。

圖 11 是圖 9 和圖 10 中的位準偏移器的上視圖的實施

例。圖 11 中的虛線 B-B' 對應於圖 10 中的剖面視圖中的 B-B'。

圖 11 中的電晶體 1100 對應於圖 10 中的電晶體 1000。佈線 1101 對應於圖 10 中的佈線 1001。佈線 1102 對應於圖 10 中的佈線 1002。佈線 1101 與佈線 1102 彼此重疊的區域 1103 對應於圖 10 中的區域 1003。

在圖 10 中，佈線 1001 由與圖 4 中的第二電晶體 1302 的閘極電極相同的製程形成，以及，佈線 1002 由與圖 4 中的第二電晶體 1302 的源極電極和汲極電極相同的製程形成。因此，佈線 1001 的厚度較佳地大於或等於 200 nm，且佈線 1002 的厚度較佳地大於或等於 100 nm 且小於或等於 150 nm。

區域 1003 是設有佈線 1001 與佈線 1002 並以層間膜 1006 設於其間的區域。層間膜 1006 的厚度大於或等於 10 nm 且小於或等於 300 nm，較佳地大於或等於 10 nm 且小於或等於 100 nm，更佳地大於或等於 10 nm 且小於或等於 30 nm。層間膜 1006 由與分開圖 4 中的第二電晶體 1302 的閘極電極與源極和汲極電極之膜（亦即，閘極絕緣膜）的相同製程形成。

在應用圖 2 中的電路配置之位準偏移器中，佈線 1001 及佈線 1002 僅由上述的薄層間膜分開；但是，即使當佈線 1001 與佈線 1002 之間的層間膜是薄的時候，由於共同模式訊號輸入至佈線 1001 及佈線 1002，所以，仍然能夠抑制導因於寄生電容的不利效果。如此，即使當有佈

線 1001 與佈線 1002 彼此重疊的區域 1003 時，佈線 1001 和佈線 1002 仍然能作為佈線。

圖 2 中的電路配置應用至圖 5 中的半導體裝置的第一位準偏移器 505 與第二位準偏移器 508 之實施例不限於圖 9、圖 10、及圖 11 中的結構。舉例而言，此實施例可以是具有圖 12 及圖 13 中的結構之位準偏移器。圖 12 是第一位準偏移器 505 及第二位準偏移器 508 的電路圖，圖 13 顯示圖 12 中的位準偏移器的部份剖面。

圖 2 中的位準偏移器包含反相器 1400、n 通道電晶體 1401 和 1402、以及 p 通道電晶體 1403、1404、1405、及 1406。反相器 1400 包含 n 通道電晶體 1407 和 p 通道電晶體 1408。

當圖 12 中的位準偏移器處於高位準時，輸入訊號線及反相訊號輸線的電位是電源電位，而當圖 12 中的位準偏移器處於低位準時，這些線的電位是接地電位。此外，當圖 12 中的位準偏移器處於高位準時，輸出訊號線及反相訊號輸出線的電位是高電源電位  $VDDH$ ，而當圖 12 中的位準偏移器處於低位準時，這些線的電位是接地電位。也就是說，在第一位準偏移器 505 的情形中，使用  $VW$  作為高電源電位，以及，在第二位準偏移器 508 的情形中，使用  $VR$  作為高電源電位。

在圖 12 中，輸入訊號線 1410 及輸出訊號線 1412 中之一對應於圖 1A 中的第一佈線 302，而另一線對應於圖 1A 中的第二佈線 303。更具體而言，輸入訊號線 1410 與



輸出訊號線 1412 之一經由與包含於記憶胞 502 中的第二電晶體 1202 的源極電極和汲極電極相同的製程形成，而另一線經由與第二電晶體 1202 的閘極電極相同的製程形成。

或者，在圖 12 中，反相訊號輸入線 1411 及反相訊號輸出線 1413 可以對應於圖 1A 中的第一佈線 302，而另一線對應於圖 1A 中的第二佈線 303。更具體而言，反相訊號輸入線 1411 及反相訊號輸出線 1413 經由與包含於記憶胞 502 中的電晶體 1202 的源極電極和汲極電極相同的製程形成，而另一線由與第二電晶體 1202 的閘極電極相同的製程形成。

因此，輸入訊號線 1410 與輸出訊號線 1412 之間的層間膜或是反相訊號輸入線 1411 與反相訊號輸出線 1413 之間的層間膜經由與包含於記憶胞 502 中的第二電晶體 1202 的閘極絕緣膜相同的製程形成，以致於層間膜的厚度降低。層間膜的厚度大於或等於 10 nm 且小於或等於 300 nm，較佳地大於或等於 10 nm 且小於或等於 100 nm，更佳地大於或等於 10 nm 且小於或等於 30 nm。

注意，輸入訊號線 1410 是輸入訊號 IN 藉以輸入的佈線，以及，反相訊號輸入線 1411 是輸入訊號的反相訊號 INB 藉以輸入的佈線。此外，輸出訊號線 1412 是輸出訊號 OUT 藉以輸出的佈線，反相訊號輸出線 1413 是輸出訊號的反相訊號 OUTB 藉以輸出的佈線。

注意，當包含於記憶胞 502 中的第二電晶體 1302 是

頂部閘極型電晶體，較佳的是，圖 1 中的第一佈線 302 由與第二電晶體 1302 的源極電極和汲極電極相同的製程形成，第二佈線 303 由與第二電晶體 1302 的閘極電極相同的製程形成。這是因為在第二電晶體 1302 中源極電極和汲極電極比閘極電極薄，以致於能夠防止導因於第一佈線造成的步階高度之第二佈線的斷開。注意，第一佈線（第二電晶體 1302 的源極電極和汲極電極）的厚度較佳地大於或等於 100 nm 且小於或等於 150 nm。

注意，圖 12 顯示將高位準訊號從電源電位轉換成高電源電位之位準偏移器，以及，本發明的一實施例類似地應用至將低位準訊號從接地電位轉換成低電源電位之位準偏移器。

圖 13 顯示圖 12 中的位準偏移器的部份剖面。圖 13 中的剖面包含電晶體 1500、佈線 1501、及佈線 1502。在圖 13 中，電晶體 1500 由與包含於記憶胞 502 中的第二電晶體 1202 相同的製程形成。此外，圖 13 中的位準偏移器包含佈線 1501 與佈線 1502 彼此重疊的區域 1503。佈線 1501 電連接至電晶體 1500 的源極電極和汲極電極之一。雖然未顯示，但是，佈線 1502 電連接至不同於電晶體 1500 的電晶體的閘極電極。

圖 13 中的電晶體 1500 對應於圖 12 中的反相器 1400 中的 n 通道電晶體 1407。佈線 1501 及佈線 1502 分別對應於圖 12 中的反相訊號輸入線 1411 及反相訊號輸出線 1413。或者，佈線 1501 及佈線 1502 分別對應於圖 12 中

的輸入訊號線 1410 和輸出訊號線 1412。

在圖 13 中，佈線 1501 由與圖 4 中的第二電晶體 1302 的閘極電極相同的製程形成，佈線 1502 由與圖 4 中的第二電晶體 1302 的源極電極和汲極電極相同的製程形成。因此，佈線 1501 的厚度較佳地大於或等於 200 nm，且佈線 1502 的厚度較佳地大於或等於 100 nm 且小於或等於 150 nm。

區域 1503 是設有佈線 1501 與佈線 1502 且以層間膜 1506 設於其間的區域。層間膜 1506 的厚度大於或等於 10 nm 且小於或等於 300 nm，較佳地大於或等於 10 nm 且小於或等於 100 nm，更佳地大於或等於 10 nm 且小於或等於 30 nm。層間膜 1506 經由與分開圖 4 中第二電晶體 1302 的閘極電極與源極和汲極電極之膜（亦即，閘極絕緣膜）相同的製程形成。

在應用圖 2 中的電路配置之位準偏移器中，佈線 1501 及佈線 1502 僅由上述薄的層間膜分開；但是，即使當佈線 1501 與佈線 1502 之間的層間膜是薄的時候，由於共同模式訊號輸入至佈線 1501 和佈線 1502，所以，仍然能夠抑制導因於寄生電容的不利效果。如此，即使當有佈線 1501 與佈線 1502 彼此重疊的區域 1503 時，佈線 1501 和佈線 1502 仍然能作為佈線。

接著，將參考圖 14，說明圖 1A 中的結構應用至包含也可用於圖 5 中的半導體裝置之緩衝器的電路之實施例。圖 14 顯示包含共同訊號線的電路的實施例，訊號經由共

同訊號線輸入至包含於半導體裝置中的眾多電路，從共同訊號線分出的訊號線作為電路中的佈線。

圖 14 中的電路 1601 包含緩衝器 1602 及電路 1603。緩衝器 1602 的輸入電極電連接至訊號線 1604。訊號線 1600 是驅動包含電路 1601 的眾多電路之共同訊號線，且電連接至訊號線 1604。訊號線 1605 電連接至緩衝器 1602 的輸出端以及電路 1603 的輸入端。

在圖 14 中，訊號線 1604 及訊號線 1600 分別對應於圖 1A 中的第一佈線 302 和第二佈線 303。更具體而言，訊號線 1604 由與包含於記憶胞 502 中的第二電晶體 1202 的源極電極和汲極電極相同的製程形成，訊號線 1600 由與第二電晶體 1202 的閘極電極相同的製程形成。類似地，訊號線 1605 對應於圖 1A 中的第一佈線 302。

因此，包含於記憶胞 502 中的第二電晶體 1202 的閘極絕緣膜、訊號線 1600 與訊號線 1604 之間的層間膜、以及訊號線 1600 與訊號線 1605 之間的層間膜經由相同的製程形成，以致於層間膜的厚度降低。層間膜的厚度大於或等於 10 nm 且小於或等於 300 nm，較佳地大於或等於 10 nm 且小於或等於 100 nm，更佳地大於或等於 10 nm 且小於或等於 30 nm。

注意，當包含於記憶胞 502 中的第二電晶體 1202 是頂部閘極型電晶體時，較佳的是圖 1 中的第一佈線 302 由與第二電晶體 1302 的源極電極和汲極電極相同的製程形成，以及，第二佈線 303 由與第二電晶體 1302 的閘極電

極相同的製程形成。這是因為在第二電晶體 1302 中源極電極和汲極電極比閘極電極薄，以致於能夠防止導因於第一佈線造成的步階高度之第二佈線的斷開。注意，第一佈線（第二電晶體 1302 的源極電極和汲極電極）的厚度較佳地大於或等於 100 nm 且小於或等於 150 nm。

本實施例中所述的結構、方法、等等能與其它實施例中所述的任何結構、方法、等等適當地結合。

### （實施例 3）

在本實施例中，將參考圖 15A 至 20C，說明根據本發明的一實施例之半導體裝置的結構及製造方法。具體而言，將說明安裝於儲存裝置上的記憶胞的結構及製造方法。

#### < 半導體裝置的剖面結構及平面結構 >

圖 15A 及 15B 顯示半導體裝置的結構實施例。圖 15A 顯示半導體裝置的剖面，圖 15B 顯示半導體裝置的平面視圖。此處，圖 15A 對應於圖 15B 中的 A1-A2 和 B1-B2 剖面。圖 15A 及 15B 中所示的半導體裝置包含電晶體 160 及電晶體 162，電晶體 160 在下部中包含第一半導體材料，電晶體 162 在上部中包含第二半導體材料。此處，第一半導體材料較佳地不同於第二半導體材料。舉例而言，用氧化物半導體以外的半導體材料作為第一半導體材料，以及，使用氧化物半導體作為第二半導體材料。舉例

而言，氧化物半導體以外的半導體材料可為矽、鍺、矽鍺、碳化矽、或砷化鎵且較佳地為單晶。或者，可以使用有機半導體材料或類似者。包含氧化物半導體以外的此半導體材料之電晶體能夠容易地高速操作。另一方面，包含氧化物半導體的電晶體歸功於其特徵而能長時間地固持電荷。圖 15A 及 15B 中的半導體裝置作為記憶胞。

由於本發明的技術本質是在電晶體 162 中使用例如氧化物半導體等能夠充份降低關閉狀態電流的半導體材料，以致於能夠儲存資料，所以，無需將例如半導體裝置的材料或是半導體裝置的結構等半導體裝置的具體結構限定於此處所述的結構。

圖 15A 及 15B 中的電晶體 160 包含設於半導體基底 400 上的半導體層中的通道形成區 134、通道形成區 134 設於其間之複數通道雜質區 132（也稱為源極和汲極區）、設於通道形成區 134 上的閘極絕緣膜 122a、以及設於閘極絕緣膜 122 上以致於與通道形成區 134 重疊的閘極電極 128a。注意，為了方便起見，源極電極和汲極電極明顯地顯示於圖式中的電晶體可以稱為電晶體。此外，在此情形中，在電晶體的連接關係之說明中，源極區和源極電極總稱為「源極電極」，汲極區和汲極電極總稱為「汲極電極」。亦即，在本說明書中，「源極電極」一詞包含源極區。此外，「汲極電極」一詞包含汲極區。

此外，導體層 128b 連接至設在半導體基底 400 上的半導體層中的雜質區 126。此處，導體層 128b 也作為電

晶體 160 的源極電極或汲極電極。此外，雜質區 130 設於雜質區 132 與雜質區 126 之間。此外，絕緣層 136、138、及 140 設置成遮蓋電晶體 160。注意，爲了實現更高的集成度，如圖 15A 和 15B 所示般，電晶體 160 較佳地具有沒有側壁絕緣層的結構。另一方面，當電晶體 160 的特徵具有優先時，側壁絕緣層可以設於閘極電極 128a 的側表面上，以及，雜質區 132 可以包含具有不同雜質濃度的複數區域。

圖 15A 及 15B 中的電晶體 162 包含設於絕緣層 140 等上的氧化物半導體層 144、電連接至氧化物半導體層 144 的源極（或汲極）電極 142a 和汲極（或源極）電極 142b、遮蓋氧化物半導體層 144 與源極和汲極電極 142a 和 142b 的閘極絕緣膜 146、以及設於閘極絕緣膜 146 上而與氧化物半導體層 144 重疊的閘極電極 148a。

此處，藉由充份地移除例如氫等雜質或是充份地供應氧而將氧化物半導體層 144 較佳地高度純化。具體而言，氧化物半導體層 144 中的氫濃度是  $5 \times 10^{19}$  原子/cm<sup>3</sup> 或更低、較佳地  $5 \times 10^{18}$  原子/cm<sup>3</sup> 或更低、更佳地  $5 \times 10^{17}$  原子/cm<sup>3</sup> 或更低。注意，以二次離子質譜儀（SIMS）測量氧化物半導體層 144 中的氫濃度。在藉由充份地降低氫濃度而高度純化以及藉由供應充份的氧量而降低導因於氧缺乏的能隙中的缺陷能階之氧化物半導體層 144 中，載子濃度低於  $1 \times 10^{12}$ /cm<sup>3</sup>、較佳地低於  $1 \times 10^{11}$ /cm<sup>3</sup>、更佳地低於  $1.45 \times 10^{10}$ /cm<sup>3</sup>。舉例而言，室溫下（25°C）關閉狀態電流

(此處，每微米 ( $\mu\text{m}$ ) 的通道長度之電流) 低於或等於  $100\text{ zA}$  ( $1\text{ zA}$  (介安培 (zeptoampere) 是  $1\times 10^{-21}\text{A}$ )、較佳地低於或等於  $10\text{ zA}$ 。依此方式，藉由使用製成  $i$  型的 (本質的) 或實質上  $i$  型的氧化物半導體，取得具有相當有利的關閉狀態電流特徵之電晶體 162。

雖然使用被處理成具有島狀的氧化物半導體層 144 以抑制導因於圖 15A 及 15B 的電晶體 162 微小化而產生於元件之間的漏電流，但是可以使用包含未被處理成具有島狀的氧化物半導體層 144 之結構。在氧化物半導體層未被處理成具有島狀的情形中，能夠防止導因於製程中的蝕刻之氧化物半導體層 144 的污染。

圖 15A 和 15B 中的電容器 164 包含汲極電極 142b、閘極絕緣層 146、及導體層 148b。也就是說，汲極電極 142b 作為電容器 164 的電極之一，以及，導體層 148b 作為電容器 164 的另一電極。藉由此結構，能夠充份地確保電容。此外，當氧化物半導體層 144 和閘極絕緣層 146 堆疊時，能夠充份地確保汲極電極 142b 與導體層 148b 之間的絕緣。在不需要電容器的情形中，可以省略電容器 164。

在本實施例中，電晶體 162 及電容器 164 設置成至少與電晶體 160 重疊。藉由使用此平面佈局，能夠實現高集成度。舉例而言，假使最小的特徵尺寸為  $F$ ，則由記憶胞佔據的面積是  $15F^2$  至  $25F^2$ 。

絕緣層 150 設於電晶體 162 及電容器 164 上。佈線



154 設於形成在閘極絕緣膜 146 及絕緣層 150 中的開口中。佈線 154 將一記憶胞電連接至另一記憶胞。佈線 154 經由源極電極 142a 和導體層 128b 而連接至雜質區 126。相較於電晶體 160 中的源極區或汲極區，上述結構允許降低佈線數目，以及，電晶體 162 中的源極電極 142a 連接至不同佈線。因此，增加半導體裝置的集成度。

由於提供導體層 128b，所以，雜質區 126 及源極電極 142a 彼此連接的位置以及源極電極 142a 和佈線 154 彼此連接的位置彼此重疊。藉由此平面佈局，能夠防止元件面積因為接觸區而增加。換言之，增加半導體裝置的集成度。

注意，在圖 15A 和 15B 中的半導體裝置中，包含電晶體 160 的層對應於圖 1A 中的元件形成層 301。本實施例中所述的半導體儲存裝置包含圖 15A 和 15B 中的記憶胞及用於驅動記憶胞的驅動電路部份（未顯示）。圖 1A 中的第一佈線 302 對應於驅動電路部份中的佈線，所述佈線經由與電晶體 162 的源極電極 142a（汲極電極 142b）（在與電晶體 162 的源極電極 142a（汲極電極 142b）相同的層中的佈線）相同的製程形成。圖 1A 中的第一層間膜 305 對應於驅動電路部份中的絕緣層，所述絕緣層經由與電晶體 162 的閘極絕緣膜 146 相同的製程形成。注意，未被圖型化的閘極絕緣膜 146 可以作為第一層間膜 305。圖 1A 中的第二佈線 303 對應於驅動電路部份中的佈線，所述佈線經由與電晶體 162 的閘極電極 148a 相同的製程

形成。圖 1A 中的第二層間膜 306 對應於經由與電晶體 162 的絕緣層 150 相同的製程形成。注意,未被圖型化的絕緣層 150 可以作為第二層間膜 306。圖 1A 中的第三佈線 304 對應於驅動電路部份中的佈線,所述佈線經由與電晶體 162 的佈線 154 相同的製程形成。

### < SOI 基底的製造方法 >

接著,將參考圖 16A 至 16G,說明用於製造上述半導體裝置的 SOI 基底的製造方法實施例。

首先,製備半導體基底 400 作為基部基底(請參見圖 16A)。關於半導體基底 400,使用例如單晶矽基底或單晶鍺基底等半導體基底。或者,使用太陽能等級的矽(SOG-Si)基底作為半導體基底。又或者,可以使用多晶半導體基底。在使用 SOG-Si 基底、多晶矽半導體基底、等等的情形中,相較於使用單晶矽基底等的情形,製造成本降低。

注意,例如矽酸鋁玻璃、硼矽酸鋁玻璃、及硼矽酸鋇玻璃基底;石英基底;陶瓷基底;及藍寶石基底等電子產業中使用的各種玻璃基底可以被用以取代半導體基底 400。又或者,使用含有氮化矽及氮化鋁作為主成份且熱膨脹係數接近矽的熱膨脹係數之陶瓷基底。

較佳地預先清洗半導體基底 400 的表面。具體而言,以氫氟酸/過氧化氫混合物(HPM)、硫酸/過氧化氫混合物(SPM)、氫氧化銨混合物(APM)、稀釋的氫氟酸

(DHF)、或類似者，較佳地清洗半導體基底 400 的表面。

接著，製備接合基底。此處，使用單晶半導體基底 410 作為接合基底（請參見圖 16B）。注意，雖然此處使用晶性是單晶的基底作為接合基底，但是，接合基底的晶性無須侷限於單晶。

關於單晶半導體基底 410，舉例而言，可以使用例如單晶矽基底、單晶鍺基底、或單晶矽鍺基底等由 14 族元素形成的單晶半導體基底。此外，使用砷化鎵、磷化銮、或類似者的化合物半導體基底。商用矽基底的典型實施例為直徑 5 吋（125 mm）、6 吋（150 mm）、8 吋（200 mm）、12 吋（300 mm）、及 16 吋（400 mm）的圓形矽基底。注意，單晶半導體基底 410 無需是圓形的，舉例而言，可為被處理成長方形的基底。此外，以柴可斯基（CZ）法或浮動區（FZ）法，形成單晶半導體基底 410。

在單晶半導體基底 410 的表面上形成氧化物膜 412（請參見圖 16C）。慮及污染物的移除，較佳的是，在氧化物膜 412 形成之前，以氫氯酸／過氧化氫混合物（HPM）、硫酸／過氧化氫混合物（SPM）、氫氧化銨混合物（APM）、稀釋的氫氟酸（DHF）、氫氟酸、過氧化氫水、及純水的混合溶液（FPM）、或類似者，清洗單晶半導體基底 410 的表面。交替地排放稀釋的氫氟酸及臭氧水以清洗單晶半導體基底 410 的表面。

氧化物膜 412 形成至具有包含氧化矽膜、氧氮化矽

膜、等等中的任意者之單層結構或疊層結構。關於用於形成氧化物膜 412 的方法，可以使用熱氧化法、CVD 法、濺射法、等等。當以 CVD 法形成氧化物膜 412 時，使用例如四甲氧矽（縮寫：TEOS）（化學式： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等有機矽烷，較佳地形成氧化矽膜，以致於取得有利結合。

在本實施例中，對單晶半導體基底 410 執行熱氧化處理，形成氧化物膜 412（此處， $\text{SiO}_x$  膜）。在添加鹵素的氧化氛圍中，較佳地執行熱氧化處理。

舉例而言，在添加氯（Cl）的氧化氛圍中，執行單晶半導體基底 410 的熱氧化處理，因而經由氯氧化而形成氧化物膜 412。在該情形中，氧化物膜 512 是含有氯原子的膜。藉由此氯氧化，捕捉非本質的雜質之重金屬（例如，Fe、Cr、Ni、或 Mo），以及形成金屬的氯化物，然後將其移至外部，因此，降低單晶半導體基底 410 的污染。

注意，含於氧化物膜 412 中的鹵素原子不限於氯原子。氟原子可以含於氧化物膜 412 中。關於單晶半導體基底 410 的表面的氟氧化方法，使用將單晶半導體基底 410 浸泡於 HF 溶液中及接著使其在氧化氛圍中接受熱氧化處理之方法、在添加  $\text{NF}_3$  的氧化氛圍中執行熱氧化處理之方法、等等。

接著，以電場將離子加速以及使單晶半導體基底 410 曝露於離子，以致於離子被添加至單晶半導體基底 410，因而在單晶半導體基底 410 中預定深度處形成晶體結構受損的易脆區 414（請參見圖 16D）。

藉由離子的動能、電荷、或入射角、或類似者，控制形成易脆區 414 的深度。易脆區 414 形成於與離子的平均穿透深度幾乎相同的深度處。因此，要與單晶半導體基底 410 分離的單晶半導體層之厚度可以藉由添加離子的深度來控制。舉例而言，可以控制平均穿透深度，以致於單晶半導體層的厚度為約 10 nm 至 500 nm，較佳地，50 nm 至 200 nm。

以離子摻雜設備或離子佈植設備，執行離子曝照處理。關於離子摻雜設備的典型實施例，有非質量分離型設備，其中，執行製程氣體的電漿激發以及以產生的所有種類的離子物種來曝照要處理的物體。在此設備中，未作質量分離，以電漿的各種離子來曝照要處理的物體。相對地，離子佈植設備是質量分離設備。在離子佈植設備中，執行電漿的離子物種的質量分離及以具有預定質量的離子物種來曝照要處理的物體。

在本實施例中，將說明使用離子摻雜設備來添加氫至單晶半導體基底 410 的實施例。使用含氫的氣體作為源氣體。關於用於照射的離子，較佳地將  $H_3^+$  的比例設定為高的。具體而言，較佳的是  $H_3^+$  的比例設定為相對於  $H^+$ 、 $H_2^+$ 、及  $H_3^+$  的總量的比例為 50% 或更高（更佳地，80% 或更高）。藉由  $H_3^+$  的比例增加，增進離子曝照的效率。

注意，要添加的離子不限於氫的離子。可以添加氦離子等等。此外，要添加的離子不限於一種離子，可以添加多種離子。舉例而言，在以離子摻雜設備，同時執行氫及

氬曝照的情形中，相較於在不同步驟中執行氫及氬的曝照之情形，可以降低步驟數目，以及，抑制稍後要執行的單晶半導體層的表面粗糙度。

注意，當使用離子摻雜設備形成易脆區 414 時，也可以添加重金屬；但是，經過含有鹵素原子的氧化物膜 412 而執行離子曝照，因此，可以防止導因於重金屬的單晶半導體基底 410 的污染。

然後，半導體基底 400 及單晶半導體基底 410 配置成彼此面對，以及，以氧化物膜 412 設於其間而彼此牢固地附著。因此，半導體基底 400 及單晶半導體基底 410 彼此接合（請參見圖 16E）。注意，氧化物膜、或氮化物膜可以形成於單晶半導體基底 410 要附著的半導體基底 400 的表面上。

當執行接合時，較佳的是大於或等於  $0.001 \text{ N/cm}^2$  且小於或等於  $100 \text{ N/cm}^2$  的壓力，例如大於或等於  $1 \text{ N/cm}^2$  且小於或等於  $20 \text{ N/cm}^2$  的壓力施加至半導體基底 400 的一部份或是單晶半導體基底 410 的一部份。當藉由施加壓力而使接合表面彼此接近且彼此牢固地貼合時，在半導體基底與氧化物膜 412 彼此牢固地貼合之部份處產生它們之間的接合，且接合自然地擴散至幾乎整個區域。在凡得瓦力的作用下執行此接合，或者在室溫下執行氬接合。

注意，在單晶半導體基底 410 與半導體基底 400 彼此接合之前，要彼此接合的表面較佳地接受表面處理。表面處理能夠增進單晶半導體基底 410 與半導體基底 400 之間

的介面處的接合強度。

關於表面處理，可以使用濕處理、乾處理、或濕處理與乾處理的結合。或者，使用不同濕處理結合的濕處理，或是使用不同乾處理結合的乾處理。

注意，在接合之後，可以執行用於增加接合強度的熱處理。以不會延著易脆區 414 發生分離的溫度，執行此熱處理（舉例而言，高於或等於室溫且低於 400°C 的溫度）。或者，半導體基底 400 及氧化物膜 412 彼此接合並在此範圍的溫度將它們加熱。使用擴散爐、例如電阻式加熱爐等加熱爐、快速熱退火（RTA）設備、微波加熱設備、等等，以執行熱處理。上述溫度條件僅為舉例說明，本發明的實施例不應被解釋為侷限於此實施例。

接著，執行熱處理以在易脆區造成單晶半導體基底 410 的分離，因而在基部基底 400 上形成單晶半導體層 416，而以氧化物膜 412 介於其間（請參見圖 16F）。

注意，較佳的是在分離時的熱處理溫度儘可能低。這是因為分離時的溫度愈低，則愈能抑止單晶半導體層 416 的表面粗糙度產生。具體而言，在分離時的熱處理溫度可以高於或等於 300°C 且低於或等於 600°C，以及，當溫度高於或等於 400°C 且低於或等於 500°C 時，熱處理更有效。

注意，在單晶半導體基底 410 分離之後，單晶半導體層 416 可以接受 500°C 或更高溫度的熱處理，以致於餘留在單晶半導體層 416 中的氫濃度降低。

接著，以雷射光照射單晶半導體層 416 的表面，因此，形成表面平坦度增進且缺陷減少的單晶半導體層 418（請參見圖 16G）。注意，可以執行熱處理以取代雷射光照射處理。

雖然在本實施例中，在單晶半導體層 416 分離的熱處理之後，立即執行雷射光照射處理，但是，本發明的一實施例不應解釋為侷限於此。在依此次序執行單晶半導體層 416 的分離熱處理及移除單晶半導體層 416 的表面之包含很多缺陷的區域之蝕刻處理之後，執行雷射光照射處理。或者，在增進單晶半導體層 416 的表面平坦性之後，執行雷射光照射處理。注意，蝕刻處理可以是濕蝕刻或乾蝕刻。此外，在本實施例中，在上述雷射光照射之後，可以執行單晶半導體層 416 的厚度縮減步驟。為了減少單晶半導體層 416 的厚度，可以使用乾蝕刻或／及濕蝕刻中的任一者或二者。

經由上述步驟，取得具有有利特徵的包含單晶半導體層 418 之 SOI 基底（請參見圖 16G）。

#### < 半導體裝置的製造方法 >

接著，將參考圖 17A 至 17E、圖 18A 至 18D、圖 19A 至 19D、及圖 20A 至 20C，說明使用 SOI 基底形成的半導體裝置之製造方法。

#### < 下電晶體的製造方法 >



首先，將參考圖 17A 至 17E 及圖 18A 至 18D，說明下部中的電晶體 160 的製造方法。注意，圖 17A 至 17E、圖 18A 至 18D 顯示以參考圖 16A 至 16G 說明的方法所形成的部份 SOI 基底、且為顯示圖 15A 中的下部份中電晶體的製程。

首先，將單晶半導體層 418 圖型化而具有島狀，以致於形成半導體層 120（請參見圖 17A）。注意，在此步驟之前或之後，賦予 n 型導電率的雜質元素或是賦予 p 型導電率的雜質元素可以添加至半導體層，以控制電晶體的臨界電壓。在使用矽作為半導體的情形中，磷、砷、等等可以作為賦予 n 型導電率的雜質元素。另一方面，硼、鋁、鎵、等等可以作為賦予 p 型導電率的雜質元素。

接著，形成絕緣層 122 以遮蓋半導體層 120（請參見圖 17B）。絕緣層 122 稍後要成為閘極絕緣膜。舉例而言，藉由對半導體層 120 的表面執行熱處理（熱氧化處理、熱氮化處理、等等），形成絕緣層 122。可以使用高密度電漿處理以取代熱處理。舉例而言，使用例如 He、Ar、Kr、或 Xe 等稀有氣體與氧、氧化氮、氮、和氫中任何氣體的混合氣體，執行高密度電漿處理。無需多言，以 CVD 法、濺射法、等等，形成絕緣層。絕緣層 122 較佳地具有單層結構或疊層結構，單層結構或疊層結構包含氧化矽、氧氮化矽、氮化矽、氧化鈦、氧化鋁、氧化鋇、氧化鈮、矽酸鈦（ $\text{HfSi}_x\text{O}_y$ （ $x>0$ ， $y>0$ ））、添加氮的矽酸鈦（ $\text{HfSi}_x\text{O}_y$ （ $x>0$ ， $y>0$ ））、添加氮的鋁酸鈦

( $\text{HfAl}_x\text{O}_y$  ( $x>0$ ,  $y>0$ ))、等等膜中的任何膜。舉例而言，絕緣層 122 的厚度大於或等於 1 nm 且小於或等於 100 nm，較佳地大於或等於 10 nm 且小於或等於 50 nm。在本實施例中，以電漿 CVD 法形成含有氧化矽的單層絕緣層。

接著，在絕緣層 122 上形成掩罩 124 以及將賦予一導電率型的雜質元素添加至半導體層 120，以致於形成雜質區 126（請參見圖 17C）。注意，在添加雜質元素之後移除掩罩 124。

接著，在絕緣層 122 上形成掩罩以及部份地移除與雜質區 126 重疊的部份絕緣層 122，以致於形成閘極絕緣層 122a（請參見圖 17D）。藉由例如濕蝕刻或乾蝕刻，移除部份絕緣層 122。

接著，在閘極絕緣層 122a 上形成用於形成閘極電極（包含與閘極電極形成於相同層中的佈線）的導體層並處理它，以致於形成閘極電極 128a 和導體層 128b（請參見圖 17E）。

使用例如鋁、銅、鈦、鉭、或鎢等金屬材料，形成用於閘極電極 128a 和導體層 128b 的導體層。使用例如多晶矽等半導體材料，形成含有導體材料的層。對於含有導體材料的層之形成方法並無特別限定，可以使用例如蒸鍍法、CVD 法、濺射法、及旋轉塗敷法等各種形成方法。藉由使用光阻掩罩的蝕刻以處理導體層。

接著，藉由使用閘極電極 128a 和導體層 128b 作為掩

罩，將賦予一導電率型的雜質元素添加至半導體層，以致於形成通道形成區 134、雜質區 132、及雜質區 130（請參見圖 18A）。舉例而言，添加例如磷（P）或砷（As）等雜質元素以形成 n 通道電晶體，而添加例如硼（B）或鋁（Al）等雜質元素以形成 p 通道電晶體。此處，適當地設定要添加的雜質元素的濃度。此外，在添加雜質元素之後，執行用於活化的熱處理。此處，在雜質區 126、雜質區 132、及雜質區 130 之中的雜質區中的雜質元素的濃度之遞減次序如下所述：雜質區 126、雜質區 132、及雜質區 130。

接著，形成絕緣層 136、絕緣層 138、及絕緣層 140 以遮蓋閘極絕緣層 122a、閘極電極 128a、及導體 128b（請參見圖 18）。

使用包含例如氧化矽、氧氮化矽、氮氧化矽、氮化矽、或氧化鋁等無機絕緣材料之材料，形成絕緣層 136、絕緣層 138、及絕緣層 140。使用低介電常數（低 k）材料，特別較佳地形成絕緣層 136、絕緣層 138、和絕緣層 140，這能夠充份地降低導因於重疊電極或佈線的電容。注意，絕緣層 136、絕緣層 138、及絕緣層 140 可以是使用上述材料中的任何材料形成的多孔絕緣層。由於多孔絕緣層比緻密絕緣層具有更低的介電常數，所以，可以進一步降低導因於電極或佈線的電容。或者，使用例如聚醯亞胺或丙烯酸等有機絕緣材料形成絕緣層 136、絕緣層 138、和絕緣層 140。在本實施例中，將說明以氧氮化矽

用於絕緣層 136、以氮氧化矽用於絕緣層 138、及以氧化矽用於絕緣層 140 的情形。注意，此處使用絕緣層 136、絕緣層 138、和絕緣層 140 的疊層結構；但是，本發明的一實施例不限於此。或者可以使用單層結構、或二層結構、或四或更多層的疊層結構。

然後，絕緣層 138 和絕緣層 140 接受化學機械拋光（CMP）處理或蝕刻處理，以致於將絕緣層 138、和絕緣層 140 平坦化（請參見圖 18C）。此處，執行 CMP 處理直到絕緣層 138 部份地曝露為止。當以氮氧化矽用於絕緣層 138 及以氧化矽用於絕緣層 140 時，絕緣層 138 作為蝕刻停止器。

接著，絕緣層 138 和絕緣層 140 接受 CMP 處理或蝕刻處理，以致於閘極電極 128a 和導體層 128b 的上表面曝露（請參見圖 18D）。此處，執行蝕刻直到閘極電極 128a 和導體層 128b 部份地曝露。關於蝕刻處理，較佳地執行乾蝕刻處理，但是，可以執行濕蝕刻。在部份地曝露閘極電極 128a 和導體層 128b 的步驟中，為了增進稍後形成的電晶體 162 的特徵，將絕緣層 136、絕緣層 138、及絕緣層 140 的表面較佳地僅可能平坦化。

經由上述步驟，形成下部份中的電晶體 160（請參見圖 18D）。

注意，在上述步驟之前或之後，可以執行用於形成增加的電極、佈線、半導體層、絕緣層、等等之步驟。舉例而言，可以使用絕緣層與導體層堆疊的多層佈線結構作為

佈線結構以提供高度集成的半導體裝置。

### < 上電晶體製造方法 >

接著，將參考圖 19A 至 19D 及圖 20A 至 20C，說明上部中的電晶體 162 的製造方法。

首先，在閘極電極 128a、導體層 128b、絕緣層 136、絕緣層 138、絕緣層 140 等等之上形成及處理氧化物半導體層，以致於形成氧化物半導體層 144（請參考圖 19A）。注意，在形成氧化物半導體層之前，在絕緣層 136、絕緣層 138、及絕緣層 140 上形成作為基部的絕緣層。以例如濺射法等 PVD 法、或例如電漿 CVD 法等 CVD 法，形成絕緣層。

要使用的氧化物半導體較佳地含有至少銦（In）或鋅（Zn）。特別地，較佳地含銦（In）及鋅（Zn）。較佳地又含鎵（Ga）作為用於降低包含氧化物半導體之電晶體的電特徵變化的穩定物。較佳地含錫（Sn）作為穩定物。較佳地含鈦（Hf）作為穩定物。較佳地含鋁（Al）作為穩定物。

可以含有例如鏷（La）、鈰（Ce）、鐮（Pr）、釹（Nd）、釷（Sm）、鎔（Eu）、釷（Gd）、鉕（Tb）、鐳（Dy）、釹（Ho）、鉕（Er）、鐳（Tm）、鐳（Yb）、及鑿（Lu）等一或多種類鏷元素作為另一穩定物。

舉例而言，可以使用下述作為氧化物半導體：氧化

銦、氧化錫、氧化鋅、例如 In-Zn 為基礎的氧化物、Sn-Zn 為基礎的氧化物、Al-Zn 為基礎的氧化物、Zn-Mg 為基礎的氧化物、Sn-Mg 為基礎的氧化物、In-Mg 為基礎的氧化物、或 In-Ga 為基礎的氧化物等二成分金屬氧化物、例如 In-Ga-Zn 為基礎的氧化物（也稱為 IGZO）、In-Al-Zn 為基礎的氧化物、In-Sn-Zn 為基礎的氧化物、Sn-Ga-Zn 為基礎的氧化物、Al-Ga-Zn 為基礎的氧化物、Sn-Al-Zn 為基礎的氧化物、In-Hf-Zn 為基礎的氧化物、In-La-Zn 為基礎的氧化物、In-Ce-Zn 為基礎的氧化物、In-Pr-Zn 為基礎的氧化物、In-Nd-Zn 為基礎的氧化物、In-Sm-Zn 為基礎的氧化物、In-Eu-Zn 為基礎的氧化物、In-Gd-Zn 為基礎的氧化物、In-Tb-Zn 為基礎的氧化物、In-Dy-Zn 為基礎的氧化物、In-Ho-Zn 為基礎的氧化物、In-Er-Zn 為基礎的氧化物、In-Tm-Zn 為基礎的氧化物、In-Yb-Zn 為基礎的氧化物、或 In-Lu-Zn 為基礎的氧化物等三成分金屬氧化物、或是例如 In-Sn-Ga-Zn 為基礎的氧化物、In-Hf-Ga-Zn 為基礎的氧化物、In-Al-Ga-Zn 為基礎的氧化物、In-Sn-Al-Zn 為基礎的氧化物、In-Sn-Hf-Zn 為基礎的氧化物、或 In-Hf-Al-Zn 為基礎的氧化物等四成分金屬氧化物。

注意，舉例而言，此處「In-Ga-Zn 為基礎的氧化物」意指含 In、Ga、及 Zn 作為其主成分之氧化物且對於 In、Ga、及 Zn 的比例並無特別限定。In-Ga-Z 為基礎的氧化物含有另一金屬元素再加上 In、Ga、及 Zn。

或者，使用以  $\text{InMO}_3(\text{ZnO})_m$ （滿足  $m > 0$ ，且  $m$  不是整

數) 表示的材料作為氧化物半導體。注意, M 代表選自 Ga、Fe、Mn、及 Co。又或者, 以  $\text{In}_3\text{SnO}_5(\text{ZnO})_n$  (滿足  $n > 0$ , 且  $n$  是整數) 表示的材料作為氧化物半導體。

舉例而言, 使用  $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  ( $=1/3:1/3:1/3$ ) 或  $\text{In}:\text{Ga}:\text{Zn}=2:2:1$  ( $=2/5:2/5:1/5$ ) 的原子比的 In-Ga-Zn 為基礎的氧化物、或是成分在上述成分附近的任何氧化物。或者, 使用  $\text{In}:\text{Sn}:\text{Zn}=1:1:1$  ( $=1/3:1/3:1/3$ )、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$  ( $=1/3:1/6:1/2$ ) 或  $\text{In}:\text{Sn}:\text{Zn}=2:1:5$  ( $=1/4:1/8:5/8$ ) 的原子比的 In-Sn-Zn 為基礎的氧化物、或是成分在上述成分附近的任何氧化物。

注意, 本發明的一實施例不限於此, 使用視半導體特徵 (遷移率、臨界值、變異、等等) 而具有適當成分的材料。此外, 較佳的是適當地設定載子濃度、雜質濃度、缺陷密度、金屬元素與氧的原子比、原子間距離、密度、等等, 以取得所需的半導體特徵。

舉例而言, 藉由 In-Sn-Zn 為基礎的氧化物, 相當容易實現高遷移率。但是, 即使藉由 In-Ga-Zn 為基礎的氧化物, 藉由降低塊體中的缺陷密度, 仍能夠增加遷移率。

注意, 舉例而言, 「具有  $\text{In}:\text{Ga}:\text{Zn}=a:b:c$  ( $a+b+c=1$ ) 的原子比之氧化物的成分是在具有  $\text{In}:\text{Ga}:\text{Zn}=A:B:C$  ( $A+B+C=1$ ) 的原子比之氧化物的成分的附近」意指  $a$ 、 $b$ 、及  $c$  滿足下述關係:  $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 。舉例而言, 變數  $r$  可為 0.05。同理可應用至其它氧化物。

氧化物半導體可以是單晶氧化物半導體或是非單晶氧

化物半導體。在後一情形中，非單晶氧化物半導體可以是非晶的或多晶的。此外，氧化物半導體可以具有包含部份具有晶性的非晶結構、或非非晶結構。

在非晶狀態的氧化物半導體中，相當容易取得平坦表面，以致於當使用氧化物半導體來製造電晶體時，能抑制介面散射，並相當容易取得相當高的遷移率。

在具有晶性的氧化物半導體中，塊體中的缺陷能夠進一步降低，以及，當增進表面平坦度時，能夠實現比非晶狀態的氧化物半導體層的遷移率更高的遷移率。爲了增進表面均勻性，氧化物半導體較佳地形成於平坦表面上。具體而言，氧化物半導體可以形成於平均表面粗糙度（ $R_a$ ）小於或等於 1 nm、較佳地小於或等於 0.3 nm、更佳地小於或等於 0.1 nm。

注意，在本說明書中  $R_a$  意指藉由三維地擴展 JIS B0601 界定的中心線平均粗糙度至施加於要測量的平面而取得的中心線平均粗糙度。 $R_a$  可以表示成「參考平面至指定平面的偏移絕對值的平均值」，並以下述等式界定。

[等式1]

$$Ra = \frac{1}{S_0} \int_{x_2}^{x_1} \int_{y_2}^{y_1} |f(x, y) - Z_0| dx dy$$

注意，在等式 1 中， $S_0$  代表測量表面（由配位（ $x_1, y_1$ ）、（ $x_1, y_2$ ）、（ $x_2, y_1$ ）、及（ $x_2, y_2$ ）表示的四點所界定的長方形區）的面積， $Z_0$  代表測量表面的平均高度。使用原子力顯微鏡（AFM）以測量  $R_a$ 。



在本實施例中，將說明包含具有  $c$  軸對齊的晶體（稱為  $C$  軸對齊晶體（CAAC））的氧化物，當從  $a$ - $b$  平面、表面、或介面的方向觀視時  $C$  軸對齊晶體具有三角形或六角形原子配置。在晶體中，金屬原子以層疊方式配置，或者，金屬原子與氧原子延著  $c$  軸以層疊方式配置，以及， $a$  軸或  $b$  軸的方向在  $a$ - $b$  平面中變化（晶體圍繞  $c$  軸旋轉）。

廣義而言，包含 CAAC 的氧化物意指非單晶氧化物，所述非單晶氧化物包含一現象，其中，當從垂直於  $a$ - $b$  平面的方向觀視時具有三角形、六角形、正三角形、或正六角形的原子配置，以及，當從垂直於  $c$  軸方向觀視時金屬原子以層疊方向配置或金屬原子與氧原子以層疊方式配置。

CAAC 不是單晶，但是這並非意謂 CAAC 僅由非晶成分組成。雖然 CAAC 包含晶化部份（結晶部份），在某些情形中，一結晶部份與另一結晶部份之間的邊界並不清楚。

在氧包含於 CAAC 的情形中，氮可以替代包含於 CAAC 中的部份氧。包含於 CAAC 中的個別結晶部份的  $c$  軸可以在一方向（例如，垂直於 CAAC 形成於上的基底表面或是 CAAC 的表面之方向）上對齊。或者，包含於 CAAC 中的個別的結晶部份的  $a$ - $b$  平面的法線可以在一方向上對齊（例如，垂直於 CAAC 形成於上的基底表面或是 CAAC 的表面之方向）。

CAAC 視其成分等而變成導體、半導體、或是絕緣體。CAAC 視其成分等而使可見光透射或不透射。

關於此 CAAC 的實施例，有形成為膜狀及從垂直於膜的表面或支撐基底的表面之方向觀視為具有三角或六角原子配置的晶體，其中，當觀測膜的剖面時金屬原子以層疊方式配置或是金屬原子和氧原子（或氮原子）以層疊方式配置。

將參考圖 24A 至 24E、圖 25A 至 25C、及圖 26A 至 26C，詳述 CAAC 的晶體結構之實施例。在圖 24A 至 24E、圖 25A 至 25C、及圖 26A 至 26C 中，除非另外指明，否則，垂直方向對應於 c 軸方向及垂直於 c 軸方向的平面對應於 a-b 平面。當簡單地使用「上半部」及「下半部」時，它們意指在 a-b 平面上方的上半部、以及在 a-b 平面下方的下半部（相對於 a-b 平面的上半部及下半部）。

圖 24A 顯示包含一個六配位 In 原子及接近 In 原子的六個四配位氧（於下稱為四配位 O）原子的結構。此處，包含一金屬原子及接近其的氧原子的結構稱為小基團。圖 24A 中的結構真實地為八面體結構，但是，為了簡明起見而顯示為平面結構。注意，三個四配位 O 原子存在於圖 24A 中的上半部及下半部中。在圖 24A 中所示的小基團中，電荷為 0。

圖 24B 顯示包含一個五配位 Ga 原子、接近 Ga 原子的三個三配置氧（於下稱為三配位 O）原子、及接近 Ga

原子的二個四配位 O 原子之結構。所有三配位 O 原子存在於 a-b 平面上。一個四配位 O 原子存在於圖 24B 中的上半部及下半部。由於 In 原子具有五個配位基，所以，In 原子也具有圖 24B 中所示的結構。在圖 24B 中所示的小基團中，電荷為 0。

圖 24C 顯示包含一個四配位 Zn 原子及接近 Zn 原子的四個四配位 O 原子。在圖 24C 中，一四配位 O 原子存在於上半部，三個四配位 O 原子存在於下半部中。或者，在圖 24C 中，三個四配位 O 原子存在於上半部中以及一個四配位 O 原子存在於下半部中。在圖 24C 中所示的小基團中，電荷為 0。

圖 24D 顯示包含一個六配位 Sn 原子及接近 Sn 原子的六個四配位 O 原子。在圖 24D 中，三個四配位 O 原子存在於於上半部及下半部中。在圖 24D 中所示的小基團中，電荷為 +1。

圖 24E 顯示包含二個 Zn 原子的小基團。在圖 24E 中，一個四配位 O 原子存在於上半部及下半部中。在圖 24E 中所示的小基團中，電荷為 -1。

此處，眾多小基團形成中基團，以及，眾多中基團形成大基團（也稱為單一胞）。

現在，將說明小基團之間的接合規則。相對於圖 24A 中的六配位 In 原子之上半部中的三個 O 原子在向下方向上均具有三個接近的 In 原子，以及，在下半部中的三個 O 原子在向上方向上均具有三個接近的 In 原子。相對於

五配位 Ga 原子的上半部中的一個 O 原子在向下方向具有一個接近的 Ga 原子，以及，在下半部中的一個原子在向上方向上具有一個接近的 Ga 原子。相對於四配位 Zn 原子的上半部中的一個 O 原子在向下方向上具有一個接近的 Zn 原子，以及，在下半部中的三個 O 原子在向上方向上均具有三個接近的 Zn 原子。依此方式，在金屬原子上方的四配位 O 原子的數目等於接近每一四配位 O 原子且在每一四配位 O 原子的下方之金屬原子數目。類似地，在金屬原子下方的四配位 O 原子的數目等於接近每一四配位 O 原子且在每一四配位 O 原子的上方之金屬原子數目。由於四配位 O 原子的軸數為 4，所以，接近 O 原子且在 O 原子的下方之金屬原子數目與接近 O 原子且在 O 原子的上方之金屬原子數目之總合為 4。因此，當在金屬原子上方的四配位 O 原子的數目與在另一金屬原子下方的四配位 O 原子的數目之總合為 4 時，二種包含金屬原子的小基團可以接合。舉例而言，在六配位金屬（In 或 Sn）原子經由下半部中的三個四配位 O 原子接合的情形中，其接合至五配位金屬（Ga 或 In）或四配位金屬（Zn）原子。

軸數為 4、5、或 6 的金屬原子經由 c 軸方向上的四配位 O 而接合至另一金屬。上述之外，還可藉由結合眾多小基團以致於層疊結構的總電荷為 0，而以不同方式形成中基團。

圖 25A 顯示包含於 In-Sn-Zn-O 為基礎的材料之層疊結構中的中基團的模型。圖 25B 顯示包含三中基團的大基

團。注意，圖 25C 顯示從  $c$  軸方向觀測的圖 25B 中的層疊結構的情形中之原子配置。

在圖 25A 中，為簡便起見而省略三配位 O 原子，以及，以圓圈顯示四配位 O 原子；圓圈數目顯示四配位 O 原子的數目。舉例而言，存在於相對於 Sn 原子的上半部及下半部中的三個三配位 O 原子以圓圈 3 表示。類似地，在圖 25A 中，存在於相對於 In 原子的上半部及下半部中的一個四配位 O 原子以圓圈 1 表示。圖 25A 也顯示接近下半部中的一個四配位 O 原子及上半部中的三個四配位 O 原子的 Zn 原子、以及接近上半部中的一個四配位 O 原子及下半部中的三個四配位 O 原子。

在包含於圖 25A 中的 In-Sn-Zn-O 為基礎的材料的層疊結構中，從頂部依序地，接近上半部及下半部中的三個四配位 O 原子之 Sn 原子接合至接近上半部及下半部中的一個四配位 O 原子之 In 原子、In 原子接合至接近上半部中的三個四配位 O 原子之 Zn 原子、Zn 原子經由相對於 Zn 原子的下半部中的一個四配位 O 原子而接合至接近上半部及下半部中的三個四配位 O 原子之 In 原子、In 原子接合至包含 Zn 原子且接近上半部中的一個四配位 O 原子的小基團，以及，小基團經由相對於小基團的下半部中的一個四配位 O 原子而接合至接近上半部及下半部中的三個四配位 O 原子之 Sn 原子。眾多這些小基團接合，以致於形成大基團。

此處，將三配位 O 原子的一鍵的電荷及四配位 O 原

子的一鍵的電荷分別假定為  $-0.667$  和  $-0.5$ 。舉例而言，（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷、及（五配位或六配位）Sn 原子的電荷分別為  $+3$ 、 $+2$ 、及  $+4$ 。因此，包含 Sn 原子的小基團中的電荷為  $+1$ 。因此，需要抵消  $+1$  的  $-1$  電荷以形成包含 Sn 原子的層疊結構。關於具有  $-1$  的電荷之結構，可為如圖 24E 所示之包含二個 Zn 原子的小基團。舉例而言，藉由包含二個 Zn 原子的一個小基團，可以抵消包含 Sn 原子的一個小基團的電荷，以致於層疊結構的總電荷為 0。

當圖 25B 中所示的大基團重複時，取得 In-Sn-Zn-O 為基礎的晶體 ( $\text{In}_2\text{SnZn}_3\text{O}_8$ )。注意，取得的 In-Sn-Zn-O 為基礎的晶體之層疊結構表示為成分公式

$\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$  ( $m$  為 0 或自然數)。

上述規則也應用至下述氧化物：例如 In-Sn-Ga-Zn 為基礎的四成分金屬氧化物；例如 In-Ga-Zn 為基礎的氧化物（也稱為 IGZO）、In-Al-Zn 為基礎的氧化物、Sn-Ga-Zn 為基礎的氧化物、Al-Ga-Zn 為基礎的氧化物、Sn-Al-Zn 為基礎的氧化物、In-Hf-Zn 為基礎的氧化物、In-La-Zn 為基礎的氧化物、In-Ce-Zn 為基礎的氧化物、In-Pr-Zn 為基礎的氧化物、In-Nd-Zn 為基礎的氧化物、In-Sm-Zn 為基礎的氧化物、In-Eu-Zn 為基礎的氧化物、In-Gd-Zn 為基礎的氧化物、In-Tb-Zn 為基礎的氧化物、In-Dy-Zn 為基礎的氧化物、In-Ho-Zn 為基礎的氧化物、In-Er-Zn 為基礎的氧化物、In-Tm-Zn 為基礎的氧化物、In-Yb-Zn 為基礎的

氧化物、或 In-Lu-Zn 為基礎的氧化物等三成分金屬氧化物；例如 In-Zn 為基礎的氧化物、Sn-Zn 為基礎的氧化物、Al-Zn 為基礎的氧化物、Zn-Mg 為基礎的氧化物、Sn-Mg 為基礎的氧化物、In-Mg 為基礎的氧化物、或 In-Ga 為基礎的氧化物等二成分金屬氧化物；等等。

舉例而言，圖 26A 顯示包含於 In-Ga-Zn-O 為基礎的材料的層疊結構中的中基團的模型。

在圖 26A 中包含於 In-Ga-Zn-O 為基礎的材料的層疊結構中的中基團中，從頂部依序地，接近上半部及下半部中的三個四配位 O 原子之 In 原子接合至接近上半部中的一個四配位 O 原子之 Zn 原子、Zn 原子經由相對於 Zn 原子的下半部中的三個四配位 O 原子而接合至接近上半部及下半部中的一個四配位 O 原子之 Ga 原子、Ga 原子經由相對於 Ga 原子的下半部中的一個四配位 O 原子而接合至接近上半部及下半部中的三個四配位 O 原子之 In 原子。眾多這些中基團接合，以致於形成大基團。

圖 26B 顯示包含三個中基團的大基團。注意，圖 26C 顯示從 c 軸方向觀測的圖 26B 中的層疊結構之情形中之原子配置。

此處，由於（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷、及（五配位）Ga 原子的電荷分別為 +3、+2、+3，包含 In 原子、Zn 原子、及 Ga 原子中任何原子的小基團的電荷為 0。結果，具有這些小基團的結合之中基團的總電荷總是 0。

爲了形成 In-Ga-Zn-O 爲基礎的材料之層疊結構，不僅使用圖 26A 中所示的中基團，也可使用 In 原子、Zn 原子、及 Ga 原子的配置不同於圖 26A 中的配置之中基團，以形成大基團。

此外，In-Sn-Zn 爲基礎的氧化物稱爲 ITZO，以及，使用具有下述成分比例的氧化物靶：舉例而言，In:Sn:Zn 的成分比爲 1:2:2、2:1:3、1:1:1 或 20:45:35 原子比。

在 In-Zn-O 爲基礎的材料用於氧化物半導體的情形中，使用下述成分比例的氧化物靶：In:Zn 的成分比爲 50:1 至 1:2 原子比（ $\text{In}_2\text{O}_3$  :  $\text{ZnO}$ =25:1 至 1:4 莫耳比），較佳地爲 20:1 至 1:1 原子比（ $\text{In}_2\text{O}_3$  :  $\text{ZnO}$ =10:1 至 1:2 莫耳比）、更佳地爲 15:1 至 1.5:1 原子比（ $\text{In}_2\text{O}_3$  :  $\text{ZnO}$ =15:2 至 3:4 莫耳比）。舉例而言，用於形成 In-Zn-O 爲基礎的氧化物半導體的形成之靶具有下述原子比例：In:Zn:O 的原子比爲 X:Y:Z，其中， $Z > 1.5X+Y$ 。

氧化物半導體層的厚度較佳地大於或等於 3 nm 且小於或等於 30 nm。這是因爲當氧化物半導體層太厚時（例如厚度爲 50 nm 或更多），電晶體可能是常開的。

以例如氫、水、羥基及氫化物等雜質不進入氧化物半導體層的方法，較佳地形成氧化物半導體層。舉例而言，使用濺射法。

在本實施例中，以使用 In-Ga-Zn-O 爲基礎的氧化物靶之濺射法，形成氧化物半導體層。

關於 In-Ga-Zn-O 爲基礎的氧化物靶，舉例而言，使



用具有下述成分的氧化物靶： $\text{In}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$  和  $\text{ZnO}$  的成分比為 1:1:1[莫耳比]。或者，無需將靶的材料及成分比侷限於上述。舉例而言，使用具有下述成分比的氧化物靶： $\text{In}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$  和  $\text{ZnO}$  的成份比為 1:1:2[莫耳比]。

氧化物靶的填充率大於或等於 90% 且小於或等於 100%，較佳地高於或等於 95% 且低於或等於 99.9%。這是因為藉由使用具有高填充率的氧化物靶，能夠形成緻密的氧化物半導體層。

沈積氣體可為稀有氣體（典型地為氬）氛圍、氧氮圍、或含有稀有氣體與氧的混合氛圍。此外，為了防止氫、水、羥基、氫化物等進入氧化物半導體層，較佳的是使用例如氬、水、羥基、及氫化物等雜質被充份地移除之高純度氣體的氛圍。

舉例而言，如下所述般形成氧化物半導體層。

首先，基底置於維持降壓的沈積室中且執行加熱，以致於基底溫度高於  $200^\circ\text{C}$  且低於或等於  $500^\circ\text{C}$ ，較佳地高於  $300^\circ\text{C}$  且低於或等於  $500^\circ\text{C}$ ，更較佳地高於或等於  $350^\circ\text{C}$  且低於或等於  $450^\circ\text{C}$ 。

然後，將例如氫、水、羥基、及氫化物等雜質被充份地移除之高純度氣體導入餘留的濕氣正被移除的沈積室中，以及，藉由使用靶，在基底上形成氧化物半導體層。為了移除餘留在沈積室中的濕氣，較佳地使用例如低溫泵、離子泵、或鈦昇華泵等吸附型真空泵。此外，抽真空機構可以是設有冷阱的渦輪泵。在由低溫泵抽真空的沈積

室中，例如氫、水、羥基、氫化物等雜質（更佳地，也含有碳原子的化合物）被移除，因而降低沈積室中形成的氧化物半導體層中的例如氫、水、羥基、及氫化物等雜質的濃度。

當基底溫度在沈積期間低時（例如低於或等於 100 °C），包含氫原子的物質可能進入氧化物半導體層；因此，基底較佳地被加熱至上述溫度。當以上述溫度加熱的基底來形成氧化物半導體層時，基底溫度增加；因此，氫鍵因熱而被切斷且較不易被取至氧化物半導體層中。因此，以上述溫度加熱的基底來形成氧化物半導體層，而氧化物半導體層中例如氫、水、羥基、及氫化物等雜質的濃度充份地降低。此外，降低導因於濺射的損傷。

沈積條件的實施例如下所述：基底與靶之間的距離為 60 mm，壓力 0.4 Pa，直流（DC）電力為 0.5 kW，基底溫度為 400 °C，沈積氛圍為氧氛圍（氧流量為 100%）氛圍。注意，由於脈衝式直流（DC）電源可以降低沈積時的粉末物質（也稱為粒子或灰塵）以及膜厚均勻，所以較佳的是使用脈衝式直流（DC）電源。

注意，在以濺射法形成氧化物半導體層之前，較佳的是以逆濺射來移除附著於要形成的氧化物半導體層形成於上的表面（例也稱為粒子或灰塵）上的粉末物質，在逆濺射中，導入氫氣以及產生電漿。逆濺射係一方法，其中，電壓施加至基底側以在基底近處中產生電漿而修改表面。注意，可以使用例如氮、氬、或氧等氣體以取代氫。

在氧化物半導體層上形成具有所需形狀的掩罩之後，藉由蝕刻來處理氧化物半導體層。以例如微影或噴墨法等方法，形成光阻掩罩。爲了蝕刻氧化物半導體，可以使用濕蝕刻或乾蝕刻。無需多言，也以使用它們的結合。

之後，使氧化物半導體層 144 接受熱處理（第一熱處理）。經由熱處理，進一步降低氧化物半導體層 144 中的氫原子之物質。以等於或高於 250°C 且低於或等於 700°C 的溫度，較佳地高於或等於 400°C 且低於或等於 600°C 或基底的應變點之溫度，在惰性氣體氛圍中，執行熱處理。關於惰性氣體氛圍，較佳地使用含氮或稀有氣體（例如氮、氬、或氫）作爲主成份且未含有水、氫、等等的氛圍。舉例而言，被導入至熱處理設備之氮或例如氮、氬、或氫等稀有氣體之純度大於或等於 6N（99.9999%），較佳地大於或等於 7N（99.99999%）（亦即，雜質濃度小於或等於 1 ppm，較佳地低於或等於 0.1 ppm）。

舉例而言，以下述方式執行熱處理：將要熱處理的物體導入使用電阻式加熱元件等的電熱爐中，然後，在 450°C 下，在氮氛圍中，加熱一小時。在熱處理期間，氧化物半導體層 144 未曝露至空氣，以致於防止水和氫等雜質進入。

上述熱處理由於其移除氫、水、等等的有利效果而被稱爲脫水處理或脫氫處理、等等。舉例而言，可以在氧化物半導體層被處理成具有島狀之前、或是在形成絕緣膜之後等時機，執行熱處理。此脫水處理或脫氫處理可以執例

一次或多次。

接著，在氧化物半導體層 144 等等之上形成用於形成源極電極和汲極電極的導體層（包含形成於與源極電極和汲極電極相同的層中的佈線），並處理所述導體層，以致於形成源極和汲極電極 142a 和 142b（請參見圖 19B）。

以 PVD 法或 CVD 法，形成導體層。關於用於導體層的材料，可以使用選自鋁、鉻、銅、鈾、鈦、鋁、和錫之元素；含有任何上述元素作為成分的合金；或類似者。此外，可以使用選自錳、鎂、鋅、鈹、釷、及釷中的一或更多材料。

導體層可以具有單層結構或包含二或更多層的層疊結構。舉例而言，導體層具有鈦膜或氮化鈦膜的單層結構、含矽的鋁膜之單層結構、鈦膜堆疊於鋁膜上之雙層結構、鈦膜堆疊於氮化鈦膜上之雙層結構、或鈦膜、鋁膜、及鈦膜依序堆疊的三層結構。注意，具有鈦膜或氮化鈦膜的單層結構之導體層具有能夠容易地被處理成推拔狀的源極電極 142a 和汲極電極 142b 的優點。

或者，使用導體金屬氧化物，以形成導體層。導體金屬氧化物的實施例為氧化銦（ $\text{In}_2\text{O}_3$ ）、氧化錫（ $\text{SnO}_2$ ）、氧化鋅（ $\text{ZnO}$ ）、氧化銦及氧化錫的合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時稱為 ITO）、氧化銦及氧化鋅的合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、及含有矽或氧化矽的此金屬氧化物材料。

將導體層較佳地蝕刻成形成的源極電極 142a 和汲極

電極 142b 的端部為推拔狀的。此處，舉例而言，較佳的是推拔角大於或等於  $30^\circ$  且小於或等於  $60^\circ$ 。當執行蝕刻以致於源極電極 142a 和汲極電極 142b 的端部推拔化時，藉由稍後形成的閘極絕緣膜 146 的遮蓋率增進及防止其斷裂。

上部中電晶體的通道長度 (L) 視源極電極 142a 的下邊緣與汲極電極 142b 的下邊緣之間的距離決定。注意，在形成通道長度 (L) 短於 25 nm 的電晶體的情形中所使用之掩罩的曝光中，較佳的是使用波長短至數奈米至數十奈米的極度紫外光。在使用極度紫外光的曝光中，解析度高且聚焦深度大。因此，稍後形成的電晶體的通道長度 (L) 在大於或等於 10 nm 且小於或等於 1000 nm ( $1\ \mu\text{m}$ ) 的範圍中，因此，電路的操作速度可以增加。此外，微小化能夠降低半導體裝置的耗電。

接著，形成與部份氧化物半導體層 144 接觸的閘極絕緣膜 146，以遮蓋源極和汲極電極 142a 和 142b (請參見圖 19C)。

以 CVD 法、濺射法、等等，形成閘極絕緣膜 146。閘極絕緣膜 146 較佳地含有氧化矽、氮化矽、氧化鎳、氧化鋁、氧化鉬、氧化鉛、氧化鈮、矽酸鉛 ( $\text{HfSi}_x\text{O}_y$  ( $x>0, y>0$ ))、添加氮的矽酸鉛 ( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))、添加氮的鋁酸鉛 ( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))、等等。閘極絕緣膜 146 可以具有使用任何上述材料的單層結構或疊層結構。對於厚度並無特別限

定；但是，在半導體裝置微小化的情形中，厚度較佳地薄以便確保電晶體的操作。舉例而言，在使用氧化矽的情形中，厚度可以設定為大於或等於 1 nm 且小於或等於 100 nm，較佳地大於或等於 10 nm 且小於或等於 50 nm。

當閘極絕緣膜形成為如上述一般薄時，導因於穿隧效應等的閘極漏電變成問題。為了解決閘極漏電問題，使用例如氮化鈣、氧化鈦、氧化釷、矽酸鈣 ( $\text{HfSi}_x\text{O}_y$  ( $x>0$ ,  $y>0$ ))、添加氮的矽酸鈣 ( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x>0$ ,  $y>0$ ,  $z>0$ ))、或添加氮的鋁酸鈣 ( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x>0$ ,  $y>0$ ,  $z>0$ )) 等高介電常數 (高  $k$ ) 材料，以形成閘極絕緣膜 146。以高  $k$  材料用於閘極絕緣膜 146，能夠增加厚度以抑制閘極漏電，並確保電特徵。注意，含高  $k$  材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、等等的膜之疊層結構。

此外，接觸氧化物半導體層 144 的絕緣層 (在本實施例中，閘極絕緣膜 146) 可以是含有 13 族元素和氧的絕緣材料。氧化物半導體材料中很多材料含有 13 族元素，以及，包含 13 族元素的絕緣材料與氧化物半導體良好地工作。以含有 13 族元素的絕緣材料用於接觸氧化物半導體的絕緣層，與氧化物半導體層之間的介面可以保持有利的。

含有 13 族元素的絕緣材料意指含有一或更多 13 族元素的絕緣材料。關於含有 13 族元素的絕緣材料，可為氧化鎘、氧化鋁、鋁鎘氧化物、鎘鋁氧化物、等等。此處，

鋁鎵氧化物含有鎵及鋁，以致於以原子百分比而言，鋁含量高於鎵含量，以及，鎵鋁氧化物含有鎵及鋁，以致於以原子百分比而言，鎵含量高於鋁含量。

舉例而言，在形成接觸含鎵的氧化物半導體層之閘絕緣膜的情形中，當含有氧化鎵的材料用於閘極絕緣膜時，在氧化物半導體層與閘極絕緣膜之間的介面處保持有利的特徵。當氧化物半導體層及含有氧化鎵的絕緣層設置成彼此接觸時，可以降低氧化物半導體層與絕緣層之間的介面處氫的累積。注意，在屬於與氧化物半導體的構成元素相同的族之元素用於絕緣層的情形中，取得類似效果。舉例而言，藉由使用含有氧化物的材料以形成絕緣層是有效的。注意，水較不易滲透氧化鋁。因此，以防止水進入氧化物半導體層的觀點而言，較佳的是使用含有氧化鋁的材料。

藉由在氧氛圍中的熱處理或氧摻雜，與氧化物半導體層 144 接觸的絕緣層之絕緣材料較佳地含有之氧在比例上高於化學計量成分中的氧。「氧摻雜」意指添加氧至塊體中。注意，使用「塊體」一詞以清楚說明氧不僅添加至薄膜的表面也添加至薄膜的內部。此外，「氧摻雜」包含「氧電漿摻雜」，在氧電漿摻雜中，電漿形式的氧添加至塊體。以離子佈植法或離子摻雜法，執行氧摻雜。

舉例而言，在使用氧化鎵以形成接觸氧化物半導體層 144 的絕緣層之情形中，藉由在氧氛圍中的熱處理或氧摻雜，將氧化鎵的成分設定為  $Ga_2O_x$  ( $x=3+\alpha$ ， $0<\alpha<1$ )。

在使用氧化鋁以形成接觸氧化物半導體層 144 的絕緣層之情形中，藉由在氧氛圍中的熱處理或氧摻雜，將氧化鋁的成分設定為  $\text{Al}_2\text{O}_x$  ( $x=3+\alpha$ ， $0<\alpha<1$ )。在使用鎵鋁氧化物以形成接觸氧化物半導體層 144 的絕緣膜之情形中，藉由在氧氛圍中的熱處理或氧摻雜，將鎵鋁氧化物的成分設定為  $\text{Ga}_2\text{Al}_{2-x}\text{O}_{3+\alpha}$  ( $0<x<2$ ， $0<\alpha<1$ )。

藉由氧摻雜或類似者，形成絕緣層，所述絕緣層包含氧比例高於化學計量成分中的氧比例之區域。當包含此區域的絕緣層接觸氧化物半導體層時，過量地存在於絕緣層中的氧供應至氧化物半導體層，以及，被脫水或脫氫的氧化物半導體層中、或是氧化物半導體層與絕緣層之間的介面處的氧不足可以降低。因此，氧化物半導體層為 i 型的或實質上 i 型氧化物半導體。

包含氧比例高於化學計量成分中的氧比例之區域的絕緣層可以施加至形成作為氧化物半導體層 144 的基部膜之絕緣層，而取代閘極絕緣膜 146、或是閘極絕緣膜 146 及基部絕緣膜等二膜。

在形成閘極絕緣膜 146 之後，在惰性氣體氛圍或氧氛圍中較佳地執行第二熱處理。熱處理的溫度高於或等於  $200^\circ\text{C}$  且低於或等於  $450^\circ\text{C}$ ，較佳地高於或等於  $250^\circ\text{C}$  且低於或等於  $350^\circ\text{C}$ 。舉例而言，在氮氛圍中，以  $250^\circ\text{C}$  執行熱處理一小時。藉由執行第二熱處理，可以降低電晶體的電特徵變異。此外，在閘極絕緣膜 146 含氧的情形中，氧供應至經過脫水或脫氫之氧化物半導體層 144 以填充氧化



物半導體層 144 中的氧空乏，以致於形成 i 型（本質的）或實質上 i 型的氧化物半導體層。

在本實施例中，在形成閘極絕緣層 146 之後執行第二熱處理；但是，第二熱處理的時機不限於此。舉例而言，可以在形成閘極電極之後執行第二熱處理。或者，連續地執行第一熱處理及第二熱處理，第一熱處理可以作為第二熱處理，或者第二熱處理也可以作為第一熱處理。

接著，形成及處理用於閘極電極（包含與閘極電極形成於相同層中的佈線）的導體層，以致於形成閘極電極 148a 和導體層 148b（請參見圖 19D）。

使用例如鉬、鈦、鉭、鎢、鋁、銅、鈳、或鈳、或含有任何這些材料作為主成分的合金材料等金屬材料，形成閘極電極 148a 和導體層 148b。注意，閘極電極 148a 和導體層 148b 可以具有單層結構或疊層結構。

接著，在閘極絕緣膜 146、閘極電極 148a、和導體層 148b 上形成絕緣層 150（請參見圖 20A）。以 PVD 法、CVD 法、等等，形成絕緣層 150。使用包含例如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎳、或氧化鋁等無機絕緣材料之材料，形成絕緣層 150。注意，較佳地使用具有低介電常數的材料或是具有低介電常數的結構（例如多孔結構）以用於絕緣層 150。這是因為藉由降低絕緣層 150 的介電常數，能夠降低佈線、電極、等等之間的電容，造成操作速度增加。注意，雖然在本實施例中絕緣層 150 具有單層結構，但是，本發明的一實施例不限於此。絕緣層

150 可以具有包含二或更多層的疊層結構。

接著，在閘極絕緣層 146、及絕緣層 150 中形成抵達源極電極 142a 的開口。然後，在絕緣層 150 上形成接觸源極電極 142a 的佈線 154（請參見圖 20B）。使用掩罩等，藉由選擇性蝕刻，形成開口。

以 PVD 法、或 CVD 法，形成導體層，然後，將其圖型化，以致於形成佈線 154。關於用於導體層的材料，使用選自鋁、鉻、銅、鉭、鈦、鉬、及鎢之元素；含有任何上述元素作為成份的合金；等等。此外，可以使用選自錳、鎂、鉛、銻、釷、及釷中的一或更多材料。

具體而言，舉例而言，能夠採用一方法，其中，在開口形成於其中的部份絕緣層 150 中，以 PVD 法形成薄鈦膜（約 5 nm），然後，形成鋁膜以致嵌入於開口中。此處，以 PVD 法形成的鈦膜具有減少有鈦膜形成於上的表面上的氧化物膜（例如自然氧化物膜）的功能，以及降低與下電極等的接觸電阻（此處，源極電極 142a）。此外，防止鋁膜的小丘。在形成鈦、氮化鈦、或類似者的障壁膜之後，以電鍍法形成銅膜。

在絕緣層 150 中較佳地形成開口，以致與導體層 128b 重疊。當以此方式形成開口時，可以防止元件面積因接觸區而增加。

此處，將說明雜質區 126 與源極電極 142a 彼此連接的位置以及源極電極 142a 與佈線 154 彼此連接的位置相互重疊而未使用導體層 128b 之情形。在該情形中，在形

成於雜質區 126 上的絕緣層 136、絕緣層 138、及絕緣層 140 中形成開口（也稱為下部中的接觸），以及，源極電極 142a 形成於下部中的接觸中。之後，在閘極絕緣膜 146 與絕緣層 150 中形成開口（也稱為上部中的接觸）以致與下部中的接觸重疊，然後，形成佈線 154。當上部中的接觸形成為與下部中的接觸重疊時，形成於下部中的接觸中的源極電極 142a 可能因蝕刻而斷開。當下部及上部中的接觸形成為未彼此重疊以避免斷開時，會發生元件面積增加的問題。

如同本實施例中所述般，藉由使用導體層 128b，形成上部中的接觸而未斷開源極電極 142a。因此，下部中及上部中的接觸形成為彼此重疊，以致於能夠防止元件面積因接觸區而增加。換言之，增加半導體裝置的集成度。

接著，絕緣層 156 形成為遮蓋佈線 154（請參見圖 20C）。

經由上述製程，完成包含已高度純化的氧化物半導體層 144 的電晶體 162 和電容器 164（請參見圖 20C）。

注意，作為源極和汲極區的氧化物導體層可以設於氧化物半導體層 144 與源極和汲極電極 142a 和 142b 之間，作為電晶體 162 中的緩衝層。圖 22A 及 22B 分別顯示電晶體 162A 和 162B，電晶體 162A 和 162B 均藉由在圖 15A 中的電晶體 162 中設置氧化物導體層而取得的。

圖 22A 和 22B 中的電晶體 162A 和 162B 均設有氧化物導體層 404a 和 404b，以作為氧化物半導體層 144 與源

極和汲極電極 142a 和 142b 之間的源極和汲極區。圖 22A 和 22B 中的電晶體 162A 和 162B 視製程而在氧化物導體層 404a 和 404b 的形狀上彼此不同。

在圖 22A 中的電晶體 162A 中，形成氧化物半導體膜及氧化物導體膜，並經由相同的微影製程來處理氧化物半導體膜及氧化物導體膜，以致於氧化物半導體層 144 及氧化物導體膜形成爲具有島狀。在源極電極 142a 與汲極電極 142b 形成於氧化物半導體層及氧化物導體膜上之後，使用源極電極 142a 和汲極電極 142b 作爲掩罩來蝕刻具有島狀的氧化物導體膜，以致於形成要成爲源極和汲極區的氧化物導體層 404a 和 404b。

在圖 22B 中的電晶體 162B 中，在氧化物半導體層 144 上形成氧化物導體膜，在其上形成金屬導體膜，然後，經由相同的微影製程來處理氧化物導體膜及金屬導體膜，以致於形成要成爲源極和汲極區的氧化物導體層 404a 和 404b、源極電極 142a、和汲極電極 142b。

在執行蝕刻以處理氧化物導體膜時，適當地調整蝕刻條件（蝕刻材料的種類及濃度、蝕刻時間、等等），以致於氧化物半導體層不會被過度蝕刻。

關於氧化物導體層 404a 和 404b 的形成方法，使用濺射法、真空蒸鍍法（電子束蒸鍍法等等）、電弧放電離子電鍍法、或噴鍍法。關於氧化物導體層 404a 和 404b 的材料，使用氧化矽和銦錫氧化物的化合物、鋅鋁氧化物、鋅鋁氧氮化物、鎳鋅氧化物、或類似者。此外，上述材料可

以含有氧化矽。

當設置氧化物導體層作為氧化物半導體層 144 與源極和汲極電極 142a 和 142b 之間的源極和汲極區時，能夠降低源極和汲極區的電阻，造成電晶體 162A 和 162B 的高速操作。

包含氧化物半導體層 144、氧化物導體層 404a 和 404b、以及源極和汲極電極 142a 和 142b，電晶體 162A 和 162B 能夠均具有更高的耐受電壓。

由於在本實施例中所述的電晶體 162 中，氧化物半導體層 144 高度純化，所以，氫濃度為  $5 \times 10^{19}$  原子/cm<sup>3</sup> 或更低、較佳地  $5 \times 10^{18}$  原子/cm<sup>3</sup> 或更低、更佳地  $5 \times 10^{17}$  原子/cm<sup>3</sup> 或更低。此外，氧化物半導體層 144 的載子濃度充份低於一般矽晶圓的載子濃度（約  $1 \times 10^{14}$ /cm<sup>3</sup>）（例如，低於  $1 \times 10^{12}$ /cm<sup>3</sup>、較佳地低於  $1.45 \times 10^{10}$ /cm<sup>3</sup>）。因此，關閉狀態電流也充份低。舉例而言，在室溫（25°C）下電晶體 162 的關閉狀態電流（此處，每微米（ $\mu\text{m}$ ）的通道寬度之電流）低於或等於 100 zA（1 zA（介安培）是  $1 \times 10^{-21}$  A），較佳地低於或等於 10 zA。

藉由使用高度純化成爲本質的氧化物半導體層 144，能夠容易充份地降低電晶體的關閉狀態電流。此外，藉由使用此電晶體，取得能夠很長時間固持儲存的資料之半導體裝置。

此外，在本實施例中所述的半導體裝置中，共用佈線；因此，實現具有充份增加的集成度之半導體裝置。

本實施例中所述的結構、方法、等等能夠與其它實施例中所述的任何結構、方法、等等適當地結合。

(實施例 4)

在本實施例中，將參考圖 21A 至 21F，說明任何上述實施例中所述的半導體裝置應用至電子裝置的情形。在本實施例中，將說明上述實施例中所述的半導體裝置應用至例如電腦、行動電話手機（也稱為行動電話或行動電話裝置）、可攜式資訊終端（包含可攜式遊戲台、音頻播放器、等等）、例如數位相機或數位攝影機等相機、電子紙、或電視機（也稱為電視或電視接收器）。

圖 21A 顯示膝上型個人電腦，其包含機殼 707、機殼 708、顯示部 709、鍵盤 710、等等。機殼 707 和機殼 708 中至少之一設有任何上述實施例中說明之半導體裝置。因此，能夠實現高速地執行資料的寫入及讀取、長時間儲存資料、以及充份降低耗電的膝上型個人電腦。

圖 21B 顯示個人數位助理（PDA）。主體 711 設有顯示部 713、外部介面 715、操作鍵 714、等等。此外，提供探針 712 等等，以用於操作個人數位助理。在主體 711 中，設有上述任何實施例中所述的半導體裝置。因此，能夠實現高速地執行資料的寫入及讀取、長時間儲存資料、以及充份降低耗電的個人數位助理。

圖 21C 顯示包含電子紙的電子書讀取器 720。電子書讀取器 720 包含二機殼：機殼 721 和機殼 723。機殼 721

和機殼 723 分別設有顯示部 725 和顯示部 727。機殼 721 和機殼 723 藉由鉸鏈 737 而接合以及以鉸鏈 737 為軸來開啓和關閉。機殼 721 設有電源 731、操作鍵 733、揚音器 735、等等。機殼 721 和機殼 723 中至少之一設有任何上述實施例中所述的半導體裝置。因此，能夠實現高速地執行資料的寫入及讀取、長時間儲存資料、以及充份降低耗電的電子書讀取器。

圖 21D 顯示行動電話手機，其包含二機殼：機殼 740 和機殼 741。此外，如圖 21D 中所示的展開狀態之機殼 740 和機殼 741 可以藉由滑動而彼此重疊；因此，行動電話手機的尺寸可以縮小，使行動電話手機適合攜帶。機殼 741 包含顯示面板 742、揚音器 743、麥克風 744、操作鍵 745、指標裝置 746、相機鏡頭 747、外部連接端子 748、等等。機殼 740 包含用於使行動電話手機充電之太陽能電池 749、外部記憶體槽 750、等等。此外，天線併入於機殼 741 中。機殼 740 和機殼 741 中至少之一設有任何上述實施例中所述的半導體裝置。因此，能夠實現高速地執行資料的寫入及讀取、長時間儲存資料、以及充份降低耗電的行動電話手機。

圖 21E 是數位相機，其包含主體 761、顯示部 767、目鏡 763、操作開關 764、顯示部 765、電池 766、等等。在主體 761 中，設有任何上述實施例中所述的半導體裝置。因此，能夠實現高速地執行資料的寫入及讀取、長時間儲存資料、以及充份降低耗電的數位相機。

圖 21F 是電視機 770，其包含機殼 771、顯示部 773、支架 775、等等。以機殼 771 的操作開關或遙控器 780，操作電視機 770。任何上述實施例中所述的半導體裝置設於機殼 771 及／或遙控器 780 中。因此，能夠實現高速地執行資料的寫入及讀取、長時間儲存資料、以及充份降低耗電的電視機。

因此，根據任何上述實施例之半導體裝置設於本實施例中所述的電子裝置中。因此，能夠降低電子裝置的耗電。

#### (實施例 5)

將參考圖 23A 至 23C，說明作為上述實施例中的電晶體 162 的任何半導體層之氧化物半導體層的一實施例。

本實施例的氧化物半導體層具有包含第一結晶氧化物半導體層以及第二結晶氧化物半導體層之結構，第二結晶氧化物半導體層堆疊於第一結晶氧化物半導體層上以及具有大於第一結晶氧化物半導體層的厚度。

絕緣層 437 形成於絕緣層 401 上。在本實施例中，以 PCVD 法或濺射法，形成厚度大於或等於 50 nm 且低於或等於 600 nm 的氧化物絕緣層。舉例而言，使用選自氧化矽膜、氧化鎵膜、氧化鋁膜、氧氮化矽膜、氧氮化鋁膜、及氮氧化矽膜之單層或是任何這些膜的堆疊。

接著，在絕緣層 437 上形成厚度大於或等於 1 nm 且低於或等於 10 nm 的第一氧化物半導體膜，以及，將濺射



法的膜形成中的基底溫度設為高於或等於 200°C 且低於或等於 400°C。

在本實施例中，在氧氛圍、氬氛圍、或包含氬及氧的氛圍中，在下述條件下形成厚度 5 nm 的第一氧化物半導體膜：使用用於氧化物半導體的靶（用於包含 1:1:2[莫耳比]的  $\text{In}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$ 、及  $\text{ZnO}$  的 In-Ga-Zn-O 為基礎的氧化物半導體之靶）、基底與靶之間的距離為 170 mm、基底溫度為 400°C、壓力 0.4 Pa，直流（DC）電力為 0.5 kW。

在 In-Zn-O 為基礎的材料用於氧化物半導體的情形中，使用具有下述成分比例的靶：In:Zn 的成分比為 50:1 至 1:2 原子比（ $\text{In}_2\text{O}_3$  :  $\text{ZnO}$ =25:1 至 1:4 莫耳比），較佳地為 20:1 至 1:1 原子比（ $\text{In}_2\text{O}_3$  :  $\text{ZnO}$ =10:1 至 1:2 莫耳比）、更佳地為 15:1 至 1.5:1 原子比（ $\text{In}_2\text{O}_3$  :  $\text{ZnO}$ =15:2 至 3:4 莫耳比）。舉例而言，用於形成 In-Zn-O 為基礎的氧化物半導體的形成之靶具有下述原子比例：In:Zn:O 的原子比為 X:Y:Z，其中， $Z > 1.5X + Y$ 。

此外，In-Sn-Zn 為基礎的氧化物稱為 ITZO，以及，使用具有下述成分比例的氧化物靶作為靶：舉例而言，In:Sn:Zn 的成分比為 1:2:2、2:1:3、1:1:1、或 20:45:35 原子比。

接著，在設置基底的室的氛圍是氮或乾空氣氛圍的條件下，執行第一熱處理。第一熱處理的溫度高於或等於 400°C 且低於或等於 750°C。經由第一熱處理，形成第一結晶氧化物半導體層 450a（請參見圖 23A）。

取決於沈積時的基底溫度或第一熱處理的溫度，第一熱處理使結晶從膜表面開始以及晶體從膜表面朝向膜內部生長；因此，取得 c 軸對齊的晶體。藉由第一熱處理，大量的鋅及氧聚集至膜表面，以及，一層或更多層之包含鋅和氧且具有六角上平面的石墨型二維晶體形成於最外表面；在最外表面的層在厚度方向上生長以形成複數層的堆疊。藉由增加熱處理的溫度，晶體生長從表面進行至內部以，又從內部進行至底部。

藉由第一熱處理，絕緣層 437（是氧化物絕緣層）中的氧擴散至絕緣層 437 與第一結晶氧化物半導體層 450a 之間的介面或是介面的近處（在離介面 $\pm 5\text{nm}$ 內），因而第一結晶氧化物半導體層中的氧不足降低。因此，較佳的是在作為基部絕緣膜的絕緣層 437（的塊體中）中或是第一結晶氧化物半導體層 450a 與絕緣層 437 之間的介面處，包含數量至少大於化學計量成分比例中的氧量之氧。

接著，在第一結晶氧化物半導體層 450a 上形成厚度大於 10 nm 的第二氧化物半導體膜。以濺射法，形成第二氧化物半導體膜，膜形成時的基底溫度設為高於或等於 200°C 且低於或等於 400°C。藉由將膜形成時的基底溫度設為高於或等於 200°C 且低於或等於 400°C，可以在形成於第一結晶氧化物半導體層的表面上且與其接觸的氧化物半導體層中配置前驅物，並取得所謂的整齊線。

在本實施例中，在氧氛圍、氫氛圍、或包含氫及氧的氛圍中，在下述條件下形成厚度 25 nm 的第二氧化物半導

體膜：使用用於氧化物半導體的靶（用於包含 1:1:2[莫耳比]的  $\text{In}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$ 、及  $\text{ZnO}$  的 In-Ga-Zn-O 為基礎的氧化物半導體之靶）、基底與靶之間的距離為 170 mm、基底溫度為  $400^\circ\text{C}$ 、壓力 0.4 Pa，直流（DC）電力為 0.5 kW。

接著，在設置基底的室的氛圍是氮氛圍、氧氛圍、或氮及氧的混合氛圍之條件下，執行第二熱處理。第二熱處理的溫度高於或等於  $400^\circ\text{C}$  且低於或等於  $750^\circ\text{C}$ 。經由第二熱處理，形成第二結晶氧化物半導體層 450b（請參見圖 23B）。在氮氛圍、氧氛圍、或氮及氧的混合氛圍中，執行第二熱處理，因而增加第二結晶氧化物半導體層的密度及降低其中的缺陷數目。藉由第二熱處理，晶體生長使用第一結晶氧化物半導體層 450a 作為晶核而於厚度方向上進行，亦即，晶體生長從底部進行至內部；因此，形成第二結晶氧化物半導體層 450b。

較佳的是，從絕緣層 437 的形成至第二熱處理的步驟連續地執行，而不曝露至空氣。從絕緣層 437 的形成至第二熱處理的步驟較佳地在被控制成包含少量氫及濕氣之氛圍（例如惰性氣體氛圍、降壓氛圍、或乾空氣氛圍）中執行；以濕氣的觀點而言，舉例而言，可以使用具有  $-40^\circ\text{C}$  或更低的露點、較佳地  $-50^\circ\text{C}$  或更低的露點之乾氮氣氛圍。

接著，將氧化物半導體層、第一結晶氧化物半導體層 450a、及第二結晶氧化物半導體層 450b 的堆疊被處理成包含複數島狀氧化物半導體層的堆疊之氧化物半導體層

453（請參見圖 23C）。在圖式中，在第一結晶氧化物半導體層 450a 及第二結晶氧化物半導體層 450b 之間的介面以虛線標示，第一結晶氧化物半導體層 450a 及第二結晶氧化物半導體層 450b 顯示為複數氧化物半導體層的堆疊；但是，介面事實上不明顯，但為了容易瞭解而顯示介面。

在複數氧化物半導體層的堆疊上形成具有所需形狀的掩罩之後，藉由蝕刻以處理複數氧化物半導體層的堆疊。以例如微影術等方法，形成掩罩。或者，以例如噴墨法等方法來形成掩罩。

為了蝕刻複數氧化物半導體層的堆疊，可以使用乾蝕刻或濕蝕刻。無需多言，可以使用這二者的結合。

以上述形成方法取得的第一結晶氧化物半導體層及第二結晶氧化物半導體層的特點在於它們具有 c 軸對齊。注意，第一結晶氧化物半導體層及第二結晶氧化物半導體層包括包含具有 c 軸對齊的晶體（也稱為 C 軸對齊晶體（CAAC））之氧化物，c 軸對齊的晶體既未具有單晶結構，也未具有非晶結構。第一結晶氧化物半導體層及第二結晶氧化物半導體層部份地包含晶粒邊界。

要使用的氧化物半導體較佳地含有至少銦（In）或鋅（Zn）。特別地，較佳地含銦（In）及鋅（Zn）。較佳地又含有鎵（Ga）作為用於降低包含氧化物半導體之電晶體的電特徵變化的穩定物。較佳地含錫（Sn）作為穩定物。較佳地含鈦（Hf）作為穩定物。較佳地含鋁（Al）作為穩

定物。

可以含有例如 鐳 (La)、鈰 (Ce)、鐮 (Pr)、釹 (Nd)、鈺 (Sm)、鎔 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、銩 (Tm)、鐳 (Yb)、及 鐳 (Lu) 等一或多種類 鐳 元素作為另一穩定物。

舉例而言，可以使用下述作為氧化物半導體：氧化銦、氧化錫、氧化鋅、例如 In-Zn 為基礎的氧化物、Sn-Zn 為基礎的氧化物、Al-Zn 為基礎的氧化物、Zn-Mg 為基礎的氧化物、Sn-Mg 為基礎的氧化物、In-Mg 為基礎的氧化物、或 In-Ga 為基礎的氧化物等二成分金屬氧化物、例如 In-Ga-Zn 為基礎的氧化物（也稱為 IGZO）、In-Al-Zn 為基礎的氧化物、In-Sn-Zn 為基礎的氧化物、Sn-Ga-Zn 為基礎的氧化物、Al-Ga-Zn 為基礎的氧化物、Sn-Al-Zn 為基礎的氧化物、In-Hf-Zn 為基礎的氧化物、In-La-Zn 為基礎的氧化物、In-Ce-Zn 為基礎的氧化物、In-Pr-Zn 為基礎的氧化物、In-Nd-Zn 為基礎的氧化物、In-Sm-Zn 為基礎的氧化物、In-Eu-Zn 為基礎的氧化物、In-Gd-Zn 為基礎的氧化物、In-Tb-Zn 為基礎的氧化物、In-Dy-Zn 為基礎的氧化物、In-Ho-Zn 為基礎的氧化物、In-Er-Zn 為基礎的氧化物、In-Tm-Zn 為基礎的氧化物、In-Yb-Zn 為基礎的氧化物、或 In-Lu-Zn 為基礎的氧化物等三成分金屬氧化物、或是例如 In-Sn-Ga-Zn 為基礎的氧化物、In-Hf-Ga-Zn 為基礎的氧化物、In-Al-Ga-Zn 為基礎的氧化物、In-Sn-

Al-Zn 為基礎的氧化物、In-Sn-Hf-Zn 為基礎的氧化物、或 In-Hf-Al-Zn 為基礎的氧化物等四成分金屬氧化物。

注意，舉例而言，此處「In-Ga-Zn 為基礎的氧化物」意指含 In、Ga、及 Zn 作為其主成分之氧化物且對於 In、Ga、及 Zn 的比例並無特別限定。In-Ga-Z 為基礎的氧化物含有另一金屬元素再加上 In、Ga、及 Zn。

不限於第二結晶氧化物半導體層形成於第一結晶氧化物半導體層上的雙層結構，在形成第二結晶氧化物半導體層之後，藉由重複地執行用於形成第三結晶氧化物半導體層的膜形成及熱處理之製程，形成包含三或更多層的堆疊結構。

包含上述形成方法形成的氧化物半導體層之堆疊的氧化物半導體層 453 可以適當地作為能夠應用至本說明書中揭示的半導體裝置之電晶體 162。

在使用本實施例的複數氧化物半導體層的堆疊作為氧化物半導體層之根據實施例 3 的電晶體中，電場不會從氧化物半導體層的一表面施加至另一表面且電流不會在複數氧化物半導體層的堆疊的厚度方向（從一表面至其它表面；特別地，在圖 15A 中的垂直方向）上流動。電晶體具有電流主要延著氧化物半導體層的堆疊的介面流動之結構；因此，即使當以光照射電晶體時或即使當 BT 應力施加至電晶體時，仍然能夠抑制或降低電晶體特徵劣化。

藉由使用例如氧化物半導體層 453 等第一結晶氧化物半導體層及第二結晶氧化物半導體層的堆疊以形成電晶

體，電晶體可以具有穩定的電特徵及高可靠度。

本實施能與其它實施例中所述的任何結構適當地結合實施。

(實施例 6)

由於各種原因，真正測量到的絕緣式閘極電晶體的場效遷移率低於其原始遷移率：此現象不僅發生於使用氧化物半導體的情形。原因之一在於半導體內部的缺陷或是在半導體與絕緣膜之間的介面處的缺陷降低遷移率。當使用李文森 (Levinson) 模型時，理論上能夠計算無缺陷存在於半導體內部之假設下的場效遷移率。

假設半導體之原始的遷移率及測量的場效遷移率分別為  $\mu_0$  及  $\mu$  時，以及電位障壁 (例如晶粒邊界) 存在於半導體中時，以下述等式表示測量的場效遷移率。

[等式2]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

此處，E 代表電位障壁的高度，k 代表波茲曼常數，T 代表絕對溫度。當電位障壁被假定為歸因於缺陷時，根據李文森模式，電位障壁的高度可以以下述等式表示。

[等式3]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

此處，e 代表基本電荷，N 代表通道中每單位面積之平均缺陷密度， $\epsilon$  代表半導體的介電係數，n 代表通道中每單位面積的載子數目， $C_{ox}$  代表每單位面積的電容， $V_g$

代表閘極電壓， $t$  代表通道的厚度。在半導體層的厚度小於或等於 30 nm 的情形中，通道的厚度被視為與半導體層的厚度相同。線性區中的汲極電流  $I_d$  以下述等式表示。

[等式4]

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

此處， $L$  代表通道長度， $W$  代表通道寬度， $L$  及  $W$  均為  $10 \mu\text{m}$ 。此外， $V_d$  代表汲極電壓。當以  $V_g$  除上述等式的二側，然後二側取對數時，得到下述等式。

[等式5]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

等式 5 的右側是  $V_g$  的函數。從等式中，發現從以  $\ln(I_d/V_g)$  為縱軸及  $1/V_g$  為橫軸而繪製的真實測量值而取得之圖形中的線之斜率，可以取得缺陷密度  $N$ 。亦即，從電晶體的  $I_d-V_g$  特徵曲線，評估缺陷密度。銦 (In)、錫 (Sn)、及鋅 (Zn) 的比例為 1:1:1 的氧化物半導體的缺陷密度  $N$  約為  $1 \times 10^{12}/\text{cm}^2$ 。

根據以此方式等取得的缺陷密度，從等式 2 和等式 3，計算出  $\mu_0$  為  $120 \text{ cm}^2/\text{Vs}$ 。包含缺陷之 In-Sn-Zn 為基礎的氧化物之測量的遷移率約為  $35 \text{ cm}^2/\text{Vs}$ 。但是，假設無缺陷存在於半導體的內部及半導體與絕緣膜之間的介面，則預期氧化物半導體的遷移率  $\mu_0$  為  $120 \text{ cm}^2/\text{Vs}$ 。

注意，即使當無缺陷存在於半導體內部時，在通道與閘極絕緣膜之間的介面的散射影響電晶體的傳輸特性。換言之，在離開通道與閘極絕緣膜之間的介面一距離  $x$  的位



置之遷移率  $\mu_1$  以下述等式表示。

[等式6]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

此處，D 代表閘極電極方向上的電場，B 及 G 是常數。B 及 G 是從真實的測量結果取得；根據上述測量結果，B 是  $4.75 \times 10^7$  cm/s，G 是 10 nm（介面散射影響到達的深度）。當 D 增加（亦即，當閘極電壓增加時）時，等式 6 的第二項增加，遷移率  $\mu_1$  因而降低。

圖 27 顯示電晶體的遷移率  $\mu_2$  的計算結果，所述電晶體的通道包含半導體內部沒有缺陷的理想氧化物半導體。關於計算，使用 Synopsys Inc. 製造的裝置模擬軟體 Sentaurus Device，以及，將氧化物半導體的能帶隙、電子親和力、相對介電係數、及厚度分別假定為 2.8 eV、4.7eV、15 及 15 nm。這些值是藉由測量濺射法形成的薄膜而取得的。

此外，閘極電極、源極電極、和汲極電極的功函數分別假定為 5.5 eV、4.6 eV、及 4.6 eV。閘極絕緣膜的厚度假定為 100 nm，以及，其相對介電係數假定為 4.1。通道長度及通道寬度均假定為  $10 \mu\text{m}$ ，汲極電壓  $V_d$  假定為 0.1 V。

如圖 27 所示，在閘極電壓稍微超過 1V 處遷移率具有大於  $100 \text{ cm}^2/\text{Vs}$  的峰值且隨著閘極電壓變得更高而因為介面散射的影響增加而下降。注意，為了降低介面散射，較佳的是半導體層的表面是原子等級平坦的（原子層平

坦)。

使用具有此遷移率的氧化物半導體製造的微小電晶體之特徵的結果顯示於圖 28A 至 28C、圖 29A 至 29C、及圖 30A 至 30C。圖 31A 及 31B 顯示用於計算的電晶體的剖面結構。圖 31A 及 31B 中所示的電晶體均包含半導體區 2103a 和半導體區 2103c，半導體區 2103a 和半導體區 2103c 在氧化物半導體層中具有  $n^+$  型導電率。半導體區 2103a 和半導體區 2103c 的電阻率是  $2 \times 10^{-3} \Omega \text{ cm}$ 。

圖 31A 中所示的電晶體形成於基部絕緣膜 2101 和嵌入絕緣體 2102 上，嵌入絕緣體 2102 嵌入於基部絕緣膜 2101 上及由氧化鋁形成。電晶體包含半導體區 2103a、半導體區 2103c、在它們之間作為通道形成區的本質半導體區 2103b、以及閘極電極 2105。閘極電極 2105 的寬度是 33 nm。

閘極絕緣膜 2104 形成於閘極電極 2105 與半導體區 2103b 之間。此外，側壁絕緣體 2106a 及側壁絕緣體 2106b 形成於閘極電極 2105 的二側表面上，以及，絕緣體 2107 形成於閘極電極 2105 上以防止閘極電極 2105 與另一佈線之間的短路。側壁絕緣體具有 5 nm 的寬度。源極電極 2108a 和汲極電極 2108b 設置成分別接觸半導體區 2103a 和半導體區 2103c。注意，本電晶體的通道寬度是 40 nm。

圖 31B 的電晶體與圖 31A 的電晶體相同之處在於其形成於基部絕緣膜 2101 及氧化鋁形成的嵌入絕緣體 2102

上以及其包含半導體區 2103a、半導體區 2103c、設於它們之間的本質半導體區 2103b、具有 33 nm 寬度的閘極電極 2105、閘極絕緣膜 2104、側壁絕緣體 2106a、側壁絕緣體 2106b、絕緣體 2107、源極電極 2108a、和汲極電極 2108b。

圖 31A 中所示的電晶體與圖 31B 中所示的電晶體不同之處在於側壁絕緣體 2106a 及側壁絕緣體 2106b 之下的半導體區的導電率型。在圖 31A 中所示的電晶體中，側壁絕緣體 2106a 及側壁絕緣體 2106b 之下的半導體區是具有  $n^+$  型導電率的部份半導體區 2103a 以及具有  $n^+$  型導電率的部份半導體區 2103c，而在圖 31B 中所示的電晶體中，側壁絕緣體 2106a 及側壁絕緣體 2106b 之下的半導體區是部份本質半導體區 2103b。換言之，在圖 31B 的半導體層中，設置既未與半導體區 2103a（半導體區 2103c）重疊、也未與閘極電極 2105 重疊之寬度  $L_{off}$  的區域。此區域稱為偏移區，以及，寬度  $L_{off}$  稱為偏移長度。如圖中所見般，偏移長度等於側壁絕緣體 2106a（側壁絕緣體 2106b）的寬度。

計算中所使用的其它參數如上所述。關於計算，使用 Synopsys Inc. 製造的裝置模擬軟體 Sentaurus Device。圖 28A 至 28C 顯示具有圖 31A 中所示的結構之電晶體的汲極電流（ $I_d$ ，實線）及遷移率（ $\mu$ ，虛線）與閘極電壓（ $V_g$ ：閘極電極與源極電極之間的電位差）的相依性。在汲極電壓（汲極與源極之間的電位差）為 +1V 之假設下，

藉由計算取得汲極電流  $I_d$ ，以及在汲極電壓為  $+0.1$  V 之假設下，藉由計算取得遷移率  $\mu$ 。

圖 28A 顯示閘極絕緣膜的厚度為 15 nm 的情形中電晶體的閘極電壓相依性，圖 28B 顯示閘極絕緣膜的厚度為 10 nm 的情形中電晶體的閘極電壓相依性，圖 28C 顯示閘極絕緣膜的厚度為 5 nm 的情形中電晶體的閘極電壓相依性。隨著閘極絕緣膜更薄時，特別是在關閉狀態時的汲極電流  $I_d$ （關閉狀態電流）顯著地降低。相反地，遷移率  $\mu$  的峰值及開啓狀態時的汲極電流  $I_d$ （開啓狀態電流）並無明顯改變。圖形顯示在 1V 附近的閘極電壓之汲極電流超過  $10 \mu A$ ，這是記憶胞等中要求的。

圖 29A 至 29C 顯示具有圖 31B 中所示的結構之偏移長度  $L_{off}$  為 5 nm 的電晶體的汲極電流（ $I_d$ ，實線）及遷移率（ $\mu$ ，虛線）與閘極電壓的相依性。在汲極電壓為  $+1V$  之假設下，藉由計算取得汲極電流  $I_d$ ，以及在汲極電壓為  $+0.1$  V 之假設下，藉由計算取得遷移率  $\mu$ 。圖 29A 顯示閘極絕緣膜的厚度為 15 nm 的情形中電晶體的閘極電壓相依性，圖 29B 顯示閘極絕緣膜的厚度為 10 nm 的情形中電晶體的閘極電壓相依性，圖 29C 顯示閘極絕緣膜的厚度為 5 nm 的情形中電晶體的閘極電壓相依性。

此外，圖 30A 至 30C 顯示具有圖 31B 中所示的結構之偏移長度  $L_{off}$  為 15 nm 的電晶體的汲極電流（ $I_d$ ，實線）及遷移率（ $\mu$ ，虛線）與閘極電壓的相依性。在汲極電壓為  $+1V$  之假設下，藉由計算取得汲極電流  $I_d$ ，以及在

汲極電壓為 +0.1 V 之假設下，藉由計算取得遷移率  $\mu$ 。圖 30A 顯示閘極絕緣膜的厚度為 15 nm 的情形中電晶體的閘極電壓相依性，圖 30B 顯示閘極絕緣膜的厚度為 10 nm 的情形中電晶體的閘極電壓相依性，圖 30C 顯示閘極絕緣膜的厚度為 5 nm 的情形中電晶體的閘極電壓相依性。

在任一結構中，隨著閘極絕緣膜更薄時，關閉狀態電流顯著地降低，而遷移率  $\mu$  的峰值及開啓狀態電流並無明顯改變。

注意，在圖 28A 至 28C 中遷移率  $\mu$  的峰值約為 80  $\text{cm}^2/\text{Vs}$ ，在圖 29A 至 29C 中約為 60  $\text{cm}^2/\text{Vs}$ ，以及，在圖 30A 至 30C 中約為 40  $\text{cm}^2/\text{Vs}$ ；因此，遷移率  $\mu$  的峰值隨著偏移長度  $L_{\text{off}}$  增加而降低。此外，同理可用於關閉狀態電流。開啓狀態電流也隨著偏移長度  $L_{\text{off}}$  增加而降低；但是，開啓狀態電流的下降比關閉狀態電流的下降更緩和。此外，圖形顯示在任一結構中，在 1V 附近的閘極電壓時，汲極電流超過記憶胞等中要求的 10  $\mu\text{A}$ 。

#### [實例 1]

藉由加熱基底時沈積氧化物半導體、或在形成氧化物半導體膜之後執行熱處理，則使用含有 In、Sn、及 Zn 作為主成分的氧化物半導體作為通道形成區的電晶體能夠具有有利的特徵。注意，主成分意指所含有的元素之成分為 5 原子% 或更多。

在形成含有 In、Sn、及 Zn 作為主成分的氧化物半導

體之後刻意地加熱基底，增進電晶體的場效遷移率。此外，電晶體的臨界電壓正向地偏移而使電晶體常關。

舉例而言，圖 32A 至 32C 均顯示電晶體的特徵，其中，使用含有 In、Sn、及 Zn 作為主成分且具有  $3\ \mu\text{m}$  的通道長度  $L$  及  $10\ \mu\text{m}$  的通道寬度  $W$  之氧化物半導體膜、以及厚度  $100\ \text{nm}$  的閘極絕緣膜。注意， $V_d$  設定於  $10\ \text{V}$ 。

圖 32A 顯示電晶體之特徵，藉由濺射法而未刻意地加熱基底以形成所述電晶體的含有 In、Sn、及 Zn 作為主成分的氧化物半導體膜。電晶體的場效遷移率為  $18.8\ \text{cm}^2/\text{Vsec}$ 。另一方面，當在刻意地加熱基底時形成含有 In、Sn、及 Zn 作為主成分的氧化物半導體膜時，場效遷移率增進。圖 32B 顯示電晶體的特徵，所述電晶體是在  $200^\circ\text{C}$  中加熱基底時形成含有 In、Sn、及 Zn 作為主成分的氧化物半導體膜。電晶體的場效遷移率為  $32.2\ \text{cm}^2/\text{Vsec}$ 。

藉由在形成含有 In、Sn、及 Zn 作為主成分的氧化物半導體膜之後執行熱處理，進一步增進場效遷移率。圖 32C 顯示電晶體的特徵，所述電晶體是在  $200^\circ\text{C}$  中以濺射形成含有 In、Sn、及 Zn 作為主成分的氧化物半導體，接著使所述氧化物半導體膜接受  $650^\circ\text{C}$  的熱處理。電晶體的場效遷移率為  $34.5\ \text{cm}^2/\text{Vsec}$ 。

預期基底的刻意加熱具有降低濺射形成期間被吸入氧化物半導體膜的濕氣之效果。此外，在膜形成之後的熱處理能夠從氧化物半導體膜釋放及移除氫、羥基、或濕氣。

依此方式，能夠增進場效遷移率。假定此場效遷移率的增進不僅藉由脫水或脫氫來移除雜質而取得，也藉由降低導因於密度增加的原子間距離之縮減而取得。藉由從氧化物半導體移除雜質而高度純化，以晶化氧化物半導體。在使用此高度純化的非單晶氧化物半導體的情形中，理想地，預期實現超過  $100 \text{ m}^2/\text{Vsec}$  的場效遷移率。

含有 In、Sn、及 Zn 作為主成分的氧化物半導體以下述方式晶化：氧離子植入氧化物半導體，藉由熱處理以釋放含於氧化物半導體中的氫、羥基、或濕氣，以及，經由熱處理或稍後執行的另一熱處理來晶化氧化物半導體。藉由此晶化處理或再晶化處理，取得具有有利晶性的非單晶氧化物半導體。

膜形成期間基底的刻意加熱及／或在膜形成之後的熱處理不僅有助於增進場效遷移率，也有助於使電晶體常關。在使用含有 In、Sn、及 Zn 作為主成分且未刻意地加熱基底而形成的氧化物半導體膜作為通道形成區的電晶體中，臨界電壓趨向於朝負向偏移。但是，當使用刻意地加熱基底時形成的氧化物半導體膜時，能夠解決臨界電壓負向偏移的問題。亦即，臨界電壓偏移，以致於電晶體變成常關；藉由比較圖 32A 和 32B，能確認此趨勢。

注意，藉由改變 In、Sn、及 Zn 的比例，也能控制臨界電壓；當 In、Sn、及 Zn 的成分比例為 2:1:3 時，預期形成常關電晶體。此外，藉由如下所述地設定靶的成分比例，取得具有高晶性的氧化物半導體膜：In:Sn:Zn=

2:1:3。

基底的刻意加熱之溫度或是熱處理的溫度為  $150^{\circ}\text{C}$  或更高，較佳地  $200^{\circ}\text{C}$  或更高，又較佳地為  $400^{\circ}\text{C}$  或更高。當在高溫下執行膜形成或熱處理時，電晶體是常關的。

藉由在膜形成期間刻意地加熱基底及／或在膜形成後執行熱處理，能增進抗閘極偏壓應力的穩定度。舉例而言，當在  $150^{\circ}\text{C}$  下以  $2\text{ MV/cm}$  的強度施加閘極偏壓一小時時，臨界電壓的漂移小於  $\pm 1.5\text{V}$ ，較佳地小於  $\pm 1.0\text{V}$ 。

對下述二電晶體執行 BT 測試：在氧化物半導體膜形成後未執行熱處理的樣品 1，以及在氧化物半導體膜形成後執行  $650^{\circ}\text{C}$  熱處理的樣品 2。

首先，在基底溫度  $25^{\circ}\text{C}$  及  $10\text{V}$  的  $V_d$  下，測量這些電晶體的  $V_g-I_d$  特徵。注意， $V_d$  代表汲極電壓（汲極與源極之間的電位差）。然後，基底溫度設定於  $150^{\circ}\text{C}$ ，且  $V_d$  設定於  $0.1\text{V}$ 。之後，施加  $20\text{V}$  的  $V_g$ ，以致於施加至閘極絕緣膜的電場的強度為  $2\text{MV/cm}$ ，以及，所述條件保持一小時。接著，將  $V_g$  設定於  $0\text{V}$ 。然後，在基底溫度  $25^{\circ}\text{C}$  及  $10\text{V}$  的  $V_d$  下，測量這些電晶體的  $V_g-I_d$  特徵。此處理稱為正 BT 測試。

以類似方式，在基底溫度  $25^{\circ}\text{C}$  及  $10\text{V}$  的  $V_d$  下，測量這些電晶體的  $V_g-I_d$  特徵。然後，基底溫度設定於  $150^{\circ}\text{C}$ ，且  $V_d$  設定於  $0.1\text{V}$ 。之後，施加  $-20\text{V}$  的  $V_g$ ，以致於施加至閘極絕緣膜的電場的強度為  $-2\text{ MV/cm}$ ，以及，所述條件保持一小時。接著，將  $V_g$  設定於  $0\text{V}$ 。然後，在基底



溫度 25°C 及 10V 的  $V_d$  下，測量這些電晶體的  $V_g-I_d$  特徵。此處理稱為負 BT 測試。

圖 33A 及 33B 分別顯示樣品 1 的正 BT 測試結果及樣品 1 的負 BT 測試結果。圖 34A 及 34B 分別顯示樣品 2 的正 BT 測試結果及樣品 2 的負 BT 測試結果。

導因於正 BT 測試及導因於負 BT 測試的樣品 1 的臨界電壓偏移量分別為 1.80 V 及 -0.42V。導因於正 BT 測試及導因於負 BT 測試的樣品 2 的臨界電壓偏移量分別為 0.79 V 及 0.76V。發現在樣品 1 及樣品 2 中，BT 測試之前及之後之間的臨界電壓的偏移量小且其可靠度高。

在氧氛圍中執行熱處理；或者，在氮或惰性氣體氛圍中、或是在降壓下且然後在含氧的氛圍中，首先執行熱處理。在脫水或脫氫後氧供應至氧化物半導體，因而進一步增加熱處理的效果。關於脫水或脫氫後供應氧的方法，可以使用氧離子由電場加速且佈植至氧化物半導體膜中的方法。

在氧化物半導體中或是在氧化物半導體以及與氧化物半導體接觸的膜之間的介面，容易造成導因於氧不足的缺陷；但是，當藉由熱處理而在氧化物半導體中含有過量的氧時，固定地造成的氧缺陷能由過量的氧補償。過量的氧是主要存在於晶格之間的氧。當過量的氧的濃度設定為高於或等於  $1 \times 10^{16}/\text{cm}^3$  且低於或等於  $2 \times 10^{20}/\text{cm}^3$  時，能夠在氧化物半導體中含有過量的氧而不會造成晶體扭曲等等。

當執行熱處理以致於至少部份氧化物半導體包含晶體

時，能夠取得更穩定的氧化物半導體膜。舉例而言，當以 X 光繞射 (XRD) 來分析使用 In:Sn:Zn=1:1:1 的成分比之靶而以濺射但未刻意地加熱基底所形成的氧化物半導體膜時，觀測到光暈圖案。藉由使形成的氧化物半導體膜接受熱處理而將其晶化。熱處理的溫度適當地設定：舉例而言，當以 650°C 執行熱處理時，在 X 光繞射分析中觀測到清楚的繞射峰值。

執行 In-Sn-Zn-O 的 XRD 分析。使用 Bruker AXS 製造的 X 光繞射儀 D8 ADVANCE，執行 XRD 分析，以及，以平面外方法執行測量。

製備樣品 A 及樣品 B 以及對其執行 XRD 分析。於下，將說明樣品 A 和樣品 B 的製造方法。

在已接受脫氫處理的石英基底上形成厚度 100 nm 的 In-Sn-Zn-O 膜。

在氧氛圍中，以 100 W (DC) 功率之濺射設備，形成 In-Sn-Zn-O 膜。使用具有 In:Sn:Zn=1:1:1 原子比的 In-Sn-Zn-O 靶作為靶。注意，在膜形成時的基底加熱溫度設定在 200°C。使用依此方式製造的樣品作為樣品 A。

接著，以類似於樣品 A 的方法製成的樣品接受 650°C 的熱處理。關於熱處理，首先執行氮氛圍中的熱處理一小時，以及，又執行氧氛圍中的熱處理一小時而未降低溫度。使用此方式製造的樣品作為樣品 B。

圖 35 顯示樣品 A 及樣品 B 的 XRD 頻譜。在樣品 A 中未觀測到導因於晶體的峰值，但是，在樣品 B 中，當 2

$\theta$  約 35 度、及在 37 度至 38 度，觀測到導因於晶體的峰值。

如上所述，藉由在含有 In、Sn、及 Zn 作為主成分的氧化物半導體沈積期間刻意地加熱基底、及／藉由在沈積後執行熱處理，能夠增進電晶體的特徵。

這些基底加熱及熱處理具有防止不利於氧化物半導體的氫及羥基等雜質被包含膜中的效果或者具有從膜中移除氫及羥基的效果。亦即，藉由從氧化物半導體中移除作為施子雜質的氫，而將氧化物半導體高度純化，因而取得常關電晶體。氧化物半導體的高度純化使得電晶體的關閉狀態電流能夠為  $1 \text{ aA}/\mu\text{m}$  或更低。此外，使用關閉狀態電流的單位以標示每微米的通道寬度的電流。

圖 36 顯示測量時電晶體的關閉狀態電流與基底溫度（絕對溫度）的倒數之間的關係。此處，為了簡明起見，水平軸代表以 1000 乘以測量時基底溫度的倒數而取得的值（ $1000/T$ ）。

具體而言，如圖 36 所示，當基底溫度分別為  $125^\circ\text{C}$ 、 $85^\circ\text{C}$ 、及室溫（ $27^\circ\text{C}$ ）時，關閉狀態電流為  $1 \text{ aA}/\mu\text{m}$ （ $1 \times 10^{-18} \text{ A}/\mu\text{m}$ ）或更低、 $100 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ）或更低、及  $1 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-21} \text{ A}/\mu\text{m}$ ）或更低。較佳地，在基底溫度分別為  $125^\circ\text{C}$ 、 $85^\circ\text{C}$ 、及室溫（ $27^\circ\text{C}$ ）時，關閉狀態電流為  $0.1 \text{ aA}/\mu\text{m}$ （ $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ）或更低、 $10 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-20} \text{ A}/\mu\text{m}$ ）或更低、及  $0.1 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-22} \text{ A}/\mu\text{m}$ ）或更低。

注意，爲了防止氧化物半導體膜形成期間氫及濕氣被含於氧化物半導體膜中，藉由充份地抑制從沈積室的外部洩露及經由沈積室的內壁之脫氣，較佳的是增加濺射氣體的純度。舉例而言，較佳地使用具有  $-70^{\circ}\text{C}$  或更低的露點之氣體作爲濺射氣體，以防止濕氣含於膜中。此外，較佳的是使用高度純化的靶以致於未包含例如氫和濕氣等雜質。雖然藉由熱處而能夠從含有 In、Sn、及 Zn 作爲主成分的氧化物半導體的膜中移除濕氣，但是，由於在更高溫度下濕氣從含有 In、Sn、及 Zn 作爲主成分的氧化物半導體釋出而非從含有 In、Ga、及 Zn 作爲主成分的氧化物半導體釋出，所以，較佳地形成原始地未含濕氣之膜。

評估基底溫度與使用氧化物半導體膜形成後執行  $650^{\circ}\text{C}$  熱處理之樣品 B 所形成的電晶體之電特徵之間的關係。

用於測量的電晶體具有  $3\ \mu\text{m}$  的通道長度  $L$ 、 $10\ \mu\text{m}$  的通道寬度  $W$ 、 $0\ \mu\text{m}$  的  $L_{OV}$ 、及  $0\ \mu\text{m}$  的  $dW$ 。注意， $V_d$  設定於  $10\text{V}$ 。注意，基底溫度爲  $-40^{\circ}\text{C}$ 、 $-25^{\circ}\text{C}$ 、 $25^{\circ}\text{C}$ 、 $75^{\circ}\text{C}$ 、 $125^{\circ}\text{C}$ 、及  $150^{\circ}\text{C}$ 。此處，在電晶體中，閘極電極與成對的電極中之一相重疊的部份之寬度稱爲  $L_{OV}$ ，以及，未與氧化物半導體膜重疊的成對電極之部份的寬度稱爲  $dW$ 。

圖 37 顯示  $I_d$  (實線) 及場效遷移率 (虛線) 與  $V_g$  的相依性。圖 38A 顯示基底溫度與臨界電壓之間的關係，圖 38B 顯示基底溫度與場效遷移率之間的關係。

從圖 38A 中，發現臨界電壓隨著基底溫度增加而變

低。注意，在  $-40^{\circ}\text{C}$  至  $150^{\circ}\text{C}$  的範圍中，臨界電壓從  $1.09\text{V}$  下降至  $-0.23\text{V}$ 。

從圖 38B 中，發現場效遷移率隨著基底溫度增加而變低。注意，在  $-40^{\circ}\text{C}$  至  $150^{\circ}\text{C}$  的範圍中，場效遷移率從  $36\text{ cm}^2/\text{Vs}$  下降至  $32\text{ cm}^2/\text{Vs}$ 。因此，發現在上述溫度範圍中電特徵的變異小。

在使用含有 In、Sn、及 Zn 作為主成分的此氧化物半導體作為通道形成區的電晶體中，以維持在  $1\text{ aA}/\mu\text{m}$  或更低的關閉狀態電流，取得  $30\text{ cm}^2/\text{Vsec}$  或更高、較佳地  $40\text{ cm}^2/\text{Vsec}$  或更高、又更佳地  $60\text{ cm}^2/\text{Vsec}$  或更高之場效遷移率，這可以取得 LSI 所需的開啓狀態電流。舉例而言，在  $L/W$  為  $33\text{ nm}/40\text{ nm}$  的 FET 中，當閘極電壓為  $2.7\text{V}$  及汲極電壓為  $1.0\text{V}$  時， $12\mu\text{A}$  或更高的開啓狀態電流能夠流通。此外，在電晶體操作所需的溫度範圍中，能夠確保充分的電特徵。根據這些特徵，能夠實現具有新穎功能的積體電路，但即使包含氧化物半導體的電晶體也設於使用 Si 半導體形成的積體電路中時也不會降低操作速度。

#### [實例 2]

在本實例中，將參考圖 39A 及 39B，於下述中說明使用 In-Sn-Zn-O 膜作為氧化物半導體膜的電晶體實例。

圖 39A 及 39B 是具有頂部閘極頂部接觸型結構的共平面電晶體之上視圖及剖面視圖。圖 39A 是電晶體的上視

圖。圖 39B 顯示圖 39A 中的 A-B 剖面。

圖 39B 中所示的電晶體包含基底 3100；設於基底 3100 上的基部絕緣膜 3102；設於基部絕緣膜 3102 的周圍中的保護絕緣膜 3104；氧化物半導體膜 3106，設於基部絕緣膜 3102 及保護絕緣膜 3104 上，以及包含高電阻區 3106a 和低電阻區 3106b；設於氧化物半導體膜 3106 上的閘極絕緣膜 3108；閘極電極 3110，設置成與氧化物半導體膜 3106 重疊而以閘極絕緣膜 3108 介於其間；側壁絕緣膜 3112，設置成接觸閘極電極 3110 的側表面；成對電極 3114，設置成至少接觸低電阻區 3106b；層間絕緣膜 3116，設置成至少遮蓋氧化物半導體膜 3106、閘極電極 3110、及成對的電極 3114；以及，佈線 3118，設置成經由形成於層間絕緣膜 3116 中的開口而連接至成對電極 3114 中至少之一。

雖然未顯示，但是，可以設置保護膜以遮蓋層間絕緣膜 3116 和佈線 3118。藉由保護膜，由層間絕緣膜 3116 的表面導通而產生的微量漏電流能夠減少，因而能夠降低電晶體的關閉狀態電流。

### [實例 3]

在本實例中，將於下述中說明使用 In-Sn-Zn-O 膜作為氧化物半導體膜的電晶體的另一實例。

圖 40A 及 40B 是上視圖及剖面視圖，顯示本實例中製造的電晶體的結構。圖 40A 是電晶體的上視圖。圖 40B

是圖 40A 中的 A-B 剖面。

圖 40B 中所示的電晶體包含基底 3600；設於基底 3600 上的基部絕緣膜 3602；設於基部絕緣膜 3602 上的氧化物半導體膜 3606；接觸氧化物半導體膜 3606 之成對電極 3614；設於氧化物半導體膜 3606 及成對電極 3614 上的閘極絕緣膜 3608；閘極電極 3610，設置成與氧化物半導體膜 3606 重疊而以閘極絕緣膜 3608 介於其間；層間絕緣膜 3616，設置成遮蓋閘極絕緣膜 3608 及閘極電極 3610；佈線 3618，經由形成於層間絕緣膜 3616 中的開口而連接至成對電極 3614；以及，保護膜 3620，設置成遮蓋層間絕緣膜 3616 及佈線 3618。

使用玻璃基底作為基底 3600。使用氧化矽膜作為基部絕緣膜 3602。使用 In-Sn-Zn-O 膜作為氧化物半導體膜 3606。使用鎢膜作為成對電極 3614。使用氧化矽膜作為閘極絕緣膜 3608。閘極電極 3610 具有氮化鋁膜及鎢膜的堆疊結構。層間絕緣膜 3616 具有氧氮化矽膜及聚醯亞胺膜的堆疊結構。佈線 3618 均具有鈦膜、鋁膜、及鈦膜依序形成的堆疊結構。使用聚醯亞胺膜作為保護膜 3620。

注意，在具有圖 40A 中所示的結構之電晶體中，閘極電極 3610 與成對電極 3614 之一重疊的部份之寬度稱為  $L_{OV}$ 。類似地，未與氧化物半導體膜 3606 重疊的成對電極 3614 的部份之寬度稱為  $dW$ 。

本申請案係根據 2010 年 8 月 6 日向日本專利局申請之日本專利申請序號 2010-178045 的申請案及 2011 年 5

月 13 日向日本專利局申請之日本專利申請序號  
2011-108416 的申請案，其內容於此一併列入參考。

**【符號說明】**

- 100：電路
- 101：電晶體
- 102：電晶體
- 120：半導體層
- 122a：閘極絕緣膜
- 124：掩罩
- 126：雜質區
- 128a：閘極電極
- 128b：導體層
- 130：雜質區
- 132：雜質區
- 134：通道形成區
- 136：絕緣層
- 138：絕緣層
- 140：絕緣層
- 142a：源極電極
- 142b：汲極電極
- 144：氧化物半導體
- 146：閘極絕緣膜
- 148a：閘極電極



- 148b : 導體層
- 150 : 絕緣層
- 154 : 佈線
- 156 : 佈線
- 160 : 電晶體
- 162 : 電晶體
- 162A : 電晶體
- 162B : 電晶體
- 164 : 電容器
- 200 : 電路
- 201 : 電晶體
- 202 : 電晶體
- 203 : 區域
- 300 : 基底
- 301 : 元件形成層
- 302 : 第一佈線
- 302a : 佈線
- 302b : 佈線
- 303 : 第二佈線
- 303a : 佈線
- 30b : 佈線
- 304 : 第三佈線
- 305 : 第一層間膜
- 306 : 第二層間膜

- 400 : 半導體基底
- 401 : 絕緣層
- 404a : 氧化物導體層
- 404b : 氧化物導體層
- 410 : 單晶半導體基底
- 412 : 氧化物膜
- 414 : 易脆區
- 416 : 單晶半導體層
- 437 : 絕緣層
- 450a : 第一結晶氧化物半導體層
- 450b : 第二結晶氧化物半導體層
- 453 : 氧化物半導體層
- 500 : 列解碼器
- 501 : 列驅動器
- 502 : 記憶胞
- 503 : 第一反及閘
- 504 : 反及閘部份
- 505 : 第一位準偏移器
- 506 : 第一緩衝器
- 507 : 第二反及閘
- 508 : 第二位準偏移器
- 509 : 第二緩衝器
- 601 : 電晶體
- 602 : 電晶體

- 603 : 電晶體
- 604 : 電晶體
- 605 : 訊號線
- 606 : 訊號線
- 607 : 區域
- 700 : 訊號線
- 702 : 反及閘
- 703a : 電晶體
- 703b : 電晶體
- 704 : 訊號線
- 705 : 區域
- 706 : 層間膜
- 707 : 機殼
- 708 : 機殼
- 709 : 顯示部
- 710 : 鍵盤
- 711 : 主體
- 712 : 探針
- 713 : 顯示部
- 714 : 操作鍵
- 715 : 外部介面
- 720 : 電子書讀取器
- 721 : 機殼
- 723 : 機殼

- 725 : 顯示部
- 727 : 顯示部
- 731 : 鉸鏈
- 733 : 操作鍵
- 735 : 揚音器
- 737 : 鉸鏈
- 740 : 機殼
- 741 : 機殼
- 742 : 顯示面板
- 743 : 揚音器
- 744 : 麥克風
- 745 : 操作鍵
- 746 : 指標裝置
- 747 : 相機鏡頭
- 748 : 外部連接端子
- 749 : 太陽能電池
- 750 : 外部記憶體槽
- 761 : 主體
- 763 : 目鏡
- 764 : 操作開關
- 765 : 顯示部
- 766 : 電池
- 767 : 顯示部
- 770 : 電視機

- 771 : 機殼
- 773 : 顯示部
- 775 : 支架
- 780 : 遙控器
- 800 : 訊號線
- 802 : 反及閘
- 803a : 電晶體
- 803b : 電晶體
- 804 : 訊號線
- 805 : 區域
- 900 : 反相器
- 901 : 電晶體
- 902 : 電晶體
- 903 : 電晶體
- 904 : 電晶體
- 905 : 電晶體
- 906 : 電晶體
- 910 : 輸入訊號線
- 911 : 反相訊號輸入線
- 912 : 輸出訊號線
- 913 : 反相訊號輸出線
- 1000 : 電晶體
- 1001 : 佈線
- 1002 : 佈線

- 1003 : 區域
- 1006 : 層間膜
- 1100 : 電晶體
- 1101 : 佈線
- 1102 : 佈線
- 1103 : 區域
- 1201 : 第一電晶體
- 1202 : 第二電晶體
- 1203 : 電容器
- 1300 : 層
- 1301 : 第一電晶體
- 1302 : 第二電晶體
- 1400 : 反相器
- 1401 : 電晶體
- 1402 : 電晶體
- 1403 : 電晶體
- 1404 : 電晶體
- 1405 : 電晶體
- 1406 : 電晶體
- 1407 : 電晶體
- 1408 : 電晶體
- 1410 : 輸入訊號線
- 1411 : 反相訊號輸入線
- 1412 : 輸出訊號線

- 1413 : 反相訊號輸出線
- 1500 : 電晶體
- 1501 : 佈線
- 1502 : 佈線
- 1503 : 區域
- 1506 : 層間膜
- 1600 : 訊號線
- 1601 : 電路
- 1602 : 緩衝器
- 1603 : 電路
- 1604 : 訊號線
- 1605 : 訊號線
- 2101 : 基部絕緣膜
- 2102 : 嵌入絕緣體
- 2103a : 半導體區
- 2103b : 本質半導體區
- 2103c : 半導體區
- 2104 : 閘極絕緣膜
- 2105 : 閘極電極
- 2106a : 側壁絕緣體
- 2106b : 側壁絕緣體
- 2107 : 絕緣體
- 2108a : 源極電極
- 2108b : 汲極電極

- 3100 : 基底
- 3102 : 基部絕緣膜
- 3104 : 保護絕緣膜
- 3106 : 氧化物半導體膜
- 3106a : 高電阻區
- 3106b : 低電阻區
- 3108 : 閘極絕緣膜
- 3110 : 閘極電極
- 3112 : 側壁絕緣膜
- 3114 : 電極
- 3116 : 層間絕緣膜
- 3118 : 佈線
- 3600 : 基底
- 3602 : 基部絕緣膜
- 3606 : 氧化物半導體膜
- 3608 : 閘極絕緣膜
- 3610 : 閘極電極
- 3614 : 電極
- 3616 : 閘極絕緣膜
- 3618 : 佈線
- 3620 : 保護膜



I688047

## 發明摘要

※申請案號：106101874（由100125972分割）

※申請日：100年07月22日

※IPC分類：H01L 21/8242 (2006.01)

H01L 21/8244 (2006.01)

H01L 27/108 (2006.01)

H01L 27/11 (2006.01)

G11C 7/12 (2006.01)

G11C 7/18 (2006.01)

G11C 8/08 (2006.01)

G11C 8/14 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

目的在於將半導體裝置微小化。另一目的是降低包含記憶胞的半導體裝置之驅動電路的面積。半導體裝置包含設有至少第一半導體元件的元件形成層、設於元件形成層上的第一佈線、設於第一佈線上的層間膜、及與第一佈線重疊而以層間膜設於其間之第二佈線。第一佈線、層間膜、及第二佈線包含於第二半導體元件中。第一佈線及第二佈線是被供予相同電位的佈線。

【英文】

An object is to miniaturize a semiconductor device. Another object is to reduce the area of a driver circuit of a semiconductor device including a memory cell. The semiconductor device includes an element formation layer provided with at least a first semiconductor element, a first wiring provided over the element formation layer, an interlayer film provided over the first wiring, and a second wiring overlapping with the first wiring with the interlayer film provided therebetween. The first wiring, the interlayer film, and the second wiring are included in a second semiconductor element. The first wiring and the second wiring are wirings to which the same potentials are supplied.

【代表圖】

【本案指定代表圖】：第(8)圖。

【本代表圖之符號簡單說明】：

800：訊號線

802：反及閘

803a：電晶體

803b：電晶體

804：訊號線

805：區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：  
無

## 申請專利範圍

1. 一種半導體裝置，具有：

第一電晶體；

電容器；

驅動器，其包含第一佈線、第二佈線、絕緣層及第二電晶體；以及

第三電晶體，

其中，該第一電晶體具有：包含通道形成區的氧化物半導體層、閘極電極、源極電極、及汲極電極，

該電容器與該第一電晶體的該源極電極或該汲極電極的一者電連接，

該驅動器與該第一電晶體的該閘極電極電連接，

該第一佈線具有隔著該絕緣層與該第二佈線重疊的區域，

該第一佈線與該第一電晶體的該閘極電極經由相同的製程而形成，

該第二佈線與該第一電晶體的該源極電極或該汲極電極經由相同的製程而形成，

該第一佈線的膜厚比前述第二佈線的膜厚小，

該第二佈線比前述第一佈線長，

該第一佈線通過該第二佈線與該第二電晶體的閘極電極連接，

該第三電晶體具有包含通道形成區的矽，

該第一電晶體設於該第三電晶體上。

2. 一種半導體裝置，具有：

第一電晶體；

電容器；

驅動器，其包含第一佈線、第二佈線、絕緣層及第二電晶體；以及

第三電晶體，

其中，該第一電晶體具有：包含通道形成區的氧化物半導體層、閘極電極、源極電極、及汲極電極，

該電容器與該第一電晶體的該源極電極或該汲極電極的一者電連接，

該驅動器與該第一電晶體的該閘極電極電連接，

該第一佈線具有隔著該絕緣層與該第二佈線重疊的區域，

該第一佈線與該第一電晶體的該閘極電極同層，

該第二佈線與該第一電晶體的該源極電極或該汲極電極同層，

該第一佈線的膜厚比前述第二佈線的膜厚小，

該第二佈線比前述第一佈線長，

該第一佈線通過該第二佈線與該第二電晶體的閘極電連接，

該第三電晶體具有包含通道形成區的矽，

該第一電晶體設於該第三電晶體上。

3. 如請求項 1 或 2 所述之半導體裝置，其中，

該氧化物半導體層具有 c 軸對齊的晶體。

4. 如請求項 1 或 2 所述之半導體裝置，其中，  
該氧化物半導體層具有 In、Ga、及 Zn。