

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-52258
(P2021-52258A)

(43) 公開日 令和3年4月1日(2021.4.1)

(51) Int.Cl. F I テーマコード (参考)
H03K 5/26 (2006.01) H03K 5/26 P 5J039

審査請求 未請求 請求項の数 15 O L (全 26 頁)

(21) 出願番号	特願2019-172652 (P2019-172652)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区新宿四丁目1番6号
(22) 出願日	令和1年9月24日 (2019.9.24)	(74) 代理人	100116665 弁理士 渡辺 和昭
		(74) 代理人	100179475 弁理士 仲井 智至
		(74) 代理人	100216253 弁理士 松岡 宏紀
		(72) 発明者	羽田 秀生 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5J039 JJ07 KK01 KK09 KK33 MM03 NN01

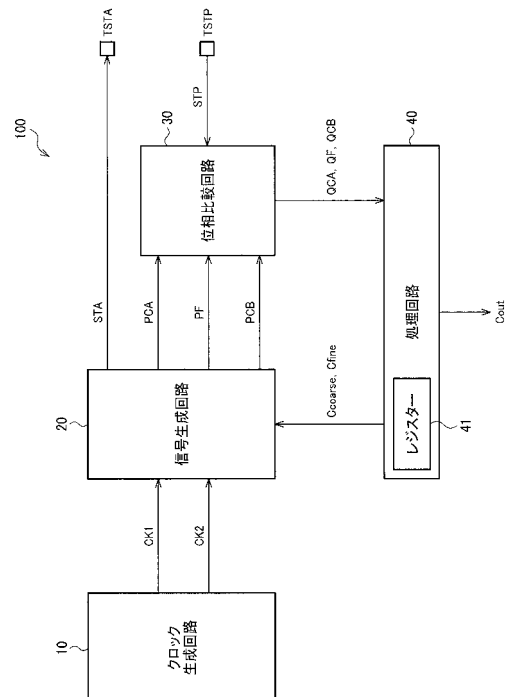
(54) 【発明の名称】 回路装置、物理量測定装置、電子機器及び移動体

(57) 【要約】

【課題】時間デジタル変換回路において短時間で時間計測を行うことが可能な回路装置等を提供すること。

【解決手段】回路装置100は、クロック生成回路10と信号生成回路20と位相比較回路30と処理回路40とを含む。信号生成回路20は、判定用信号PFより前のクロック信号CK2の遷移タイミングで遷移する判定用信号PCAと、判定用信号PFより後のクロック信号CK2の遷移タイミングで遷移する判定用信号PCBと、を生成する。位相比較回路30は、第2信号STPと判定用信号PF、PCA、PCBとを位相比較する。処理回路40は、位相比較結果に基づいて第1信号STAの遷移タイミングと判定用信号PFの遷移タイミングとを設定し、設定結果に基づいて第1信号STAと第2信号STPの時間差をデジタル値Coutに変換する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 クロック信号と、前記第 1 クロック信号とは周波数が異なる第 2 クロック信号とを生成するクロック生成回路と、

前記第 1 クロック信号の遷移タイミングで遷移する第 1 信号と、前記第 2 クロック信号の遷移タイミングで遷移する *fine* 判定用信号と、前記 *fine* 判定用信号より前の前記第 2 クロック信号の遷移タイミングで遷移する第 1 *coarse* 判定用信号と、前記 *fine* 判定用信号より後の前記第 2 クロック信号の遷移タイミングで遷移する第 2 *coarse* 判定用信号と、を生成する信号生成回路と、

前記第 1 信号に基づいて遷移する第 2 信号と前記 *fine* 判定用信号とを位相比較することで第 1 位相比較信号を出力し、前記第 2 信号と前記第 1 *coarse* 判定用信号とを位相比較することで第 2 位相比較信号を出力し、前記第 2 信号と前記第 2 *coarse* 判定用信号とを位相比較することで第 3 位相比較信号を出力する位相比較回路と、

前記第 1 位相比較信号、前記第 2 位相比較信号及び前記第 3 位相比較信号に基づいて、前記第 1 信号の遷移タイミングと前記 *fine* 判定用信号の遷移タイミングとを設定し、設定結果に基づいて前記第 1 信号と前記第 2 信号の時間差をデジタル値に変換する処理回路と、

を含むことを特徴とする回路装置。

【請求項 2】

請求項 1 に記載の回路装置において、

前記信号生成回路は、前記第 2 位相比較信号と前記第 3 位相比較信号が異なる信号レベルであるとき、前記第 1 位相比較信号に基づいて前記第 1 信号の遷移タイミングと前記 *fine* 判定用信号の遷移タイミングとを変化させ、前記第 2 位相比較信号と前記第 3 位相比較信号が同じ信号レベルであるとき、前記 *fine* 判定用信号の遷移タイミングを変化させることを特徴とする回路装置。

【請求項 3】

請求項 2 に記載の回路装置において、

前記信号生成回路は、前記第 2 位相比較信号と前記第 3 位相比較信号が異なる信号レベルであるとき、前記第 1 信号を遷移させる前記第 1 クロック信号の遷移タイミングと、前記 *fine* 判定用信号を遷移させる前記第 2 クロック信号の遷移タイミングとを、同じクロック数だけ変化させ、前記第 2 位相比較信号と前記第 3 位相比較信号が同じ信号レベルであるとき、前記第 1 信号を遷移させる前記第 1 クロック信号の遷移タイミングと、前記 *fine* 判定用信号を遷移させる前記第 2 クロック信号の遷移タイミングとを、異なるクロック数だけ変化させることを特徴とする回路装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の回路装置において、

第 1 クロック数と第 2 クロック数を記憶するレジスターを含み、

前記信号生成回路は、前記第 1 クロック信号と前記第 2 クロック信号の位相が同期する同期タイミングから、前記第 1 クロック信号の前記第 1 クロック数における遷移タイミングで前記第 1 信号を遷移させ、前記同期タイミングから、前記第 2 クロック信号の前記第 1 クロック数と前記第 2 クロック数を加算したクロック数における遷移タイミングで前記 *fine* 判定用信号を遷移させ、

前記処理回路は、前記レジスターに記憶される前記第 1 クロック数と前記第 2 クロック数を、前記第 1 位相比較信号、前記第 2 位相比較信号及び前記第 3 位相比較信号に基づいて更新することを特徴とする回路装置。

【請求項 5】

請求項 4 に記載の回路装置において、

前記第 2 位相比較信号と前記第 3 位相比較信号が異なる信号レベルであるとき、前記処理回路は、前記第 1 位相比較信号に基づいて前記第 1 クロック数を更新すると共に前記第 2 クロック数を維持し、前記信号生成回路は、前記処理回路が更新した前記第 1 クロック

10

20

30

40

50

数及び維持した前記第2クロック数に基づいて、前記第1信号の遷移タイミングと前記fine判定用信号の遷移タイミングとを変化させ、

前記第2位相比較信号と前記第3位相比較信号が異なる信号レベルであるとき、前記処理回路は、前記第1クロック数を維持すると共に前記第2クロック数を更新し、前記信号生成回路は、前記処理回路が維持した前記第1クロック数及び更新した前記第2クロック数に基づいて、前記第1信号の遷移タイミングを変化させずに前記fine判定用信号の遷移タイミングを変化させることを特徴とする回路装置。

【請求項6】

請求項4又は5に記載の回路装置において、

前記処理回路は、前記第1クロック数と前記第2クロック数に基づいて前記デジタル値を求めると特徴とする回路装置。

10

【請求項7】

請求項4乃至6のいずれか一項に記載の回路装置において、

前記処理回路は、ディザ値を出力するディザ回路を含み、前記第1クロック数に前記ディザ値を加算することで前記第1クロック数を更新することを特徴とする回路装置。

【請求項8】

請求項4乃至6のいずれか一項に記載の回路装置において、

前記信号生成回路は、前記第1coarse判定用信号より前の前記第2クロック信号の遷移タイミングで遷移する第3coarse判定用信号と、前記第2coarse判定用信号より後の前記第2クロック信号の遷移タイミングで遷移する第4coarse判定用信号と、を生成し、

20

前記位相比較回路は、前記第2信号と前記第3coarse判定用信号とを位相比較することで第4位相比較信号を出力し、前記第2信号と前記第4coarse判定用信号とを位相比較することで第5位相比較信号を出力し、

前記処理回路は、前記第1位相比較信号、前記第2位相比較信号、前記第3位相比較信号、前記位相比較信号及び前記第5位相比較信号に基づいて、前記第1信号の遷移タイミングと前記fine判定用信号の遷移タイミングとを設定し、前記第1信号の遷移タイミングと前記fine判定用信号の遷移タイミングとの設定結果に基づいて前記第1信号と前記第2信号の前記時間差を前記デジタル値に変換することを特徴とする回路装置。

30

【請求項9】

請求項8に記載の回路装置において、

前記処理回路は、前記第2位相比較信号、前記第3位相比較信号、前記第4位相比較信号及び前記第5位相比較信号に基づいて前記第2クロック数の変化ステップを可変に制御し、前記第2クロック数を前記変化ステップだけ変化させることで前記第2クロック数を更新することを特徴とする回路装置。

【請求項10】

請求項1乃至9のいずれか一項に記載の回路装置において、

前記クロック生成回路は、

振動子を発振させることで前記第2クロック信号を生成する発振回路と、

40

前記第2クロック信号に基づいて前記第1クロック信号を生成するフラクショナルNPLL回路と、

を有することを特徴とする回路装置。

【請求項11】

請求項1乃至9のいずれか一項に記載の回路装置において、

前記クロック生成回路は、

第1振動子を発振させることで前記第1クロック信号を生成する第1発振回路と、

第2振動子を発振させることで前記第2クロック信号を生成する第2発振回路と、

を有することを特徴とする回路装置。

【請求項12】

50

請求項 10 に記載の回路装置と、
前記振動子と、
を含むことを特徴とする物理量測定装置。

【請求項 13】

請求項 11 に記載の回路装置と、
前記第 1 振動子と、
前記第 2 振動子と、
を含むことを特徴とする物理量測定装置。

【請求項 14】

請求項 1 乃至 11 のいずれか一項に記載の回路装置と、
前記回路装置からの出力信号に基づく処理を行う処理装置と、
を含むことを特徴とする電子機器。

10

【請求項 15】

請求項 1 乃至 11 のいずれか一項に記載の回路装置と、
前記回路装置からの出力信号に基づく処理を行う処理装置と、
を含むことを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路装置、物理量測定装置、電子機器及び移動体等に関する。

20

【背景技術】

【0002】

従来より、スタート信号とストップ信号の遷移タイミングの時間差をデジタル値に変換する時間デジタル変換回路が知られている。このような時間デジタル変換回路の従来技術が特許文献 1 に開示されている。特許文献 1 の時間デジタル変換回路は、第 1 クロック信号と第 2 クロック信号の同期タイミングから所定クロックサイクルが経過した第 1 クロック信号の遷移タイミングでスタート信号を自発する。そして、時間デジタル変換回路は、ストップ信号と第 2 クロック信号の位相を比較し、その位相が一致するタイミングまでクロックサイクルを更新することで、スタート信号とストップ信号の間の時間差を計測する。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2018 - 56677 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記時間デジタル変換回路は、第 1 クロック信号と第 2 クロック信号の同期タイミングから次の同期タイミングまでを 1 つの測定期間とし、その測定期間においてストップ信号と第 2 クロック信号の位相が一致しない場合には、スタート信号のクロックサイクルを更新し、次の測定期間に移行する。このため、時間計測の分解能を向上させようとする、或いは時間計測のダイナミックレンジを拡大しようとする、測定期間の繰り返し回数が増大するため、短時間で時間計測が行えないという課題がある。

40

【課題を解決するための手段】

【0005】

本開示の一態様は、第 1 クロック信号と、前記第 1 クロック信号とは周波数が異なる第 2 クロック信号とを生成するクロック生成回路と、前記第 1 クロック信号の遷移タイミングで遷移する第 1 信号と、前記第 2 クロック信号の遷移タイミングで遷移する fine 判定用信号と、前記 fine 判定用信号より前の前記第 2 クロック信号の遷移タイミングで遷移する第 1 coarse 判定用信号と、前記 fine 判定用信号より後の前記第 2 クロ

50

ック信号の遷移タイミングで遷移する第2 coarse判定用信号と、を生成する信号生成回路と、前記第1信号に基づいて遷移する第2信号と前記fine判定用信号とを位相比較することで第1位相比較信号を出力し、前記第2信号と前記第1 coarse判定用信号とを位相比較することで第2位相比較信号を出力し、前記第2信号と前記第2 coarse判定用信号とを位相比較することで第3位相比較信号を出力する位相比較回路と、前記第1位相比較信号、前記第2位相比較信号及び前記第3位相比較信号に基づいて、前記第1信号の遷移タイミングと前記fine判定用信号の遷移タイミングとを設定し、設定結果に基づいて前記第1信号と前記第2信号の時間差をデジタル値に変換する処理回路と、を含む回路装置に係する。

【図面の簡単な説明】

【0006】

【図1】本実施形態の時間計測手法を用いない場合における信号波形例。

【図2】回路装置の第1構成例。

【図3】回路装置の動作を説明する第1波形例。

【図4】回路装置の動作を説明する第2波形例。

【図5】デジタル値の計算式を説明する図。

【図6】信号生成回路、位相比較回路及び処理回路の第1詳細構成例。

【図7】クロック生成回路の第1詳細構成例。

【図8】クロック生成回路の第2詳細構成例。

【図9】回路装置の第2構成例、及び処理回路の第2詳細構成例。

【図10】第1演算回路の詳細構成例。

【図11】Cfineが-1ずつ更新される場合の波形例。

【図12】Cfineがディザ値で更新される場合の波形例。

【図13】Cfineがディザ値で更新される場合の波形例。

【図14】回路装置の第3構成例の動作を説明する波形例。

【図15】ノーマルモードにおける状態遷移図。

【図16】ターボモードにおける状態遷移図。

【図17】Cfineの変化ステップを1に固定した場合における波形例。

【図18】ターボモードを用いた場合における波形例。

【図19】物理量測定装置の構成例。

【図20】電子機器の構成例。

【図21】移動体の例。

【発明を実施するための形態】

【0007】

以下、本開示の好適な実施形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された内容を不当に限定するものではなく、本実施形態で説明される構成の全てが必須構成要件であるとは限らない。

【0008】

1. 第1構成例

まず、本実施形態の時間計測手法を用いない場合における時間デジタル変換回路の課題を説明する。図1は、本実施形態の時間計測手法を用いない場合における信号波形例である。

【0009】

クロック信号CK1の周波数を f_1 とし、クロック信号CK2の周波数を f_2 とすると、 f_1 は f_2 より高い。クロック信号CK2の周期はクロック信号CK1の周期より長く、その差は $t = 1/f_2 - 1/f_1$ である。時間デジタル変換回路は、この周期の差 t を分解能として、第1信号STAと第2信号STPの遷移タイミングの時間差を計測する。遷移タイミングとは、信号レベルが変化するタイミングであり、信号の立ち上がりエッジ又は立ち下がりエッジである。以下、遷移タイミングは立ち上がりエッジであるとする。

10

20

30

40

50

【 0 0 1 0 】

時間デジタル変換回路は、クロック信号 C K 1 とクロック信号 C K 2 のエッジが同期するタイミング T M A から、その次にエッジが同期するタイミング T M B までの期間 T P において、以下に説明する計測動作を行う。

【 0 0 1 1 】

即ち、時間デジタル変換回路は、同期タイミング T M A からクロック信号 C K 1 のクロック数をカウントする。このカウント値を C C T とする。時間デジタル変換回路は、クロック信号 C K 1 のクロック数 C I N を変数として保持しており、カウント値 C C T がクロック数 C I N に一致したとき第 1 信号 S T A の信号レベルを遷移させる。図 1 では、C I N = 6 である。

10

【 0 0 1 2 】

第 1 信号 S T A の信号レベルが遷移したことの応答として、第 2 信号 S T P の信号レベルが遷移する。時間デジタル変換回路は、第 2 信号 S T P の遷移タイミングとクロック信号 C K 2 の遷移タイミングとを比較する。この比較には、同期タイミング T M A から C I N 個目のクロック信号 C K 2 の遷移タイミングが用いられる。第 1 信号 S T A とクロック信号 C K 2 の遷移タイミングの時間差は $T R = 6 \quad t$ である。時間デジタル変換回路は、第 2 信号 S T P の遷移タイミングとクロック信号 C K 2 の遷移タイミングとが一致したとき、クロック数 C I N を計測結果として出力する。即ち、第 1 信号 S T A と第 2 信号 S T P の遷移タイミングの時間差は、 $T D F = C I N \times \quad t = 6 \times \quad t$ である。

20

【 0 0 1 3 】

図 1 には、第 2 信号 S T P とクロック信号 C K 2 の遷移タイミングが一致している場合を図示しているが、実際の計測においては、変数であるクロック数 C I N を初期値から変化させていく。例えば初期値をゼロとすると、時間デジタル変換回路は、C I N を 0、1、2、・・・と 1 ずつ増やしながら上記計測動作を繰り返す。そして、C I N = 6 のとき、即ち 7 回目の計測動作において第 2 信号 S T P とクロック信号 C K 2 の遷移タイミングが一致する。このため、計測終了までに $7 \times T P$ の時間が必要ということになる。

【 0 0 1 4 】

図 1 では図示を簡素化するためにダイナミックレンジが $13 \times \quad t$ となっているが、実際の計測におけるダイナミックレンジは更に広い。例えばダイナミックレンジを $10000 \times \quad t$ とすると、計測動作が最大で 10000 回繰り返されるので、計測終了までに最大で $10000 \times T P$ の時間が必要ということになる。更に広いダイナミックレンジが必要な場合には、計測時間が更に長くなる。また、時間計測の分解能を上げる場合にも計測時間が長くなる。例えばダイナミックレンジを変えずに分解能を $1/2 \times \quad t$ にしたとすると、 $10000 \times \quad t = 20000 \times (1/2 \times \quad t)$ なので、計測終了までに最大で $20000 \times T P$ の時間が必要となり、計測時間が 2 倍となる。

30

【 0 0 1 5 】

以上のように、図 1 の時間計測手法において、時間計測の分解能を向上させようとする、或いは時間計測のダイナミックレンジを拡大しようとする、測定期間の繰り返し回数が増大するため、短時間で時間計測が行えないという課題がある。

【 0 0 1 6 】

本実施形態における回路装置 100 の構成及び動作を説明する。図 2 は、回路装置 100 の第 1 構成例である。図 3 は、回路装置 100 の動作を説明する第 1 波形例である。

40

【 0 0 1 7 】

回路装置 100 は、クロック生成回路 10 と信号生成回路 20 と位相比較回路 30 と処理回路 40 と端子 T S T A と端子 T S T P とを含む。回路装置 100 は、I C (Integrated Circuit) と呼ばれる集積回路装置である。例えば回路装置 100 は、半導体プロセスにより製造される I C であり、半導体基板上に回路素子が形成された半導体チップである。端子 T S T A、T S T P は、例えば半導体基板上に形成されたパッドである。

【 0 0 1 8 】

クロック生成回路 10 は、第 1 クロック信号であるクロック信号 C K 1 と、第 2 クロッ

50

ク信号であるクロック信号CK2とを生成する。図1と同様に、クロック信号CK1の周波数は、クロック信号CK2の周波数より高く、クロック信号CK1とクロック信号CK2の周期の差は t である。クロック信号CK1とクロック信号CK2の位相が同期する同期タイミングをTMCとする。同期タイミングとは、クロック信号CK1とクロック信号CK2の遷移タイミングの前後が入れ替わるタイミングであり、同期タイミングにおいて必ずしもクロック信号CK1とクロック信号CK2の遷移タイミングが一致していなくてもよい。

【0019】

信号生成回路20は、クロック信号CK1の遷移タイミングで遷移する第1信号STAを生成し、その第1信号STAを端子TSTAに出力する。具体的には、信号生成回路20は、同期タイミングTMCからクロック信号CK1のクロック数Cfineにおける遷移タイミングで第1信号STAを遷移させる。Cfineは第1クロック数であり、図3にはCfine = 1の例を示す。

10

【0020】

また信号生成回路20は、fine判定用信号である判定用信号PFを生成する。判定用信号PFは、クロック信号CK2の遷移タイミングで遷移する。具体的には、信号生成回路20は、同期タイミングTMCからクロック信号CK2のクロック数Cfine + Ccoarseにおける遷移タイミングで判定用信号PFを遷移させる。Ccoarseは第2クロック数であり、図3にはCfine + Ccoarse = 2の例を示す。

【0021】

20

また信号生成回路20は、第1coarse判定用信号である判定用信号PCAと、第2coarse判定用信号である判定用信号PCBと、を生成する。判定用信号PCAは、判定用信号PFより前のクロック信号CK2の遷移タイミングで遷移する。判定用信号PCBは、判定用信号PFより後のクロック信号CK2の遷移タイミングで遷移する。具体的には、信号生成回路20は、同期タイミングTMCからクロック信号CK2のクロック数Cfine + Ccoarse - 1における遷移タイミングで判定用信号PCAを遷移させ、同期タイミングTMCからクロック信号CK2のクロック数Cfine + Ccoarse + 1における遷移タイミングで判定用信号PCBを遷移させる。

【0022】

位相比較回路30には、端子TSTPから第2信号STPが入力される。第2信号STPは、第1信号STAが遷移したことに基づいて遷移する。第1信号STAはスタート信号とも呼ばれ、第2信号STPはストップ信号とも呼ばれる。例えば、回路装置100を含む物理量測定装置は、端子TSTAから出力された第1信号STAの遷移タイミングで光パルス又は超音波パルスを出射し、測定対象から反射された光パルス又は超音波パルスを受信する。物理量測定装置は、受信した光パルス又は超音波パルスの遷移タイミングで遷移する第2信号STPを生成し、その第2信号STPを端子TSTPに入力する。

30

【0023】

位相比較回路30は、第2信号STPと判定用信号PFとを位相比較することで位相比較信号QFを出力し、第2信号STPと判定用信号PCAとを位相比較することで位相比較信号QCAを出力し、第2信号STPと判定用信号PCBとを位相比較することで位相比較信号QCBを出力する。QF、QCA、QCBは、それぞれ第1位相比較信号、第2位相比較信号、第3位相比較信号である。位相比較とは、2つの信号の遷移タイミングを比較することである。

40

【0024】

具体的には、位相比較回路30は、判定用信号PFの遷移タイミングより前に第2信号STPが遷移したとき、判定用信号PFの遷移タイミングで位相比較信号QFを遷移させる。同様に、位相比較回路30は、判定用信号PCA、PCBの遷移タイミングより前に第2信号STPが遷移したとき、判定用信号PCA、PCBの遷移タイミングで位相比較信号QCA、QCBを遷移させる。図3では、同期タイミングTMCからクロック信号CK2のクロック数2の遷移タイミングで第2信号STPが遷移している。この例では、位

50

相比較信号 Q F、Q C B は、判定用信号 P F、P C B の遷移タイミングでローレベルからハイレベルに遷移する。位相比較信号 Q C A はローレベルのまま遷移しない。

【 0 0 2 5 】

処理回路 4 0 は、位相比較信号 Q F、Q C A、Q C B に基づいて、第 1 信号 S T A の遷移タイミングと判定用信号 P F の遷移タイミングとを設定する。具体的には、処理回路 4 0 は、クロック数 C f i n e、C c o a r s e を記憶するレジスタ 4 1 を含む。処理回路 4 0 は、位相比較信号 Q F、Q C A、Q C B に基づいてクロック数 C f i n e、C c o a r s e を設定し、そのクロック数 C f i n e、C c o a r s e をレジスタ 4 1 に書き込むことで更新する。

【 0 0 2 6 】

処理回路 4 0 は、レジスタ 4 1 に記憶されたクロック数 C f i n e、C c o a r s e を信号生成回路 2 0 に出力する。信号生成回路 2 0 は、処理回路 4 0 からのクロック数 C f i n e、C c o a r s e に基づいて、第 1 信号 S T A 及び判定用信号 P F、P C A、P C B を生成する。

【 0 0 2 7 】

また処理回路 4 0 は、レジスタ 4 1 に記憶されたクロック数 C f i n e、C c o a r s e に基づいて、第 1 信号 S T A と第 2 信号 S T P の時間差を示すデジタル値 C o u t を出力する。デジタル値は $C o u t = N \times C c o a r s e + C f i n e$ である。N は、クロック信号 C K 1 とクロック信号 C K 2 の同期タイミングから次の同期タイミングまでの期間におけるクロック信号 C K 1 のクロック数である。N は 2 以上の整数である。

【 0 0 2 8 】

図 4 は、回路装置 1 0 0 の動作を説明する第 2 波形例である。図 4 では、回路装置 1 0 0 がクロック数 C f i n e、C c o a r s e を更新していくことで、第 1 信号 S T A と第 2 信号 S T P の時間差を示すデジタル値 C o u t の真値を求める手法を説明する。

【 0 0 2 9 】

図 4 に示す信号 P D は信号生成回路 2 0 の内部信号であり、クロック信号 C K 1 とクロック信号 C K 2 の同期タイミングを示す信号である。信号 P D のエッジ間の期間を T P とする。期間 T P において、クロック信号 C K 1 のクロック数は N であり、クロック信号 C K 2 のクロック数は N - 1 である。回路装置 1 0 0 は、長さ $m \times T P$ の計測期間において計測動作を行う。m は 2 以上の整数であり、図 4 には $m = 3$ の例を図示している。m は時間計測のダイナミックレンジに関係しており、ダイナミックレンジは $m \times N \times t$ となる。

【 0 0 3 0 】

図 4 には、第 1 信号 S T A と第 2 信号 S T P の時間差を示すデジタル値 C o u t の真値が $7 + N \times 1$ である例、即ち C f i n e = 7、C c o a r s e = 1 が真値である例を示している。図 4 の例において、回路装置 1 0 0 が計測期間 T M S 1、T M S 2 において C f i n e、C c o a r s e を更新することで、計測期間 T M S 3 においてデジタル値 C o u t が真値に到達している。

【 0 0 3 1 】

計測期間 T M S 1 では、C f i n e = 5、C c o a r s e = 0 である。このとき、信号生成回路 2 0 は、信号 P D のエッジからクロック信号 C K 1 の 5 クロック目の遷移タイミングで第 1 信号 S T A を遷移させる。また信号生成回路 2 0 は、信号 P D のエッジからクロック信号 C K 2 の 4、5、6 クロック目の遷移タイミングで、判定用信号 P C A、P F、P C B を遷移させる。第 2 信号 S T P は、判定用信号 P C B の遷移タイミングより後のタイミングで遷移する。このため位相比較信号は $Q C A = Q F = Q C B = L$ となる。L はローレベルを意味する。

【 0 0 3 2 】

処理回路 4 0 は、位相比較信号 Q C A と位相比較信号 Q C B が同じ信号レベルであるとき、クロック数 C c o a r s e を変化させる。具体的には、処理回路 4 0 は、 $Q C A = Q C B = L$ のとき $C c o a r s e + 1$ を新たな C c o a r s e とし、 $Q C A = Q C B = H$ の

10

20

30

40

50

とき $C_{coarse} - 1$ を新たな C_{coarse} とする。なお、 C_{coarse} の増減幅は 1 に限定されない。図 4 では $Q_{CA} = Q_{CB} = L$ なので C_{coarse} が 1 だけ増加する。信号生成回路 20 は、更新されたクロック数 C_{coarse} に基づいて判定用信号 P_{CA} 、 P_F 、 P_{CB} の遷移タイミングを変化させる。

【0033】

計測期間 T_{MS2} では、 $C_{fine} = 5$ 、 $C_{coarse} = 1$ である。このとき、信号生成回路 20 は、信号 P_D のエッジからクロック信号 $CK1$ の 5 クロック目の遷移タイミングで第 1 信号 S_{TA} を遷移させる。また信号生成回路 20 は、信号 P_D のエッジからクロック信号 $CK2$ の 5、6、7 クロック目の遷移タイミングで、判定用信号 P_{CA} 、 P_F 、 P_{CB} を遷移させる。第 2 信号 S_{TP} は、判定用信号 P_F の遷移タイミングと判定用信号 P_{CB} の遷移タイミングとの間のタイミングで遷移する。このため位相比較信号は $Q_{CA} = Q_F = L$ 、 $Q_{CB} = H$ となる。H はハイレベルを意味する。

10

【0034】

処理回路 40 は、位相比較信号 Q_{CA} と位相比較信号 Q_{CB} が異なる信号レベルであるとき、位相比較信号 Q_F に基づいてクロック数 C_{fine} を変化させる。具体的には、処理回路 40 は、 $Q_{CA} = L$ 、 $Q_{CB} = H$ であり且つ $Q_F = L$ のとき、 $C_{fine} + 2$ を新たな C_{fine} とし、 $Q_{CA} = L$ 、 $Q_{CB} = H$ であり且つ $Q_F = H$ のとき、 $C_{fine} - 2$ を新たな C_{fine} とする。なお、 C_{fine} の増減幅は 2 に限定されず、例えば 1 であってもよい。図 4 では $Q_{CF} = L$ なので C_{fine} が 2 だけ増加する。信号生成回路 20 は、更新されたクロック数 C_{fine} に基づいて第 1 信号 S_{TA} の遷移タイミングを変化させる。

20

【0035】

計測期間 T_{MS3} では、 $C_{fine} = 7$ 、 $C_{coarse} = 1$ である。このとき、信号生成回路 20 は、信号 P_D のエッジからクロック信号 $CK1$ の 7 クロック目の遷移タイミングで第 1 信号 S_{TA} を遷移させる。また信号生成回路 20 は、信号 P_D のエッジからクロック信号 $CK2$ の 7、8、9 クロック目の遷移タイミングで、判定用信号 P_{CA} 、 P_F 、 P_{CB} を遷移させる。第 2 信号 S_{TP} は、判定用信号 P_F の遷移タイミングで遷移する。このため位相比較信号は $Q_{CA} = L$ 、 $Q_F = Q_{CB} = H$ となる。

【0036】

処理回路 40 は、デジタル値 $C_{out} = C_{fine} + N \times C_{coarse}$ を出力する。計測期間 T_{MS3} において、 $C_{out} = 7 + N \times 1$ となっており、第 1 信号 S_{TA} と第 2 信号 S_{TP} の遷移タイミングの時間差がデジタル値に変換されている。

30

【0037】

なお、図 4 では第 1 信号 S_{TA} 、第 2 信号 S_{TP} 、及び判定用信号 P_{CA} 、 P_F 、 P_{CB} がパルス波形となっているが、信号波形はこれに限定されない。具体的には、各信号は、ローレベルからハイレベルに遷移した後、計測期間が終了するまでハイレベルに維持され、計測期間の開始時にローレベルにリセットされてもよい。

【0038】

図 5 は、デジタル値 C_{out} の計算式を説明する図である。クロック信号 $CK1$ の周期を T_1 とし、クロック信号 $CK2$ の周期を T_2 とする。同期タイミング T_{MC1} と T_{MC2} の間において、クロック信号 $CK1$ のクロック数は N であり、クロック信号 $CK2$ のクロック数は $N - 1$ である。このため下式 (1) が成り立つ。クロック信号 $CK1$ と $CK2$ の周期差 t は、下式 (1) より下式 (2) となる。

40

$$N \times T_1 = (N - 1) \times T_2 \quad \dots (1)$$

$$t = T_2 - T_1 = T_2 / N \quad \dots (2)$$

【0039】

第 2 信号 S_{TP} が、同期タイミング T_{MC1} からクロック信号 $CK2$ の $C_{fine} + C_{coarse}$ 個目のエッジで遷移したとする。第 1 信号 S_{TA} は、同期タイミング T_{MC1} からクロック信号 $CK1$ の C_{fine} 個目のエッジで遷移するので、第 1 信号 S_{TA} の遷移タイミングから、その後の最初のクロック信号 $CK2$ のエッジまでの期間は、 C_{fi}

50

nextである。このクロック信号CK2のエッジから第2信号STPの遷移タイミングまでの期間は、Ccoarse×T2である。このため、上式(2)を用いて、第1信号STAと第2信号STPの時間差TDFは下式(3)となる。時間差TDFとデジタル値Coutの関係は下式(4)なので、下式(3)、(4)から、デジタル値Coutは下式(5)となる。

$$\begin{aligned} TDF &= Ccoarse \times T2 + Cfine \times t \\ &= (Ccoarse \times N + Cfine) \times t \dots (3) \end{aligned}$$

$$TDF = Cout \times t \dots (4)$$

$$Cout = TDF / t = Ccoarse \times N + Cfine \dots (5)$$

【0040】

以上の本実施形態によれば、信号生成回路20が判定用信号PCA、PCBを生成し、位相比較回路30が第2信号STPと判定用信号PCA、PCBの遷移タイミングを比較することで、その比較結果に基づいて処理回路40がクロック数Ccoarseを更新できる。これにより、図1で説明した手法に比べて計測期間を短縮できる。

【0041】

具体的には、クロック数Ccoarseの更新をcoarse判定と呼び、クロック数Cfineの更新をfine判定と呼ぶこととする。図4の波形図において、計測期間TMS1がcoarse判定に相当し、計測期間TMS2がfine判定に相当する。coarse判定においては、クロック数Ccoarseが1変化すると、デジタル値CoutはN×t変化する。このため1×tずつ変化させるfine判定に比べて高速にデジタル値Coutが真値に近づく。例えば図4において、1つの計測期間の長さは3×TPなので、coarse判定において3×TP毎にデジタル値CoutがN×t変化していく。図1では1つの計測期間TPで1×tずつデジタル値が変化するので、N×t変化させるためにはN×TPだけの時間がかかる。即ち、本実施形態のcoarse判定の方がN/3倍速くデジタル値Coutが真値に近づくことになる。

【0042】

このように、本実施形態では判定用信号PCA、PCBを設けたことでcoarse判定が可能となっており、coarse判定によって計測期間が短縮される。これにより、計測期間の増加を抑えつつ、ダイナミックレンジの拡大又は高分解能化を行うことが可能となる。

【0043】

2. 第1詳細構成例

図6は、信号生成回路20、位相比較回路30及び処理回路40の第1詳細構成例である。

【0044】

信号生成回路20は、比較回路であるラッチ回路21～23、26と、クロック位相比較回路27と、パルスタイミング信号生成回路28と、を含む。

【0045】

クロック位相比較回路27は、クロック信号CK1とクロック信号CK2の位相を比較することで同期タイミングを検出し、その検出結果を信号PDとして出力する。クロック位相比較回路27は、クロック信号CK1とクロック信号CK2の遷移タイミングが入れ替わったとき、信号PDを遷移させる。

【0046】

パルスタイミング信号生成回路28は、信号PDとクロック数Cfine、Ccoarseとに基づいてタイミング信号TS__STA、TS__PCA、TS__PF、TS__PCBを生成する。具体的には、パルスタイミング信号生成回路28は、信号PDの遷移タイミングからクロック信号CK1のCfine個目の遷移タイミングでタイミング信号TS__STAを遷移させる。またパルスタイミング信号生成回路28は、信号PDの遷移タイミングからクロック信号CK2のCfine+Ccoarse-1個目、Cfine+Ccoarse個目、Cfine+Ccoarse+1個目の遷移タイミングで、タイミン

10

20

30

40

50

グ信号 TS_PCA 、 TS_PF 、 TS_PCB を遷移させる。

【0047】

ラッチ回路 26 は、タイミング信号 TS_STA をクロック信号 $CK1$ でラッチし、そのラッチした信号を第 1 信号 STA として出力する。ラッチ回路 21、22、23 は、タイミング信号 TS_PCA 、 TS_PF 、 TS_PCB をクロック信号 $CK2$ でラッチし、そのラッチした信号を判定用信号 PCA 、 PF 、 PCB として出力する。

【0048】

位相比較回路 30 は、第 1 位相比較回路であるラッチ回路 31 と、第 2 位相比較回路であるラッチ回路 32 と、第 3 位相比較回路であるラッチ回路 33 と、を含む。

【0049】

ラッチ回路 31 は、判定用信号 PF と第 2 信号 STP の位相比較を行う。具体的には、ラッチ回路 31 は、判定用信号 PF を第 2 信号 STP の遷移タイミングでラッチし、そのラッチした信号を位相比較信号 QF として出力する。同様に、ラッチ回路 32、33 は、判定用信号 PCA 、 PCB と第 2 信号 STP の位相比較を行う。具体的には、ラッチ回路 32、33 は、判定用信号 PCA 、 PCB を第 2 信号 STP の遷移タイミングでラッチし、そのラッチした信号を位相比較信号 QCA 、 QCB として出力する。

【0050】

処理回路 40 は、演算回路 42 とレジスタ 41 とを含む。

【0051】

演算回路 42 は、判定用信号 PF 、 PCA 、 PCB に基づいて、次の測定期間で用いられるクロック数 $Cfine$ 、 $Ccoarse$ を求める。具体的には、演算回路 42 は、 $PCA = PCB = L$ のとき $Ccoarse$ に変化ステップ x を加算し、 $PCA = PCB = H$ のとき $Ccoarse$ から変化ステップ x を減算する。 x は 1 以上の整数である。また演算回路 42 は、 $PCA = L$ 、 $PCB = H$ であり且つ $PF = L$ のとき $Cfine$ に変化ステップ y を加算し、 $PCA = L$ 、 $PCB = H$ であり且つ $PF = H$ のとき $Cfine$ から変化ステップ y を減算する。 y は 1 以上の整数である。

【0052】

処理回路 40 は、演算回路 42 が求めたクロック数 $Cfine$ 、 $Ccoarse$ をレジスタ 41 に記憶させる。また処理回路 40 は、演算回路 42 が求めたクロック数 $Cfine$ 、 $Ccoarse$ からデジタル値 $Count$ を求め、そのデジタル値 $Count$ をレジスタ 41 に記憶させる。処理回路 40 は、レジスタ 41 に記憶されたクロック数 $Cfine$ 、 $Ccoarse$ をパルスタイミング信号生成回路 28 に出力し、レジスタ 41 に記憶されたデジタル値 $Count$ を時間計測結果として出力する。

【0053】

図 7 は、クロック生成回路 10 の第 1 詳細構成例である。クロック生成回路 10 は、発振回路 13 とフラクショナル $NPLL$ 回路 14 とを含む。

【0054】

発振回路 13 は振動子 $XTAL$ と電氣的に接続される。具体的には、回路装置 100 は第 1 接続端子と第 2 接続端子とを含み、第 1 接続端子を介して振動子 $XTAL$ の一端と発振回路 13 が接続され、第 2 接続端子を介して振動子 $XTAL$ の他端と発振回路 13 が接続される。発振回路 13 は、振動子 $XTAL$ を発振させることでクロック信号 $CK2$ を生成する。発振回路 13 としては、例えばピアース型、コルピッツ型、インバーター型又はハートレー型などの種々のタイプの発振回路を用いることができる。なお、本実施形態における接続は電氣的な接続である。電氣的な接続とは、電気信号が伝達可能に接続されていることであり、電気信号による情報の伝達が可能となる接続である。電氣的な接続は受動素子又は能動素子等を介した接続であってもよい。

【0055】

振動子 $XTAL$ は、電氣的な信号により機械的な振動を発生する素子である。振動子 $XTAL$ は、例えば水晶振動片などの振動片により実現できる。例えば振動子 $XTAL$ は、カット角が AT カットや SC カットなどの厚みすべり振動する水晶振動片などにより実現

10

20

30

40

50

できる。なお、振動子 X T A L は、例えば厚みすべり振動型以外の水晶振動片、或いは水晶以外の材料で形成された圧電振動片などの種々の振動片により実現されてもよい。例えば振動子 X T A L として、S A W (Surface Acoustic Wave) 共振子や、シリコン基板を用いて形成されたシリコン製振動子としての M E M S (Micro Electro Mechanical Systems) 振動子等を採用してもよい。

【 0 0 5 6 】

フラクショナル N P L L 回路 1 4 は、クロック信号 C K 1 に基づいてクロック信号 C K 2 を生成する。具体的には、フラクショナル N P L L 回路 1 4 は、クロック信号 C K 2 の周波数を $N / (N - 1)$ 倍することで、クロック信号 C K 1 を生成する。例えば、フラクショナル N P L L 回路 1 4 は、位相比較回路とループフィルタと電圧制御発振回路と分周回路とを含む。位相比較回路は、分周回路が出力する分周クロック信号とクロック信号 C K 2 との位相比較を行う。ループフィルタは、位相比較回路の出力信号をローパスフィルタ処理することで制御電圧を出力する。電圧制御発振回路は、制御電圧に対応した発振周波で発振し、その発振信号に基づいてクロック信号 C K 1 を出力する。分周回路は、クロック信号 C K 1 を第 1 分周比又は第 2 分周比で分周する。第 1、第 2 分周比は異なる整数であり、分周回路が第 1、第 2 分周比を時系列に選択することで、時間平均として小数分周比が実現される。

10

【 0 0 5 7 】

図 8 は、クロック生成回路 1 0 の第 2 詳細構成例である。クロック生成回路 1 0 は、第 1 発振回路である発振回路 1 1 と、第 2 発振回路である発振回路 1 2 と、を含む。

20

【 0 0 5 8 】

発振回路 1 1 は、第 1 振動子である振動子 X T A L 1 と電氣的に接続される。発振回路 1 2 は、第 2 振動子である振動子 X T A L 2 と電氣的に接続される。具体的には、回路装置 1 0 0 は第 1 ~ 第 4 接続端子を含み、第 1 接続端子を介して振動子 X T A L 1 の一端と発振回路 1 1 が接続され、第 2 接続端子を介して振動子 X T A L 1 の他端と発振回路 1 1 が接続され、第 3 接続端子を介して振動子 X T A L 2 の一端と発振回路 1 2 が接続され、第 4 接続端子を介して振動子 X T A L 2 の他端と発振回路 1 2 が接続される。発振回路 1 1 は、振動子 X T A L 1 を発振させることでクロック信号 C K 1 を生成する。発振回路 1 2 は、振動子 X T A L 2 を発振させることでクロック信号 C K 2 を生成する。クロック信号 C K 2 の周波数は、クロック信号 C K 1 の周波数の $(N - 1) / N$ 倍である。発振回路 1 1、1 2 としては、例えばピアース型、コルピッツ型、インバーター型又はハートレー型などの種々のタイプの発振回路を用いることができる。

30

【 0 0 5 9 】

3 . 第 2 構成例

図 9 は、回路装置 1 0 0 の第 2 構成例、及び処理回路 4 0 の第 2 詳細構成例である。回路装置 1 0 0 は、クロック生成回路 1 0 と信号生成回路 2 0 と位相比較回路 3 0 と処理回路 4 0 と端子 T S T A、T S T P とを含む。

【 0 0 6 0 】

本実施形態では、処理回路 4 0 は、クロック数 C f i n e にディザ値を加算することでクロック数 C f i n e を更新する。ディザ値は、1 以上 k 以下の整数からランダムに選択された値である。k は 2 以上の整数である。

40

【 0 0 6 1 】

このようにすれば、クロック数 C f i n e がディザ値により更新されるので、1 ずつ更新される場合に比べて計測時間が短縮される。具体的には、図 1 1 に示すように、f i n e 判定において C f i n e が - 1 ずつ更新される場合には、デジタル値 C o u t が真の時間差 T D F に到達するまでの計測時間が長くなる。一方、図 1 2、図 1 3 に示すように、f i n e 判定において C f i n e がディザ値で更新される場合には、C f i n e が 1 以上 k 以下の整数でランダムに更新されるので、デジタル値 C o u t が真の時間差 T D F に到達するまでの計測時間が短縮される。

【 0 0 6 2 】

50

図13の波形は、図12の波形に比べてデジタル値Coutのノイズが低減されている。以下、図13に示すような、ディザ加算による高速化及びデジタル値Coutのノイズ低減を実現する構成例を説明する。

【0063】

図9に示すように、処理回路40は、第1演算回路43と第2演算回路44とレジスタ41とを含む。レジスタ41は一時レジスタ45と出力レジスタ46とを含む。

【0064】

第2演算回路44は、位相比較信号QCA、QCBに基づいてクロック数Ccoarseを求め、そのクロック数Ccoarseを出力レジスタ46に記憶させる。第2演算回路44がCcoarseを更新する手法は、図6の演算回路42がCcoarseを更新する手法と同様である。第2演算回路44は、位相比較信号QCA、QCBの信号レベルが異なる時、それを第1演算回路43に通知する。

【0065】

第1演算回路43は、第2演算回路44から通知があったとき、位相比較信号QFに基づいて更新したクロック数Cfine'を一時レジスタ45に記憶させる。第1演算回路43は、ディザ値によりクロック数Cfine'を更新する。

【0066】

信号生成回路20は、一時レジスタ45に記憶されたクロック数Cfine'と、出力レジスタ46に記憶されたクロック数Ccoarseとに基づいて、第1信号STA及び判定用信号PCA、PF、PCBを出力する。信号生成回路20の動作は、図6等で説明した信号生成回路20の動作と同様である。

【0067】

以上のようにして、第1演算回路43がクロック数Cfine'をディザ値により更新することで、fine判定を高速化する。このクロック数Cfine'とは別に、第1演算回路43はクロック数Cfineを出力レジスタ46に記憶させる。処理回路40は、出力レジスタ46に記憶されたクロック数Cfine、Ccoarseからデジタル値Coutを求める。クロック数Cfineは、基本的にはディザ値により更新されるが、デジタル値Coutが真値に近づいたときには1ずつ更新される。これにより、デジタル値Coutのノイズが低減される。図10に、この動作を実現する第1演算回路43の詳細構成例を示す。

【0068】

第1演算回路43は、ディザ回路DITと符号チェック回路SCHとセレクターSELと加算器ADD1、ADD2と乗算器MULとを含む。図10において、位相比較信号QFがローレベルのときS[QF]=+1とし、位相比較信号QFがハイレベルのときS[QF]=-1とする。即ち、S[QF]は正又は負の符号に相当する。

【0069】

ディザ回路DITは、ディザ値QDITを出力する。乗算器MULは、ディザ値QDITに符号を乗算する。即ち、乗算器MULは、S[QF]×QDITを演算する。加算器ADD2は、加算器ADD1が出力するCfineと、乗算器MULが出力するS[QF]×QDITとを加算し、その結果をCfine'として一時レジスタ45に出力する。以上のように、Cfine'はディザ値QDITにより更新される。

【0070】

符号チェック回路SCHは、前回の計測期間における符号S[QF]を記憶しておき、前回の計測期間における符号S[QF]と現在の計測期間における符号S[QF]を比較し、その結果をセレクターSELに出力する。符号S[QF]が変化するのは、第2信号STPと判定用信号PFの遷移タイミングの前後が入れ替わったときである。これは、第2信号STPと判定用信号PFの遷移タイミングが近いということなので、Cfineがほぼ真値であることに相当する。逆に、符号S[QF]が変化しないのは、Cfineが真値から離れているときである。

【0071】

10

20

30

40

50

セレクターSELは、符号の比較結果が同符号である場合、一時レジスタ45に記憶されたクロック数Cfine'を選択し、符号の比較結果が異符号である場合、出力レジスタ46に記憶されたクロック数Cfineを選択する。加算器ADD1は、セレクターSELが出力するクロック数QSELと位相比較信号QFとを加算し、その結果をクロック数Cfineとして出力レジスタ46に出力する。

【0072】

符号の比較結果が同符号であるとき、Cfineは真値から離れている。この場合には、セレクターSELがCfine'を選択するので、Cfineがディザ値QDIT及び符号S[QF]により更新される。これにより、Cfineが真値に達するまでの時間が短縮される。符号の比較結果が異符号であるとき、Cfineは真値に近い。この場合には、セレクターSELがCfineを選択するので、CfineがS[QF]により更新される。図13に示すように、Cfineが真値に近づいた後、Cfineが±1しか変化しないので、ディザ値QDITによるノイズが発生しなくなる。

10

【0073】

4. 第3構成例

図14は、回路装置100の第3構成例の動作を説明する波形例である。なお、第3構成例において、回路装置100は図2の第1構成例と同様な構成である。但し、信号生成回路20は、第3coarse判定用信号である判定用信号PC Cと、第4coarse判定用信号である判定用信号PC Dと、を更に生成する。また位相比較回路30は、第4位相比較信号である位相比較信号QC Cと、第5位相比較信号である位相比較信号QC Dと、を更に出力する。以下、主に第1構成例と異なる部分について説明する。

20

【0074】

図14に示すように、判定用信号PC Cは、判定用信号PCAより前のクロック信号CK2の遷移タイミングで遷移する。判定用信号PC Dは、判定用信号PCBより後のクロック信号CK2の遷移タイミングで遷移する。具体的には、信号生成回路20は、同期タイミングTMCからクロック信号CK2のクロック数Cfine+Ccoarse-2における遷移タイミングで判定用信号PC Cを遷移させ、同期タイミングTMCからクロック信号CK2のクロック数Cfine+Ccoarse+2における遷移タイミングで判定用信号PC Dを遷移させる。

30

【0075】

位相比較回路30は、第2信号STPと判定用信号PC Cとを位相比較することで位相比較信号QC Cを出力し、第2信号STPと判定用信号PC Dとを位相比較することで位相比較信号QC Dを出力する。具体的には、位相比較回路30は、判定用信号PC C、PC Dの遷移タイミングより前に第2信号STPが遷移したとき、判定用信号PC C、PC Dの遷移タイミングで位相比較信号QC C、QC Dを遷移させる。図14では、位相比較信号QF、QCB、QCDは、判定用信号PF、PCB、PCDの遷移タイミングでローレベルからハイレベルに遷移する。位相比較信号QCC、QCAはローレベルのまま遷移しない。

【0076】

第3構成例では、処理回路40は、位相比較信号QCA~QCDに基づいてクロック数Ccoarseの変化ステップを可変に制御し、その変化ステップでクロック数Ccoarseを更新する。これにより、coarse判定においてデジタル値Coutが真値に近づく速度を更に向上できる。この点について図15、図16を用いて説明する。

40

【0077】

図15は、ノーマルモードにおけるステート遷移図である。なお、図15にはステートS7のターボモードが記載されているが、ノーマルモードとは、回路装置100のステートがS1~S6であるときの動作モードである。

【0078】

処理回路40は、回路装置100の電源が投入されるとステートS1からステートS2に遷移する。ステートS2において、位相比較回路30は、第2信号STPと判定用信号

50

P C A ~ P C D の遷移タイミングを比較する。以下、比較結果を L H H H のように記載する。L H H H は、左から位相比較信号 Q C C、Q C A、Q C B、Q C D の論理レベルを意味する。

【 0 0 7 9 】

「 2 v s 2 」は、比較結果が L L H H であることを意味する。このとき、処理回路 4 0 はステート S 3 に遷移し、第 2 信号 S T P と判定用信号 P F の遷移タイミングを比較する。処理回路 4 0 はステート S 4 に遷移し、クロック数 C f i n e を更新する。処理回路 4 0 は、Q F = L のとき C f i n e + 1 を新たな C f i n e とし、Q F = H のとき C f i n e - 1 を新たな C f i n e とする。

【 0 0 8 0 】

ステート S 2 において「 1 v s 3 」は、比較結果が L L L H 又は L H H H であることを意味する。このとき、処理回路 4 0 はステート S 5 に遷移し、クロック数 C c o a r s e を更新する。処理回路 4 0 は、比較結果が L L L H のとき C c o a r s e + 1 を新たな C c o a r s e とし、比較結果が L H H H のとき C c o a r s e - 1 を新たな C c o a r s e とする。

【 0 0 8 1 】

ステート S 2 において「 0 v s 4 」は、比較結果が L L L L 又は H H H H であることを意味する。このとき、処理回路 4 0 はステート S 6 に遷移し、クロック数 C c o a r s e を更新する。処理回路 4 0 は、比較結果が L L L L のとき C c o a r s e + 2 を新たな C c o a r s e とし、比較結果が H H H H のとき C c o a r s e - 2 を新たな C c o a r s e とする。

【 0 0 8 2 】

以上のように、処理回路 4 0 は、比較結果が「 1 v s 3 」か「 0 v s 4 」かに応じて、C c o a r s e の変化ステップを 1 又は 2 に可変に制御する。比較結果が「 0 v s 4 」になるのは C c o a r s e が真値から離れている場合なので、変化ステップを 2 にすることで C c o a r s e をより高速に真値に近づけることができる。

【 0 0 8 3 】

ステート S 2 において、比較結果が所定回数だけ連続して「 0 v s 4 」となったとき、処理回路 4 0 はステート S 7 のターボモードに遷移する。

【 0 0 8 4 】

図 1 6 は、ターボモードにおけるステート遷移図である。ステート S 1 2、S 1 3、S 1 5 は図 1 5 のステート S 2、S 3、S 5 と同様なので、説明を省略する。

【 0 0 8 5 】

ステート S 1 2 において、比較結果が「 0 v s 4 」のとき処理回路 4 0 はステート S 2 6 において変化ステップ x を決定し、その変化ステップ x を用いてステート S 1 6 において C c o a r s e を更新する。ステート S 2 6 において、処理回路 4 0 は、x レジスタに記憶された変化ステップ x を位相比較信号 Q C A ~ Q C D に基づいて更新する。具体的には、前回の計測期間における比較結果と現在の計測期間における比較結果が L L L L で変化しない、又は H H H H で変化しないとき、処理回路 4 0 は、変化ステップ x を 2 倍する。前回の計測期間における比較結果と現在の計測期間における比較結果が L L L L から H H H H に変化した、又は H H H H から L L L L に変化したとき、処理回路 4 0 は、変化ステップ x を 1 / 2 倍する。

【 0 0 8 6 】

このようにすれば、C c o a r s e が真値から離れているときには変化ステップ x が 2 倍されていくので、変化ステップ x が大きくなり、C c o a r s e の変化を加速できる。一方、C c o a r s e が真値に近づくと変化ステップ x が 1 / 2 倍されるので、変化ステップ x が小さくなり、C c o a r s e が真値に収束する。

【 0 0 8 7 】

f i n e 判定においても、上記の C c o a r s e 判定と同様に変化ステップ y を変化させる。即ち、処理回路 4 0 はステート S 2 4 において変化ステップ y を決定し、その変化

10

20

30

40

50

ステップ y を用いてステート $S14$ において $Cfine$ を更新する。ステート $S24$ において、処理回路 40 は、 y レジスタに記憶された変化ステップ y を位相比較信号 QF に基づいて更新する。具体的には、前回の計測期間における比較結果と現在の計測期間における比較結果が L で変化しない、又は H で変化しないとき、処理回路 40 は、変化ステップ y を 2 倍する。前回の計測期間における比較結果と現在の計測期間における比較結果が L から H に変化した、又は H から L に変化したとき、処理回路 40 は、変化ステップ y を $1/2$ 倍する。

【0088】

図 17 に、 $Cfine$ の変化ステップを 1 に固定した場合における波形例を示す。真値である時間差 TDF の変化に対して、デジタル値 $Cout$ の応答が遅いため、デジタル値 $Cout$ が真値に追従できていない。図 18 に、本実施形態のターボモードを用いた場合における波形例を示す。時間差 TDF の変化に対して、デジタル値 $Cout$ の応答が高速化されたため、真値に対する追従性が向上している。具体的には、 $Cfine$ が真値から離れているときには変化ステップ y が 2 倍されていくので、変化ステップ y が大きくなり、 $Cfine$ の変化を加速できる。一方、 $Cfine$ が真値に近づくと変化ステップ y が $1/2$ 倍されるので、変化ステップ y が小さくなり、 $Cfine$ が真値に収束する。

【0089】

5. 物理量測定装置、電子機器、移動体

図 19 に、回路装置 100 を含む物理量測定装置 400 の構成例を示す。物理量測定装置 400 は、例えばタイムオブフライトの方式で対象物との距離を物理量として測定する測距装置に利用できる。或いは、物理量測定装置 400 は、音波を対象物に送信し、その反射波を受信することで対象物との距離を物理量として測定する超音波診断装置に利用できる。これらの例では、第 1 信号 STA と第 2 信号 STP の遷移タイミングの時間差 TDF は、対象物との距離を表す。なお、物理量測定装置 400 により測定される物理量は、時間、距離には限定されず、流量、流速、周波数、速度、加速度、角速度又は角加速度等の種々の物理量が考えられる。

【0090】

図 19 に示すように、物理量測定装置 400 は、回路装置 100 と、クロック信号 $CK1$ を生成するための振動子 $XTA1$ と、クロック信号 $CK2$ を生成するための振動子 $XTA2$ と、を含む。また物理量測定装置 400 は、回路装置 100 及び振動子 $XTA1$ 、 $XTA2$ が収容されるパッケージ 410 を含むことができる。パッケージ 410 は、例えばベース部 412 とリッド部 414 により構成される。ベース部 412 は、セラミック等の絶縁材料からなる例えば箱型等の部材であり、リッド部 414 は、ベース部 412 に接合される例えば平板状等の部材である。ベース部 412 の例えば底面には外部機器と接続するための外部接続端子が設けられている。ベース部 412 とリッド部 414 により形成される内部空間に、回路装置 100 、振動子 $XTA1$ 、 $XTA2$ が収容される。そしてリッド部 414 により密閉することで、回路装置 100 、振動子 $XTA1$ 、 $XTA2$ がパッケージ 410 内に気密に封止される。回路装置 100 と振動子 $XTA1$ 、 $XTA2$ は、パッケージ 410 内に実装される。そして振動子 $XTA1$ 、 $XTA2$ の端子と、回路装置 100 の端子は、パッケージ 410 の内部配線により電氣的に接続される。

【0091】

なお図 19 では、回路装置 100 が図 8 の発振回路 11 、 12 を含む場合を例に図示したが、回路装置 100 が図 7 の発振回路 13 とフラクショナル $NPLL$ 回路 14 を含んでもよい。この場合、物理量測定装置 400 は、 1 つの振動子 XTA を含めばよい。

【0092】

図 20 に、回路装置 100 を含む電子機器 500 の構成例を示す。電子機器 500 は、例えば距離、時間、流速又は流量等の物理量を計測する高精度の計測機器、或いは生体情報を測定する生体情報測定機器、或いは車載機器、或いはロボットなどである。生体情報測定機器は例えば超音波測定装置等である。車載機器は自動運転用の機器等である。

【 0 0 9 3 】

図 2 0 に示すように、電子機器 5 0 0 は、回路装置 1 0 0 と、回路装置 1 0 0 からの出力信号に基づく処理を行う処理装置 5 2 0 と、を含む。出力信号は、例えば時間差の測定結果であるデジタル値であってもよいし、或いは、時間差から求められた時間以外の物理量であってもよい。具体的には、電子機器 5 0 0 は、回路装置 1 0 0 を有する物理量測定装置 4 0 0 を含み、処理装置 5 2 0 は、物理量測定装置 4 0 0 が測定した物理量に基づく処理を行う。また電子機器 5 0 0 は、通信インターフェース 5 1 0 と、操作インターフェース 5 3 0 と、表示部 5 4 0 と、メモリー 5 5 0 とを含むことができる。なお電子機器 5 0 0 は図 2 0 の構成に限定されず、これらの一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

10

【 0 0 9 4 】

通信インターフェース 5 1 0 は、外部からデータを受信したり、外部にデータを送信する処理を行う。プロセッサである処理装置 5 2 0 は、電子機器 5 0 0 の制御処理や、通信インターフェース 5 1 0 を介して送受信されるデータの種々のデジタル処理などを行う。処理装置 5 2 0 の機能は、例えばマイクロコンピュータなどのプロセッサにより実現できる。操作インターフェース 5 3 0 は、ユーザーが入力操作を行うためのものであり、操作ボタンやタッチパネルディスプレイなどにより実現できる。表示部 5 4 0 は、各種の情報を表示するものであり、液晶や有機 E L などのディスプレイにより実現できる。メモリー 5 5 0 は、データを記憶するものであり、その機能は R A M や R O M などの半導体メモリーにより実現できる。

20

【 0 0 9 5 】

図 2 1 に、回路装置 1 0 0 を含む移動体の例を示す。移動体は、回路装置 1 0 0 と、回路装置 1 0 0 からの出力信号に基づく処理を行う処理装置 2 2 0 と、を含む。出力信号は、例えば時間差の測定結果であるデジタル値であってもよいし、或いは、時間差から求められた時間以外の物理量であってもよい。本実施形態の回路装置 1 0 0 は、例えば、車、飛行機、バイク、自転車、或いは船舶等の種々の移動体に組み込むことができる。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器を備えて、地上や空や海上を移動する機器・装置である。

【 0 0 9 6 】

図 2 1 は移動体の具体例としての自動車 2 0 6 を概略的に示している。自動車 2 0 6 には、回路装置 1 0 0 が組み込まれる。具体的には、移動体である自動車 2 0 6 は、制御装置 2 0 8 を含む。制御装置 2 0 8 は、回路装置 1 0 0 を有する物理量測定装置 4 0 0 と、物理量測定装置 4 0 0 が測定した物理量に基づく処理を行う処理装置 2 2 0 と、を含む。制御装置 2 0 8 は、例えば車体 2 0 7 の姿勢に応じてサスペンションの硬軟を制御したり、個々の車輪 2 0 9 のブレーキを制御する。例えば制御装置 2 0 8 により、自動車 2 0 6 の自動運転を実現してもよい。なお回路装置 1 0 0 が組み込まれる機器は、このような制御装置 2 0 8 には限定されず、自動車 2 0 6 等の移動体に設けられるメーターパネル機器やナビゲーション機器などの種々の車載機器に組み込むことが可能である。

30

【 0 0 9 7 】

以上に説明した本実施形態の回路装置は、クロック生成回路と信号生成回路と位相比較回路と処理回路とを含む。クロック生成回路は、第 1 クロック信号と、第 1 クロック信号とは周波数が異なる第 2 クロック信号とを生成する。信号生成回路は、第 1 クロック信号の遷移タイミングで遷移する第 1 信号と、第 2 クロック信号の遷移タイミングで遷移する *f i n e* 判定用信号と、*f i n e* 判定用信号より前の第 2 クロック信号の遷移タイミングで遷移する第 1 *c o a r s e* 判定用信号と、*f i n e* 判定用信号より後の第 2 クロック信号の遷移タイミングで遷移する第 2 *c o a r s e* 判定用信号と、を生成する。位相比較回路は、第 1 信号に基づいて遷移する第 2 信号と *f i n e* 判定用信号とを位相比較することで第 1 位相比較信号を出力し、第 2 信号と第 1 *c o a r s e* 判定用信号とを位相比較することで第 2 位相比較信号を出力し、第 2 信号と第 2 *c o a r s e* 判定用信号とを位相比較することで第 3 位相比較信号を出力する。処理回路は、第 1 ~ 第 3 位相比較信号に基づい

40

50

て、第1信号の遷移タイミングと *fine* 判定用信号の遷移タイミングとを設定し、設定結果に基づいて第1信号と第2信号の時間差をデジタル値に変換する。

【0098】

本実施形態によれば、信号生成回路が第1 *coarse* 判定用信号と第2 *coarse* 判定用信号を生成する。位相比較回路が第2信号と第1 *coarse* 判定用信号の遷移タイミングを比較し、第2信号と第2 *coarse* 判定用信号の遷移タイミングを比較する。この比較結果に基づいて、処理回路が第1信号と第2信号の時間差をデジタル値に変換する。第1、第2 *coarse* 判定用信号は、*fine* 判定用信号の前後に設けられた信号なので、位相比較回路は、第2信号と *fine* 判定用信号の遷移タイミングが1クロック以上離れているか否かを判定できる。これにより、処理回路がデジタル値をNずつ更新でき、従来のような1ずつデジタル値を更新する場合に比べて計測期間が短縮される。これにより、計測期間の増加を抑えつつ、ダイナミックレンジの拡大又は高分解能化を行うことが可能となる。なお、Nは、第1クロック信号と第2クロック信号の同期タイミング間における第1クロック信号のクロック数である。

【0099】

また本実施形態では、信号生成回路は、第2位相比較信号と第3位相比較信号が異なる信号レベルであるとき、第1位相比較信号に基づいて第1信号の遷移タイミングと *fine* 判定用信号の遷移タイミングとを変化させてもよい。信号生成回路は、第2位相比較信号と第3位相比較信号が同じ信号レベルであるとき、*fine* 判定用信号の遷移タイミングを変化させてもよい。

【0100】

第2位相比較信号と第3位相比較信号が異なる信号レベルであるとき、第2信号と *fine* 判定用信号の遷移タイミングの差は1クロックより小さい。このため、信号生成回路が、第1信号の遷移タイミングと *fine* 判定用信号の遷移タイミングとを変化させることで、*fine* 判定用信号と第2信号の遷移タイミングを、クロック周期より小さい時間間隔だけ近づけることができる。また、第2位相比較信号と第3位相比較信号が同じ信号レベルであるとき、第2信号と *fine* 判定用信号の遷移タイミングは1クロック以上離れている。このため、信号生成回路が、*fine* 判定用信号の遷移タイミングを変化させることで、*fine* 判定用信号と第2信号の遷移タイミングを1クロック以上の時間間隔だけ近づけることができる。

【0101】

また本実施形態では、信号生成回路は、第2位相比較信号と第3位相比較信号が異なる信号レベルであるとき、第1信号を遷移させる第1クロック信号の遷移タイミングと、*fine* 判定用信号を遷移させる第2クロック信号の遷移タイミングとを、同じクロック数だけ変化させてもよい。信号生成回路は、第2位相比較信号と第3位相比較信号が同じ信号レベルであるとき、第1信号を遷移させる第1クロック信号の遷移タイミングと、*fine* 判定用信号を遷移させる第2クロック信号の遷移タイミングとを、異なるクロック数だけ変化させてもよい。

【0102】

このようにすれば、第2信号と *fine* 判定用信号の遷移タイミングの差が1クロックより小さいとき、信号生成回路が、第1信号の遷移タイミングと *fine* 判定用信号の遷移タイミングとを同じクロック数だけ変化させることで、*fine* 判定用信号と第2信号の遷移タイミングを t の整数倍だけ近づけることができる。 t は、第1クロック信号と第2クロック信号の周期差である。整数倍は1倍以上である。また、第2信号と *fine* 判定用信号の遷移タイミングが1クロック以上離れているとき、第1信号の遷移タイミングと *fine* 判定用信号の遷移タイミングとを同じクロック数だけ変化させることで、*fine* 判定用信号と第2信号の遷移タイミングを1クロック以上の時間間隔だけ近づけることができる。

【0103】

また本実施形態では、回路装置は、第1クロック数と第2クロック数を記憶するレジス

ターを含んでもよい。信号生成回路は、第1クロック信号と第2クロック信号の位相が同期する同期タイミングから、第1クロック信号の第1クロック数における遷移タイミングで第1信号を遷移させてもよい。信号生成回路は、同期タイミングから、第2クロック信号の第1クロック数と第2クロック数を加算したクロック数における遷移タイミングで *fine* 判定用信号を遷移させてもよい。処理回路は、レジスターに記憶される第1クロック数と第2クロック数を、第1～第3位相比較信号に基づいて更新してもよい。

【0104】

このようにすれば、第1クロック数と第2クロック数を用いて、第1信号と第2信号の時間差を表現できる。即ち、処理回路が、レジスターに記憶される第1クロック数と第2クロック数を、第1～第3位相比較信号に基づいて更新していくことで、第2信号と *fine* 判定用信号の遷移タイミングとが一致する。このとき、第1信号と第2信号の時間差は、第1クロック数 \times t + 第2クロック数 \times $N \times t$ と計測される。

10

【0105】

また本実施形態では、第2位相比較信号と第3位相比較信号が異なる信号レベルであるとき、処理回路は、第1位相比較信号に基づいて第1クロック数を更新すると共に第2クロック数を維持し、信号生成回路は、処理回路が更新した第1クロック数及び維持した第2クロック数に基づいて、第1信号の遷移タイミングと *fine* 判定用信号の遷移タイミングとを変化させてもよい。第2位相比較信号と第3位相比較信号が異なる信号レベルであるとき、処理回路は、第1クロック数を維持すると共に第2クロック数を更新し、信号生成回路は、処理回路が維持した第1クロック数及び更新した第2クロック数に基づいて、第1信号の遷移タイミングを変化させずに *fine* 判定用信号の遷移タイミングを変化させてもよい。

20

【0106】

上述したように、第1信号の遷移タイミングは第1クロック数で決まり、*fine* 判定用信号の遷移タイミングは第1クロック数及び第2クロック数で決まる。このため、処理回路が第1クロック数を更新することで、第1信号の遷移タイミングと *fine* 判定用信号の遷移タイミングが同じクロック数だけ変化する。また、処理回路が第2クロック数を更新することで、第1信号の遷移タイミングと *fine* 判定用信号の遷移タイミングが異なるクロック数だけ変化する。具体的には、第1信号の遷移タイミングが変化せず、*fine* 判定用信号の遷移タイミングが変化する。

30

【0107】

また本実施形態では、処理回路は、第1クロック数と第2クロック数に基づいてデジタル値を求めてもよい。

【0108】

上記のように、第1信号と第2信号の時間差は、第1クロック数 \times t + 第2クロック数 \times $N \times t$ である。即ち、処理回路が求めるデジタル値は、第1クロック数 + 第2クロック数 \times N となる。

【0109】

また本実施形態では、処理回路は、ディザ値を出力するディザ回路を含んでもよい。処理回路は、第1クロック数にディザ値を加算することで第1クロック数を更新してもよい。

40

【0110】

このようにすれば、第1クロック数がディザ値により更新されるので、第1クロック数が1ずつ更新される場合に比べて計測時間が短縮される。

【0111】

また本実施形態では、信号生成回路は、第1 *coarse* 判定用信号より前の第2クロック信号の遷移タイミングで遷移する第3 *coarse* 判定用信号と、第2 *coarse* 判定用信号より後の第2クロック信号の遷移タイミングで遷移する第4 *coarse* 判定用信号と、を生成してもよい。位相比較回路は、第2信号と第3 *coarse* 判定用信号とを位相比較することで第4位相比較信号を出力し、第2信号と第4 *coarse* 判定用

50

信号とを位相比較することで第5位相比較信号を出力してもよい。処理回路は、第1～第5位相比較信号に基づいて、第1信号の遷移タイミングとfine判定用信号の遷移タイミングとを設定し、設定結果に基づいて第1信号と第2信号の時間差をデジタル値に変換してもよい。

【0112】

第3、第4coarse判定用信号は、第1、第2coarse判定用信号の前後に設けられた信号なので、位相比較回路は、第2信号とfine判定用信号の遷移タイミングが2クロック以上離れているか否かを判定できる。これにより、処理回路は、第2信号とfine判定用信号の遷移タイミングが1クロック離れているか、2クロック以上離れているかを判断できる。例えば以下のように、処理回路は、判断結果に基づいて第2クロック数の変化ステップを可変に制御できる。

10

【0113】

また本実施形態では、処理回路は、第2～第5位相比較信号に基づいて第2クロック数の変化ステップを可変に制御し、第2クロック数を変化ステップだけ変化させることで第2クロック数を更新してもよい。

【0114】

上述したように、処理回路は、第2～第5位相比較信号に基づいて、第2信号とfine判定用信号の遷移タイミングが1クロック離れているか、2クロック以上離れているかを判断でき、その判断結果に基づいて第2クロック数の変化ステップを可変に制御できる。これにより、処理回路は、第2信号とfine判定用信号の遷移タイミングが遠い場合には変化ステップを大きくし、第2信号とfine判定用信号の遷移タイミングが近い場合には変化ステップを小さくできる。これにより、計測時間が更に短縮される。

20

【0115】

また本実施形態では、クロック生成回路は、振動子を発振させることで第2クロック信号を生成する発振回路と、第2クロック信号に基づいて第1クロック信号を生成するフラクショナルNPLL回路と、を有してもよい。

【0116】

このようにすれば、フラクショナルNPLL回路が第2クロック信号に基づいて第1クロック信号を生成することで、互いに周波数が異なる第1クロック信号と第2クロック信号が生成される。

30

【0117】

また本実施形態では、クロック生成回路は、第1振動子を発振させることで第1クロック信号を生成する第1発振回路と、第2振動子を発振させることで第2クロック信号を生成する第2発振回路と、を有してもよい。

【0118】

このようにすれば、第1発振回路が第1振動子を発振させることで第1クロック信号を生成し、第2発振回路が第2振動子を発振させることで第2クロック信号を生成することで、互いに周波数が異なる第1クロック信号と第2クロック信号が生成される。

【0119】

また本実施形態の物理量測定装置は、上記に記載の回路装置と、振動子と、を含む。

40

【0120】

また本実施形態の物理量測定装置は、上記に記載の回路装置と、第1振動子と、第2振動子と、を含んでもよい。

【0121】

また本実施形態の電子機器は、上記のいずれかに記載の回路装置と、回路装置からの出力信号に基づく処理を行う処理装置と、を含む。

【0122】

また本実施形態の移動体は、上記のいずれかに記載の回路装置と、回路装置からの出力信号に基づく処理を行う処理装置と、を含む。

【0123】

50

なお、上記のように本実施形態について詳細に説明したが、本開示の新規事項及び効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本開示の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義又は同義な異なる用語と共に記載された用語は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また本実施形態及び変形例の全ての組み合わせも、本開示の範囲に含まれる。また回路装置、物理量測定装置、電子機器及び移動体等の構成及び動作等も、本実施形態で説明したものに限定されず、種々の変形実施が可能である。

【符号の説明】

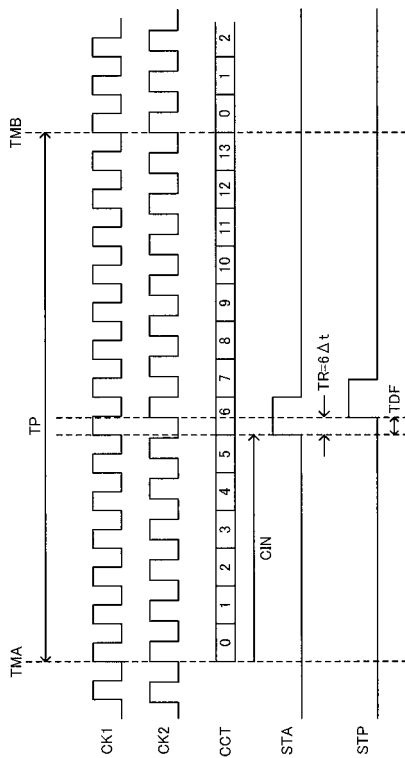
【0124】

10 ... クロック生成回路、11, 12, 13 ... 発振回路、14 ... フラクショナルNPLL回路、20 ... 信号生成回路、21, 22, 23, 26 ... ラッチ回路、27 ... クロック位相比較回路、28 ... パルスタイミング信号生成回路、30 ... 位相比較回路、31, 32, 33 ... ラッチ回路、40 ... 処理回路、41 ... レジスタ、42 ... 演算回路、43 ... 第1演算回路、44 ... 第2演算回路、45 ... 一時レジスタ、46 ... 出力レジスタ、100 ... 回路装置、206 ... 自動車、207 ... 車体、208 ... 制御装置、209 ... 車輪、220 ... 処理装置、400 ... 物理量測定装置、410 ... パッケージ、412 ... ベース部、414 ... リッド部、500 ... 電子機器、510 ... 通信インターフェース、520 ... 処理装置、530 ... 操作インターフェース、540 ... 表示部、550 ... メモリー、ADD1, ADD2 ... 加算器、CCT ... カウント値、CIN ... クロック数、CK1, CK2 ... クロック信号、Ccoarse, Cfine ... クロック数、Cout ... デジタル値、DIT ... デイザ回路、MUL ... 乗算器、NPLL ... フラクショナル、PCA, PCB, PCC, PCD, PF ... 判定用信号、QCA, QCB, QCC, QCD ... 位相比較信号、QDIT ... デイザ値、QF ... 位相比較信号、STA ... 第1信号、STP ... 第2信号、TDF ... 時間差、x, y ... 変化ステップ

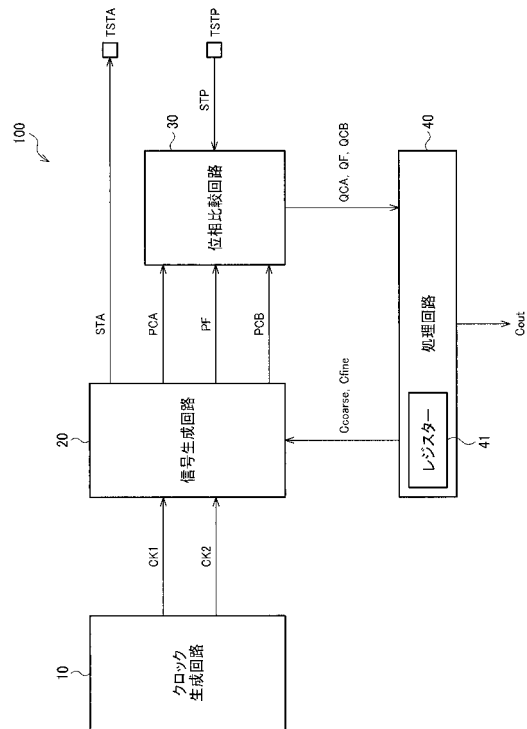
10

20

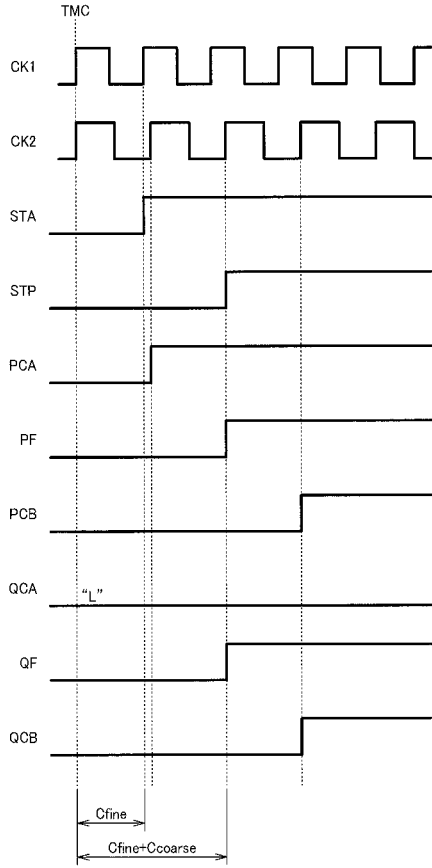
【図1】



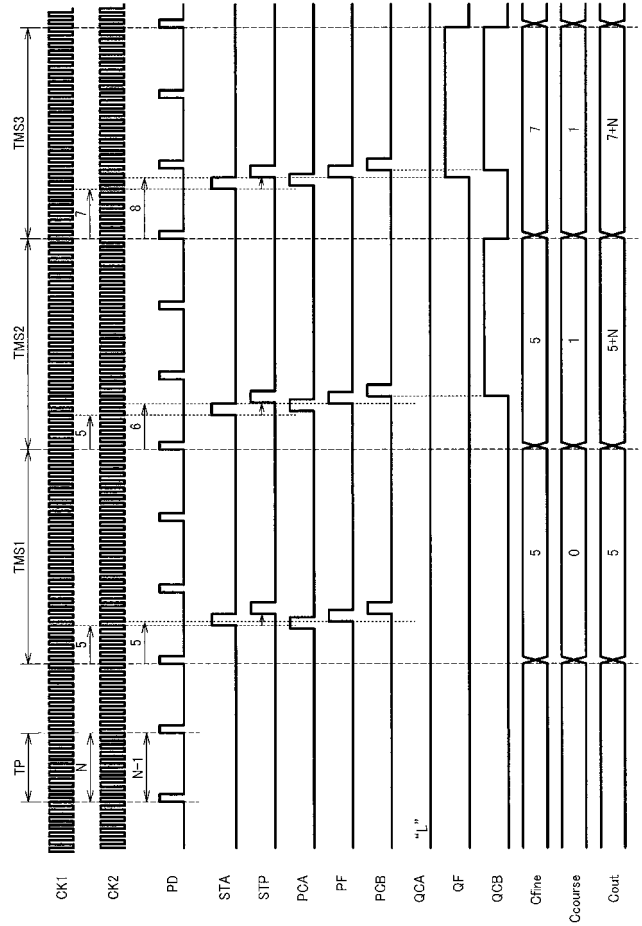
【図2】



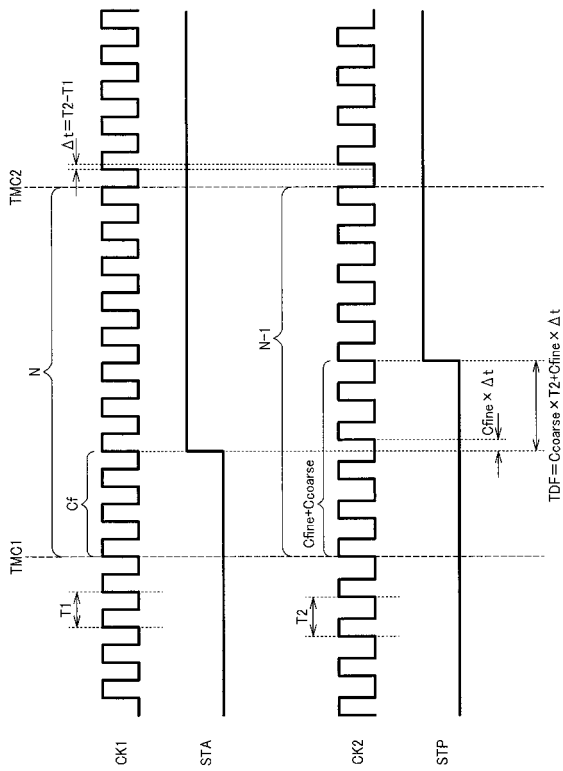
【図3】



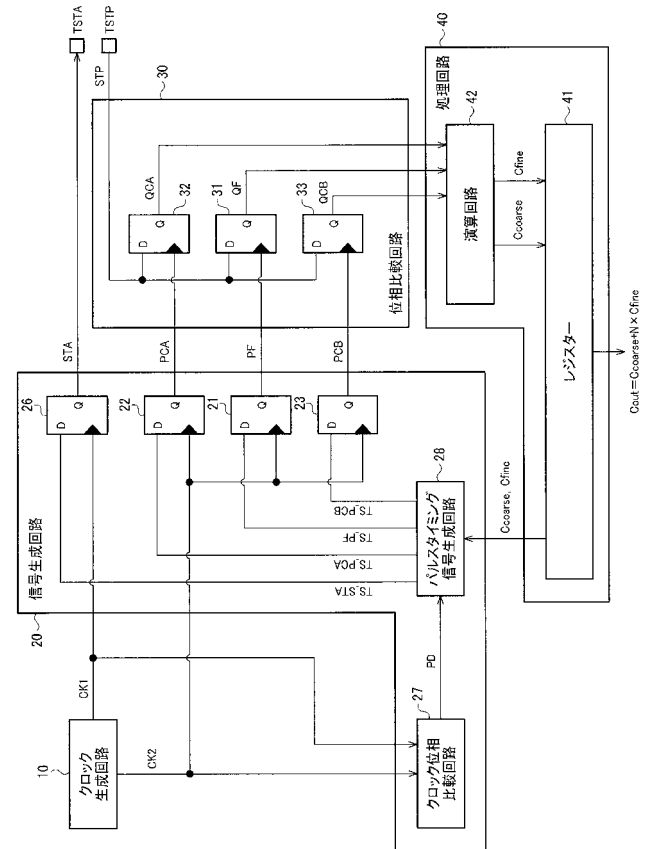
【図4】



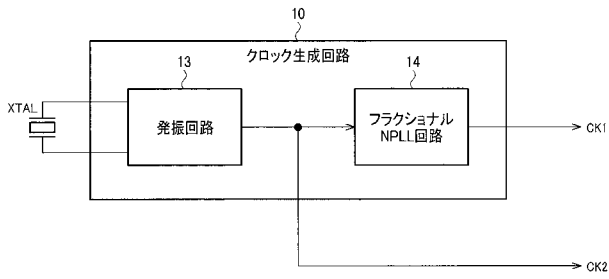
【図5】



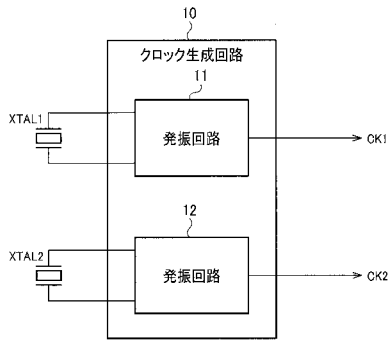
【図6】



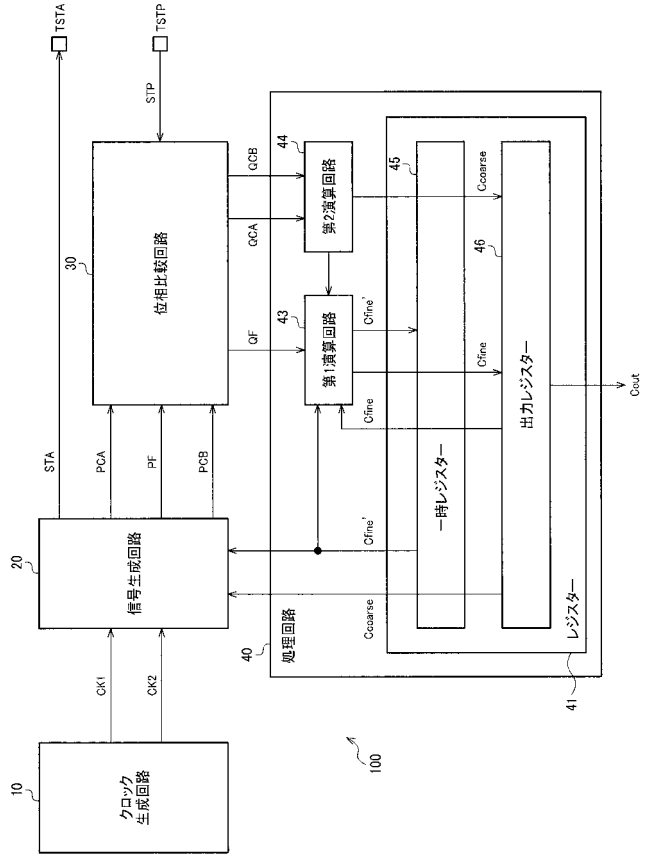
【図7】



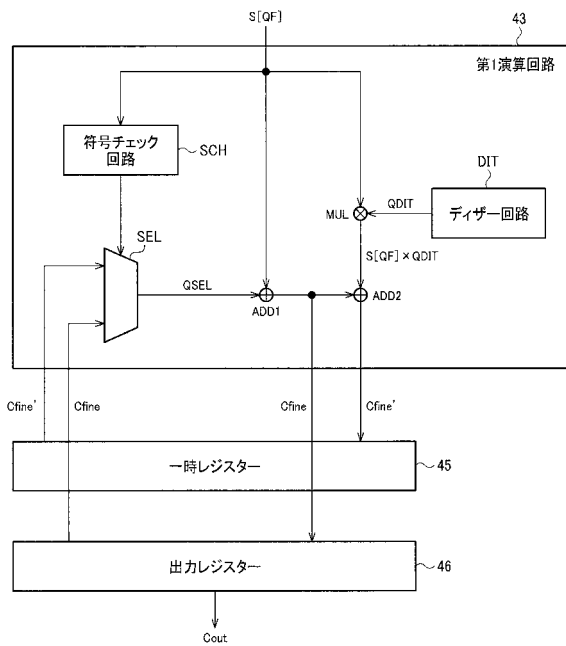
【図8】



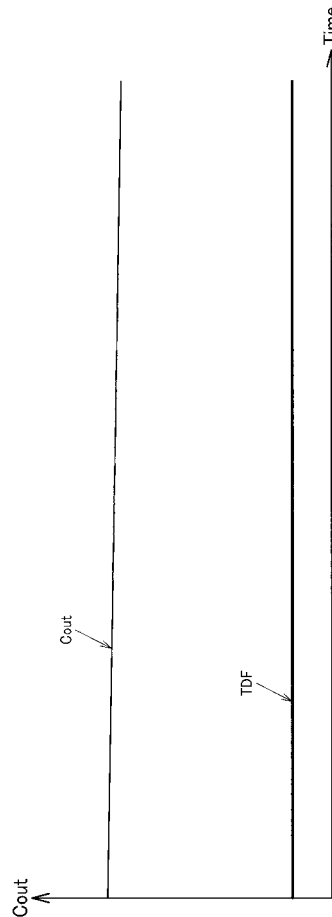
【図9】



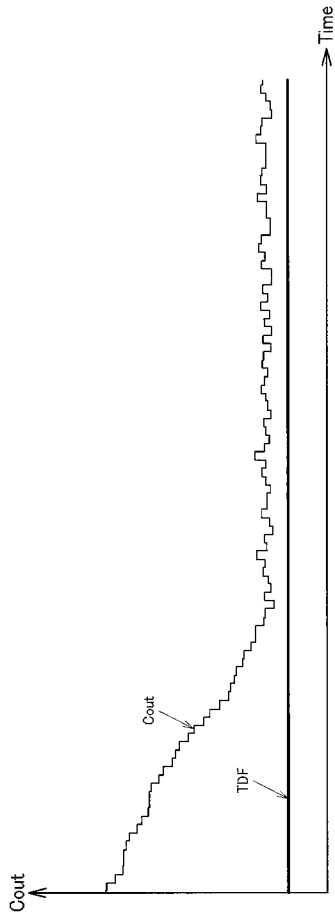
【図10】



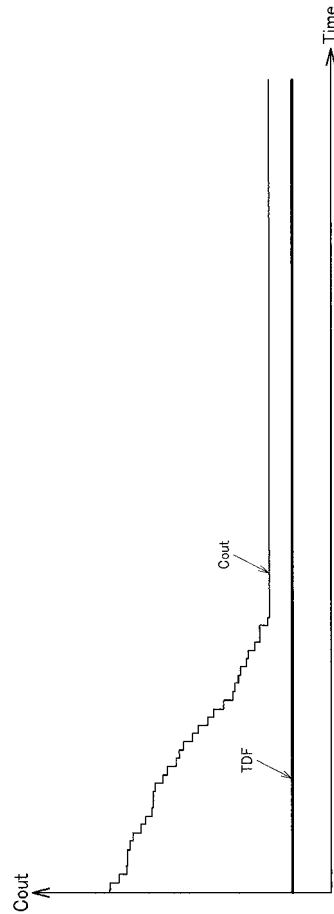
【図11】



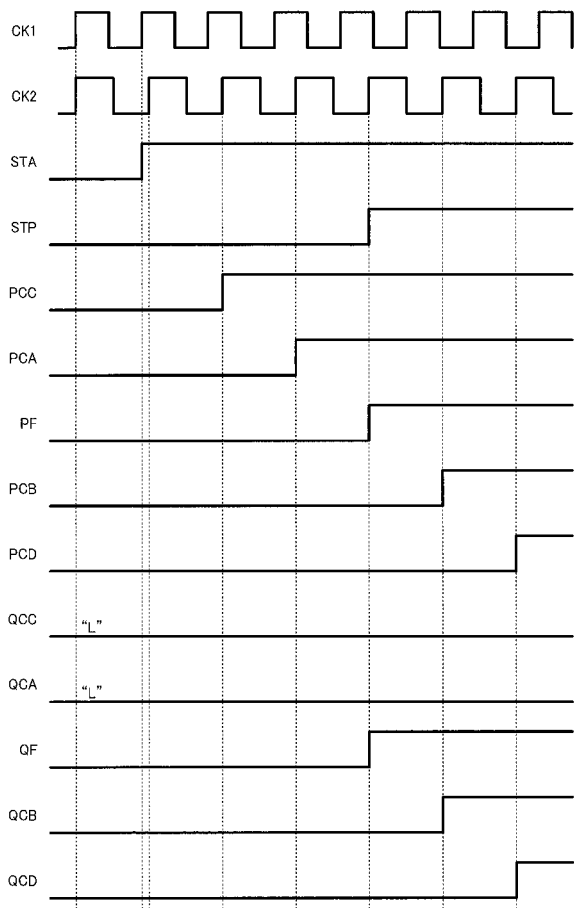
【 図 1 2 】



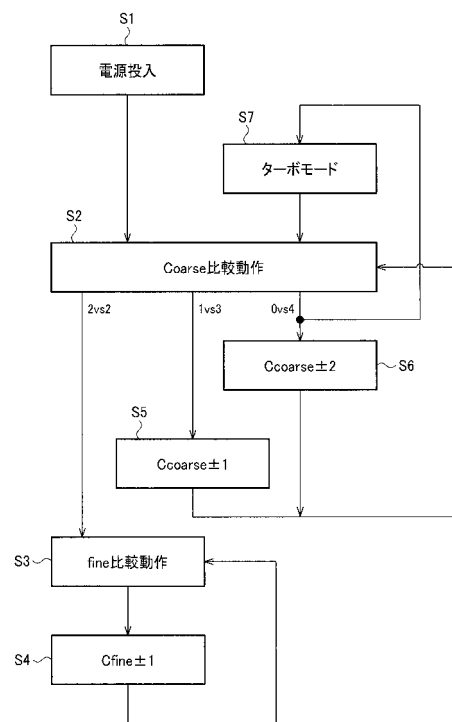
【 図 1 3 】



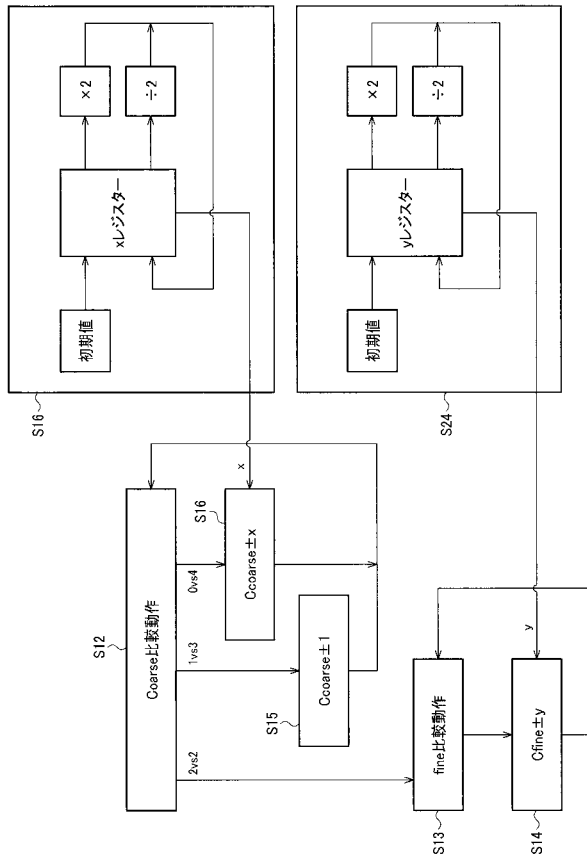
【 図 1 4 】



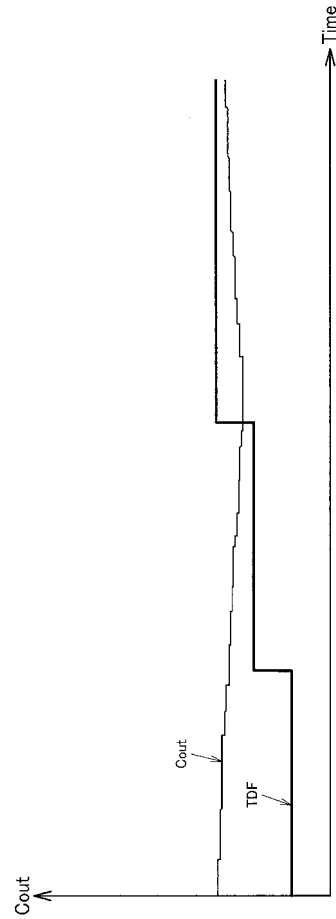
【 図 1 5 】



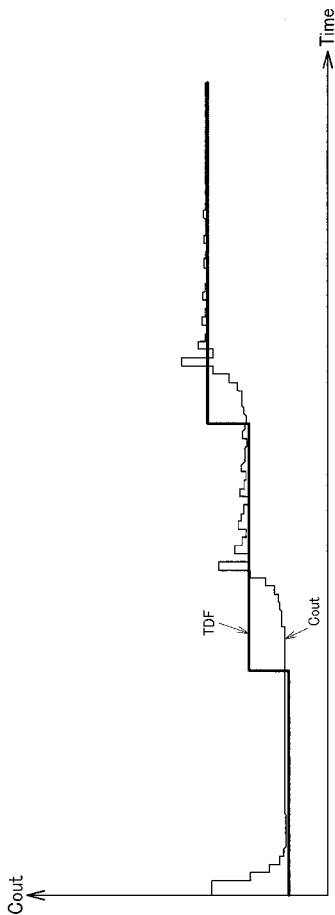
【図 16】



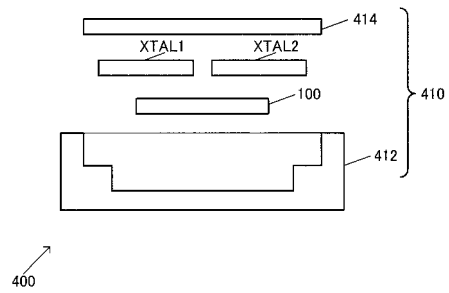
【図 17】



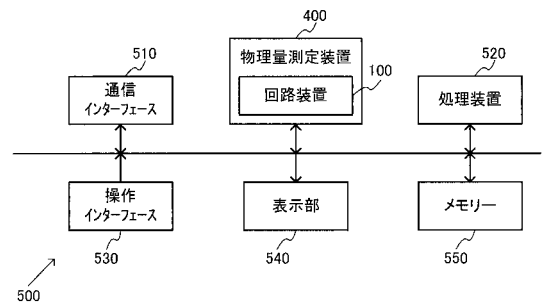
【図 18】



【図 19】



【図 20】



【 図 2 1 】

