



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0121870
(43) 공개일자 2014년10월16일

- (51) 국제특허분류(Int. Cl.)
G11C 29/12 (2006.01) G11C 29/50 (2006.01)
- (21) 출원번호 10-2014-7024286
- (22) 출원일자(국제) 2013년03월25일
심사청구일자 2014년08월29일
- (85) 번역문제출일자 2014년08월29일
- (86) 국제출원번호 PCT/US2013/033648
- (87) 국제공개번호 WO 2013/148544
국제공개일자 2013년10월03일
- (30) 우선권주장
13/431,424 2012년03월27일 미국(US)

- (71) 출원인
애플 인크.
미합중국 95014 캘리포니아 쿠퍼티노 인피니트 루프 1
- (72) 발명자
세닌겐, 마이클 알.
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 198-6이엔지 인피니트 루프 1
루나스, 마이클 이.
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 198-6이엔지 인피니트 루프 1
- (74) 대리인
양영준, 백만기

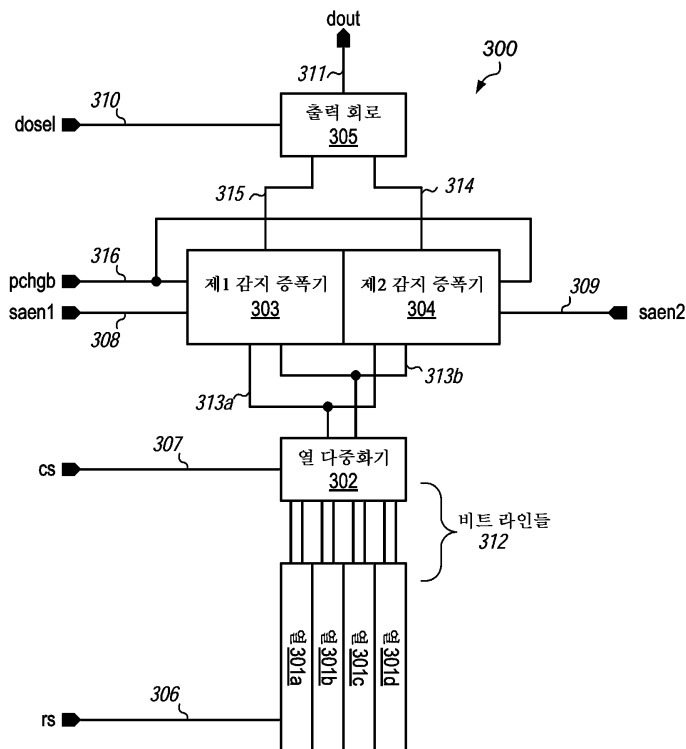
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **여분의 감지 증폭기를 갖는 메모리**

(57) 요약

약한 데이터 저장 셀을 판독하는 동안에 오판독의 가능성을 줄일 수 있는 메모리의 실시예들이 개시된다. 메모리는 다수의 데이터 저장 셀들, 열 다중화기, 제1 감지 증폭기 및 제2 감지 증폭기, 및 출력 회로를 포함할 수 있다. 제1 감지 증폭기의 이득 레벨은 제2 감지 증폭기의 이득 레벨보다 더 높을 수 있다. 출력 회로는 다중화기를 포함할 수 있으며, 다중화기는 제1 및 제2 감지 증폭기들의 출력들 중 하나를 제어 가능하게 선택하고, 선택된 감지 증폭기의 값을 전달하도록 동작 가능할 수 있다. 출력 회로는 제1 및 제2 감지 증폭기들의 출력들을 결합하는 노드를 포함할 수 있고, 제1 및 제2 감지 증폭기들의 출력들은 고 임피던스 상태로 설정 가능할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

장치로서,

복수의 데이터 저장 셀들; 및

복수의 판독 회로들을 포함하고,

상기 판독 회로들 각각은,

상기 복수의 데이터 저장 셀들 중 선택된 데이터 저장 셀로부터 입력 데이터를 수신하도록 구성된, 제1 이득 레벨을 갖는 제1 감지 증폭기; 및

상기 복수의 데이터 저장 셀들 중 선택된 데이터 저장 셀로부터 입력 데이터를 수신하도록 구성된, 제2 이득 레벨 - 상기 제2 이득 레벨은 상기 제1 이득 레벨보다 큼 - 을 갖는 제2 감지 증폭기; 및

상기 제1 감지 증폭기의 출력 및 상기 제2 감지 증폭기의 출력을 수신하고, 상기 출력들을 논리적으로 조합하도록 구성된 출력 회로를 포함하는, 장치.

청구항 2

제1항에 있어서, 상기 제2 이득 레벨은 상기 제1 이득 레벨보다 높은, 장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 제1 감지 증폭기 및 상기 제2 감지 증폭기는 동시에 인에이블되는, 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제1 감지 증폭기는 제1 데이터 저장 셀이 선택될 때 인에이블되고, 상기 제2 감지 증폭기는 제2 데이터 저장 셀이 선택될 때 인에이블되는, 장치.

청구항 5

제1항 또는 제2항에 있어서,

상기 복수의 데이터 저장 셀들은 복수의 열(column)들 내에 포함되고, 상기 데이터 저장 셀들 중 각각의 주어진 데이터 저장 셀은 행(row) 선택 신호의 표명(assertion)에 응답하여 상기 주어진 데이터 저장 셀이 열 출력을 생성하도록 구성되며,

상기 장치는 상기 복수의 열들로부터 입력 데이터를 수신하도록 결합된 열 다중화기(column multiplexer)를 추가로 포함하고, 상기 열 다중화기는 열 선택 신호에 따라 상기 복수의 열들 중 하나로부터의 데이터를 제어 가능하게 선택하여 열 다중화기 출력을 생성하도록 구성되며,

상기 복수의 데이터 저장 셀들 중 상기 선택된 데이터 저장 셀로부터 입력 데이터를 수신하기 위해, 상기 제1 감지 증폭기는 제1 제어 신호의 표명에 응답하여, 상기 열 다중화기 출력 신호를 상기 제1 이득 레벨만큼 증폭시키고 제1 감지 증폭기 출력 신호를 생성하도록 추가로 구성되며,

상기 복수의 데이터 저장 셀들 중 상기 선택된 데이터 저장 셀로부터 입력 데이터를 수신하기 위해, 상기 제2 감지 증폭기는 제2 제어 신호의 표명에 응답하여, 상기 열 다중화기 출력 신호를 상기 제2 이득 레벨만큼 증폭시키고 제2 감지 증폭기 출력 신호를 생성하도록 추가로 구성되며,

상기 출력 회로는 출력 선택 신호에 기초하여 상기 제1 감지 증폭기 출력 신호 및 상기 제2 감지 증폭기 출력 신호를 논리적으로 조합하도록 추가로 구성되는, 장치.

청구항 6

제5항에 있어서, 상기 출력 회로는 상기 출력 선택 신호에 따라 상기 제1 감지 증폭기 출력 신호 또는 상기 제2

감지 증폭기 출력 신호를 제어 가능하게 선택하도록 구성되는 다중화기를 포함하는, 장치.

청구항 7

제5항에 있어서, 상기 제1 감지 증폭기는 상기 출력 선택 신호의 제1 상태에 따라 고 임피던스 출력을 생성하도록 추가로 구성되고, 상기 제2 감지 증폭기는 상기 출력 선택 신호의 제2 상태에 따라 고 임피던스를 생성하도록 추가로 구성되는, 장치.

청구항 8

제7항에 있어서, 상기 출력 회로는 상기 제1 감지 증폭기의 출력을 상기 제2 감지 증폭기의 출력에 결합시키는 노드를 포함하는, 장치.

청구항 9

메모리 회로로서,

각각이 제5항의 장치의 일레(instance)를 포함하는 복수의 서브어레이들;

상기 제1 제어 신호, 상기 제2 제어 신호 및 상기 출력 선택 신호를 생성하도록 구성되는 타이밍 및 제어 유닛; 및

상기 복수의 서브어레이들에 결합되는 복수의 행 선택 신호들 및 상기 복수의 서브어레이들에 결합되는 복수의 열 선택 신호들을 생성하도록 결합되는 어드레스 디코더를 포함하고,

상기 어드레스 디코더는 입력 어드레스를 수신하도록 구성되어, 상기 입력 어드레스의 값에 응답하여, 상기 어드레스 디코더가 상기 행 선택 신호들 중 하나 및 상기 열 선택 신호들 중 하나를 표명하게 하는, 메모리 회로.

청구항 10

제9항에 있어서, 상기 어드레스 디코더는 저장 어레이, 및 상기 입력 어드레스를 상기 저장 어레이의 내용과 비교하도록 구성되는 비교기를 포함하는, 메모리 회로.

청구항 11

제10항에 있어서, 상기 어드레스 디코더는 상기 비교기가 상기 입력 어드레스와 상기 저장 어레이의 내용 사이의 매치를 검출할 때 오판독 지시 신호를 생성하도록 추가로 구성되는, 메모리 회로.

청구항 12

제11항에 있어서, 상기 타이밍 및 제어 유닛은 상기 오판독 지시 신호에 따라 제1 증폭기 인에이블 신호, 제2 증폭기 인에이블 신호, 및 데이터 출력 선택 신호를 생성하도록 추가로 구성되는, 메모리 회로.

청구항 13

시스템으로서,

하나 이상의 메모리들; 및

상기 하나 이상의 메모리들에 결합되는 처리 유닛을 포함하고,

상기 처리 유닛은 제1항 내지 제4항 중 어느 한 항의 장치의 일레를 각각 포함하는 하나 이상의 저장 어레이들을 포함하는, 시스템.

청구항 14

제13항에 있어서, 상기 처리 유닛은 검사 모드(test mode) 동안에 제1 증폭기 인에이블 신호, 제2 증폭기 인에이블 신호, 및 출력 데이터 선택 신호를 제공하도록 구성되는 검사 유닛을 포함하고,

제1항 내지 제4항 중 어느 한 항의 장치의 각각의 일레에서, 상기 제1 감지 증폭기는 상기 제1 증폭기 인에이블 신호의 표명에 응답하여 상기 입력 데이터를 상기 제1 이득 레벨만큼 증폭시키도록 추가로 구성되고, 상기 제2 감지 증폭기는 상기 제2 증폭기 인에이블 신호의 표명에 응답하여 상기 입력 데이터를 상기 제2 이득 레벨만큼

증폭시키도록 추가로 구성되며, 상기 출력 회로는 상기 출력 데이터 선택 신호에 따라 상기 제1 감지 증폭기의 출력 또는 상기 제2 감지 증폭기의 출력을 논리적으로 조합하도록 구성되는, 시스템.

청구항 15

제14항에 있어서, 상기 검사 유닛은 상기 저장 어레이들 내에서 약한 데이터 저장 셀들을 선택한 어드레스들을 나타내는 어드레스 정보를 저장하도록 추가로 구성되는, 시스템.

청구항 16

방법으로서,

데이터 저장 셀로부터 입력 데이터를 수신하는 단계; 및

제어 입력에 따라 제1 이득 레벨을 갖는 제1 감지 증폭기 또는 제2 이득 레벨 - 상기 제2 이득 레벨은 상기 제1 이득 레벨보다 높음 - 을 갖는 제2 감지 증폭기를 사용하여 상기 데이터 저장 셀로부터의 데이터를 증폭시키는 단계를 포함하는, 방법.

청구항 17

제16항에 있어서, 상기 데이터 저장 셀에 대한 검출된 셀 강도에 따라 상기 제어 입력을 결정하는 단계로 포함하는, 방법.

청구항 18

제17항에 있어서,

상기 검출된 셀 강도를 나타내는 셀 강도 정보를 저장하는 단계; 및

상기 저장된 셀 강도 정보를 체크하는 단계를 추가로 포함하는, 방법.

청구항 19

제17항 또는 제18항에 있어서, 상기 검출된 셀 강도가 약한 데이터 저장 셀을 나타내는 것에 응답하여 오판독 지시 신호를 표명하는 단계를 추가로 포함하는, 방법.

청구항 20

제17항 내지 제19항 중 어느 한 항에 있어서, 상기 증폭시키는 단계는 상기 검출된 셀 강도가 약한 데이터 저장 셀을 나타내는 것에 응답하여 상기 데이터 저장 셀에 저장된 데이터를 증폭시키기 위해 상기 제2 감지 증폭기를 선택하는 단계를 추가로 포함하는, 방법.

명세서

기술분야

[0001] 본 발명은 메모리 구현의 분야에 관한 것으로, 더 구체적으로는 감지(sensing) 기술에 관한 것이다.

배경기술

[0002] 메모리들은 전형적으로 반도체 기판 상에 제조되어진 상호접속된 트랜지스터들로 구성된 다수의 데이터 저장 셀들을 포함한다. 그러한 데이터 저장 셀들은 다수의 상이한 회로 설계 스타일들에 따라 구성될 수 있다. 예를 들어, 데이터 저장 셀들은 동적 저장 셀을 형성하도록 커패시터에 결합된 단일 트랜지스터로서 구현될 수 있다. 대안적으로, 교차 결합 인버터들이 채용되어 정적 저장 셀을 형성할 수 있거나, 부동 게이트 MOSFET가 사용되어 비휘발성 저장 셀을 생성할 수 있다.

[0003] 반도체 제조 공정 동안에, 리소그래피, 트랜지스터 도펀트 레벨 등에서의 변화는 동일한 특성들을 갖도록 의도된 저장 셀들 사이에 상이한 전기적 특성들을 초래할 수 있다. 디바이스가 반복적으로 동작함에 따른 트랜지스터들 내의 노화 효과로 인해 전기적 특성들의 추가적인 변화가 발생할 수 있다. 트랜지스터들 사이에서의 전기적 특성들의 이러한 차이들은 동일한 저장된 데이터에 대해 상이한 작은 신호 전압들을 출력하는 데이터 저장

셀들을 초래할 수 있다.

[0004] 일부 경우들에서, 주어진 데이터 저장 셀의 변화는 감지 증폭기에 의해 적절히 증폭될 수 없는 출력 전압을 초래할 수 있다. 그러한 데이터 저장 셀들은 초기 검사 동안에 하드 고장(hard failure)으로서 식별될 수 있으며, 제조 수율 목표를 달성하기 위해 여분의 데이터 저장 셀들로의 대체를 필요로 할 수 있다.

발명의 내용

[0005] 메모리 회로의 다양한 실시예들이 개시된다. 일 실시예에서, 메모리 회로는 데이터 저장 셀들, 열 다중화기(column multiplexer), 제1 이득 레벨을 갖는 제1 감지 증폭기, 제2 이득 레벨을 갖는 제2 감지 증폭기, 및 출력 회로를 포함할 수 있다. 일부 실시예들에서, 제2 이득 레벨은 제1 이득 레벨보다 더 높을 수 있다.

[0006] 일부 실시예들에서, 출력 회로는 다중화기를 포함할 수 있으며, 다중화기는 제1 감지 증폭기의 출력 또는 제2 감지 증폭기의 출력을 제어 가능하게 선택하도록 동작할 수 있다. 다른 실시예들에서, 제1 감지 증폭기 및 제2 감지 증폭기는 그들 각자의 출력들이 고 임피던스 상태에 들어갈 수 있도록 구성될 수 있으며, 출력 회로는 제1 감지 증폭기의 출력을 제2 감지 증폭기의 출력에 결합시키는 노드를 포함할 수 있다.

[0007] 동작 동안에, 검사 데이터가 데이터 저장 셀 내에 저장될 수 있다. 데이터는 제1 감지 증폭기를 사용하여 데이터 저장 셀로부터 판독되어, 원래의 검사 데이터와 비교될 수 있다. 데이터는 제2 감지 증폭기를 사용하여 데이터 저장 셀로부터 판독되어, 원래의 검사 데이터와 비교될 수 있다. 이러한 비교들의 결과가 사용되어 데이터 저장 셀의 강도를 결정할 수 있다. 데이터 저장 셀의 강도를 나타내는 정보가 저장될 수 있다.

[0008] 데이터 저장 셀의 후속 액세스 동안에, 데이터 저장 셀에 대한 저장된 셀 강도 정보가 점검될 수 있다. 데이터 저장 셀에 대한 저장된 셀 강도 정보가 저장 셀이 약하다고 나타내는 경우, 데이터는 제2 감지 증폭기를 사용하여 데이터 저장 셀로부터 판독될 수 있다.

도면의 간단한 설명

[0009] 하기의 상세한 설명은 이제 간단히 설명되는 첨부 도면들을 참조한다.

<도 1>

도 1은 데이터 저장 셀의 실시예를 도시하는 도면.

<도 2>

도 2는 비트 라인(bit line)들의 방전을 위한 가능한 파형들을 도시하는 도면.

<도 3>

도 3은 메모리 서브어레이의 실시예를 도시하는 도면.

<도 4>

도 4는 도 3에 도시된 실시예의 가능한 동작 방법을 도시하는 도면.

<도 5>

도 5는 메모리의 실시예를 도시하는 도면.

<도 6>

도 6은 도 5에 도시된 실시예의 가능한 동작 방법을 도시하는 도면.

<도 7>

도 7은 약한 비트들에 대해 메모리를 검사하는 가능한 방법을 도시하는 도면.

<도 8>

도 8은 메모리를 판독하고, 저장된 데이터를 이전에 로딩된 검사 데이터와 비교하는 가능한 방법을 도시하는 도면.

<도 9>

도 9는 컴퓨팅 시스템의 실시예를 도시하는 도면.

본 발명은 다양한 변경들 및 대안 형태들이 가능하지만, 본 발명의 특정 실시예들이 도면들에 예로서 도시되어 있고, 본 명세서에서 상세히 설명될 것이다. 그러나, 도면들 및 이에 대한 상세한 설명은 본 발명을 도시된 특정 형태로 한정하는 것을 의도하는 것이 아니라, 반대로 첨부된 특허청구범위에 의해 한정되는 바와 같은 본 발명의 사상 및 범주 내에 속하는 모든 변경들, 균등물들 및 대안들을 커버하는 것을 의도한다는 것을 이해해야 한다. 본 명세서에서 사용되는 표제들은 체계화 목적을 위한 것일 뿐, 설명의 범주를 한정하는 데 사용되는 것을 의도하지 않는다. 본 출원 전반에서 사용될 때, 단어 "~일 수 있다(may)"는 강제 의의(즉, 해야 한다(must)의 의미)가 아니라 허가의 의미(즉, 가능성을 갖는다는 의미)로 사용된다. 유사하게, 단어 "포함하다(include, includes)" 및 "포함하는(including)"은 "포함하지만, 한정되지는 않는다"는 것을 의미한다.

다양한 유닛들, 회로들 또는 다른 컴포넌트들이 작업 또는 작업들을 수행하도록 "구성되는" 것으로 설명될 수 있다. 그러한 상황에서, "~하도록 구성되는"은 동작 동안에 작업 또는 작업들을 수행하는 "회로를 갖는"을 일반적으로 의미하는 구조의 광범위한 기재이다. 이와 같이, 유닛/회로/컴포넌트는 유닛/회로/컴포넌트가 현재 온 상태가 아닌 경우에도 작업을 수행하도록 구성될 수 있다. 일반적으로, "~하도록 구성되는"에 대응하는 구조를 형성하는 회로는 하드웨어 회로들을 포함할 수 있다. 유사하게, 설명의 편의를 위해, 다양한 유닛들/회로들/컴포넌트들은 작업 또는 작업들을 수행하는 것으로 설명될 수 있다. 그러한 설명은 "~하도록 구성되는"이라는 표현을 포함하는 것으로 해석되어야 한다. 하나 이상의 작업들을 수행하도록 구성되는 유닛/회로/컴포넌트의 언급은 그러한 유닛/회로/컴포넌트에 대해 35 U.S.C. § 112, 6항의 해석을 적용하지 않고자 명백히 의도된다. 더 일반적으로, 임의의 요소의 언급은 용어 "~하기 위한 수단" 또는 "~하는 단계"가 구체적으로 언급되지 않는 한은 그 요소에 대해 35 U.S.C. § 112, 6항의 해석을 적용하지 않고자 명확히 의도된다.

발명을 실시하기 위한 구체적인 내용

- [0010] 반도체 메모리 회로의 제조 동안에, 리소그래피, 주입 레벨(implant level) 등에서의 차이는, 그렇지 않다면 특성들 및 성능에 있어서 동일할 것이 의도되는 데이터 저장 셀들 사이에 전기적 특성들에서의 차이를 초래할 수 있다. 일부 경우들에서, 데이터 저장 셀의 전기적 특성들의 변화는 데이터 저장 셀이 메모리 회로의 정상 동작 조건들 하에서 기능(예컨대, 판독 또는 기록)하지 못할 수 있을 정도로 충분히 클 수 있으며, 데이터 저장 셀은 고장으로서 식별될 수 있고, 여분의 데이터 저장 셀로의 교체를 필요로 할 수 있다. 비-이상적인 전기적 특성들을 갖는 데이터 저장 셀들을 보상하기 위해 메모리 회로에 여분의 데이터 저장 셀들을 추가하는 것은 추가적인 칩 면적 및 전력 소비를 초래할 수 있다. 아래에 설명되는 실시예들은 비-이상적인 전기적 특성들을 갖는 데이터 저장 셀들을 식별하고 보상하기 위한 기술들을 제공할 수 있다.
- [0011] 도 1은 몇몇 가능한 실시예들 중 하나에 따른 데이터 저장 셀을 도시한다. 도시된 실시예에서, 데이터 저장 셀(100)은 "bt"로 표시된 정규 I/O(102), "bc"로 표시된 보완 I/O(103) 및 "w1"로 표시된 선택 입력(101)을 포함한다.
- [0012] 도시된 실시예에서, bt(102)는 선택 트랜지스터(104)에 결합되고, bc(101)는 선택 트랜지스터(105)에 결합된다. 선택 트랜지스터(104) 및 선택 트랜지스터(105)는 w1(101)에 의해 제어된다. 선택 트랜지스터(104)는 노드(110)를 통해 풀업 트랜지스터(108) 및 풀다운 트랜지스터(106)에 추가로 결합되며, 선택 트랜지스터(105)는 노드(111)를 통해 풀업 트랜지스터(109) 및 풀다운 트랜지스터(107)에 추가로 결합된다. 풀업 트랜지스터(108) 및 풀다운 트랜지스터(106)는 노드(110)에 의해 제어되며, 풀업 트랜지스터(109) 및 풀다운 트랜지스터(107)는 노드(111)에 의해 제어된다.
- [0013] 선택 트랜지스터들, 풀업 트랜지스터들, 풀다운 트랜지스터들 및 사전 충전 트랜지스터들이 개별 트랜지스터들로서 도시될 수 있지만, 다른 실시예들에서는 이러한 트랜지스터들 중 임의의 트랜지스터가 다수의 트랜지스터들 또는 다른 적절한 회로들을 사용하여 구현될 수 있다는 것에 주목한다. 즉, 다양한 실시예들에서, "트랜지스터"는 임의의 적합한 유형의 개별 트랜지스터 또는 기타 스위칭 요소(예컨대, 전계 효과 트랜지스터(FET))에 또는 트랜지스터들의 집합에 대응할 수 있다.
- [0014] 저장 동작의 시작에서, 정규 I/O(102) 및 보완 I/O(103) 둘 모두는 하이(high)일 수 있고, 선택 입력(101)은 로우(low)이다. 이 실시예에서, 로우가 접지 전위 또는 그 부근에 있는 전압을 지칭하며, 하이는 n-채널 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)들을 온 상태로 하고 p-채널 MOSFET들을 오프 상태로 할만큼 충분히 큰 전압을 지칭한다는 것에 주목한다. 다른 실시예들에서는, 다른 회로 구성들이 사용될 수 있으며, 로우 및 하이로 구성하는 전압들이 상이할 수 있다. 저장 또는 기록 동작 동안에, 선택 입력(101)은 하이로 스위칭될

수 있는데, 이는 정규 I/O(102)를 노드(110)에 그리고 보완 I/O(103)를 노드(111)에 결합시킨다. 데이터 저장 셀(100) 내에 논리 1을 저장하기 위해, 보완 I/O(103)가 로우로 스위칭될 수 있다. 선택 트랜지스터(105)는 온 상태이므로, 노드(111)가 또한 로우로 스위칭된다. 노드(111) 상의 로우는 풀업 트랜지스터(108)를 활성화하고, 이는 노드(110)를 하이로 충전한다. 이어서, 노드(110) 상의 하이는 풀다운 트랜지스터(107)를 활성화하고, 이는 노드(111) 상의 로우를 더 강화함으로써 재생 피드백(regenerative feedback)을 형성한다. 일단 노드(110, 111)들 사이에 이러한 재생 피드백이 확립되었으면, 선택 입력(101)은 로우로 스위칭되어, 선택 트랜지스터(104) 및 선택 트랜지스터(105)를 오프 상태로 하여, 정규 I/O(102)로부터 노드(110)를 그리고 보완 I/O(103)로부터 노드(111)를 격리시킬 수 있다. 논리 0을 저장하는 방법은 유사할 수 있다. 선택 입력(101)이 하이로 스위칭될 수 있고, 정규 I/O(102)가 로우로 스위칭될 수 있다. 선택 트랜지스터(104)는 정규 I/O(102) 상의 로우를 노드(110)에 결합시켜, 풀업 트랜지스터(109)를 활성화시킨다. 노드(111) 상의 하이는 풀다운 트랜지스터(106)를 활성화시켜, 노드(110) 상의 로우를 강화하고, 재생 피드백을 형성한다. 재생 피드백을 통해 데이터를 저장하는 데이터 저장 셀들은 일반적으로 정적 셀들로서 지칭된다.

[0015] 도시된 실시예에서, 데이터 저장 셀(100)은 그의 저장된 데이터를 정규 I/O(102)와 보완 I/O(103) 사이의 전압 차로써 출력한다. (2개의 전압들 사이의 차이로서 저장된 데이터는 본 명세서에서 "차분 인코딩된(differentially encoded)" 것으로 또한 지칭될 수 있다.) 출력 프로세스의 시작에서, 정규 I/O(102) 및 보완 I/O(103) 둘 모두는 하이일 수 있고, 선택 입력(101)은 로우일 수 있다. 선택 입력(101)의 표명은 선택 트랜지스터(104) 및 선택 트랜지스터(105)를 활성화시킨다. 노드(111)가 로우이고, 노드(110)가 하이일 경우, 선택 트랜지스터(105) 및 풀다운 트랜지스터(107)를 통해 전류가 흘러, 보완 I/O(103) 상의 전압 감소를 유발할 것이다. 노드(110)가 로우이고 노드(111)가 하이일 경우, 선택 트랜지스터(104) 및 풀다운 트랜지스터(106)를 통해 전류가 흘러, 정규 I/O(102) 상의 전압 감소를 유발할 것이다. 어느 데이터 상태의 경우에도, 데이터 저장 셀이 정규 I/O(102) 또는 보완 I/O(103)로부터 배출시키는 전류는 셀의 판독 전류로서 지칭된다.

[0016] 이상적으로는, 풀다운 트랜지스터(106) 및 풀다운 트랜지스터(107)의 전기적 특성들은, 선택 트랜지스터(104) 및 선택 트랜지스터(105)의 전기적 특성들이 그러한 바와 같이, 동일할 것이다. 더구나, 이상적인 회로에서, 메모리 장치 내의 하나의 데이터 저장 셀 내의 풀다운 트랜지스터(106) 및 풀다운 트랜지스터(107)는 메모리 장치 내의 다른 데이터 저장 셀 내의 풀다운 트랜지스터(106) 및 풀다운 트랜지스터(107)와 동일한 전기적 특성들을 갖는 것이 바람직할 수 있다. 그러나, 반도체 제조 공정 동안에, 리소그래피의 차이, 도펀트 레벨의 변동 등은 이러한 트랜지스터들이 상이한 전기적 특성들(예컨대, 포화 전류)을 갖게 할 수 있다. 예컨대, 고온-캐리어 주입에 의해 유발되는 노화 효과가 또한 시간에 따라 트랜지스터의 전기적 특성들을 변화시킬 수 있다. 제조 및 노화 효과들 둘 모두로 인한 데이터 저장 셀들 사이의 풀다운 트랜지스터(106), 풀다운 트랜지스터(107), 선택 트랜지스터(104) 및 선택 트랜지스터(105)에서의 변화는 판독 전류의 변화, 따라서 동일한 저장된 데이터에 대한 출력 전압의 변화를 유발할 수 있다.

[0017] 일부 경우들에서, 트랜지스터들의 전기적 특성들의 변화는 저장 셀이 판독될 때 평균 출력 전압보다 더 큰 출력 전압을 초래할 수 있다. 평균 출력 전압보다 더 큰 출력 전압을 생성하는 데이터 저장 셀은 강한 셀로서 지칭될 수 있다. 일부 경우들에서, 트랜지스터들의 전기적 특성의 변화는 저장 셀이 판독될 때 평균 출력 전압보다 더 작은 출력 전압을 초래할 수 있다. 평균 출력 전압보다 더 작은 출력 전압을 생성하는 데이터 저장 셀은 약한 셀로서 지칭될 수 있다. 약한 저장 셀에 의해 생성되는 출력 전압의 값이 충분히 작은 경우, 데이터 저장 셀 내에 저장된 데이터를 적절히 결정하는 것이 불가능할 수 있는데, 그 이유는 출력 전압이 감지 증폭기 내의 불균형 및 신호 잡음을 극복 가능하지 않을 수 있기 때문이다.

[0018] 도 1에 도시된 트랜지스터들의 개수 및 접속성이 단지 예시적인 예이고, 다른 실시예들에서 다른 개수, 트랜지스터 유형 및/또는 회로 구성이 채용될 수 있다는 것에 주목한다. 다른 데이터 저장 셀 실시예들에서 다른 저장 메커니즘들이 채용될 수 있다는 것에 또한 주목한다. 예를 들어, (예컨대, 동적 랜덤 액세스 메모리(DRAM)에서와 같은) 커패시터, (예컨대, 공핍형 프로그래밍 가능 판독 전용 메모리(ROM)에서와 같은) 트랜지스터 주입 또는 (예컨대, 단일 비트 또는 다중 비트 비휘발성 또는 플래시 메모리에서와 같은) 부동 게이트 구조가 데이터 저장 셀 내에 데이터를 저장하는 데 사용될 수 있다.

[0019] 도 2는 도 1에 도시된 데이터 저장 셀의 실시예의 동작으로부터 발생하는 가능한 파형들을 도시한다. 시각 t_0 (205)에서, 선택 입력(101)이 표명된다(파형 201). 저장된 데이터의 값에 따라, 정규 I/O(102) 또는 보완 I/O(103)가 방전하기 시작할 것이다(파형 203). 시각 t_1 (206)에서, 정규 I/O(102)와 보완 I/O(103) 사이의 작은 신호 차이가 감지 증폭기에 의해 증폭된다. 하나 이상의 데이터 저장 셀들을 포함하는 시스템은 커패시터

및 전류원으로서 모델링될 수 있다. 커패시터는 정규 I/O(102) 또는 보완 I/O(103) 상에 존재하는 전체 커패시턴스를 나타내는데, 이는 다른 데이터 저장 셀들의 I/O 포트들의 집합 커패시턴스 및 데이터 저장 셀들 사이의 상호접속의 커패시턴스를 포함할 수 있다. 전류원은 데이터 저장 셀의 관독 전류이다. 이러한 모델의 경우, 시각 t_0 으로부터 시각 t_1 까지의 로우-진행(low-going) I/O 상의 전압은 수학적 식 1을 이용하여 추정될 수 있다.

[0020] [수학적 식 1]

$$v(t) = \frac{1}{C} \int_{t_0}^{t_1} i(t) dt$$

[0021] 시간 및 전압들의 제한된 범위에 걸쳐, 관독 전류는 상수로서 간주될 수 있다. 이는 상기 수학적 식이 수학적 식 2에서 나타난 바와 같이 간단히 되게 한다. 일정한 부하 커패시턴스에서, 로우-진행 I/O 상의 전압 변화는 데이터 저장 셀의 관독 전류에 비례한다. 데이터 저장 셀의 관독 전류가 평균보다 더 작은 경우, 로우-진행 I/O 상의 전압 변화는 더 적을 것이고(파형 204), 이는 감지 증폭기의 활성화 시에 더 작은 차분 전압을 초래할 것이다. 데이터 저장 셀의 관독 전류가 평균보다 더 큰 경우, 로우-진행 I/O 상의 전압 변화는 더 클 것이고(파형 202), 이는 감지 증폭기의 활성화 시에 더 큰 차이를 유발할 것이다. 도 2에 도시된 파형들이 단지 예시적인 예이고 다른 실시예들에서 상이한 파형 거동이 가능할 수 있다는 것에 주목한다.

[0023] [수학적 식 2]

$$\Delta v = \frac{i_{\text{관독}}}{C} (t_1 - t_0)$$

[0024] 도 3은 "dout"으로 표시된 데이터 출력(311), "pchgb"로 표시된 사전 충전 제어 입력(316), "saen1"로 표시된 제1 감지 증폭기 인에이블 입력(308), "saen2"로 표시된 제2 감지 증폭기 인에이블 입력(309)을 포함하는 메모리 서브어레이의 실시예를 도시한다. 도시된 실시예는 "cs"로 표시된 하나 이상의 열 선택 입력(307)들 및 "rs"로 표시된 하나 이상의 행 선택 입력(306)들을 또한 포함한다.

[0025] 도시된 실시예에서, 열(301a, 301b, 301c, 301d)들은 비트 라인(312)들을 통해 열 다중화기(302)의 입력들에 결합된다. 열 다중화기(302)의 차분 인코딩된 출력은 노드(313a, 313b)들을 통해 제1 감지 증폭기(303) 및 제2 감지 증폭기(304)의 차분 입력들에 결합된다. 제1 감지 증폭기(303)의 출력 및 제2 감지 증폭기(304)의 출력은 출력 회로(305)의 입력에 결합되고, 출력 회로(305)의 출력은 dout(311)에 결합된다.

[0026] 각각의 열(301)은 하나 이상의 데이터 저장 셀(100)을 포함할 수 있다. 예를 들어, 열(301) 내의 각각의 데이터 저장 셀(100)의 개별 비트 라인(bt)(102)들은 함께 결합되어 열(301)의 정규 비트 라인(312)을 형성할 수 있다. 마찬가지로, 열(301) 내의 각각의 데이터 저장 셀(100)의 개별 비트 라인(bc)(103)들은 함께 결합되어 열(301)의 보완 비트 라인(312)을 형성할 수 있다. 열(301) 내의 각각의 데이터 저장 셀(100)의 개별 워드 라인(w1)(101)들은 행 선택 신호(rs)(306)들 각각에 결합될 수 있어, 주어진 rs(306)가 표명될 때, 대응하는 데이터 저장 셀(100)이 열(301)의 정규 비트 라인 및 보완 비트 라인 상에 차분 인코딩된 출력을 생성하는 반면, 열(301) 내의 나머지 데이터 저장 셀(100)들의 비트 라인 출력들이 그대로 유지되게 한다. 다른 실시예들에서, 데이터 저장 셀들은 동적 저장 셀들, 단일 비트 또는 다중 비트 비휘발성 저장 셀들 또는 마스크 프로그래밍 가능 관독 전용 저장 셀들일 수 있다. 일부 실시예들에서, 데이터 저장 셀이 데이터를 단일 종단 방식(single-ended fashion)으로 전송할 수 있다는 것에 주목한다. 그러한 경우들에서, 열당 단일의 비트 라인만이 필요하다.

[0027] 일부 실시예들에서, 열 다중화기(302)는 cs(307)에 의해 제어 가능한 하나 이상의 패스 게이트들을 포함할 수 있다. 각각의 패스 게이트의 입력은 열(301a, 301b, 301c, 301d)들 중 하나로부터의 정규 또는 보완 비트 라인 출력에 결합될 수 있다. 정규 비트 라인에 결합된 각각의 패스 게이트의 출력은 열 다중화기(302)의 정규 출력에 배선-OR(wired-OR) 방식으로 결합되며, 보완 비트 라인에 결합된 각각의 패스 게이트의 출력은 열 다중화기(302)의 보완 출력에 배선-OR 방식으로 결합된다. 다른 실시예들에서, 열 다중화기(302)는 다중화기 선택 기능을 수행하도록 구성되는 하나 이상의 논리 게이트들을 포함할 수 있다.

[0028] 제1 감지 증폭기(303) 및 제2 감지 증폭기(304)는 일부 실시예들에서 아날로그 증폭 기술들을 사용할 수 있다. 다른 실시예들에서, 제1 감지 증폭기(303) 및 제2 감지 증폭기(304)는 래치(latch) 기반 증폭 기술을 채용할 수 있다. 제1 감지 증폭기(303)의 이득 레벨 및 제2 감지 증폭기(304)의 이득 레벨은 일부 실시예들에서 동일할

수 있고, 다른 실시예들에서 상이할 수 있다.

- [0030] 일부 실시예들에서, 도시된 서브어레이(300)는 다음과 같이 동작할 수 있다. 도 3 및 도 4에 도시된 흐름도를 종합적으로 참조하면, 동작은 pchgb(316)를 로우로 설정하고, rs(306), cs(307), saen1(308) 및 saen2(309)를 비활성 상태로 설정하여 서브어레이를 초기화함으로써(블록 401) 시작된다. 일단 서브어레이(300)가 초기화 되었으면, rs(306) 중 하나가 표명되어, 열(301a, 301b, 301c, 301d)들 각각 내의 데이터 저장 셀을 선택할 수 있다(블록 402). 이어서, cs(307) 중 하나가 표명되어, 열 다중화기(302)가 비트 라인(312)들 중 하나로부터 선택된 데이터를 출력하게 할 수 있다(블록 403).
- [0031] 이어서, 동작은 선택된 데이터 저장 셀의 강도에 의존한다(블록 404). 선택된 데이터 저장 셀이 통상의 강도를 가질 때, saen1(308)이 하이로 설정되어, 제1 감지 증폭기(303)가 노드(313a, 313b)들 상의 데이터를 증폭하게 하고 그 결과를 노드(315) 상에 출력하게 할 수 있다(블록 405). 이어서, dose1(310)이 표명될 수 있어, 출력 회로(305)가 노드(315)를 출력(311)에 결합시키게 한다. 이어서, 서브어레이(300)는 saen1(308), 및 rs(306)와 cs(307) 중 표명된 하나를 역표명하고 pchgb(316)를 로우로 설정함으로써 재초기화될 수 있다(블록 401).
- [0032] 선택된 데이터 저장 셀이 약할 때, saen2(309)가 하이로 설정되어, 제2 감지 증폭기(304)가 노드(313a, 313b)들 상의 데이터를 증폭시키게 하고 그 결과를 노드(314) 상에 출력하게 할 수 있다(블록 406). 이어서, dose1(310)이 표명될 수 있어, 출력 회로(305)가 노드(314)를 dout(311)에 결합시키게 한다. 이어서, 서브어레이(300)는 saen2(309), 및 rs(306)와 cs(307) 중 표명된 하나를 역표명하고 pchgb(316)를 로우로 설정함으로써 재초기화될 수 있다(블록 401).
- [0033] 도 5는 몇몇 가능한 실시예들 중 하나에 따른 메모리를 도시한다. 도시된 실시예에서, 메모리(500)는 "dio"로 표시된 데이터 I/O 포트(509)들, "add"로 표시된 어드레스 버스 입력(512), "mode"로 표시된 모드 선택 입력(511)들 및 "clk"로 표시된 클럭 입력(510)을 포함한다.
- [0034] 도시된 실시예에서, 메모리(500)는 서브어레이(501a, 501b, 501c)들, 타이밍 및 제어 유닛(502), 어드레스 디코더(503) 및 어드레스 비교기(504)를 포함한다. 서브어레이(501a, 501b, 501c)들은 서브어레이(300)에 대해 전술된 특징들 중 일부 또는 전부를 포함할 수 있다. 타이밍 및 제어 유닛(502)은 디코더 인에이블 신호(508)를 어드레스 디코더(503) 및 어드레스 비교기(504)에 그리고 제어 신호(505)들을 서브어레이(501a, 501b, 501c)들에 제공하도록 결합된다. 일부 실시예들에서, 제어 신호(505)들은 서브어레이(300)에 대해 전술된 바와 같이 동작할 수 있는 사전 충전 신호, 제1 감지 증폭기 인에이블 신호, 제2 감지 증폭기 인에이블, 및 데이터 출력 선택 신호를 포함할 수 있다.
- [0035] 어드레스 디코더(503)는 디코더 인에이블 신호(508)의 표명 및 어드레스 버스(512) 상의 어드레스 값에 응답하여 행 선택(506)들 및 열 선택(507)들을 서브어레이(501a, 501b, 501c)들에 제공하도록 결합된다. 어드레스 비교기(504)는 서브어레이(501a, 501b, 501c)들 내의 약한 데이터 저장 셀들을 선택하도록 이전에 결정된 어드레스 값들의 집합과 add(512) 상의 어드레스 값의 비교에 기초하여 오관독 지시 신호(513)를 타이밍 및 제어 유닛(502)에 제공하도록 결합된다. 일부 실시예들에서, 어드레스 비교기(504)는 약한 데이터 저장 셀들을 선택하는 어드레스 값들을 저장하도록 구성되는 저장 유닛(514)을 포함할 수 있다.
- [0036] 메모리(500)의 가능한 동작 방법이 도 6에 도시되어 있다. 도 5 및 도 6에 도시된 흐름도를 종합적으로 참조하면, 동작은 clk(510)를 역표명하여 메모리(500)를 초기화함으로써(블록 601) 시작된다. 이어서, clk(510)가 표명되어, 타이밍 및 제어 유닛(502)이 디코더 인에이블(508)을 표명하게 할 수 있다(블록 602). 이어서, 어드레스 디코더(503)가 디코더 인에이블(508)의 표명에 응답하여 add(512) 상에 제공된 어드레스를 디코딩하여(블록 603), 행 선택(506)들 중 하나 및 열 선택(507)들 중 하나가 표명되게 할 수 있다(블록 604). 이어서, 동작은 메모리(500)가 검사 모드에 있는지에 의존한다(블록 605). 이어서, 메모리(500)가 검사 모드에 있다는 것을 모드(511)가 나타낼 때, 타이밍 및 제어 유닛(502)은 제어 신호(505)들 내에서 적절한 신호를 표명하여, 서브어레이(501a, 501b, 501c)들 내의 제2 감지 증폭기들을 선택하고(블록 608) 활성화시킬 수 있게 한다(블록 61). 이어서, 제2 감지 증폭기들은 증폭된 데이터를 dio(509)로 출력할 수 있고(블록 611), 이 시점에서 메모리(500)는 clk(510)의 역표명에 의해 재초기화될 수 있다(블록 601).
- [0037] 메모리(500)가 검사 모드에 있지 않다는 것을 모드(511)가 나타낼 때, 어드레스 비교기(504)는 add(512) 상에 제공된 어드레스를, 약한 데이터 저장 셀들을 선택하도록 이전에 결정된 어드레스들의 목록에 대해 비교한다. 일부 실시예들에서, 어드레스들의 목록은 저장 어레이(514) 내에 포함될 수 있다. 이어서, 동작은 서브어레이(501a, 501b, 501c)들 내에서 선택된 데이터 저장 셀들의 강도에 의존한다(블록 607). 서브어레이(501a,

501b, 501c)들에서 선택된 데이터 저장 셀들이 통상의 강도를 가질 때, 타이밍 및 제어 유닛(502)은 제어 신호(505)들 내에서 적절한 제어 신호를 표명하여, 서브어레이(501a, 501b, 501c)들 내의 제1 감지 증폭기들을 선택하고(블록 609) 인에이블시키게 할 수 있다(블록 610). 이어서, 제1 감지 증폭기들은 증폭된 데이터를 dio(509)로 출력할 수 있다(블록 611). 이어서, 메모리(500)는 clk(510)의 역표명에 의해 재초기화될 수 있다(블록 601).

[0038] 서브어레이(501a, 501b, 501c)들에서 선택된 데이터 저장 셀들이 하나 이상의 약한 데이터 저장 셀들 포함할 때, 어드레스 비교기(504)는 오판독 지시 신호(513)를 표명할 수 있다. 이어서, 타이밍 및 제어 유닛(502)은 오판독 지시 신호(513)의 표명에 응답하여 제어 신호(505)들 내에서 적절한 제어 신호를 표명하여 서브어레이(501a, 501b, 501c)들 내의 제2 감지 증폭기들을 선택하고(블록 608) 인에이블시키게 할 수 있다(블록 610). 이어서, 제2 감지 증폭기들은 증폭된 데이터를 dio(509)로 출력할 수 있고(블록 611), 이 시점에서 메모리(500)는 clk(510)의 역표명에 의해 재초기화될 수 있다(블록 601). 도 6에 도시된 동작들 중 일부 또는 전부가 상이한 순서로 발생할 수 있거나, 순차적이 아니라 동시에 발생할 수 있다는 것에 주목한다.

[0039] 도 7은 약한 데이터 저장 셀들을 검사하기 위한 메모리(500)의 가능한 동작 방법을 도시한다. 도 5 및 도 7에 도시된 흐름도를 종합적으로 참조하면, 동작은 블록 701에서 시작된다. add(512)에 제공되는 값이 0으로 설정된다(블록 702). 이어서, 동작은 add(512)에 제공된 값에 의존한다(블록 703). add(512)에 제공된 값이 메모리(500)의 최대 어드레스를 초과할 때, 검사는 종료된다(블록 707). add(512)에 제공된 값이 메모리(500)의 최대 어드레스보다 작을 때, 모드(511)는 기록 동작을 위해 설정될 수 있고, 검사 데이터는 dio(509)로 제공될 수 있으며, clk(510)가 표명되어, add(512)에 제공된 값에 의해 선택된 데이터 저장 셀들 내에 검사 데이터를 기록할 수 있다(블록 704).

[0040] 일단 검사 데이터가 로딩되었으면, 메모리(500)는 재초기화된다. 모드(511)는 판독 및 검사 동작을 위해 설정될 수 있고, clk(510)가 표명되어, 도 8을 참조하여 설명되는 바와 같이 판독 및 비교 동작이 개시되게 한다(블록 705). 판독 및 비교 동작이 완료되었을 때, 메모리(500)는 재초기화될 수 있으며, add(512)에 제공된 값이 증분될 수 있고(블록 706), 이 값은 메모리(500)에 대한 최대 어드레스에 대하여 체크될 수 있다(블록 703). 도 7에 도시된 동작들이 단지 예시적인 예이며, 실제 회로 동작에서는 다른 동작들 및 동작 순서가 가능할 수 있다는 것에 주목한다.

[0041] 이전에 로딩된 검사 데이터를 판독하고 비교하기 위한 메모리(500)의 가능한 동작 방법이 도 8에 도시되어 있다. 도 5 및 도 8에 도시된 흐름도를 종합적으로 참조하면, 동작은 clk(510)를 역표명하여 메모리(500)를 초기화함으로써 시작될 수 있다(블록 801). 모드(511)는 정상 판독 동작을 위해 설정될 수 있으며, clk(510)가 표명될 수 있는데, 이는 타이밍 및 제어 유닛(502)이 디코더 인에이블 신호(508)를 표명하게 한다. 어드레스 디코더(503)는 디코더 인에이블 신호(508)의 표명에 응답하여 add(512)에 제공된 어드레스를 디코딩하며(블록 802), 행 선택(506)들 중 하나 및 열 선택(507)들 중 하나를 표명하여, 서브어레이(501a, 501b, 501c)들 각각 내의 데이터 저장 셀을 선택하게 한다(블록 803). 이어서, 타이밍 및 제어 유닛(502)은 제어 신호(505)들 내에서 적절한 신호를 표명하여, 서브어레이(501a, 501b, 501c)들 내의 제1 감지 증폭기들을 활성화시켜(블록 804), 제1 감지 증폭기들이 선택된 데이터 저장 셀로부터의 데이터를 증폭시키게 하고 증폭된 데이터를 dio(509)로 출력하게 할 수 있다(블록 805).

[0042] 이어서, 동작은 dio(509) 상의 데이터 출력의 값에 의존한다(블록 806). dio(509) 상의 데이터 출력이 처음 로딩된 검사 데이터와 매칭될 때, 선택된 데이터 저장 셀들은 정상인 것으로 식별될 수 있다(블록 807). 이러한 검사 진행에서, 추가 작용이 취해지지 않으며, 주어진 어드레스에서의 데이터 저장 셀들의 검사가 완료된다(블록 816). dio(509) 상의 데이터 출력이 처음 로딩된 검사 데이터와 매칭되지 않을 때, 추가 검사가 필요할 수 있으며, clk(510)가 역표명되어 메모리(500)를 재초기화시킬 수 있다(블록 808). 모드(511)는 검사 판독 동작을 위해 설정될 수 있으며, clk(510)가 표명될 수 있다. clk(510)의 표명에 응답하여, 타이밍 및 제어 유닛(602)은 디코더 인에이블(508)을 표명하여, 디코더(503)가 add(512)에 제공된 어드레스를 디코딩하게 한다(블록 809). 이어서, 어드레스 디코더(503)는 행 선택(506)들 중 하나 및 열 선택(507)들 중 하나를 표명하여, 서브어레이(501a, 501b, 501c)들 각각에서 데이터 저장 셀을 선택할 수 있게 한다(블록 810). 이어서, 일부 실시예들에서, 타이밍 및 제어 유닛(502)은 필요한 제어 신호(505)들을 표명하여, 서브어레이(501a, 501b, 501c)들 내의 제2 감지 증폭기들을 활성화시켜(블록 811), 제2 감지 증폭기들이 선택된 데이터 저장 셀들로부터의 데이터를 증폭하게 하고, 증폭된 데이터를 dio(509)로 출력하게 할 수 있다(블록 812).

[0043] dio(509) 상의 데이터 출력의 새로 판독된 값은 처음 로딩된 검사 데이터와 비교될 수 있다(블록 913).

dio(509) 상의 데이터 출력이 처음 로딩된 검사 데이터와 매칭될 때, 선택된 데이터 저장 셀들 중 하나 이상은 약할 수 있다. 이러한 데이터 저장 셀들을 선택한 어드레스는 약한 셀들을 포함하는 것으로 볼 수 있다(블록 814). 주어진 어드레스의 검사 동작이 완료될 수 있다(블록 816). dio(509) 상의 데이터 출력이 처음 로딩된 검사 데이터와 매칭되지 않을 때, 선택된 데이터 셀들 중 하나 이상은 하드 고장을 포함할 수 있다. 이러한 데이터 저장 셀들을 선택한 어드레스는 하드 고장을 포함하는 것으로 볼 수 있다(블록 815). 이어서, 주어진 어드레스에서의 검사 동작이 완료될 수 있다(블록 816). 일부 실시예들에서, 약한 데이터 저장 셀들을 선택한 어드레스는 저장 유닛(514) 내에 로딩될 수 있어, 저장된 어드레스를 메모리(500)에 대한 후속 판독 액세스에서 직면할 때, 어드레스 비교기(504)가 오판독 지시 신호(513)를 표명하게 한다. 실제 회로 동작 동안, 도 8에 도시된 동작들 중 일부 또는 전부가 상이한 순서로 발생할 수 있거나, 순차적이 아니라 동시에 발생할 수 있다는 것에 주목한다.

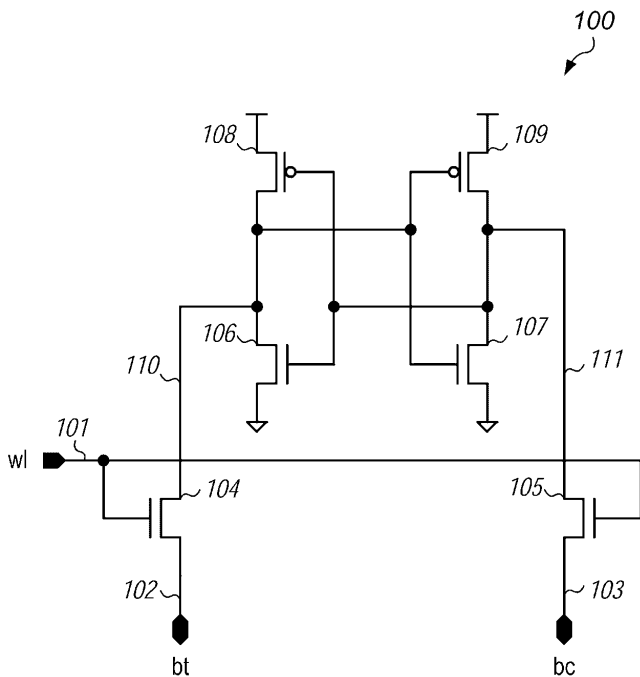
[0044] 이제, 도 9를 참조하면, 시스템의 블록도가 도시되어 있다. 도시된 실시예에서, 시스템(900)은 랜덤 액세스 메모리(RAM)(902) 및 판독 전용 메모리(ROM)(903)의 예를 포함하는데, 이들 각각은 서브어레이(300)에 대해 전술된 특징들 중 일부 또는 전부를 포함할 수 있는 하나 이상의 서브어레이들을 각각 포함할 수 있다.

[0045] 도시된 실시예는 또한 하나 이상의 로컬 저장 유닛(909)들을 포함할 수 있는 CPU(901)를 포함한다. 예를 들어, CPU(901)는 캐시 데이터 RAM, 태그 RAM, 하나 이상의 레지스터 파일들 및 하나 이상의 FIFO들을 포함할 수 있다. 로컬 저장 유닛(909)들 각각은 서브어레이(300)에 대해 전술된 특징들 중 일부 또는 전부를 포함할 수 있는 하나 이상의 서브어레이들을 포함할 수 있다. 일부 실시예들에서, CPU(901)는 서브어레이들을 동작시키도록 구성되는 검사 유닛(910)을 포함할 수 있다. 다른 실시예들에서, 검사 유닛(910)은 약한 데이터 저장 셀들을 선택하는 어드레스들을 저장하도록 추가로 구성될 수 있다. 부가적으로, 도시된 실시예는 I/O 어댑터(905), 디스플레이 어댑터(904), 사용자 인터페이스 어댑터(906) 및 통신 어댑터(907)를 포함한다.

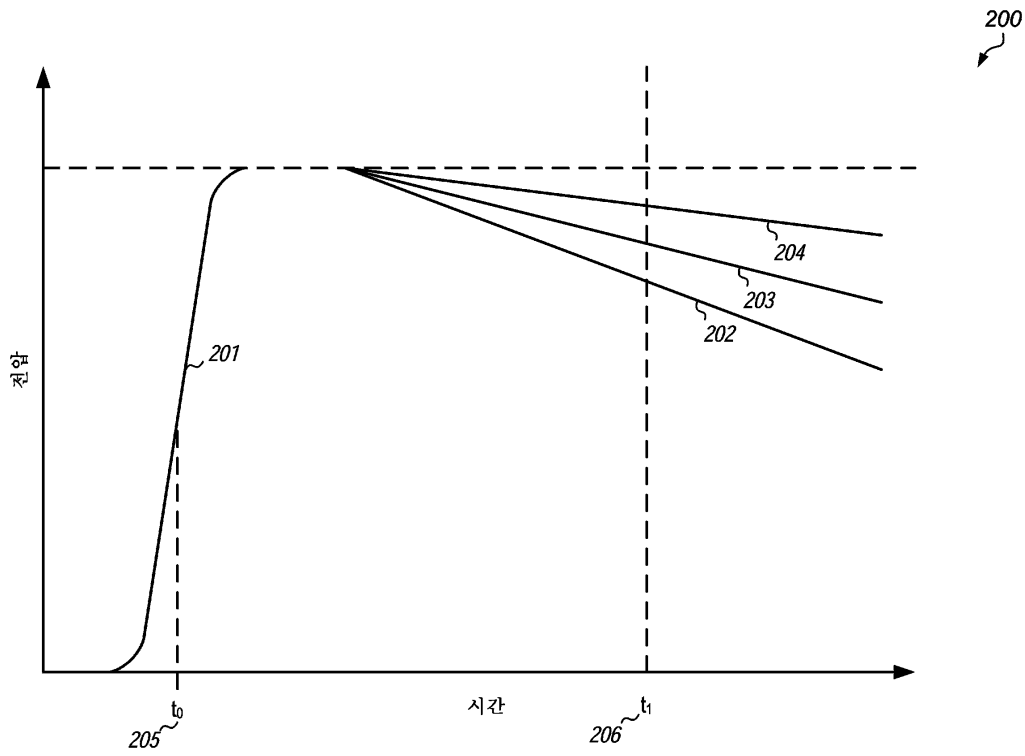
[0046] 일단 상기 개시 내용이 완전히 이해되면, 다양한 변형들 및 변경들이 당업자에게 명백해질 것이다. 하기의 특허청구범위가 모든 그러한 변형들 및 변경들을 포함하는 것으로 해석되어야 한다는 것이 의도된다.

도면

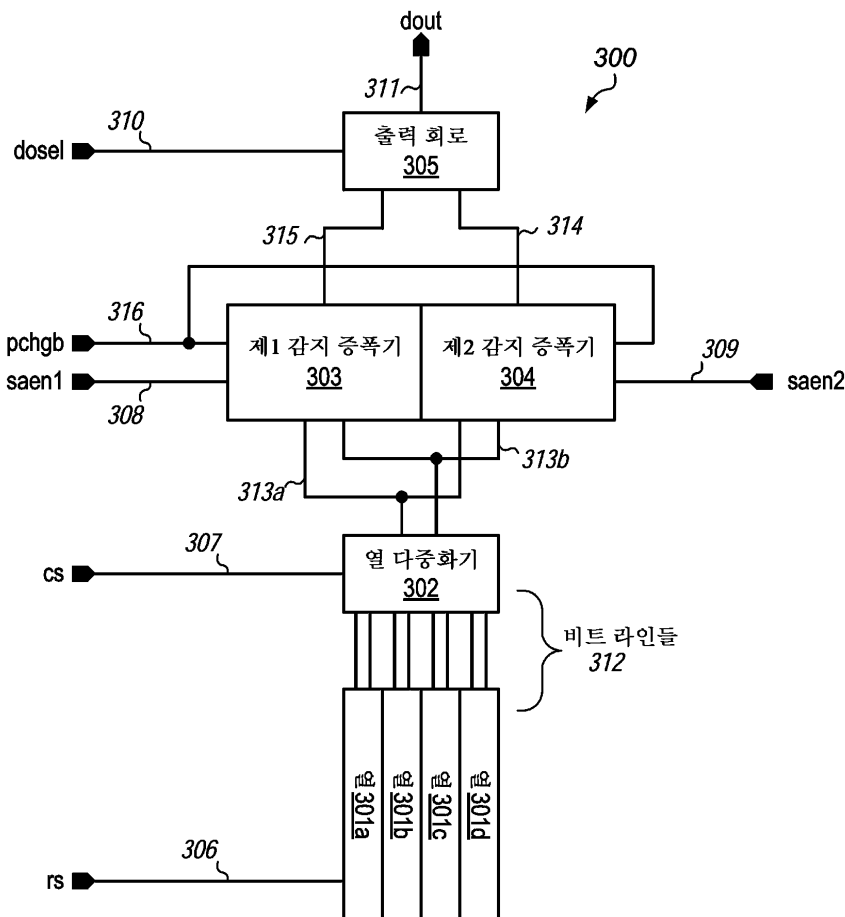
도면1



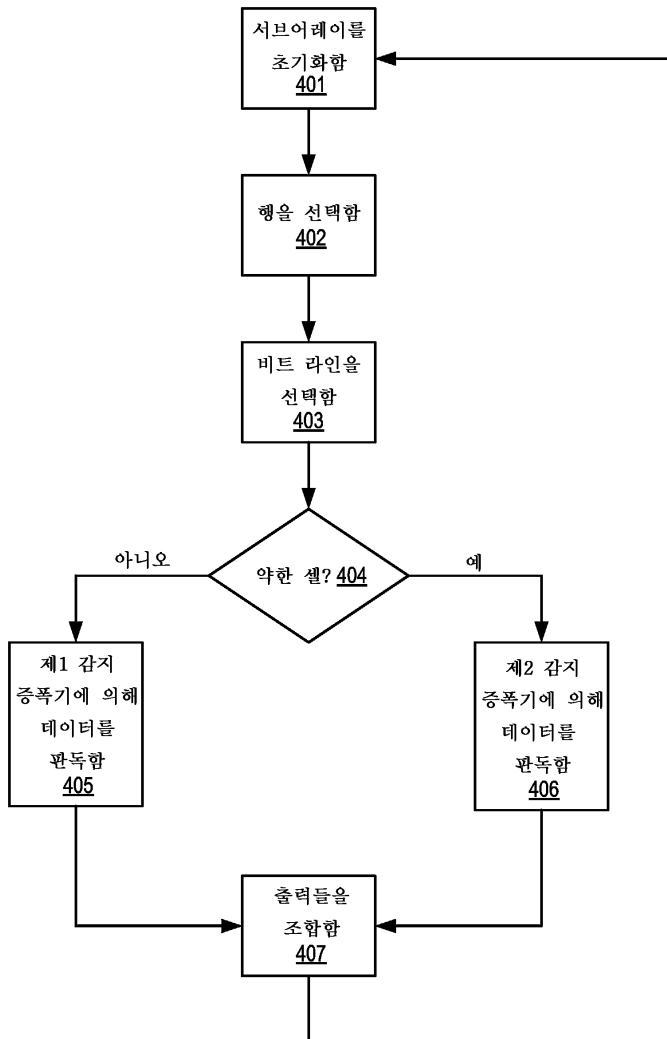
도면2



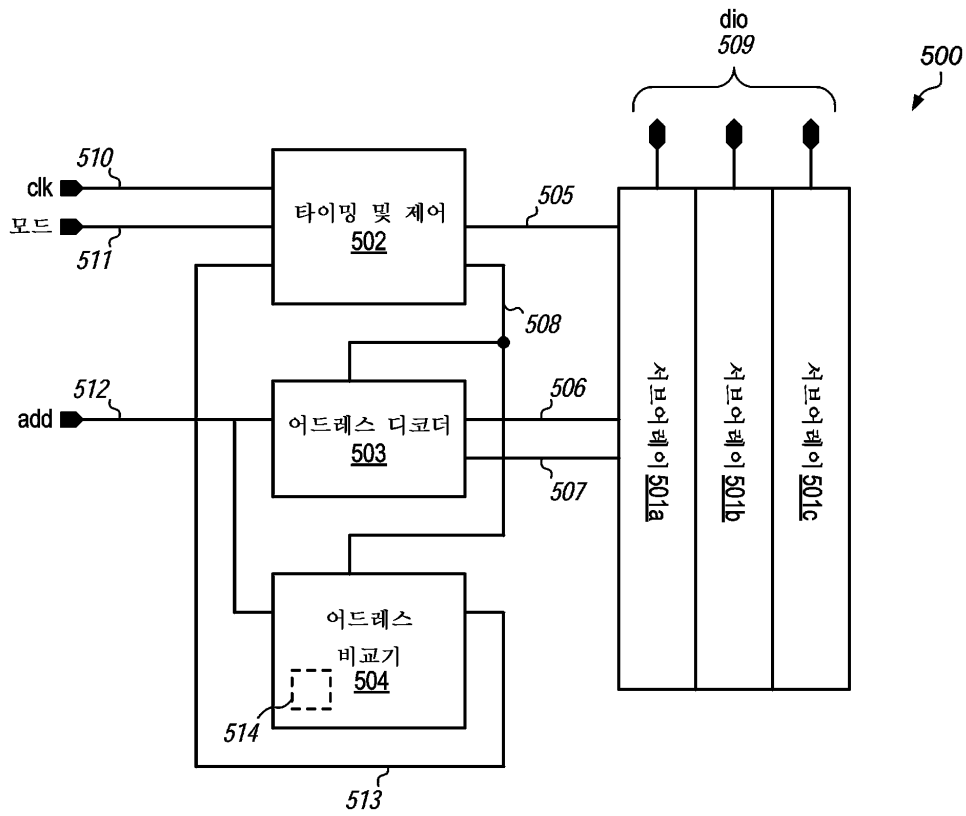
도면3



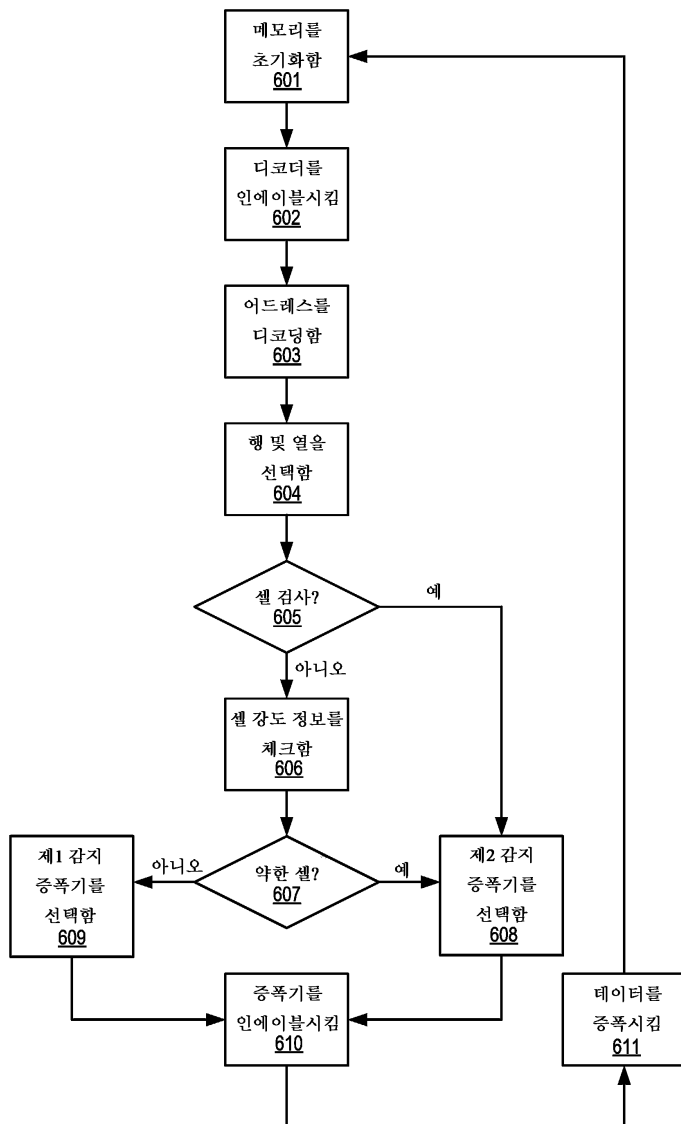
도면4



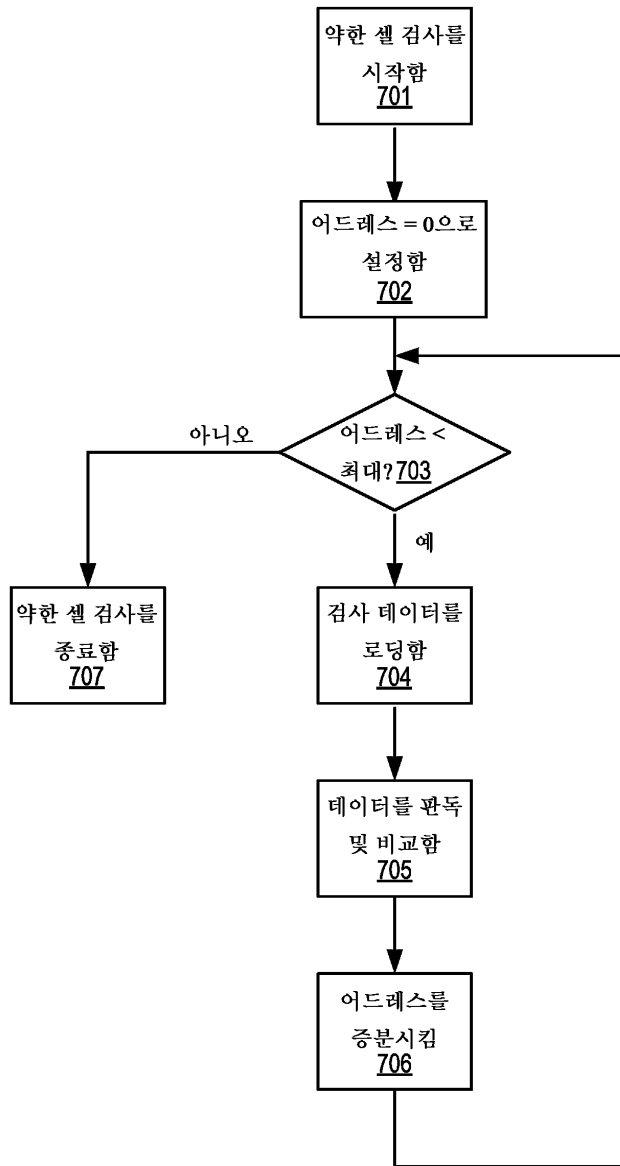
도면5



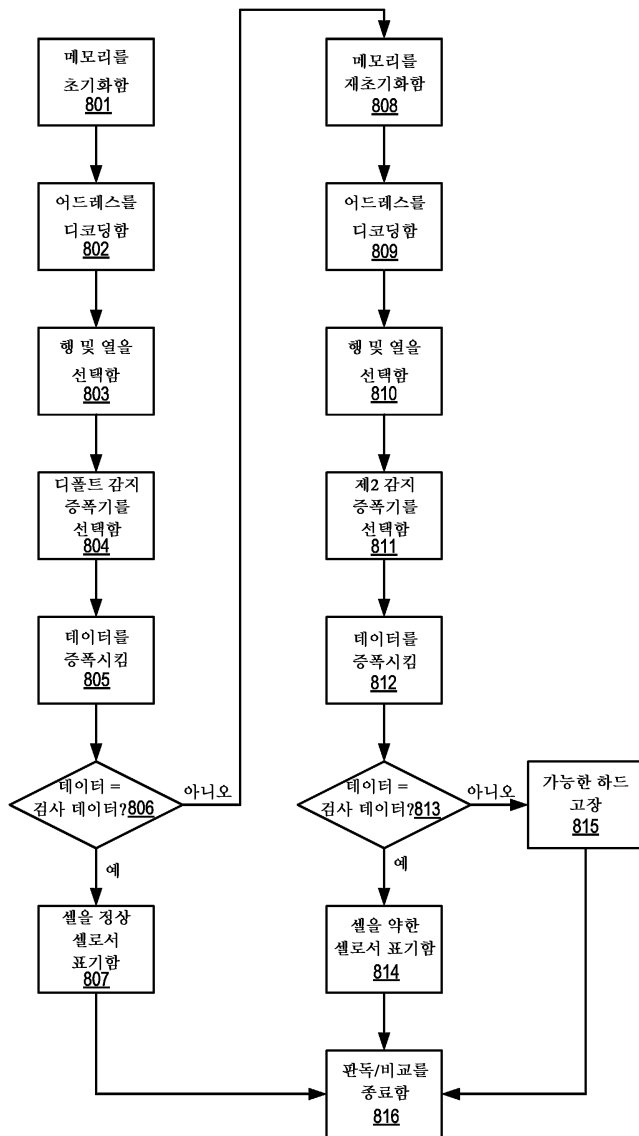
도면6



도면7



도면8



도면9

