



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월06일  
(11) 등록번호 10-0781972  
(24) 등록일자 2007년11월28일

(51) Int. Cl.

H01L 21/8242 (2006.01) H01L 21/8244

(2006.01)

(21) 출원번호 10-2006-0089961

(22) 출원일자 2006년09월18일

심사청구일자 2006년09월18일

(56) 선행기술조사문헌

JP2000106070 A

KR1020030088422 A

KR1020060009119 A

US6882088 B2

전체 청구항 수 : 총 20 항

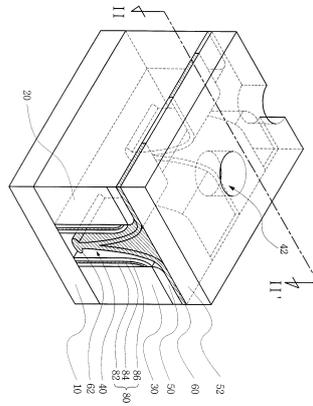
심사관 : 이규재

(54) 메모리 소자 및 그의 제조방법

(57) 요약

본 발명은 초미세 구조 소자의 성능을 증대 또는 극대화할 수 있는 메모리 소자 및 그의 제조방법을 개시한다. 그의 소자는, 소정의 공극을 사이에 두고 서로 평행한 방향으로 형성된 복수개의 워드 라인; 및 상기 복수개의 워드 라인의 일측 가장자리에서 서로 교차되는 방향으로 절연되어 형성되고, 상기 공극의 내부로 삽입되면서 상기 복수개의 워드 라인과 일정 거리를 두고 이격하여 형성되며 상기 복수개의 워드 라인에 인가되는 전기적인 신호에 의해 복수개의 워드 라인에 대하여 어느 한 방향으로 굴절되도록 형성된 비트 라인을 포함하여 이루어진다.

대표도 - 도7



**특허청구의 범위**

**청구항 1**

소정의 공극을 사이에 두고 서로 평행한 방향으로 형성된 복수개의 워드 라인; 및

상기 복수개의 워드 라인의 일측 가장자리에서 서로 교차되는 방향으로 절연되어 형성되고, 상기 공극의 내부로 삽입되면서 상기 복수개의 워드 라인과 일정 거리를 두고 이격하여 형성되며 상기 복수개의 워드 라인에 인가되는 전기적인 신호에 의해 복수개의 워드 라인에 대하여 어느 한 방향으로 굴절되도록 형성된 비트 라인을 포함함을 특징으로 하는 메모리 소자.

**청구항 2**

제 1 항에 있어서,

상기 비트 라인은 상기 공극 내부에서 시계추 또는 메달 모양으로 삽입된 팁을 갖는 것을 특징으로 하는 메모리 소자.

**청구항 3**

제 1 항에 있어서,

상기 공극 내부의 상기 복수개의 워드 라인 측벽에서 상기 비트 라인과 인접하여 형성되며, 상기 복수개의 워드 라인 중 어느 한 방향으로 굴절되는 상기 비트 라인을 정전기적으로 고정시킬 수 있도록 소정의 전하를 트랩핑시키는 트랩 사이트를 포함함을 특징으로 하는 메모리 소자.

**청구항 4**

평탄면을 갖도록 형성된 기관;

상기 기관 상에서 소정의 간격을 두고 서로 평행하게 형성된 복수개의 워드 라인;

상기 복수개의 워드 라인 사이에서 상기 기관을 노출시키도록 형성된 트렌치;

상기 트렌치를 제외한 상기 복수개의 워드 라인 상부에 형성된 제 1 층간 절연막; 및

상기 제 1 층간 절연막 상에서 상기 복수개의 워드 라인과 교차하는 방향으로 형성되고, 상기 트렌치 내부에 삽입되면서 상기 복수개의 워드 라인과 소정 거리를 두고 이격하여 형성되며, 상기 복수개의 워드 라인에 인가되는 전기적인 신호에 의해 상기 복수개의 워드 라인에 대하여 어느 한 방향으로 굴절되도록 형성된 비트 라인을 포함함을 특징으로 하는 메모리 소자.

**청구항 5**

제 4 항에 있어서,

상기 트렌치 내부에 삽입되는 상기 비트 라인은 시계추 또는 메달 모양의 팁을 갖는 것을 특징으로 하는 메모리 소자.

**청구항 6**

제 4 항에 있어서,

상기 트렌치 내부의 상기 복수개의 워드 라인 측벽에서 상기 비트 라인과 인접하여 형성되며, 상기 복수개의 워드 라인 중 어느 한 방향으로 굴절되는 상기 비트 라인을 정전기적으로 고정시킬 수 있도록 소정의 전하를 트랩핑시키는 트랩 사이트를 포함함을 특징으로 하는 메모리 소자.

**청구항 7**

제 4 항에 있어서,

상기 트랩 사이트는 상기 트렌치의 양측 측벽에서 제 1 실리콘 산화막, 실리콘 질화막, 및 제 2 실리콘 산화막이 순차적으로 적층되거나, 제 1 실리콘 산화막, 폴리 실리콘막, 및 제 2 실리콘 산화막이 순차적으로 적층되어

돌출된 것을 특징으로 하는 메모리 소자.

**청구항 8**

제 7 항에 있어서,

상기 트랩 사이트는 상기 트렌치의 양측 측벽에서 돌출되는 원호 모양을 갖거나, 상기 복수개의 워드 라인과 평행한 라드 모양을 갖는 것을 특징으로 하는 메모리 소자.

**청구항 9**

제 4 항에 있어서,

상기 기판은 절연 기판 또는 반도체 기판을 포함함을 특징으로 하는 메모리 소자.

**청구항 10**

제 4 항에 있어서,

상기 제 1 층간 절연막은 실리콘 산화막 또는 실리콘 질화막을 포함함을 특징으로 하는 메모리 소자.

**청구항 11**

제 4 항에 있어서,

상기 비트 라인은 티타늄, 티타늄 질화막, 또는 탄소 나노튜브를 포함함을 특징으로 하는 메모리 소자.

**청구항 12**

제 4 항에 있어서,

상기 복수개의 워드 라인은 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 또는 탄탈륨 실리사이드를 포함함을 특징으로 하는 메모리 소자.

**청구항 13**

제 4 항에 있어서,

상기 트렌치 내부로 삽입되는 상기 비트 라인의 상부에서 소정의 공극을 갖고 상기 기판의 전면을 덮도록 형성된 제 2 층간 절연막을 더 포함함을 특징으로 하는 메모리 소자.

**청구항 14**

기판 상에 서로 평행한 방향의 제 1 워드 라인 및 제 2 워드 라인과, 상기 제 1 워드 라인 및 상기 제 2 워드 라인의 상부에 제 1 층간 절연막을 형성하는 단계;

상기 제 1 워드 라인 및 상기 제 2 워드 라인 사이에 형성되는 제 1 트렌치의 측벽과 바닥에 소정 두께를 갖는 제 1 희생막을 형성하는 단계;

상기 제 1 희생막 및 상기 제 1 층간 절연막 상에서 상기 제 1 워드 라인 및 상기 제 2 워드 라인과 교차되는 방향으로 소정의 선폭을 갖고 상기 제 1 트렌치의 내부로 삽입되는 구조를 갖는 비트 라인을 형성하는 단계;

상기 비트 라인이 형성된 기판의 전면에 소정 두께의 제 2 층간 절연막을 형성하는 단계;

상기 제 1 트렌치 상부에서 상기 비트 라인의 양측 가장자리로부터 일정 거리 이상 이격하는 상기 제 2 층간 절연막을 제거하여 상기 제 1 희생막을 노출시키는 제 2 트렌치를 형성하는 단계; 및

상기 제 2 트렌치에 의해 상기 제 1 희생막을 등방적으로 제거하여 상기 제 1 트렌치의 내부에서 상기 비트 라인이 소정의 높이로 부양되는 소정의 공극을 형성하는 단계를 포함함을 특징으로 하는 메모리 소자의 제조방법.

**청구항 15**

제 14 항에 있어서,

상기 제 1 희생막을 형성하기 전에 상기 제 1 트렌치의 양측 측벽에서 제 1 실리콘 산화막, 실리콘 질화막, 및

제 2 실리콘 산화막이 순차적으로 적층되거나, 제 1 실리콘 산화막, 폴리 실리콘막, 및 제 2 실리콘 산화막이 순차적으로 적층되는 트랩 사이트를 형성하는 단계를 포함함을 특징으로 하는 메모리 소자의 제조방법.

**청구항 16**

제 15 항에 있어서,

상기 트랩 사이트는 상기 제 1 트렌치의 양측 측벽에 제 1 실리콘 산화막, 실리콘 질화막 또는 폴리 실리콘막, 및 제 2 실리콘 산화막을 각각 자기 정렬방법의 비등방성 건식식각방법으로 식각하여 원호 모양을 갖도록 형성함을 특징으로 하는 메모리 소자의 제조방법.

**청구항 17**

제 15 항에 있어서,

상기 기판 상에 일방향의 서로 평행한 방향으로 상기 제 1 워드 라인 및 상기 제 2 워드 라인을 형성하는 단계와, 상기 제 1 워드 라인 및 상기 제 2 워드 라인 사이에 형성되는 상기 제 1 트렌치의 양측 측벽에 상기 트랩 사이트를 형성하는 단계와, 상기 제 1 워드 라인 및 상기 제 2 워드 라인의 상부에 상기 제 1 층간 절연막을 형성하는 단계를 포함함을 특징으로 하는 메모리 소자의 제조방법.

**청구항 18**

제 14 항에 있어서,

상기 비트 라인을 형성하기 전에 상기 제 1 트렌치의 바닥에 형성된 제 1 희생막을 움덩이 모양으로 형성하는 단계를 더 포함함을 특징으로 하는 메모리 소자의 제조방법.

**청구항 19**

제 14 항에 있어서,

상기 비트 라인을 형성 한 후에 상기 제 1 트렌치 내부에서 상기 비트 라인의 상부와 측면을 둘러싸고, 상기 제 1 층간 절연막의 상부에서 상기 비트 라인의 측면을 매립시키는 제 2 희생막을 형성하는 단계를 포함함을 특징으로 하는 메모리 소자의 제조방법.

**청구항 20**

제 19 항에 있어서,

상기 제 2 트렌치를 통해 상기 제 2 희생막을 노출시키고, 상기 제 2 트렌치에 의해 노출되는 상기 제 2 희생막을 제거하는 단계를 더 포함함을 특징으로 하는 메모리 소자의 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<15> 본 발명은 메모리 소자 및 그의 제조방법에 관한 것으로서, 상세하게는 복수개의 워드 라인 사이에 형성된 트렌치(trench) 내에 삽입되는 비트 라인의 스위칭 동작만으로도 데이터를 기록(write) 및 독출(read)토록 형성된 메모리 소자 및 그의 제조방법에 관한 것이다.

<16> 일반적으로, 데이터를 저장하기 위해 사용되는 메모리 소자들은 휘발성 메모리 소자와 비휘발성 메모리 소자로 구분될 수 있다. 메모리 소자에 있어서, 먼저 DRAM(Dynamic Random Access Memory)이나 SRAM(Static Random Access Memory)등으로 대표되는 휘발성 메모리 소자는 데이터의 입출력 동작은 빠르지만 전원 공급이 중단됨에 따라 저장된 데이터를 소실하는 특성이 있는 반면에, EPROM(Erasable Programmable Read Only Memory)이나 EEPROM(Electrically Erasable Programmable Read Only Memory)등으로 대표되는 비휘발성 메모리 반도체소자는 데이터의 입출력 동작은 느리지만 전원 공급이 중단되더라도 저장된 데이터가 그대로 유지되는 특성이 있다.

- <17> 한편, 이와 같은 종래 기술에 따른 메모리 소자는 MOS(Metal Oxide Semiconductor)기술을 근간으로 하는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)를 기본적으로 채용하여 이루어져 왔다. 예컨대, 실리콘 재질의 반도체 기판 상에서 적층되는 구조를 갖는 스택 게이트형 트랜지스터 메모리 소자와, 상기 반도체 기판의 내부로 매립되는 구조를 갖는 트렌치 게이트형 트랜지스터 메모리 소자가 개발되고 있다. 그러나, 상기 MOSFET은 단채널 효과를 방지토록 하기 위해 채널의 폭과 길이를 일정 이상 길이 이상으로 가져가야만 하고, 상기 채널 상단의 게이트 전극과 상기 반도체 기판사이에 형성되는 게이트 절연막의 두께가 극도로 얇아져야 하는 근본적인 문제점 때문에 나노급 초미세 구조의 메모리 소자 구현이 어려운 점이 있다.
- <18> 이러한 이유로 MOSFET를 대체할 만한 구조를 갖는 메모리 소자의 연구가 활발히 이루어지고 있다. 최근 반도체 기술이 응용되어 발전되고 있는 마이크로 전기 기계 시스템(Micro Electro-Mechanical System : MEMS) 기술 및 나노 전기 기계 시스템(Nano Electro-Mechanical System : NEMS) 기술이 대두되고 있다. 이 중에서 탄소 나노튜브가 채용되는 메모리 소자가 미국특허 제6,924,538호에서 수직으로 배열된 나노조직물을 갖는 소자 및 그의 제조방법(Devices having vertically-disposed nanofabric articles and methods of making)이란 이름으로 개시되어 있다.
- <19> 이하, 도면을 참조하여 종래 기술에 따른 메모리 소자를 설명하면 다음과 같다.
- <20> 도 1 및 도 2는 종래 기술에 따른 메모리 소자를 나타낸 단면도들이다.
- <21> 도 1 및 도 2에 도시된 바와 같이, 종래의 메모리 소자는 소정의 채널 또는 공극을 두고 형성된 복수개의 전극(304, 306)과, 상기 복수개의 전극(304, 306) 사이에 형성된 상기 채널 또는 공극 사이에서 서로 이격하여 수직으로 통과되며, 상기 복수개의 전극(304, 306) 중 어느 하나에 접촉되거나 떨어지면서 소정의 데이터를 저장토록 형성된 나노튜브 조각(308)을 포함하여 구성된다.
- <22> 여기서, 상기 복수개의 전극(304, 306)은 상기 나노튜브 조각(308)을 수평 방향의 중심에 두고 대칭적으로 형성되어 있다. 예컨대, 상기 복수개의 전극(304, 306)은 도전성 금속 또는 반도체 재질로 이루어진다. 또한, 상기 복수개의 전극(304, 306)은 상하부에서 각각 상기 나노튜브 조각(308)을 상기 복수개의 전극(304, 306) 사이에 형성된 채널 또는 공극의 내부로 삽입시키면서 절연시키는 절연 지지체(insulating support structure)에 의해 지지되도록 형성되어 있다.
- <23> 또한, 상기 나노튜브 조각(308)은 상기 복수개의 전극(304, 306) 사이에 형성된 상기 채널 또는 상기 공극의 중심을 수직으로 통과하며 소정의 조건에서 상기 복수개의 전극(304, 306) 중 어느 하나의 전극에 접촉될 수 있다. 예컨대, 종래 기술에 따른 메모리 소자는 상기 나노튜브 조각(308)에 인가되는 전하와 반대되는 전하가 인가되는 복수개의 전극(304, 306) 중 제 1 전극(304)의 방향으로 굴절되어 접촉되는 구조(310)와, 제 2 전극(306)의 방향으로 굴절되어 접촉되는 구조(314)에 각각 대응되는 1 비트에 해당되는 데이터가 저장되도록 할 수 있다. 그러나, 상기 나노튜브 조각(308)과 상기 복수개의 전극(304, 306)이 전기적으로 접촉된 상태를 유지시키기 위해서는 대기전력을 필요로 함으로 비휘발성 메모리 소자의 구현이 난이하다.
- <24> 이와 같이 구성된 종래의 메모리 소자 제조방법은, 먼저 소정의 절연 기판 상에 제 1 전극(304)과, 상기 제 1 전극(304)의 일측으로 상기 절연 기판을 노출시키는 트렌치(도시되지 않음)를 형성한다.
- <25> 다음, 상기 트렌치의 측벽에 제 1 희생막(도시되지 않음), 나노튜브 조각(308), 및 제 2 희생막(도시되지 않음)을 소정의 두께로 적층하고, 상기 트렌치의 바닥에 소정 두께의 제 1 절연 지지체(도시되지 않음)를 형성한다.
- <26> 그 다음, 상기 제 1 희생막, 및 제 2 희생막을 제거한 후 상기 트렌치 내부의 상기 제 1 절연 지지체 상에서 상기 나노튜브 조각(308)과 소정 거리로 이격되는 제 2 전극(306)을 형성할 수 있다. 그러나, 상기 트렌치의 측벽에서 노출되는 상기 나노튜브 조각(308)과 일정 거리로 이격되는 구조의 제 2 전극(306)을 형성하기가 난이하다. 예컨대, 상기 트렌치의 상단에서 상기 제 2 전극(306)을 형성하기 위한 마스크막이 형성되더라도, 상기 트렌치 내부에서 상기 나노튜브 조각(308)과 일정거리를 갖고 적층되는 도전성 금속막이 수직방향으로 형성되기가 어렵다. 즉, 나노튜브 조각(308)의 양측에서 소정의 채널 또는 공극을 갖고 일측의 제 1 전극(304)에 대향되는 제 2 전극(306)이 대칭적인 구조로 형성되기 어렵다.
- <27> 뿐만 아니라, 상기 마스크막이 상기 트렌치의 측벽 상단에서 돌출된 거리가 멀어지면 상기 제 2 전극(306)이 상기 나노튜브 조각(308)과의 거리가 멀어지고, 상기 제 1 전극(304) 또는 상기 제 2 전극(306)과, 상기 나노튜브 조각(308)이 접촉되기 위한 전기적인 인력이 크게 작용해야만 함으로 종래의 메모리 소자에 데이터를 기록하기

위한 전력이 많이 소모될 수 있다.

- <28> 상술한 바와 같이, 종래 기술에 따른 메모리 소자 및 그의 제조방법은 다음과 같은 문제점이 있었다.
- <29> 첫째, 종래의 메모리 소자 및 그의 제조방법은, 절연 기판 상의 제 1 전극(304)에 의해 노출되는 트렌치의 내부에 형성되는 제 2 전극(306)이 상기 트렌치의 측벽에서 소정의 거리를 갖고 형성되는 나노튜브를 중심으로 대칭적인 구조로 형성되기 난이하기 때문에 신뢰도 및 생산수율이 떨어지는 단점이 있었다.
- <30> 둘째, 종래의 메모리 소자 및 그의 제조방법은, 상기 트렌치 내부에서 상기 제 2 전극(306)을 형성하기 위해 사용되는 마스크막이 상기 트렌치의 측벽으로부터 돌출되는 거리에 비례하여 나노튜브의 양측 상기 제 2 전극(306) 및 제 1 전극(304)간의 거리가 멀어지고, 상기 나노튜브의 굴절 거리가 멀어지는 데 따른 데이터 기록을 위한 소비 전력이 많아지기 때문에 생산성이 떨어지는 단점이 있었다.
- <31> 셋째, 종래의 메모리 소자 및 그의 제조방법은, 복수개의 전극(304, 306) 중 어느 하나와, 나노튜브 조각(308)이 접촉된 상태를 유지시키기 위해 상기 나노튜브 조각(308) 또는 상기 복수개의 전극(304, 306) 중 어느 하나에 소정의 전하가 연속적으로 공급되어야만 함으로 대기 전력의 소모가 증가하고, 상기 전하의 공급이 중단될 경우, 상기 나노튜브 조각(308)의 접촉 여부에 대응되는 소정의 정보가 기록된 상태를 유지시킬 수 없기 때문에 비 휘발성 메모리 소자를 구현할 수 없는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <32> 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 스위칭 동작이 이루어지는 라인을 중심으로 양측에서 일정 거리로 대칭적인 구조의 복수개의 라인 또는 전극을 용이하게 형성토록 하여 신뢰도 및 생산수율을 증대 또는 극대화하는 메모리 소자 및 그의 제조방법을 제공하는 데 있다.
- <33> 또한, 본 발명의 다른 목적은, 스위칭 동작이 이루어지는 라인의 굴절 거리를 줄이고, 상기 라인의 굴절 거리에 대응되는 데이터 기록을 위한 소비 전력을 줄여 생산성을 증대 또는 극대화할 수 있는 메모리 소자 및 그의 제조방법을 제공하는 데 있다.
- <34> 마지막으로, 본 발명의 또 다른 목적은, 소정의 기록된 정보를 유지시키기 위한 대기 전력 소모를 감소시키고, 외부에서 공급되는 전하가 없이도 소정의 정보가 손실되지 않도록 하여 비 휘발성을 갖는 메모리 소자를 제공하는 데 있다.

**발명의 구성 및 작용**

- <35> 상기 목적을 달성하기 위한 본 발명의 양태에 따른 메모리 소자는, 소정의 공극을 사이에 두고 서로 평행한 방향으로 형성된 복수개의 워드 라인; 및 상기 복수개의 워드 라인의 일측 가장자리에서 서로 교차되는 방향으로 절연되어 형성되고, 상기 공극의 내부로 삽입되면서 상기 복수개의 워드 라인과 일정 거리를 두고 이격하여 형성되며 상기 복수개의 워드 라인에 인가되는 전기적인 신호에 의해 복수개의 워드 라인에 대하여 어느 한 방향으로 굴절되도록 형성된 비트 라인을 포함함을 특징으로 한다. 여기서, 상기 비트 라인은 상기 공극 내부에서 시계추 또는 메달 모양으로 삽입된 팁을 갖고, 상기 공극 내부의 상기 복수개의 워드 라인 측벽에서 상기 비트 라인과 인접하여 형성되며 상기 복수개의 워드 라인 중 어느 한 방향으로 굴절되는 상기 비트 라인을 정전기적으로 고정시킬 수 있도록 소정의 전하를 트랩핑시키는 트랩 사이트를 포함함이 바람직하다.
- <36> 또한, 본 발명의 다른 양태는, 평탄면을 갖도록 형성된 기판; 상기 기판 상에서 소정의 간격을 두고 서로 평행하게 형성된 복수개의 워드 라인; 상기 복수개의 워드 라인 사이에서 상기 기판을 노출시키도록 형성된 트렌치; 상기 트렌치를 제외한 상기 복수개의 워드 라인 상부에 형성된 제 1 층간 절연막; 및 상기 제 1 층간 절연막 상에서 상기 복수개의 워드 라인과 교차하는 방향으로 형성되고, 상기 트렌치 내부에 삽입되면서 상기 복수개의 워드 라인과 소정 거리를 두고 이격하여 형성되며, 상기 복수개의 워드 라인에 인가되는 전기적인 신호에 의해 상기 복수개의 워드 라인에 대하여 어느 한 방향으로 굴절되도록 형성된 비트 라인을 포함함을 특징으로 한다.
- <37> 그리고, 본 발명의 또 다른 양태는, 기판 상에 서로 평행한 방향의 제 1 워드 라인 및 제 2 워드 라인과, 상기 제 1 워드 라인 및 상기 제 2 워드 라인의 상부에 제 1 층간 절연막을 형성하는 단계; 상기 제 1 워드 라인 및 상기 제 2 워드 라인 사이에 형성되는 제 1 트렌치의 측벽과 바닥에 소정 두께를 갖는 제 1 회생막을 형성하는 단계; 상기 제 1 회생막 및 상기 제 1 층간 절연막 상에서 상기 제 1 워드 라인 및 상기 제 2 워드 라인과 교차되는 방향으로 소정의 선폭을 갖고 상기 제 1 트렌치의 내부로 삽입되는 구조를 갖는 비트 라인을 형성하는 단계; 상기 비트 라인이 형성된 기판의 전면에 소정 두께의 제 2 층간 절연막을 형성하는 단계; 상기 제 1 트렌치

상부에서 상기 비트 라인의 양측 가장자리로부터 일정 거리 이상 이격하는 상기 제 2 층간 절연막을 제거하여 상기 제 1 희생막을 노출시키는 제 2 트렌치를 형성하는 단계; 및 상기 제 2 트렌치에 의해 상기 제 1 희생막을 등방적으로 제거하여 상기 제 1 트렌치의 내부에서 상기 비트 라인이 소정의 높이로 부양되는 소정의 공극을 형성하는 단계를 포함함을 특징으로 하는 메모리 소자의 제조방법이다. 여기서, 상기 제 1 희생막을 형성하기 전 상기 제 1 트렌치의 양측 측벽에 트랩 사이트를 형성하는 단계를 포함함이 바람직하다.

- <38> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 메모리 소자 및 그의 제조방법을 더욱 상세히 설명하기로 한다. 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 첨부된 도면에서 여러 막과 영역들의 두께는 명료성을 위해서 강조되었으며, 어떤 층이 다른 층이나 기판 '상'에 존재한다고 기술될 때 다른 층이나 기판과 직접 접하면서 존재할 수도 있고 그 사이에 제 3의 층이 존재할 수 있다.
- <39> 도 3은 본 발명의 제 1 실시예에 따른 메모리 소자를 나타내는 사시도이고, 도 4는 도 3의 I ~ I' 선상을 취하여 나타낸 단면도이다.
- <40> 도 3 및 도 4에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 메모리 소자는, 소정의 평탄면을 갖도록 형성된 기판(10)과, 상기 기판(10) 상에서 소정의 간격을 두고 서로 평행하게 형성된 제 1 워드 라인(20) 및 제 2 워드 라인(30)과, 상기 제 1 워드 라인(20) 및 제 2 워드 라인(30) 사이에서 상기 기판(10)을 노출시키도록 형성된 제 1 트렌치(40)와, 상기 제 1 트렌치(40)를 제외한 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 상부에 형성된 제 1 층간 절연막(50)과, 상기 제 1 층간 절연막(50) 상에서 상기 제 1 워드 라인(20) 및 제 2 워드 라인(30)과 교차되면서 상기 제 1 트렌치(40) 내부에 삽입되는 구조를 갖고, 상기 제 1 트렌치(40) 내부에서 상기 제 1 워드 라인(20)과 상기 제 2 워드 라인(30)과 소정 거리를 두고 이격하여 형성되며, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)에 인가되는 전기적인 신호에 의해 상기 제 1 트렌치(40) 내부에서 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)에 대하여 어느 한 방향으로 굴절되도록 형성된 비트 라인(60)을 포함하여 구성된다.
- <41> 또한, 상기 제 1 트렌치(40)의 상부에서 상기 비트 라인(60)과 소정의 공극을 갖고 상기 비트 라인(60)이 형성된 상기 기판(10)의 전면에서 형성된 제 2 층간 절연막(52)과, 상기 비트 라인(60)의 양측 가장자리에 인접하는 상기 제 1 트렌치(40)의 상부의 상기 제 2 층간 절연막(52)이 제거되어 상기 기판(10)을 노출시키도록 형성된 제 2 트렌치(42)를 더 포함하여 이루어진다.
- <42> 여기서, 상기 기판(10)은 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)이 일방향으로 서로 평행하게 형성될 수 있도록 평탄면을 제공한다. 예컨대, 상기 기판(10)은 외력에 의해 구부러지는 가요성이 우수한 절연 기판 또는 반도체 기판을 포함하여 이루어진다.
- <43> 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)은 상기 기판(10) 상에서 소정의 두께를 갖고 서로 평행한 방향으로 형성되며 전기 전도도가 우수한 재질로 형성되어 있다. 예컨대, 도전성이 우수한 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같은 도전성 금속막으로 이루어질 수 있다.
- <44> 이때, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)은 상부의 상기 제 1 층간 절연막(50)을 식각 마스크로 사용하여 소정의 선폭을 갖도록 패터닝될 수 있으며, 상기 제 1 층간 절연막(50) 상에 적층되어 형성되는 제 1 하드 마스크막(도시되지 않음)을 식각 마스크로 사용하여 패터닝될 수도 있다. 따라서, 상기 제 1 층간 절연막(50)은 상기 제 1 하드 마스크막의 하부에서 별도로 형성되거나, 상기 제 1 하드 마스크막으로 형성되어 있을 수 있다. 예컨대, 상기 제 1 층간 절연막(50)이 상기 제 1 하드 마스크막으로 이루어질 경우, 상기 제 1 층간 절연막(50)은 실리콘 질화막으로 이루어질 수 있다. 또한, 상기 제 1 하드 마스크막의 하부에서 형성될 경우, 실리콘 질화막으로 이루어지는 상기 제 1 하드 마스크막의 하부에 형성된 실리콘 산화막을 포함하여 이루어질 수도 있다. 따라서, 상기 제 1 층간 절연막(50)은 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 상부에서 상기 제 1 트렌치(40)를 패터닝하기 위한 식각 마스크로 사용되고 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)과, 상기 비트 라인(60)을 절연시키도록 형성되어 있다.
- <45> 상기 제 1 트렌치(40)는 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)사이의 직선 거리와, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 사이에 삽입되는 상기 비트 라인(60)의 굴절 거리가 소정의 상관관계를 갖는 폭과 깊이로 형성되어 있다. 예컨대, 상기 제 1 트렌치(40)의 폭은 상기 제 1 워드 라인(20) 및 상기

제 2 워드 라인(30)간의 거리이면서 상기 비트 라인(60)이 이동되는 거리를 정의하고, 상기 제 1 트렌치(40)의 깊이는 상기 제 1 워드 라인(20)과 상기 제 2 워드 라인(30) 및 상기 제 1 층간 절연막(50)의 두께에 대응되면서 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)사이에서 삽입되는 상기 비트 라인(60)의 길이를 제한할 수 있다. 따라서, 상기 제 1 트렌치(40)의 폭이 좁으면 좁을수록 상기 비트 라인(60)이 굴절되는 거리를 줄이고, 메모리 소자의 집적도를 높일 수 있다. 또한, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 두께를 높이거나 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 상의 상기 제 1 층간 절연막(50)의 높이를 더 높임으로서 메모리 소자의 집적도를 높일 수 있다.

<46> 상기 비트 라인(60)은 상기 제 1 층간 절연막(50)의 상부에서 상기 제 1 워드 라인(20) 및 제 2 워드 라인(30)에 교차되도록 평탄하게 형성되며, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 상부의 상기 제 1 층간 절연막(50)에 의해 지지되어 상기 제 1 트렌치(40) 내부에서 상기 기관(10)으로부터 소정의 높이를 갖도록 부양되어 있다. 예컨대, 상기 비트 라인(60)은 상기 제 1 트렌치(40) 양측 상단의 상기 제 1 층간 절연막(50)에 지지되고 상기 제 1 트렌치(40) 내부로 삽입되면서 상기 제 1 트렌치(40)의 바닥에 인접하여 소정의 높이로 부양되는 시계 추 또는 메달 모양의 팁(tip, 62)을 갖도록 형성되어 있다. 이때, 상기 비트 라인(60)의 팁(62)은 상기 제 1 트렌치(40) 내벽에서 노출되는 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 측벽에 전기적으로 접촉되는 접촉점(contact point)으로 대응될 수 있다.

<47> 도시되지는 않았지만, 본 발명의 제 1 실시예에 따른 메모리 소자는 상기 제 1 트렌치(40)의 측벽과 바닥에서 소정의 두께를 갖고 형성되며, 상기 제 1 트렌치(40) 내에서 상기 비트 라인(60)의 주형(鑄型)으로 사용되도록 형성되는 제 1 희생막(도 5b의 70)과, 상기 제 1 트렌치(40) 내부에 형성된 상기 제 1 희생막(70) 및 상기 비트 라인(60) 상에 적층되고, 상기 비트 라인(60) 가장자리의 양측에 형성되는 제 2 트렌치(42)를 통해 유입되는 식각 용액 또는 식각 가스에 의해 상기 제 1 희생막(70)과 함께 제거되도록 형성되는 제 2 희생막(도 5d의 72)을 포함하여 이루어진다.

<48> 또한, 비트 라인(60)은 상기 제 1 워드 라인(20) 또는 제 2 워드 라인(30)사이에서 형성된 상기 제 1 트렌치(40)에 대응되는 공극 내에서 유도되는 전기장에 의해 수평 방향으로 자유로이 이동될 수 있도록 소정의 탄성을 갖는 도전체로 이루어진다. 예컨대, 비트 라인(60)은 티타늄, 티타늄 질화막, 또는 탄소 나노튜브 재질로 이루어진다. 이때, 상기 탄소 나노튜브는, 탄소원자 6개로 이루어진 육각형 모양이 서로 연결되어 관 모양을 이루고 있고, 상기 관의 지름이 수~수십 나노미터에 불과하여 탄소 나노튜브라고 일컬어진다. 또한, 상기 탄소 나노튜브는, 전기 전도도가 구리와 비슷하고, 열전도율은 자연계에서 가장 뛰어난 다이아몬드와 같으며, 강도는 철강보다 100배나 뛰어나고, 탄소 함유가 1%만 변형시켜도 끊어지는 반면 탄소 나노튜브는 15%가 변형되어도 견딜 수 있는 높은 복원력을 갖는다.

<49> 이때, 상기 제 1 트렌치(40) 내부에 형성된 비트 라인(60)은 소정의 전하량을 갖는 전하가 인가되면 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)사이의 공극 내에 유도되는 전기장에 의해 좌우로 굴곡되면서 상기 제 1 워드 라인(20) 또는 상기 제 2 워드 라인(30)에 전기적으로 접촉될 수 있다. 예컨대, 상기 비트 라인(60)은 수식 1에 의해 표현되는 쿨롱의 힘에 의해 굴곡될 수 있다.

<50> (수식 1)

<51> 
$$F = -k \frac{q_1 q_2}{r^2} = -q_1 E$$

<52> 여기서, 'k'는 쿨롱 상수이고, 'q<sub>1</sub>'은 비트 라인(60)에 인가되는 전하이므로, 'q<sub>2</sub>'는 제 1 워드 라인(20) 또는 제 2 워드 라인(30)에 인가되는 전하이므로, 또한, 'r'은 상기 비트 라인(60)과 상기 제 1 워드 라인(20)사이의 직선거리, 또는 상기 제 2 워드 라인(30) 사이의 직선거리이다. 또한, 상기 'E'는 상기 비트 라인(60)과 상기 제 1 워드 라인(20)사이에서 유도되는 전기장, 또는 상기 비트 라인(60)과 상기 제 2 워드 라인(30)사이에서 유도되는 전기장이다. 쿨롱의 힘에 의하면, 상기 'q<sub>1</sub>'과, 상기 'q<sub>2</sub>'가 서로 반대의 극성을 가질 경우, 서로 인력(attractive force)이 작용하여 서로 가까워질 수 있다. 반면, 상기 'q<sub>1</sub>'과, 상기 'q<sub>2</sub>'가 동일한 극성을 가질 경우, 서로 척력(repulsive force)이 작용하여 서로 멀어질 수 있다. 따라서, 상기 비트 라인(60)이 상기 제 1 워드 라인(20)과 전기적으로 접촉된 상태를 '0'으로 하고, 상기 비트 라인(60)이 상기 제 2 워드 라인(30)과 전기적으로 접촉된 상태를 '1'로 각각 대응시킬 수 있는 1 비트(bit)에 해당되는 디지털 정보가 기록되거나 독출될 수 있다.

- <53> 예컨대, 본 발명의 제 1 실시예에 따른 메모리 소자의 기록 및 독출 동작에 대하여 살펴보면 다음과 같다. 먼저, 상기 비트 라인(60)과 상기 제 1 워드 라인(20)에 서로 다른 극성을 갖는 전하가 인가되면 상기 비트 라인(60)과 상기 제 1 워드 라인(20)간에 인력이 작용하여 상기 비트 라인(60)이 상기 제 1 워드 라인(20)에 전기적으로 접촉되도록 굴곡되어 '0'에 대응되는 정보가 기록될 수 있다. 이때, 상기 제 1 워드 라인(20)에 대향되는 상기 제 2 워드 라인(30)과 상기 비트 라인(60)간에 척력이 작용할 수 있도록 상기 비트 라인(60)에 인가되는 전하와 동일한 극성을 갖는 전하가 상기 제 2 워드 라인(30)에 인가되어도 무방하다. 또한, 상기 비트 라인(60)과 상기 제 1 워드 라인(20)간의 거리가 가까워지면 가까워질수록 상기 비트 라인(60)과 상기 제 1 워드 라인(20)간에 작용하는 쿨롱의 힘이 더욱 크게 작용하여 상기 비트 라인(60)과 상기 제 1 워드 라인(20)이 전기적으로 용이하게 접촉되도록 할 수 있다. 예컨대, 상기 제 1 트렌치(40)의 내부에 삽입되는 상기 비트 라인(60)의 팁(62)이 상기 시계추 또는 메달 모양을 갖도록 형성하여 상기 비트 라인(60)과 상기 제 1 워드 라인(20)의 직선 거리를 짧게 하고, 상기 비트 라인(60)과 상기 제 1 워드 라인(20)간에 유도되는 전기장을 크게 하여 상기 비트 라인(60)과 상기 제 1 워드 라인(20)이 전기적으로 용이하게 접촉되도록 할 수 있다. 따라서, 상기 비트 라인(60)과 상기 제 1 워드 라인(20)에 서로 다른 극성을 갖는 전하를 공급시켜 상기 비트 라인(60)과 상기 제 1 워드 라인(20)이 전기적으로 접촉된 상태에 대응되는 정보를 기록토록 할 수 있다. 또한, 상기 비트 라인(60)과 상기 제 1 워드 라인(20)이 전기적으로 서로 접촉되어 있을 경우, 상기 비트 라인(60)과 상기 제 1 워드 라인(20)에 서로 다른 극성을 갖는 소정 세기 이상의 전하가 공급되지만 하면 상기 비트 라인(60)과 상기 제 1 워드 라인(20)의 접촉된 상태를 지속시킬 수 있다. 왜냐하면, 쿨롱의 힘으로 대표되는 정전기력은 일반적인 탄성력 또는 복원력에 비해 수만배 이상 강하게 작용하기 때문에 상기 비트 라인(60)의 탄성력을 극복하여 상기 비트 라인(60)과 상기 제 1 워드 라인(20)의 접촉된 상태를 유지시키도록 할 수 있다.
- <54> 마찬가지로, 상기 비트 라인(60)과 상기 제 2 워드 라인(30)에 서로 다른 극성을 갖는 전하가 인가되면 상기 비트 라인(60)과 상기 제 2 워드 라인(30)간에 인력이 작용하여 상기 비트 라인(60)이 상기 제 2 워드 라인(30)에 전기적으로 접촉되도록 굴곡되어 '1'에 대응되는 정보가 기록될 수 있다. 또한, 상기 제 1 워드 라인(20)과 상기 비트 라인(60)간에 척력이 작용할 수 있도록 상기 비트 라인(60)에 인가되는 전하와 동일한 극성을 갖는 전하가 상기 제 1 워드 라인(20)에 인가되어도 무방하다.
- <55> 따라서, 본 발명의 제 1 실시예에 따른 메모리 소자는 제 1 워드 라인(20) 및 제 2 워드 라인(30) 사이에 형성된 제 1 트렌치(40)에 삽입되는 비트 라인(60)이 상기 제 1 워드 라인(20) 또는 상기 제 2 워드 라인(30)에 각각 전기적으로 접촉된 상태에 대응되는 1 비트(bit)에 대응되는 정보를 기록토록 할 수 있다.
- <56> 또한, 상기 비트 라인(60)과 상기 제 1 워드 라인(20)이 전기적으로 접촉되어 있거나, 상기 비트 라인(60)과 상기 제 2 워드 라인(30)이 전기적으로 접촉되어 있는 상태를 판별하여 각각 '0'과 '1'에 대응되는 정보를 독출토록 할 수 있다.
- <57> 한편, 상기 비트 라인(60) 및 상기 제 2 희생막(72)의 상부에 형성되는 상기 제 2 층간 절연막(52)은 상기 비트 라인(60)을 커버링 하여 상기 제 1 트렌치(40) 내부에서 상기 비트 라인(60)이 유연성을 가지도록 할 수 있다. 왜냐하면, 상기 제 1 트렌치(40)의 내부 또는 상부에서 형성되는 상기 제 2 희생막(72)이 제거되어 상기 비트 라인(60)과 상기 제 2 층간 절연막(52) 사이에 공극이 형성되도록 하기 때문이다.
- <58> 이때, 상기 제 2 트렌치(42)는 상기 제 2 층간 절연막(52)과 상기 비트 라인(60) 사이에 형성되는 제 2 희생막(72)을 측벽으로 노출시키도록 형성되며, 상기 식각 용액 또는 식각 가스가 내부로 유입되도록 하여 상기 제 2 희생막(72) 및 상기 제 1 희생막(70)이 제거되도록 하여 상기 비트 라인(60)과 상기 제 2 층간 절연막(52) 사이에 상기 공극이 형성되도록 할 수 있다.
- <59> 따라서, 본 발명의 제 1 실시예에 따른 메모리 소자는 기관(10) 상에서 서로 평행하게 형성된 제 1 워드 라인(20) 및 제 2 워드 라인(30)사이의 제 1 트렌치(40)에 대응되는 공극 내에 시계추 또는 메달 모양의 팁(62)이 삽입되는 비트 라인(60)을 구비하여 상기 비트 라인(60)을 중심으로 양측의 제 1 워드 라인(20) 및 제 2 워드 라인(30)이 대칭적인 구조를 갖도록 할 수 있다.
- <60> 이와 같이 구성된 본 발명의 제 1 실시예에 따른 메모리 소자의 제조방법을 설명하면 다음과 같다.
- <61> 도 5a 내지 도 6g는 도 3 내지 도 4의 메모리 소자의 제조방법을 설명하기 위해 나타낸 공정 사시도 및 공정 단면도들이다. 여기서, 도 6a 내지 도 6g의 공정 단면도들은 도 5a 내지 도 5g의 공정 사시도에서 절취되어 순차적으로 나타내어진 다.
- <62> 도 5a 또는 도 6a에 도시된 바와 같이, 평탄면을 갖는 기관(10) 상에 소정 두께를 갖고 서로 평행한 방향의 제

1 워드 라인(20) 및 제 2 워드 라인(30)과, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 상부에 제 1 층간 절연막(50)을 형성한다. 여기서, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)은 상기 기판(10) 상에서 소정의 높이를 갖고 일정한 거리로 이격하여 형성된다. 이때, 상기 제 1 워드 라인(20)과 상기 제 2 워드 라인(30) 사이에서 상기 기판(10)이 노출되는 바닥을 갖는 제 1 트렌치(40)가 형성된다. 또한, 상기 제 1 층간 절연막(50)은 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 각각의 상부에서 양측으로 분리되어 형성된다. 예컨대, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)과, 상기 제 1 층간 절연막(50)의 형성방법은 다음과 같다. 먼저, 상기 기판(10) 상에 물리기상증착방법, 또는 화학기상증착방법으로 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같은 도전성 금속막을 형성하고, 상기 도전성 금속막 상에 TEOS, USG, SOG, 또는 HDP-CVD 방법으로 실리콘 산화막 또는 실리콘 질화막을 적층한다. 그리고, 소정의 선포폭으로 상기 실리콘 산화막 및 상기 도전성 금속막을 차폐시키는 포토레지스트 패턴 또는 제 1 하드 마스크막을 식각마스크막으로 이용하는 건식식각방법으로 상기 실리콘 산화막 및 상기 도전성 금속막을 비등방적으로 제거하여 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)과 상기 제 1 층간 절연막(50)을 형성토록 할 수 있다. 이때, 상기 실리콘 산화막 및 상기 도전성 금속막의 상기 건식식각방법에 사용되는 반응 가스는 각각 CF<sub>4</sub>, CHF<sub>3</sub>, C<sub>2</sub>F<sub>6</sub>, C<sub>4</sub>F<sub>8</sub>, CH<sub>2</sub>F<sub>2</sub>, CH<sub>3</sub>F, CH<sub>4</sub>, C<sub>2</sub>H<sub>2</sub>, C<sub>4</sub>F<sub>6</sub> 등으로 이루어지는 C<sub>x</sub>F<sub>y</sub>계 가스나 CaHbFc계 등과 같은 불화 탄소계 가스, 황산 및 질산이 혼합된 강산 가스를 포함하여 이루어진다. 또한, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)은 약 500Å 내지 약 1500Å 정도의 두께와, 약 30Å 내지 약 500Å 정도의 선포폭을 갖도록 형성되며, 상기 제 1 워드 라인(20)과 상기 제 2 워드 라인(30)의 사이에는 약 100Å 내지 약 500Å 정도의 폭을 갖는 제 1 트렌치(40)가 형성된다. 상기 제 1 층간 절연막(50)은 약 200Å 내지 약 850Å 정도의 두께를 갖도록 형성된다.

<63> 도 5b 또는 도 6b에 도시된 바와 같이, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 사이에 형성된 상기 제 1 트렌치(40)의 측벽과 바닥에 소정 두께를 갖는 제 1 희생막(70)을 형성한다. 여기서, 상기 제 1 희생막(70)은 원자층증착방법 또는 화학기상증착방법으로 형성된 폴리 실리콘막으로 이루어진다. 예컨대, 상기 제 1 희생막(70)은 상기 제 1 트렌치(40)가 형성된 상기 기판(10) 상의 전면에 균일한 두께를 갖는 폴리 실리콘막을 형성하고, 화학적 기계적 연마방법으로 상기 제 1 층간 절연막(50)이 노출되도록 상기 폴리 실리콘막을 평탄하게 제거하여 상기 제 1 트렌치(40) 내의 측벽과 바닥에서 잔존하는 상기 폴리 실리콘막으로 이루어지도록 형성될 수 있다. 또한, 상기 제 1 트렌치(40) 바닥이 선택적으로 노출되는 포토레지스트 패턴 또는 제 2 하드 마스크막을 식각 마스크로 사용하는 습식식각방법 또는 건식식각방법으로 상기 폴리 실리콘막을 등방적으로 제거하여 상기 제 1 트렌치(40) 바닥의 상기 폴리 실리콘막이 움푹이 모양으로 움푹 패인 제 1 희생막(70)을 형성토록 할 수 있다. 이때, 상기 제 1 트렌치(40) 바닥의 상기 제 1 희생막(70)은 황산 및 질산이 혼합된 강산 용액을 식각 용액으로 사용하거나, C<sub>x</sub>F<sub>y</sub>계 가스나 CaHbFc계 등과 같은 불화 탄소계 가스를 반응 가스로 사용하는 습식식각방법 또는 건식식각방법에 의해 일부가 제거될 수 있다. 상기 불화 탄소계 가스는, CF<sub>4</sub>, CHF<sub>3</sub>, C<sub>2</sub>F<sub>6</sub>, C<sub>4</sub>F<sub>8</sub>, CH<sub>2</sub>F<sub>2</sub>, CH<sub>3</sub>F, CH<sub>4</sub>, C<sub>2</sub>H<sub>2</sub>, C<sub>4</sub>F<sub>6</sub> 등과 같은 가스 또는 이들의 혼합 가스로 이루어질 수 있다.

<64> 도 5c 또는 도 6c에 도시된 바와 같이, 상기 제 1 층간 절연막(50)과 상기 제 1 희생막(70) 상에서 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)과 교차되는 방향으로 소정의 선포폭을 갖는 비트 라인(60)을 형성한다. 여기서, 상기 비트 라인(60)은 물리기상증착방법, 화학기상증착방법, 또는 전기방전방법으로 형성된 티타늄, 티타늄 질화막, 또는 탄소 나노튜브를 포함하여 이루어진다. 예컨대, 상기 비트 라인(60)은 상기 제 1 희생막(70)이 형성된 기판(10)의 전면에 상기 티타늄, 상기 티타늄 질화막, 또는 상기 탄소 나노튜브를 형성하고, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)과 교차되는 방향의 상기 티타늄, 상기 티타늄 질화막, 또는 상기 탄소 나노튜브가 차폐되는 포토레지스트 패턴 또는 제 2 하드 마스크막을 식각 마스크로 사용하여 상기 티타늄, 상기 티타늄 질화막, 또는 상기 탄소 나노튜브를 건식식각방법으로 비등방성을 갖도록 제거시킴으로서 형성될 수 있다. 이후, 상기 포토레지스트 패턴은 에싱공정에 의해 제거될 수 있고, 상기 제 2 하드 마스크막은 상기 비트 라인(60)의 형성 시에 사용되는 반응 가스에 의해 소정의 식각비율을 갖고 제거될 수 있다. 이때, 상기 비트 라인(60)은 상기 제 1 트렌치(40)의 측벽에 형성되는 상기 제 1 희생막(70)의 표면을 따라 상기 제 1 트렌치(40)의 내부에 삽입되도록 형성되며, 상기 제 1 트렌치(40)의 바닥에 인접하는 상기 제 1 희생막(70)의 홈 내부에서 일정 볼륨의 시계추 또는 메달 모양으로 형성된 팁(62)을 갖고 좌우로 대칭적인 구조를 갖도록 형성될 수 있다.

<65> 따라서, 본 발명의 제 1 실시예에 따른 메모리 소자의 제조방법은, 제 1 워드 라인(20) 및 제 2 워드 라인(30) 사이에 형성된 제 1 트렌치(40)의 중심 내부에 삽입되는 비트 라인(60)을 형성하여 상기 비트 라인(60)을 중심으로 양측에서 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)이 일정 거리로 대칭적인 구조를 갖도록 할

수 있기 때문에 신뢰도 및 생산수율을 증대 또는 극대화할 수 있다.

- <66> 도 5d 또는 도 6d에 도시된 바와 같이, 상기 제 1 트렌치(40) 내부에서 상기 비트 라인(60)의 상부와 측면을 둘러싸고, 상기 제 1 층간 절연막(50)의 상부에서 상기 비트 라인(60)의 측면을 매립시키는 제 2 희생막(72)을 형성한다. 여기서, 상기 제 2 희생막(72)은 원자층증착방법 또는 화학기상증착방법으로 형성된 폴리 실리콘막으로 이루어진다. 예컨대, 상기 제 2 희생막(72)은 상기 비트 라인(60)이 형성된 상기 제 1 트렌치(40)를 매립시키도록 상기 기판(10)의 전면에 상기 폴리 실리콘막을 형성하고, 화학적 기계적 연마방법으로 상기 비트 라인(60)이 노출되도록 상기 폴리 실리콘막을 평탄하게 제거하여 상기 제 1 트렌치(40) 내에서 상기 비트 라인(60)의 상부 및 측면을 둘러싸는 구조로 형성될 수 있다.
- <67> 도 5e 또는 도 6e에 도시된 바와 같이, 상기 제 2 희생막(72)이 형성된 기판(10)의 전면에 소정 두께의 제 2 층간 절연막(52)을 형성한다. 예컨대, 상기 제 2 층간 절연막(52)은 화학기상증착방법으로 약 200Å 내지 약 800Å 정도의 두께를 갖도록 형성되는 실리콘 산화막 또는 실리콘 질화막을 포함하여 이루어진다. 상기 제 2 층간 절연막(52)은 후속에서 상기 제 2 희생막(72)이 제거되면 상기 비트 라인(60)의 상부에서 공극이 형성될 수 있게 하고, 상기 비트 라인(60)의 상부에서 형성되는 절연층 또는 금속층이 상기 공극 내부에서 성장되지 못하게 하는 지붕역할을 하도록 형성된다.
- <68> 도 5f 또는 도 6f에 도시된 바와 같이, 상기 제 1 트렌치(40) 상부에서 상기 비트 라인(60)의 양측 가장자리로부터 일정 거리 이상 이격하는 상기 제 2 층간 절연막(52)을 제거하여 제 2 트렌치(42)를 형성한다. 여기서, 상기 제 2 트렌치(42)는 후속에서 상기 제 2 층간 절연막(52) 하부의 상기 제 1 희생막(70) 또는 제 2 희생막(72)을 제거하기 위해 식각 용액 또는 반응 가스가 상기 제 2 층간 절연막(52)의 하부에 유입되도록 형성되는 개방구이다. 예컨대, 상기 제 2 트렌치(42)는 상기 비트 라인(60) 상부의 상기 제 2 층간 절연막(52)을 차폐하는 포토레지스트 패턴을 식각 마스크로 사용하여 상기 비트 라인(60) 양측의 상기 제 2 층간 절연막(52)을 제거하여 상기 제 2 희생막(72)을 노출시키도록 형성된다. 이때, 상기 제 2 트렌치(42)는 상기 제 1 트렌치(40) 내에서 상기 제 1 희생막(70) 또는 상기 기판(10)을 노출시키도록 형성되어도 무방하다.
- <69> 도 5g 또는 도 6g에 도시된 바와 같이, 상기 제 2 트렌치(42)의 측벽 또는 바닥으로 노출되는 상기 제 1 희생막(70) 및 제 2 희생막(72)을 등방적으로 제거하여 상기 제 1 트렌치(40)의 내부에서 상기 비트 라인(60)이 부양되는 소정의 공극을 형성한다. 여기서, 상기 제 1 희생막(70) 및 상기 제 2 희생막(72)은 습식식각방법 또는 건식식각방법을 사용하여 등방적으로 제거될 수 있다. 예컨대, 폴리 실리콘막으로 이루어지는 상기 제 1 희생막(70) 및 상기 제 2 희생막(72)은 상기 제 2 트렌치(42) 내부로 유입되는 황산 또는 질산과 같은 강산 용액을 포함하는 식각 용액에 의해 등방적으로 제거되거나, CxFy계 가스나 CaHbFc계 등과 같은 불화 탄소계 가스를 반응 가스에 의해 등방적으로 제거될 수 있다. 이때, 상기 불화 탄소계 가스는, CF<sub>4</sub>, CHF<sub>3</sub>, C<sub>2</sub>F<sub>6</sub>, C<sub>4</sub>F<sub>8</sub>, CH<sub>2</sub>F<sub>2</sub>, CH<sub>3</sub>F, CH<sub>4</sub>, C<sub>2</sub>H<sub>2</sub>, C<sub>4</sub>F<sub>6</sub> 등과 같은 가스 또는 이들의 혼합 가스로 이루어질 수 있다.
- <70> 따라서, 본 발명의 제 1 실시예에 따른 메모리 소자의 제조방법은 제 1 워드 라인(20) 및 제 2 워드 라인(30)의 상부에서 교차되고 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 사이에 형성된 제 1 트렌치(40)에 대응되는 공극의 중심에 삽입되는 비트 라인(60)을 형성하여 상기 비트 라인(60)을 중심으로 양측에서 일정 거리로 대칭적인 구조를 갖도록 형성할 수 있기 때문에 신뢰도 및 생산수율을 증대 또는 극대화할 수 있다.
- <71> 또한, 제 1 워드 라인(20) 및 제 2 워드 라인(30) 사이에 형성된 제 1 트렌치(40)에 대응되는 공극의 중심에 삽입되는 비트 라인(60)의 팁(62)을 시계추 또는 메달 모양으로 형성하여 스위칭 동작이 이루어지는 비트 라인(60)의 굴절 거리를 줄이고, 상기 비트 라인(60)의 굴절 거리에 대응되는 데이터 기록을 위한 소비 전력을 줄일 수 있기 때문에 생산성을 증대 또는 극대화할 수 있다.
- <72> 도 7은 본 발명의 제 2 실시예에 따른 메모리 소자를 나타내는 사시도이고, 도 8은 도 7의 II~II' 선상을 취하여 나타낸 단면도이다. 여기서, 본 발명의 제 2 실시예에서 설명되는 각 요부의 명칭은 제 1 실시예에서 설명되는 명칭과 동일할 경우, 상기 제 1 실시예에서와 동일한 번호를 갖고 설명된다.
- <73> 도 6 및 도 7에 도시된 바와 같이, 본 발명의 제 2 실시예에 따른 메모리 소자는, 소정의 평탄면을 갖도록 형성된 기판(10)과, 상기 기판(10) 상에서 소정의 간격을 두고 서로 평행하게 형성된 제 1 워드 라인(20) 및 제 2 워드 라인(30)과, 상기 제 1 워드 라인(20) 및 제 2 워드 라인(30) 사이에서 상기 기판(10)을 노출시키도록 형성된 제 1 트렌치(40)와, 상기 제 1 트렌치(40)를 제외한 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 상부에 형성된 제 1 층간 절연막(50)과, 상기 제 1 층간 절연막(50) 상에서 상기 제 1 워드 라인(20) 및 제 2 워드 라인(30)과 교차되면서 상기 제 1 트렌치(40) 내부에 삽입되는 구조를 갖고, 상기 제 1 트렌치(40) 내부에

서 상기 제 1 워드 라인(20)과 상기 제 2 워드 라인(30)과 소정 거리를 두고 이격하여 형성되며, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)에 인가되는 전기적인 신호에 의해 상기 제 1 트렌치(40) 내부에서 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)에 대하여 어느 한 방향으로 굴절되도록 형성된 비트 라인(60)과, 상기 비트 라인(60)에 인접하는 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 측벽에 절연되도록 형성되며 상기 제 1 워드 라인(20)의 방향 또는 상기 제 2 워드 라인(30) 방향으로 굴절되는 상기 비트 라인(60)을 정전기적으로 고정시킬 수 있도록 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)에서 인가되는 소정의 전하를 트랩핑시키 있는 트랩 사이트(80)를 포함하여 구성된다.

<74> 또한, 상기 제 1 트렌치(40)의 상부에서 상기 비트 라인(60)과 소정의 공극을 갖고 상기 비트 라인(60)이 형성된 상기 기판(10)의 전면에서 형성된 제 2 층간 절연막(52)과, 상기 비트 라인(60)의 양측 가장자리에 인접하는 상기 제 1 트렌치(40)의 상부의 상기 제 2 층간 절연막(52)이 제거되어 상기 기판(10)을 노출시키도록 형성된 제 2 트렌치(42)를 더 포함하여 이루어진다.

<75> 여기서, 상기 기판(10)은 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)이 일방향으로 서로 평행하게 형성될 수 있도록 평탄면을 제공한다. 예컨대, 상기 기판(10)은 외력에 의해 구부러지는 가요성이 우수한 절연 기판 또는 반도체 기판을 포함하여 이루어진다.

<76> 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)은 상기 기판(10) 상에서 소정의 두께를 갖고 서로 평행한 방향으로 형성되며 전기 전도도가 우수한 재질로 형성되어 있다. 예컨대, 도전성이 우수한 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같은 도전성 금속 재질로 이루어질 수 있다.

<77> 이때, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)은 상부의 상기 제 1 층간 절연막(50)을 식각 마스크로 사용하여 소정의 선폭을 갖도록 패터닝될 수 있으며, 상기 제 1 층간 절연막(50) 상에 적층되어 형성되는 제 1 하드 마스크막(도시되지 않음)을 식각 마스크로 사용하여 패터닝될 수도 있다. 따라서, 상기 제 1 층간 절연막(50)은 상기 제 1 하드 마스크막의 하부에서 별도로 형성되거나, 상기 제 1 하드 마스크막으로 형성되어 있을 수 있다. 예컨대, 상기 제 1 층간 절연막(50)이 상기 제 1 하드 마스크막으로 이루어질 경우, 상기 제 1 층간 절연막(50)은 실리콘 질화막으로 이루어질 수 있다. 또한, 상기 제 1 하드 마스크막의 하부에서 형성될 경우, 실리콘 질화막으로 이루어지는 상기 제 1 하드 마스크막의 하부에 형성된 실리콘 산화막을 포함하여 이루어질 수도 있다. 따라서, 상기 제 1 층간 절연막(50)은 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 상부에서 상기 제 1 트렌치(40)를 패터닝하기 위한 식각 마스크로 사용되고 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)과, 상기 비트 라인(60)을 절연시키도록 형성되어 있다.

<78> 상기 제 1 트렌치(40)는 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)이 노출되는 측벽에서 상기 트랩 사이트(80)가 소정의 두께를 갖도록 형성되게 하며, 상기 비트 라인(60)이 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 사이에서 소정의 깊이를 갖고 삽입되도록 형성되어 있다. 예컨대, 상기 제 1 트렌치(40)의 양쪽 측벽에 형성된 상기 트랩 사이트(80)사이의 거리가 상기 비트 라인(60)이 이동되는 거리이다. 또한, 상기 제 1 트렌치(40)의 깊이는 상기 제 1 워드 라인(20)과 상기 제 2 워드 라인(30) 및 상기 제 1 층간 절연막(50)의 두께에 대응되면서 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)사이에서 삽입되는 상기 비트 라인(60)의 길이를 제한할 수 있다.

<79> 따라서, 상기 제 1 트렌치(40)의 폭이 좁아지거나 상기 제 1 트렌치(40)의 측벽에 형성되는 상기 트랩 사이트(80)의 두께를 증가시킬수록 상기 비트 라인(60)이 굴절되는 거리를 줄이고, 메모리 소자의 집적도를 높일 수 있다. 또한, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 두께를 높이거나 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 상의 상기 제 1 층간 절연막(50)의 높이를 더 높임으로서 메모리 소자의 집적도를 높일 수 있다.

<80> 상기 비트 라인(60)은 상기 제 1 층간 절연막(50)의 상부에서 상기 제 1 워드 라인(20) 및 제 2 워드 라인(30)에 교차되도록 평탄하게 형성되며, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 상부의 양측 상기 제 1 층간 절연막(50)에 의해 지지되어 상기 제 1 트렌치(40) 내부에서 상기 기판(10)으로부터 소정의 높이를 갖도록 부양되어 있다. 예컨대, 상기 비트 라인(60)은 상기 제 1 트렌치(40) 양측 상단의 상기 제 1 층간 절연막(50)에 지지되어 상기 제 1 트렌치(40) 내부에 삽입되고, 상기 제 1 트렌치(40)의 바닥 상에서 소정의 높이로 부양되는 시계 추 또는 메달 모양의 팁(62)을 갖도록 형성되어 있다. 이때, 상기 비트 라인(60)의 팁(62)은 상기 제 1 트렌치(40) 내벽에서 노출되는 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 측벽에 전기적으로 접촉되는 접촉점(contact point)에 대응될 수 있다.

- <81> 도시되지는 않았지만, 본 발명의 제 2 실시예에 따른 메모리 소자는 상기 제 1 트렌치(40)의 바닥과, 상기 제 1 트렌치(40) 내의 상기 트랩 사이트(80)의 측벽에서 소정의 두께를 갖고 형성되며, 상기 제 1 트렌치(40) 내에서 상기 비트 라인(60)의 주형(鑄型)으로 사용되도록 형성되는 제 1 희생막(도 9d의 70)과, 상기 제 1 트렌치(40) 내부에 형성된 상기 제 1 희생막(70) 및 상기 비트 라인(60) 상에 적층되고, 상기 비트 라인(60) 가장자리의 양 측에 형성되는 제 2 트렌치(42)를 통해 유입되는 식각 용액 또는 식각 가스에 의해 상기 제 1 희생막(70)과 함께 제거되도록 형성되는 제 2 희생막(도 9f의 72)을 포함하여 이루어진다.
- <82> 또한, 비트 라인(60)은 상기 제 1 워드 라인(20) 또는 제 2 워드 라인(30) 사이에 형성된 상기 제 1 트렌치(40)에 대응되는 공간 내에서 유도되는 전기장에 의해 수평 방향으로 자유로이 이동될 수 있도록 소정의 탄성을 갖는 도전체로 이루어진다. 예컨대, 비트 라인(60)은 티타늄, 티타늄 질화막, 또는 탄소 나노튜브 재질로 이루어진다.
- <83> 상기 트랩 사이트(80)는 상기 제 1 트렌치(40)의 측벽에서 상기 제 1 워드 라인(20)과 상기 제 2 워드 라인(30)에 접촉되도록 형성되며, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)을 통해 인가되는 전하를 터널링시켜 트랩시키고, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)을 통해 공급되는 전하가 없을 경우에도 트랩된 전하를 항시 구속(속박)시킬 수 있도록 형성된다. 예컨대, 상기 트랩 사이트(80)는 상기 제 1 워드 라인(20)의 측벽 또는 상기 제 2 워드 라인(30)의 측벽에서부터 제 1 실리콘 산화막(82), 실리콘 질화막(84), 및 제 2 실리콘 산화막(86)이 순차적으로 적층된 'ONO(Oxide-Nitride-Oxide)' 구조를 갖는 박막을 포함하여 이루어진다. 또한, 상기 트랩 사이트(80)는 제 1 실리콘 산화막(82), 폴리 실리콘막, 및 제 2 실리콘 산화막(86)이 적층된 구조의 박막을 더 포함하여 이루어진다. 상기 폴리 실리콘막은 도전성 불순물로 도핑되어 도전성을 갖는다. 이때, 상기 트랩 사이트(80)는 상기 제 1 트렌치(40)의 측벽에서 원호(圓弧, a circular arc) 모양으로 돌출되거나, 상기 제 1 트렌치(40)의 측벽에서 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)에 평행한 라드 모양으로 돌출되도록 형성되어 있다.
- <84> 따라서, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)에 소정의 크기를 갖는 전류가 인가되면 상기 전류에 의해 상기 제 1 실리콘 산화막(82)을 통해 터널링되는 전하가 상기 트랩 사이트(80)의 상기 실리콘 질화막(84) 또는 폴리 실리콘막에 트랩될 수 있다. 이후, 상기 트랩 사이트(80)에 인가된 전하와 동일한 극성을 갖는 전하가 상기 제 1 워드 라인(20)에 선택적으로 인가되고, 상기 제 1 워드 라인(20)에 인가되는 전하와 반대되는 극성을 갖는 전하가 상기 비트 라인(60)에 공급될 경우, 상기 비트 라인(60)이 상기 제 1 워드 라인(20)의 방향으로 이동된다.
- <85> 반면, 상기 트랩 사이트(80)에 인가된 전하와 동일한 극성을 갖는 전하가 상기 제 2 워드 라인(30)에 선택적으로 인가되고, 상기 제 2 워드 라인(30)에 인가되는 전하와 반대되는 극성을 갖는 전하가 상기 비트 라인(60)에 공급될 경우, 상기 비트 라인(60)이 상기 제 2 워드 라인(30)의 방향으로 이동된다. 이때, 상기 비트 라인(60)의 이동방향은 쿨롱의 힘(F)으로 나타내어질 수 있다.
- <86> 먼저, 상기 제 1 워드 라인(20) 및 제 1 워드 라인(20)의 측벽에 형성된 상기 트랩 사이트(80)와, 상기 비트 라인(60)에 서로 반대되는 극성을 갖는 소정 전하량 이상의 전하가 인가될 경우, 상기 제 1 워드 라인(20)과 상기 비트 라인(60) 사이에 인력(attractive force)이 작용되고 상기 비트 라인(60)은 상기 제 1 워드 라인(20)의 방향으로 굴절되어 상기 제 1 워드 라인(20)의 측벽에 형성된 상기 트랩 사이트(80)에 접촉된다. 이때, 상기 비트 라인(60)과 상기 제 2 워드 라인(30) 사이에 척력(repulsive force)이 작용될 수 있도록 상기 제 2 워드 라인(30) 및 상기 제 2 워드 라인(30)에 인접하는 트랩 사이트(80)와 상기 비트 라인(60)에 동일한 극성을 갖는 소정 전하량 이상의 전하가 인가되어 상기 비트 라인(60)이 상기 제 1 워드 라인(20) 방향으로 굴절되는 것을 도울 수 있다.
- <87> 반면, 상기 제 2 워드 라인(30) 및 제 2 워드 라인(30)의 측벽에 형성된 상기 트랩 사이트(80)와, 상기 비트 라인(60)에 서로 반대되는 극성을 갖는 소정 전하량 이상의 전하가 인가될 경우, 상기 제 2 워드 라인(30)과 상기 비트 라인(60) 사이에 인력이 작용되고 상기 비트 라인(60)은 상기 제 2 워드 라인(30)의 방향으로 굴절되어 상기 제 2 워드 라인(30)의 측벽에 형성된 상기 트랩 사이트(80)에 접촉된다. 이때, 상기 비트 라인(60)과 상기 제 1 워드 라인(20) 사이에 척력이 작용될 수 있도록 상기 제 1 워드 라인(20) 및 상기 제 1 워드 라인(20)에 인접하는 트랩 사이트(80)와 상기 비트 라인(60)에 동일한 극성을 갖는 소정 전하량 이상의 전하가 인가되어 상기 비트 라인(60)이 상기 제 2 워드 라인(30)의 방향으로 굴절되는 것을 가속시킬 수도 있다.
- <88> 따라서, 본 발명의 제 1 실시예에 따른 메모리 소자는 제 1 워드 라인(20) 및 제 2 워드 라인(30) 사이에 형성된 제 1 트렌치(40) 내부에 삽입되는 비트 라인(60)과 상기 제 1 트렌치(40)의 측벽 상기 제 1 워드 라인(20)에 인

접하는 트랩 사이트(80)가 접촉된 상태와, 상기 제 1 트렌치(40)의 측벽 상기 제 2 워드 라인(30)에 인접하는 트랩 사이트(80)와 상기 비트 라인(60)이 접촉된 상태에 각각 대응되는 1 비트(bit)의 정보를 기록토록 할 수 있다.

<89> 또한, 상기 비트 라인(60)이 상기 제 1 워드 라인(20) 방향으로 굴절되거나 상기 제 2 워드 라인(30)의 방향으로 굴절되기 시작하면, 상기 제 1 워드 라인(20)에 인접하거나 상기 제 2 워드 라인(30)에 인접하는 어느 하나의 트랩 사이트(80)와 상기 비트 라인(60)간의 거리가 가까워지기 때문에 인력으로서 작용되는 쿨롱의 힘이 더욱 커진다. 이때, 상기 쿨롱의 힘은 상기 트랩 사이트(80)와 상기 비트 라인(60)사이 거리의 제곱에 반비례하여 증가된다. 또한, 상기 비트 라인(60)에 전하가 인가되지 않더라도 상기 트랩 사이트(80)에 트랩된 전하에 의해 상기 비트 라인(60)이 어느 한 방향으로 굴곡된 채로 존재한다. 왜냐하면, 상기 트랩 사이트(80)에서 트랩되는 전하에 의해 유도되는 전기장에 의해 상기 트랩 사이트(80)에 트랩되는 전하와 반대되는 극성을 갖는 전하가 상기 비트 라인(60)에서 속박되거나 대전되기 때문이다. 뿐만 아니라, 상기 트랩 사이트(80)에 트랩되는 전하와 반대되는 극성을 갖는 일정 전하량 이상의 전하가 상기 비트 라인(60)에 공급되더라도 상기 트랩 사이트(80)와 상기 비트 라인(60)이 전기적으로 연결되어 있지 않아 소비 전력이 발생되지 않고 상기 비트 라인(60)과 상기 트랩 사이트(80)가 근접한 상태를 지속시킬 수 있다. 이때, 쿨롱의 힘으로 대표되는 정전기력은 일반적인 탄성력 또는 복원력에 비해 수만배 이상 강하게 작용하기 때문에 상기 트랩 사이트(80)와 비트 라인(60)의 정전기적인 결합이 상기 탄성력 또는 복원력에 의해 쉽게 끊어지지 않는다. 실제로, 마이크로 이하의 나노급 초미세 소자의 구현에 있어서 쿨롱의 힘은 거리 제곱의 역수에 비례하는 크기를 갖지만, 탄성력 또는 복원력은 단순 거리에 비례하는 크기를 갖는다. 따라서, 초미세 구조를 갖는 상기 비트 라인(60)은 복원력이 무시된 쿨롱의 힘에 의해 상기 제 1 워드 라인(20) 또는 상기 제 2 워드 라인(30)의 방향으로 이동되어 상기 제 1 워드 라인(20) 또는 상기 제 2 워드 라인(30)의 측벽에 형성된 상기 트랩 사이트(80)에 접촉될 수 있으며, 상기 트랩 사이트(80)와 상기 비트 라인(60)이 접촉된 후 상기 쿨롱의 힘에 의해 상기 비트 라인(60)의 굴절된 상태를 지속시킬 수 있다.

<90> 따라서, 본 발명의 제 2 실시예에 따른 메모리 소자는 제 1 워드 라인(20) 및 제 2 워드 라인(30)사이에 형성되는 제 1 트렌치(40)의 내부로 시계추 또는 메달 모양의 팁(62)을 갖고 삽입되면서 상기 제 1 워드 라인(20)의 방향 또는 상기 제 2 워드 라인(30) 방향으로 굴절되는 상기 비트 라인(60)을 정전기적으로 고정시킬 수 있도록 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)에서 인가되는 소정의 전하를 트랩핑시키 있는 트랩 사이트(80)를 구비하여 소정의 정보를 저장하기 위해 인가되어야 할 대기 전력의 소모를 줄이고, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)을 통해 공급되는 전하가 없이도 소정의 정보가 손실되지 않도록 할 수 있기 때문에 비 휘발성 메모리 소자의 구현이 가능하다.

<91> 그리고, 상기 제 1 트렌치(40)의 내에서 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)에 인접하는 복수개의 트랩 사이트(80) 중 어느 하나에 상기 비트 라인(60)이 접촉된 상태에 있을 경우, 상기 제 1 워드 라인(20)과 상기 비트 라인(60)간에 유도되는 전기장 또는 전압과, 상기 제 2 워드 라인(30)과 상기 비트 라인(60)간에 유도되는 전기장 또는 전압을 서로 비교하여 '0' 또는 '1'에 대응되는 1비트(bit)에 해당되는 정보를 독출(reading)토록 할 수 있다.

<92> 예컨대, 제 1 워드 라인(20)에 인접하는 트랩 사이트(80)와 비트 라인(60)이 접촉된 상태에서 상기 제 1 워드 라인(20)과 상기 비트 라인(60)사이에 유도되는 제 1 전기장 또는 제 1 전압이 제 2 워드 라인(30)과 상기 비트 라인(60)사이에 유도되는 제 2 전기장 또는 제 2 전압에 비해 크게 나타난다. 이때, 상기 제 1 전기장 또는 제 1 전압이 크게 나타나는 이유는 상기 제 1 워드 라인(20)과 상기 비트 라인(60)간의 거리가 상기 제 2 워드 라인(30)과 상기 비트 라인(60)간의 거리보다 짧기 때문이다. 따라서, 본 발명의 제 2 실시예에 따른 메모리 소자는 제 1 전기장 또는 제 1 전압이 제 2 전기장 또는 제 2 전압에 비해 크게 나타날 경우, '0'에 대응되는 정보를 독출토록 할 수 있다.

<93> 반면, 제 2 워드 라인(30)에 인접하는 트랩 사이트(80)와 비트 라인(60)이 접촉된 상태에서 상기 제 2 워드 라인(30)과 상기 비트 라인(60)사이에 유도되는 제 2 전기장 또는 제 2 전압이 제 1 워드 라인(20)과 상기 비트 라인(60)사이에 유도되는 제 1 전기장 또는 제 1 전압에 비해 크게 나타난다. 마찬가지로, 본 발명의 제 2 실시예에 따른 메모리 소자는 제 2 전기장 또는 제 2 전압이 제 1 전기장 또는 제 1 전압에 비해 크게 나타날 경우, '1'에 대응되는 정보를 독출토록 할 수 있다.

<94> 한편, 상기 비트 라인(60) 및 상기 제 2 희생막(72)의 상부에 형성되는 상기 제 2 층간 절연막(52)은 상기 비트 라인(60)을 커버링 하여 상기 제 1 트렌치(40) 내부에서 상기 비트 라인(60)이 유연성을 가지도록 할 수 있다.

왜냐하면, 상기 제 1 트렌치(40)의 내부 또는 상부에서 형성되는 상기 제 2 희생막(72)이 제거되어 상기 비트 라인(60)과 상기 제 2 층간 절연막(52) 사이에 공극이 형성되도록 하기 때문이다.

<95> 이때, 상기 제 2 트렌치(42)는 상기 제 2 층간 절연막(52)과 상기 비트 라인(60) 사이에 형성되는 제 2 희생막(72)을 측벽으로 노출시키도록 형성되며, 상기 식각 용액 또는 식각 가스가 내부로 유입되도록 하여 상기 제 2 희생막(72) 및 상기 제 1 희생막(70)이 제거되도록 하여 상기 비트 라인(60)과 상기 제 2 층간 절연막(52) 사이에 상기 공극이 형성되도록 할 수 있다.

<96> 따라서, 본 발명의 제 2 실시예에 따른 메모리 소자는 서로 평행한 제 1 워드 라인(20) 및 제 2 워드 라인(30) 사이의 제 1 트렌치(40) 측벽에 형성되는 복수개의 트랩 사이트(80) 사이에 형성되는 공극 내에 시계추 또는 메달 모양의 팁(62)을 갖고 삽입되는 비트 라인(60)을 구비하여 상기 비트 라인(60)을 중심으로 양측의 제 1 워드 라인(20) 및 제 2 워드 라인(30)이 대칭적인 구조를 갖도록 할 수 있다.

<97> 이와 같이 구성된 본 발명의 제 2 실시예에 따른 메모리 소자의 제조방법을 설명하면 다음과 같다.

<98> 도 9a 내지 도 10i 도 7 내지 도 8의 메모리 소자 제조방법을 설명하기 위해 나타난 공정 사시도 및 공정 단면도들이다. 여기서, 도 10a 내지 도 10i의 공정 단면도들은 도 9a 내지 도 9i의 공정 사시도에서 절취되어 순차적으로 나타내어진 다.

<99> 도 9a 또는 도 10a에 도시된 바와 같이, 평탄면을 갖는 기판(10) 상에 소정 두께를 갖고 서로 평행한 방향의 제 1 워드 라인(20) 및 제 2 워드 라인(30)을 형성한다. 여기서, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)은 상기 기판(10) 상에서 소정의 높이를 갖고 일정한 거리로 이격하여 형성된다. 이때, 상기 제 1 워드 라인(20)과 상기 제 2 워드 라인(30) 사이에서 상기 기판(10)이 노출되는 바닥을 갖는 제 1 트렌치(40)가 형성된다. 예컨대, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)은 상기 기판(10) 상에 물리기상증착방법, 또는 화학기상증착방법으로 도전성 금속막을 형성하고, 소정의 선포폭으로 상기 도전성 금속막을 차폐시키는 포토레지스트 패턴 또는 제 1 하드 마스크막을 식각 마스크로 사용하는 건식식각방법으로 상기 도전성 금속막을 비등방적으로 제거하여 형성할 수 있다. 이때, 상기 도전성 금속막의 건식식각방법에 사용되는 반응 가스는 황산 및 질산이 혼합된 강산 가스를 포함하여 이루어진다. 또한, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)은 약 500Å 내지 약 1500Å 정도의 두께와, 약 30Å 내지 약 500Å 정도의 선포폭을 갖도록 형성되며, 상기 제 1 워드 라인(20)과 상기 제 2 워드 라인(30)의 사이에는 약 100Å 내지 약 500Å 정도의 폭을 갖는 제 1 트렌치(40)가 형성된다.

<100> 도 9b 또는 도 10b에 도시된 바와 같이, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 사이에 형성된 상기 제 1 트렌치(40)의 측벽에서 소정의 두께를 갖고 돌출되는 트랩 사이트(80)를 형성한다. 여기서, 상기 트랩 사이트(80)는 원자층증착방법, 또는 화학기상증착방법으로 형성된 제 1 실리콘 산화막(82), 실리콘 질화막(84), 및 제 2 실리콘 산화막(86)으로 이루어지거나, 상기 제 1 실리콘 산화막(82), 폴리 실리콘막, 및 제 2 실리콘 산화막(86)으로 이루어진다. 이때, 상기 트랩 사이트(80)는 비등방성의 수직 식각 특성이 우수한 자기 정렬(self align)방법의 건식식각방법을 사용하여 상기 제 1 트렌치(40)의 측벽에서 부채꼴 모양을 갖고 돌출되어 형성될 수 있다. 예컨대, 상기 제 1 트렌치(40)가 형성된 기판(10)의 전면에 소정 두께의 제 1 실리콘 산화막(82)을 형성하고, 상기 건식식각방법으로 상기 제 1 트렌치(40)의 바닥이 노출되도록 상기 제 1 실리콘 산화막(82)을 제거하여 상기 제 1 트렌치(40)의 측벽에 선택적으로 상기 제 1 실리콘 산화막(82)을 형성시킬 수 있다. 또한, 상기 기판(10)의 전면에 상기 실리콘 질화막(84) 또는 폴리 실리콘막을 형성하고, 상기 건식식각방법으로 상기 제 1 트렌치(40) 측벽의 상기 제 1 실리콘 산화막(82) 상에 상기 실리콘 질화막(84) 또는 폴리 실리콘막을 선택적으로 형성시킬 수 있다. 마찬가지로, 상기 제 1 트렌치(40) 측벽의 상기 실리콘 질화막(84) 또는 폴리 실리콘막 상에 제 2 실리콘 산화막(86)을 선택적으로 형성시킴으로서 상기 제 1 트렌치(40)의 측벽에서 돌출되는 방향으로 제 1 실리콘 산화막(82)과, 실리콘 질화막(84) 또는 폴리 실리콘막, 및 제 2 실리콘 산화막(86)으로 이루어지는 원호 모양의 트랩 사이트(80)를 형성시킬 수 있다. 도시되지는 않았지만, 상기 제 1 트렌치(40)의 내부에 각각 균일한 두께를 갖는 제 1 실리콘 산화막(82), 실리콘 질화막(84) 또는 폴리 실리콘막, 및 상기 제 2 실리콘 산화막(86)을 순차적으로 형성하고, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)이 노출되도록 상기 제 1 실리콘 산화막(82), 상기 실리콘 질화막(84) 또는 상기 폴리 실리콘막, 및 상기 제 2 실리콘 산화막(86)을 평탄하게 제거하여 상기 제 1 트렌치(40) 내부의 상기 기판(10) 상에서 수직방향을 갖는 트랩사이트를 형성할 수도 있다.

<101> 도 9c 또는 도 10c에 도시된 바와 같이, 상기 트랩 사이트(80)가 형성된 제 1 워드 라인(20) 및 제 2 워드 라인(30)의 상부에 소정 두께를 갖는 제 1 층간 절연막(50)을 형성한다. 여기서, 상기 제 1 층간 절연막(50)은 화학

기상증착방법으로 형성된 실리콘 산화막 또는 실리콘 질화막을 포함하여 이루어지며, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 각각의 상부에서 양측으로 분리되어 형성된다. 예컨대, 상기 제 1 층간 절연막(50)은 상기 기판(10)의 전면에 TEOS, USG, SOG, 또는 HDP-CVD과 같은 화학기상증착방법을 사용하여 실리콘 산화막 또는 실리콘 질화막을 형성하고, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 상부의 상기 실리콘 산화막 또는 실리콘 질화막을 차폐하는 포토레지스트 패턴을 식각 마스크막으로 사용하는 건식식각방법으로 상기 실리콘 산화막 및 상기 도전성 금속막을 비등방적으로 제거하여 형성될 수 있다. 이때, 상기 제 1 층간 절연막(50)이 실리콘 산화막으로 이루어질 경우, 상기 트랩 사이트(80)의 상기 제 2 실리콘 산화막(86)에 비해 소정의 선택비를 갖고 제거되어야만 한다. 예컨대, 상기 트랩 사이트(80)의 상기 제 2 실리콘 산화막(86)이 건식식각방법에 의해 식각 선택비가 높은 HDP-CVD방법으로 형성된 고밀도의 실리콘 산화막으로 이루어지고, 상기 제 1 층간 절연막(50)은 TEOS방법으로 형성된 저밀도의 실리콘 산화막으로 이루어질 수 있다.

<102> 도시되지는 않았지만, 상기 제 1 층간 절연막(50)이 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 상부에서 상기 트랩 사이트(80)보다 먼저 형성될 수 있다. 그러나, 상기 제 1 층간 절연막(50) 상에 형성되는 비트 라인(60)이 상기 제 1 트렌치(40)의 양측 상단에서 상기 트랩 사이트(80)와 접촉될 수 있고, 상기 트랩 사이트(80)의 실리콘 질화막(84) 또는 폴리 실리콘막 내에서 트랩되는 전하가 상기 비트 라인(60)으로 터널링될 수 있다. 따라서, 상기 제 2 실리콘 산화막(86)을 소정 두께 이상으로 형성해야만 상기 트랩 사이트(80)에 트랩된 전하가 상기 비트 라인(60)으로 터널링되는 것을 방지토록 할 수 있다. 예컨대, 제 1 층간 절연막(50)이 먼저 형성되고 트랩 사이트(80)가 형성되는 구조는 다음과 같다. 먼저, 상기 기판(10)의 전면에 도전성 금속막과, 실리콘 산화막 또는 실리콘 질화막을 적층하고 소정의 선폴을 갖는 포토레지스트 패턴을 식각 마스크로 사용하여 상기 실리콘 산화막 또는 실리콘 질화막과, 상기 도전성 금속막을 건식식각방법으로 제거하여 제 1 워드 라인(20) 및 제 2 워드 라인(30)과, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 상에 제 1 층간 절연막(50)을 형성한다. 이후, 상기 제 1 층간 절연막(50) 상에 제 1 실리콘 산화막(82), 실리콘 질화막(84) 또는 폴리 실리콘막, 제 2 실리콘 산화막(86)을 각각 자기 정렬 방법의 건식식각방법으로 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 사이의 제 1 트렌치(40) 측벽에 순차적으로 형성한다. 여기서, 상기 제 1 층간 절연막(50)이 실리콘 산화막으로 이루어질 경우, 상기 제 1 층간 절연막(50)은 건식식각방법에서 식각 선택비가 높은 HDP-CVD 방법으로 형성된 고밀도의 실리콘 산화막으로 이루어지고, 상기 제 1 실리콘 산화막(82) 및 상기 제 2 실리콘 산화막(86)은 TEOS 방법으로 형성된 저밀도의 실리콘 산화막으로 이루어진다.

<103> 도 9d 또는 도 10d에 도시된 바와 같이, 상기 제 1 트렌치(40) 내에 형성된 트랩 사이트(80)의 측벽과, 상기 제 1 트렌치(40)의 바닥에 소정 두께를 갖는 제 1 희생막(70)을 형성한다. 여기서, 상기 제 1 희생막(70)은 원자층 증착방법 또는 화학기상증착방법으로 형성된 폴리 실리콘막으로 이루어진다. 예컨대, 상기 제 1 희생막(70)은 상기 제 1 트렌치(40)가 형성된 상기 기판(10) 상의 전면에 균일한 두께를 갖는 폴리 실리콘막을 형성하고, 화학적 기계적 연마방법으로 상기 제 1 층간 절연막(50)이 노출되도록 상기 폴리 실리콘막을 평탄하게 제거하여 상기 제 1 트렌치(40) 내에서 잔존하는 상기 폴리 실리콘막으로 이루어지도록 형성될 수 있다.

<104> 또한, 상기 제 1 트렌치(40) 바닥이 선택적으로 노출되는 포토레지스트 패턴 또는 제 2 하드 마스크막을 식각 마스크로 사용하는 습식식각방법 또는 건식식각방법으로 상기 폴리 실리콘막을 등방적으로 제거하여 상기 제 1 트렌치(40) 바닥의 상기 폴리 실리콘막이 움덩이 모양으로 움푹 패인 제 1 희생막(70)을 형성토록 할 수 있다. 이때, 상기 제 1 트렌치(40) 바닥의 상기 제 1 희생막(70)은 황산 및 질산이 혼합된 강산 용액을 식각 용액으로 사용하거나, CxFy계 가스나 CaHbFc계 등과 같은 불화 탄소계 가스를 반응 가스로 사용하는 습식식각방법 또는 건식식각방법에 의해 일부가 제거될 수 있다. 상기 불화 탄소계 가스는, CF4, CHF3, C2F6, C4F8, CH2F2, CH3F, CH4, C2H2, C4F6 등과 같은 가스 또는 이들의 혼합 가스로 이루어질 수 있다.

<105> 도 9e 및 도 10e에 도시된 바와 같이, 상기 제 1 층간 절연막(50)과 상기 제 1 희생막(70) 상에서 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)과 교차되는 방향으로 소정의 선폴을 갖는 비트 라인(60)을 형성한다. 여기서, 상기 비트 라인(60)은 물리기상증착방법, 화학기상증착방법, 또는 전기방전방법으로 형성된 티타늄, 티타늄 질화막, 또는 탄소 나노튜브를 포함하여 이루어진다. 예컨대, 상기 비트 라인(60)은 상기 제 1 희생막(70)이 형성된 기판(10)의 전면에 상기 티타늄, 상기 티타늄 질화막, 또는 상기 탄소 나노튜브를 형성하고, 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)과 교차되는 방향의 상기 티타늄, 상기 티타늄 질화막, 또는 상기 탄소 나노튜브가 차폐되는 포토레지스트 패턴 또는 제 2 하드 마스크막을 식각 마스크로 사용하여 상기 티타늄, 상기 티타늄 질화막, 또는 상기 탄소 나노튜브를 건식식각방법으로 비등방성을 갖도록 제거시킴으로서 형성될 수 있다. 이후, 상기 포토레지스트 패턴은 에싱공정에 의해 제거될 수 있고, 상기 제 2 하드 마스크막은 상기 비트 라인(60)의 형성 시에 사용되는 반응 가스에 의해 소정의 식각비율을 갖고 제거될 수 있다. 이때, 상기

비트 라인(60)은 상 제 1 트렌치(40)의 내부를 감싸도록 형성된 상기 제 1 희생막(70)의 표면을 따라 상기 제 1 트렌치(40)의 내부에 삽입되도록 형성되며, 상기 제 1 트렌치(40)의 바닥에 인접하는 상기 제 1 희생막(70)의 홈 내부에서 일정 볼륨의 시계추 또는 메달 모양으로 형성된 팁(62)을 갖고 좌우로 대칭적인 구조를 갖도록 형성될 수 있다.

<106> 따라서, 본 발명의 제 2 실시예에 따른 메모리 소자의 제조방법은, 제 1 워드 라인(20) 및 제 2 워드 라인(30) 사이에 형성된 제 1 트렌치(40)의 양쪽 측벽에 대칭적으로 복수개의 트랩 사이트(80)를 형성하고, 상기 복수개의 트랩 사이트(80) 중심에 삽입되는 구조의 비트 라인(60)을 형성하여 상기 비트 라인(60)을 중심으로 양측의 상기 복수개의 트랩 사이트(80)와, 상기 제 1 워드 라인(20) 및 제 2 워드 라인(30)이 일정 거리로 대칭적인 구조를 갖도록 할 수 있기 때문에 신뢰도 및 생산수율을 증대 또는 극대화할 수 있다.

<107> 도 9f 또는 도 10f에 도시된 바와 같이, 상기 제 1 트렌치(40) 내부에서 상기 비트 라인(60)의 상부와 측면을 둘러싸고, 상기 제 1 층간 절연막(50)의 상부에서 상기 비트 라인(60)의 측면을 매립시키는 제 2 희생막(72)을 형성한다. 여기서, 상기 제 2 희생막(72)은 원자층증착방법 또는 화학기상증착방법으로 형성된 폴리 실리콘막으로 이루어진다. 예컨대, 상기 제 2 희생막(72)은 상기 비트 라인(60)이 형성된 상기 제 1 트렌치(40)를 매립시키도록 상기 기판(10)의 전면에 상기 폴리 실리콘막을 형성하고, 화학적 기계적 연마방법으로 상기 비트 라인(60)이 노출되도록 상기 폴리 실리콘막을 평탄하게 제거하여 상기 제 1 트렌치(40) 내에서 상기 비트 라인(60)의 상부 및 측면을 둘러싸는 구조로 형성될 수 있다.

<108> 도 9g 또는 도 10g에 도시된 바와 같이, 상기 제 2 희생막(72)이 형성된 기판(10)의 전면에 소정 두께의 제 2 층간 절연막(52)을 형성한다. 예컨대, 상기 제 2 층간 절연막(52)은 화학기상증착방법으로 약 200Å 내지 약 800Å 정도의 두께를 갖도록 형성되는 실리콘 산화막 또는 실리콘 질화막을 포함하여 이루어진다. 상기 제 2 층간 절연막(52)은 후속에서 상기 제 2 희생막(72)이 제거되면 상기 비트 라인(60)의 상부에서 공극이 형성될 수 있게 하고, 상기 비트 라인(60)의 상부에서 형성되는 절연층 또는 금속층이 상기 공극 내부에서 성장되지 못하도록 하는 지붕역할을 하도록 형성된다.

<109> 도 9h 또는 도 10h에 도시된 바와 같이, 상기 제 1 트렌치(40) 상부에서 상기 비트 라인(60)의 양측 가장자리로부터 일정 거리 이상 이격하는 상기 제 2 층간 절연막(52)을 제거하여 제 2 트렌치(42)를 형성한다. 여기서, 상기 제 2 트렌치(42)는 후속에서 상기 제 2 층간 절연막(52) 하부의 상기 제 1 희생막(70) 또는 제 2 희생막(72)을 제거하기 위해 식각 용액 또는 반응 가스가 상기 제 2 층간 절연막(52)의 하부에 유입되도록 형성되는 개방구이다. 예컨대, 상기 제 2 트렌치(42)는 상기 비트 라인(60) 상부의 상기 제 2 층간 절연막(52)을 차폐하는 포토레지스트 패턴을 식각 마스크로 사용하여 상기 비트 라인(60) 양측의 상기 제 2 층간 절연막(52)을 제거하여 상기 제 2 희생막(72)을 노출시키도록 형성된다. 이때, 상기 제 2 트렌치(42)는 상기 제 1 트렌치(40) 내에서 상기 제 1 희생막(70) 또는 상기 기판(10)을 노출시키도록 형성되거나, 상기 제 1 트렌치(40) 내에서 상기 비트 라인(60)의 가장자리로 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30)의 방향으로 연결되는 트랩 사이트(80)를 제거시켜 상기 제 1 트렌치(40)의 측벽을 노출시켜도 무방하다.

<110> 도 9i 또는 도 10i에 도시된 바와 같이, 상기 제 2 트렌치(42)의 측벽 또는 바닥으로 노출되는 상기 제 1 희생막(70) 및 제 2 희생막(72)을 등방성을 갖도록 제거하여 상기 제 1 트렌치(40)의 내부에서 상기 비트 라인(60)이 부양되는 소정의 공극을 형성한다. 여기서, 상기 제 1 희생막(70) 및 상기 제 2 희생막(72)은 습식식각방법 또는 건식식각방법을 사용하여 등방적으로 제거될 수 있다. 예컨대, 폴리 실리콘막으로 이루어지는 상기 제 1 희생막(70) 및 상기 제 2 희생막(72)은 상기 제 2 트렌치(42) 내부로 유입되는 황산 또는 질산과 같은 강산 용액으로 이루어지는 식각 용액에 의해 등방적으로 제거되거나, CxFy계 가스나 CaHbFc계 등과 같은 불화 탄소계 가스를 반응 가스에 의해 등방적으로 제거될 수 있다. 이때, 상기 불화 탄소계 가스는, CF4, CHF3, C2F6, C4F8, CH2F2, CH3F, CH4, C2H2, C4F6 등과 같은 가스 또는 이들의 혼합 가스로 이루어질 수 있다.

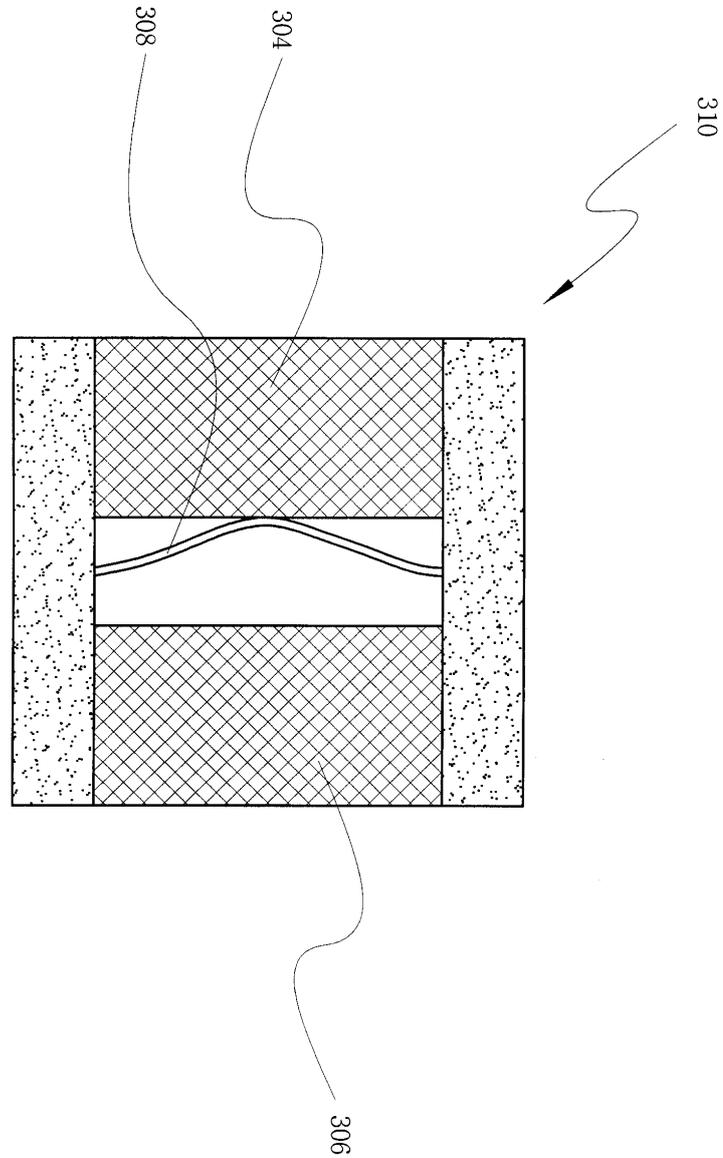
<111> 따라서, 본 발명의 제 2 실시예에 따른 메모리 소자의 제조방법은 제 1 워드 라인(20) 및 제 2 워드 라인(30)의 상부에서 교차되고 상기 제 1 워드 라인(20) 및 상기 제 2 워드 라인(30) 사이의 제 1 트렌치(40) 측벽에 형성된 복수개의 트랩 사이트(80)간의 거리에 대응되는 공극의 중심에 삽입되는 비트 라인(60)을 형성하여 상기 비트 라인(60)을 중심으로 양측에서 일정 거리로 대칭적인 구조를 갖도록 할 수 있기 때문에 신뢰도 및 생산수율을 증대 또는 극대화할 수 있다.

<112> 또한, 제 1 워드 라인(20) 및 제 2 워드 라인(30) 사이의 제 1 트렌치(40) 측벽에 형성되는 복수개의 트랩 사이트(80)간의 거리에 대응되는 공극의 중심에 삽입되는 비트 라인(60)의 팁(62)을 시계추 또는 메달 모양으로 형성하여 스윙칭 동작이 이루어지는 비트 라인(60)의 굴절 거리를 줄이고, 상기 비트 라인(60)의 굴절 거리에 대

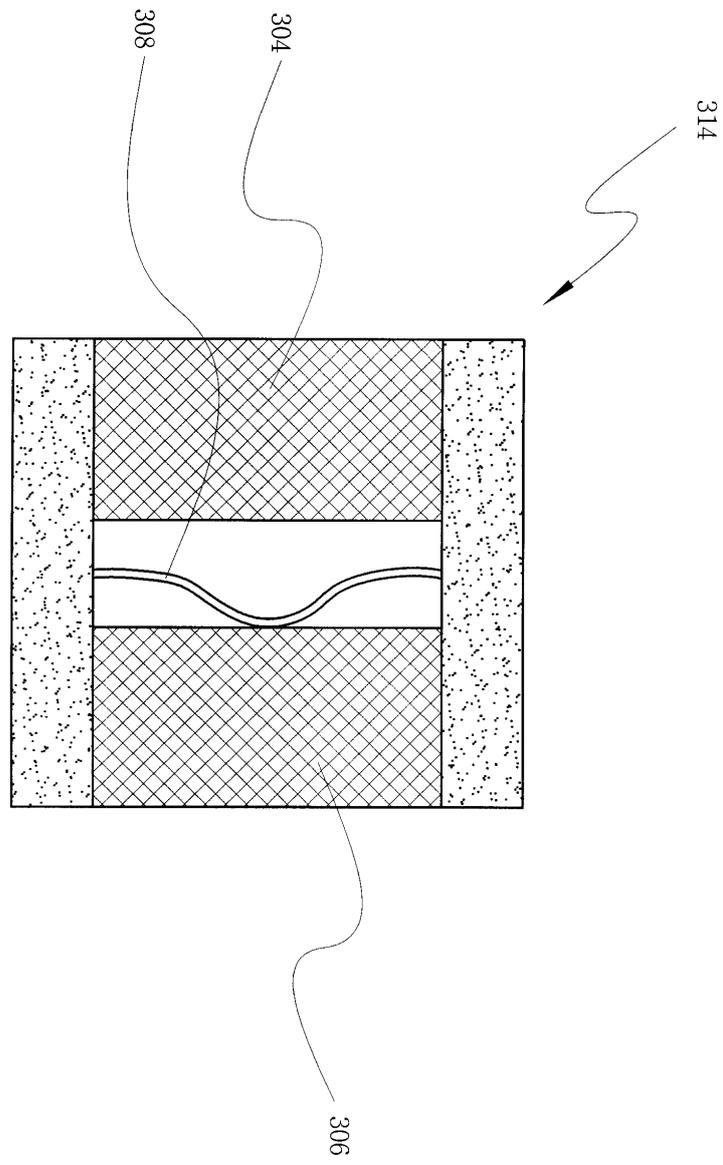


도면

도면1

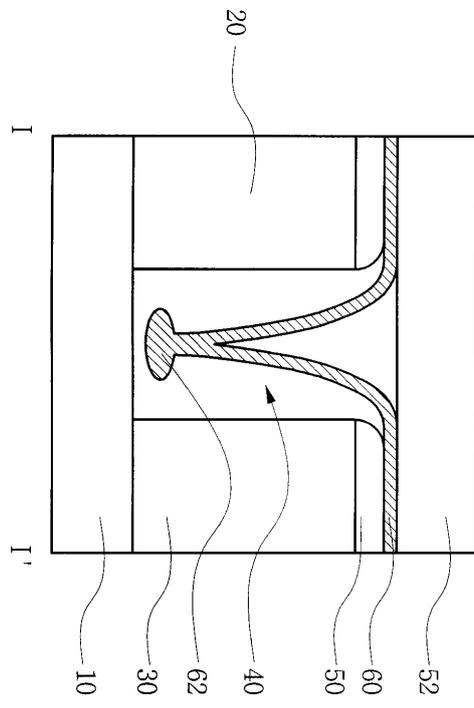


도면2

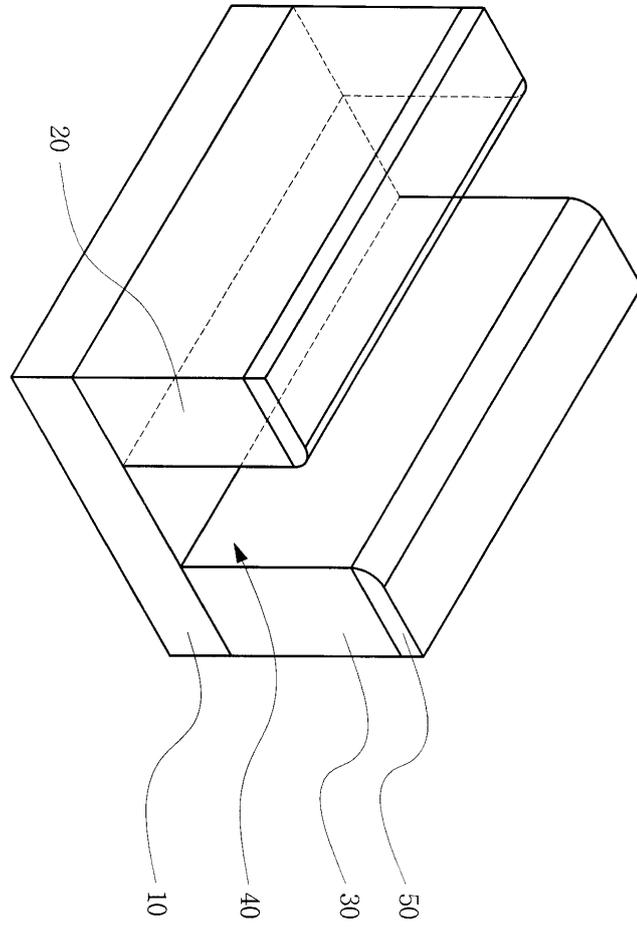




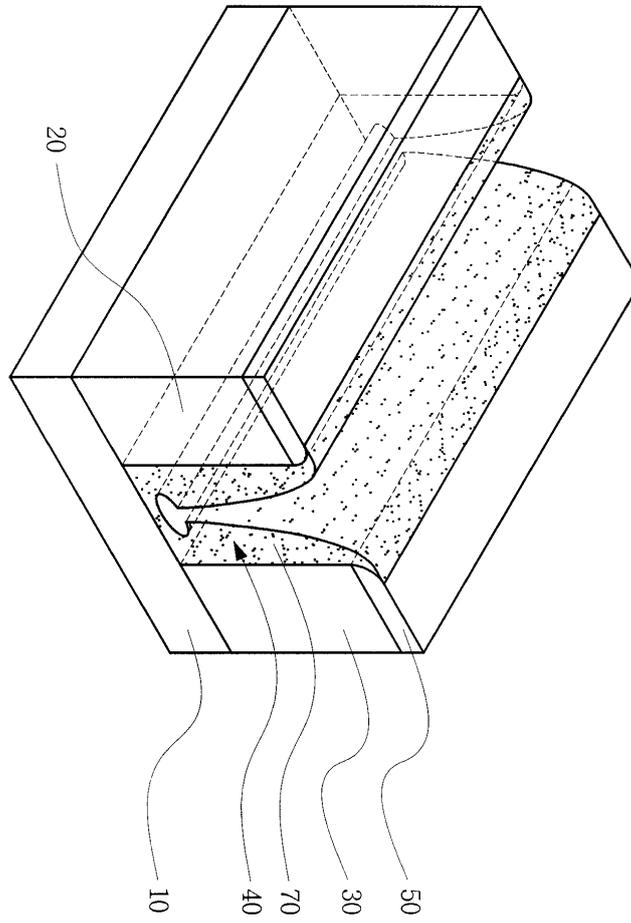
도면4



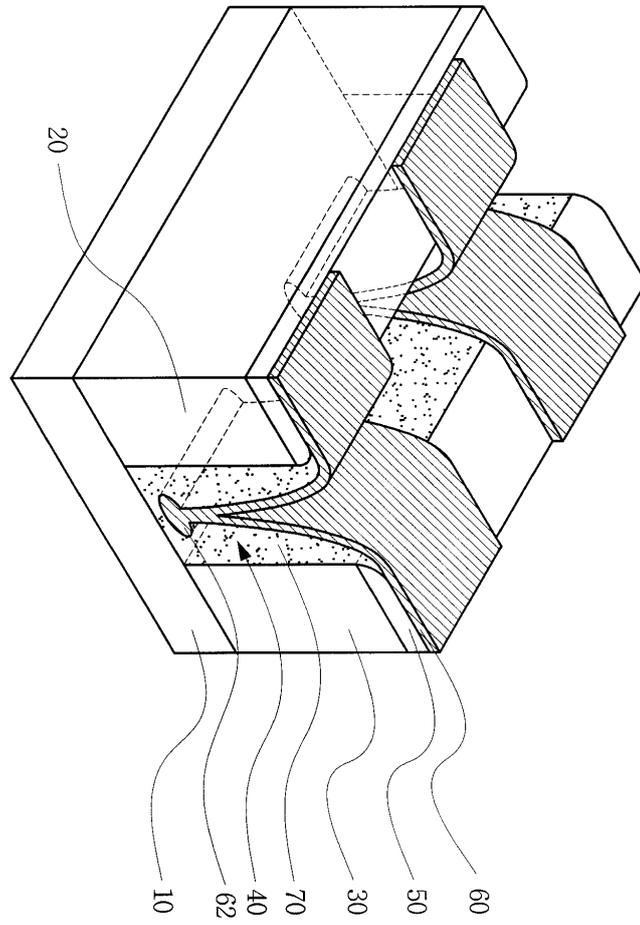
도면5a



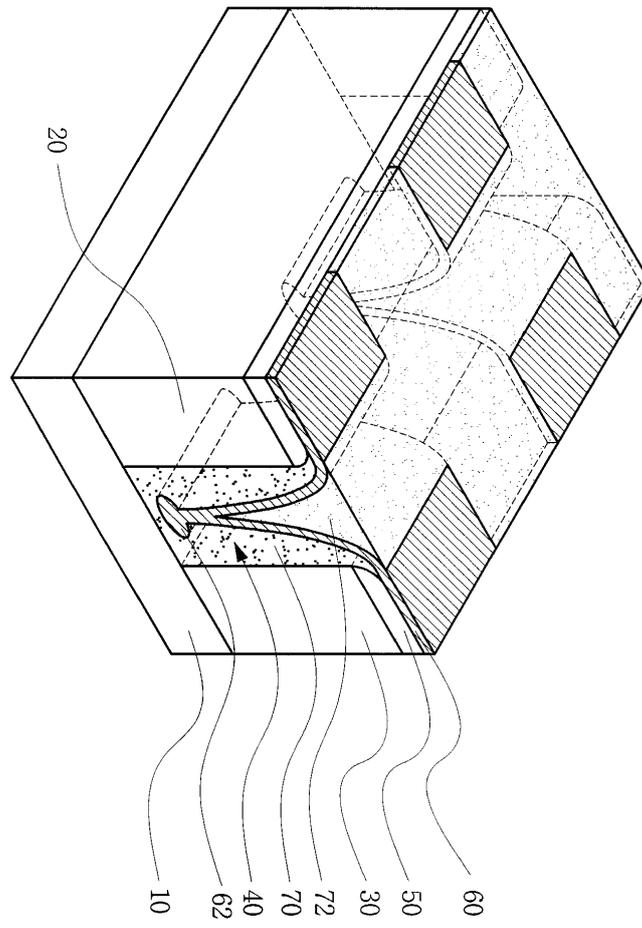
도면5b



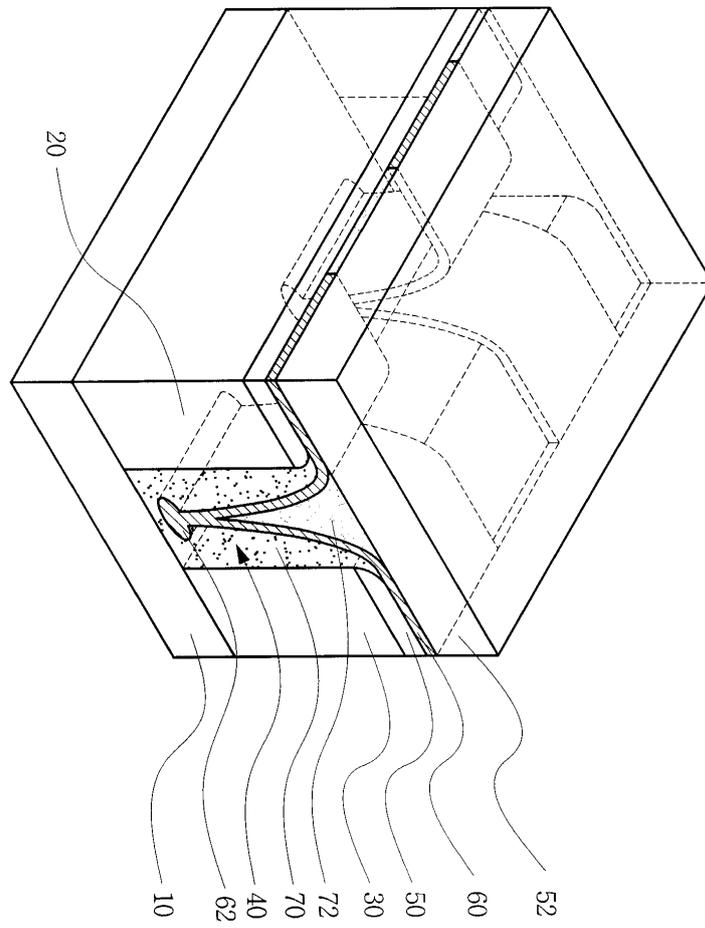
도면5c



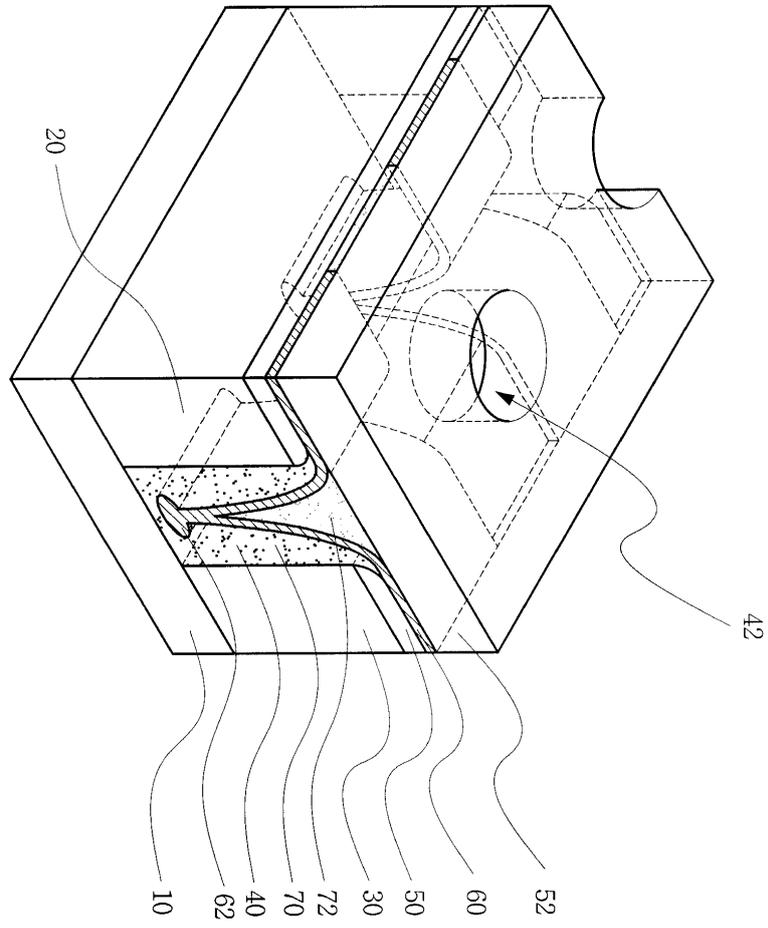
도면5d



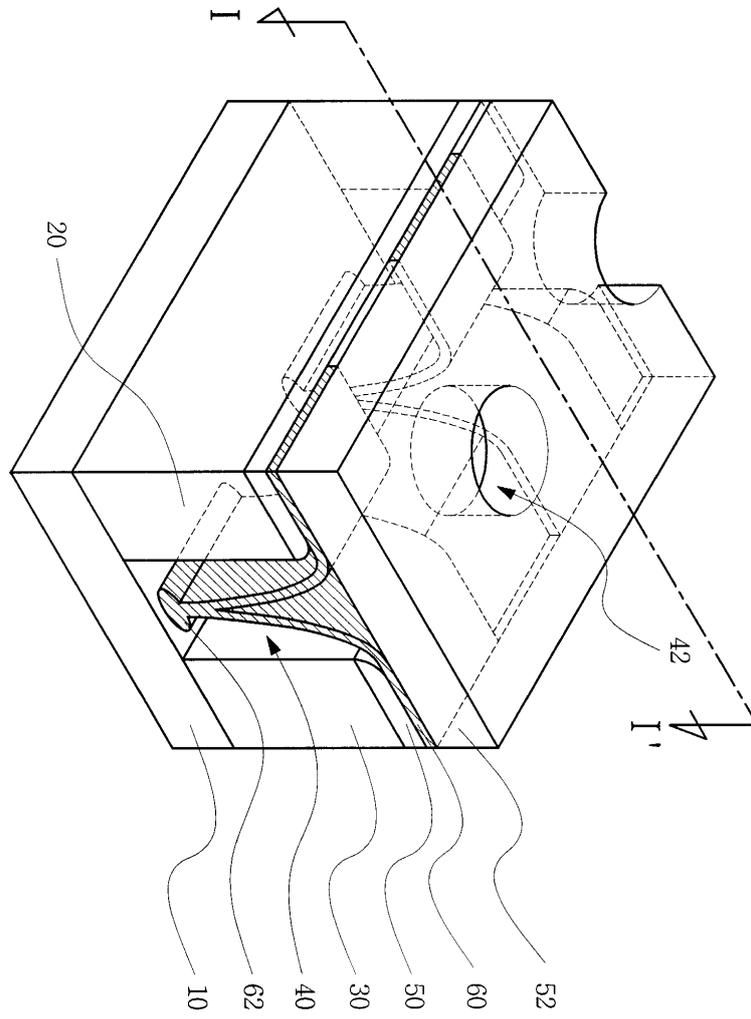
도면5e



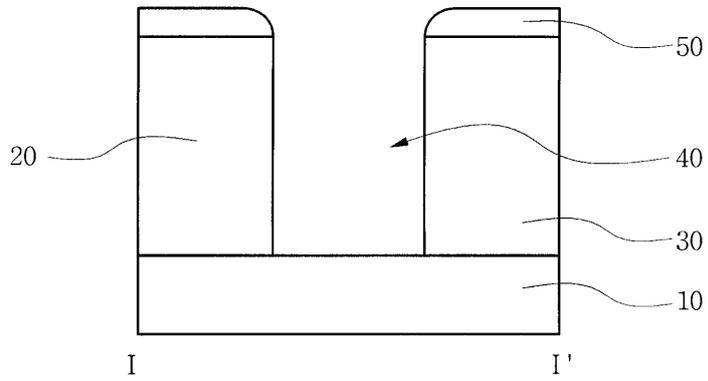
도면5f



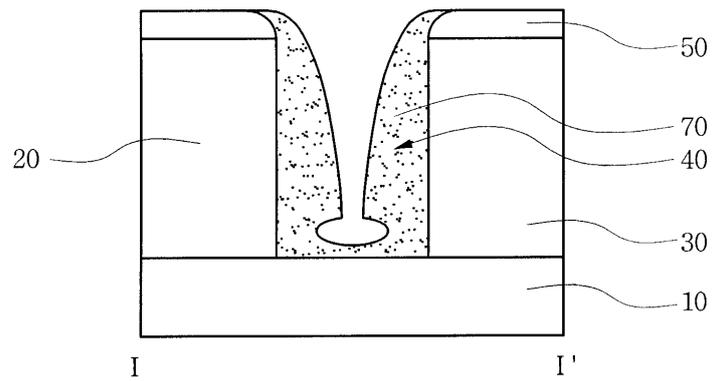
도면5g



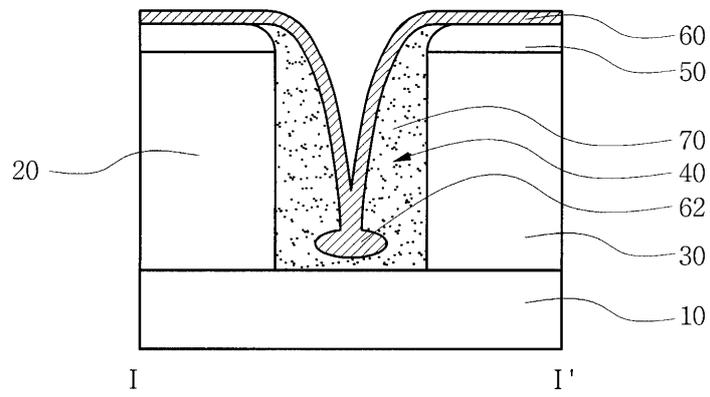
도면6a



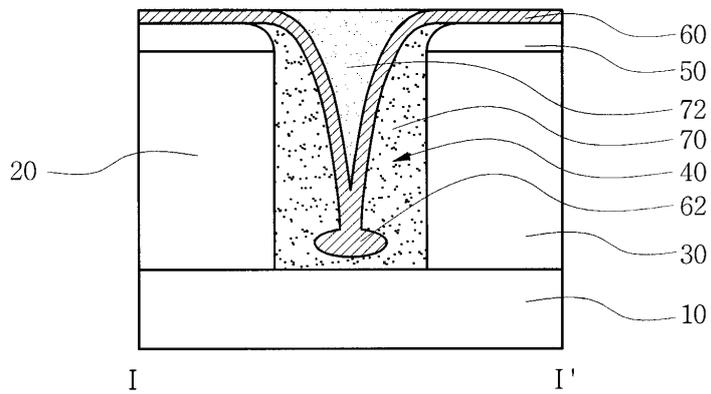
도면6b



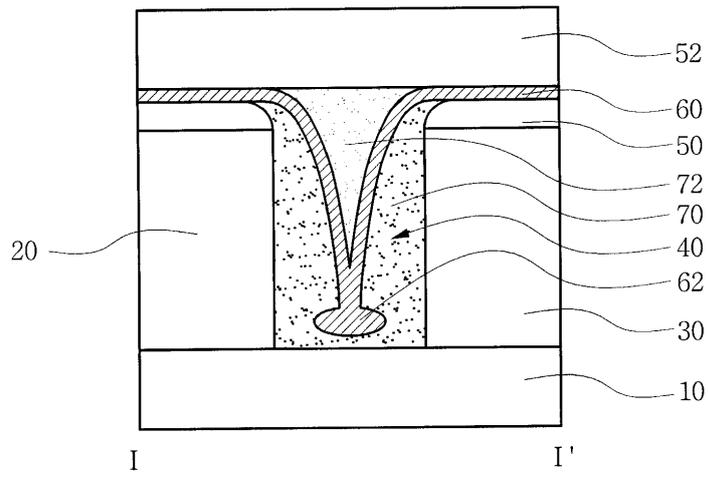
도면6c



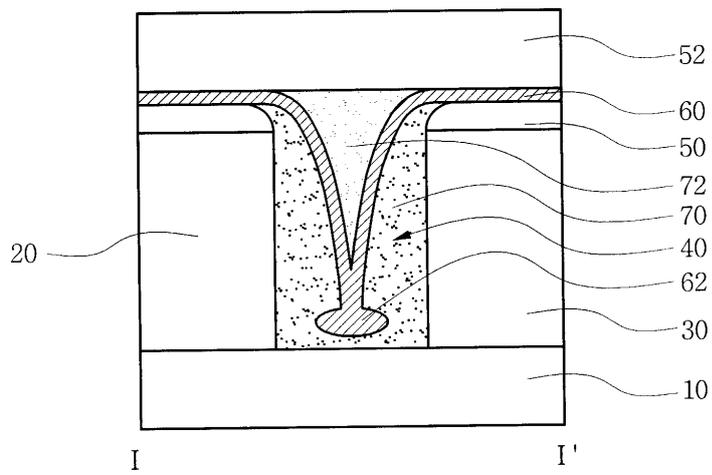
도면6d



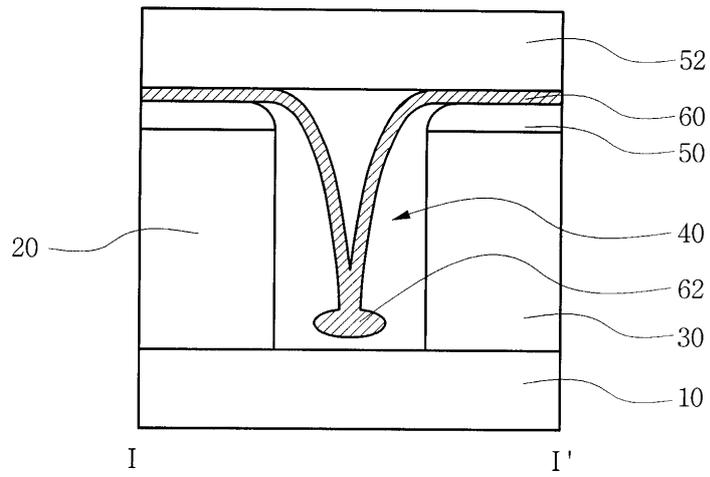
도면6e



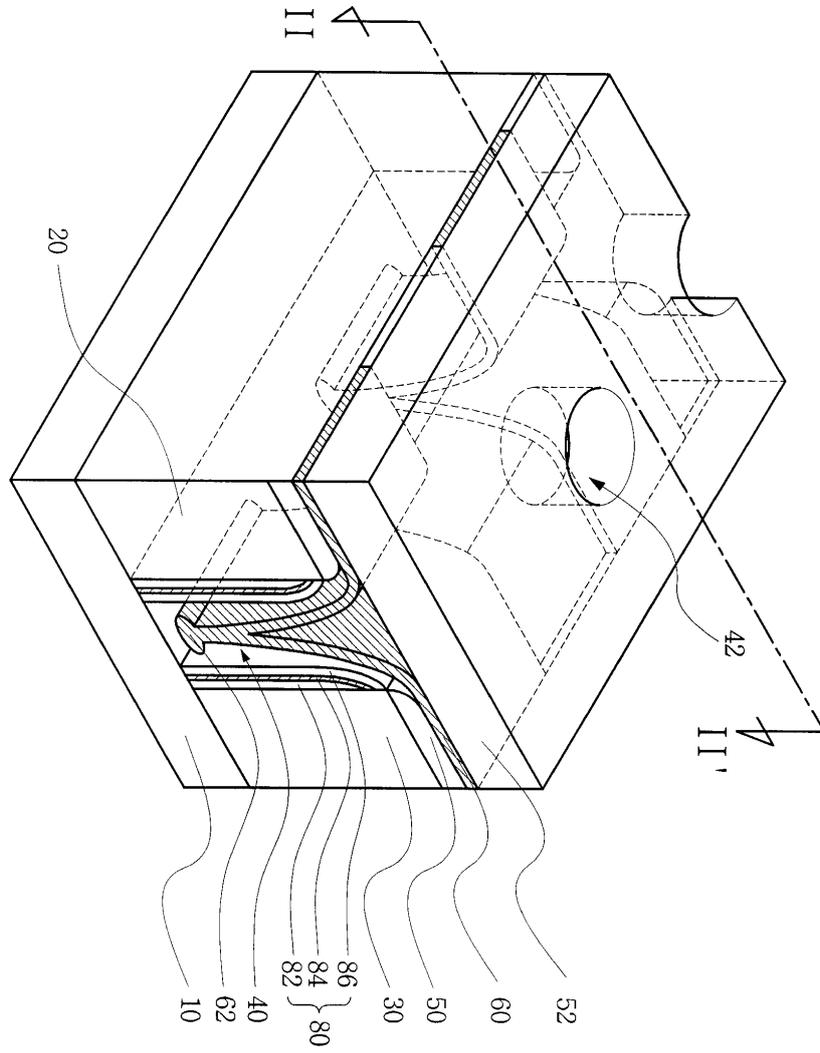
도면6f



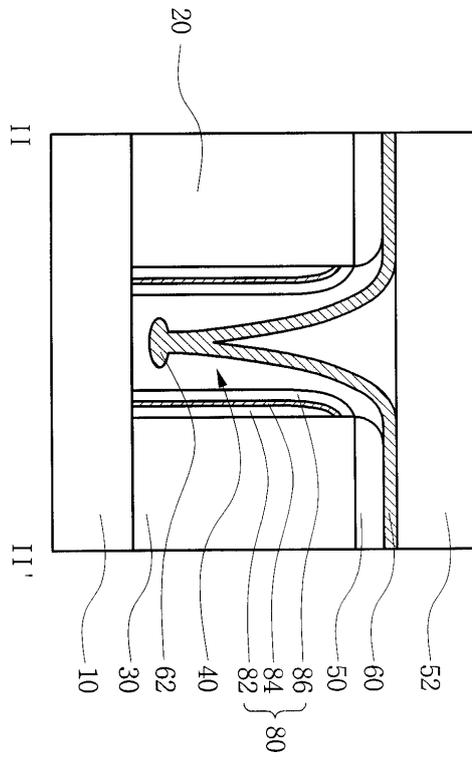
도면6g



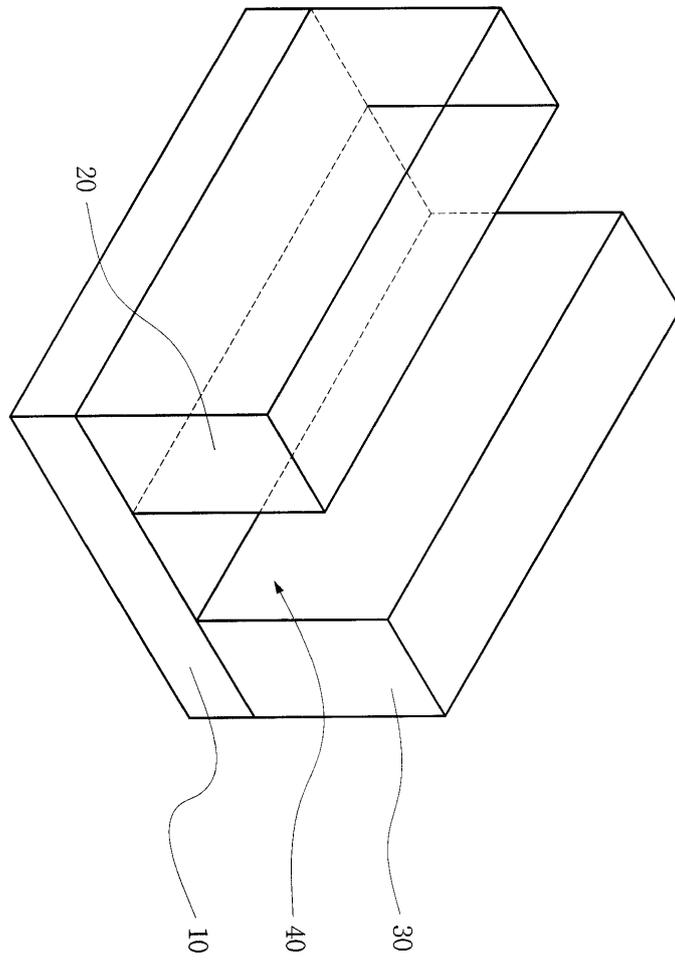
도면7



도면8

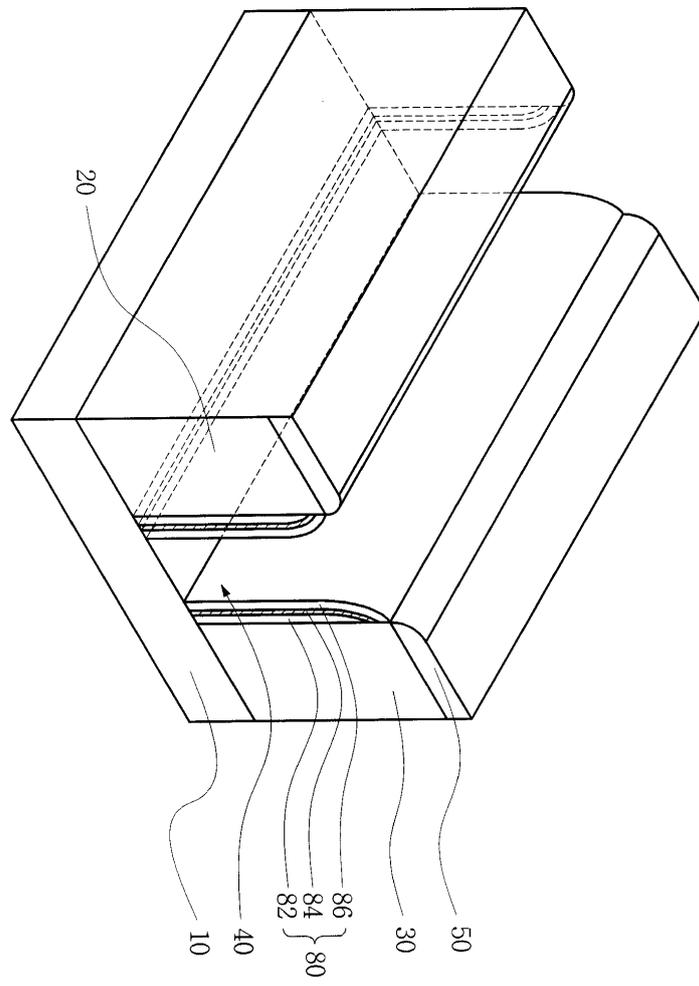


도면9a

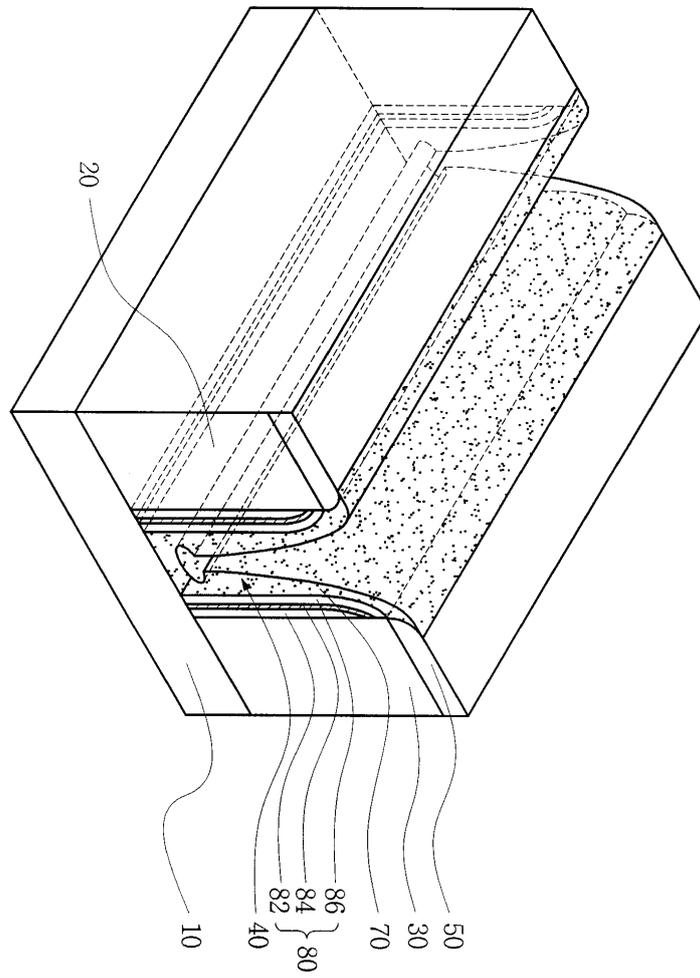




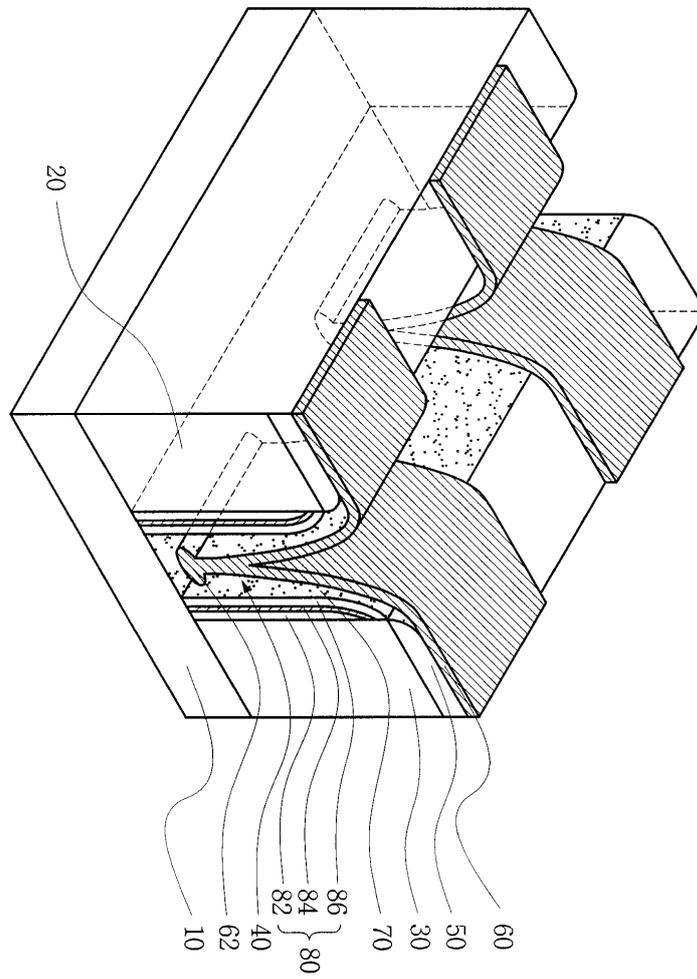
도면9c



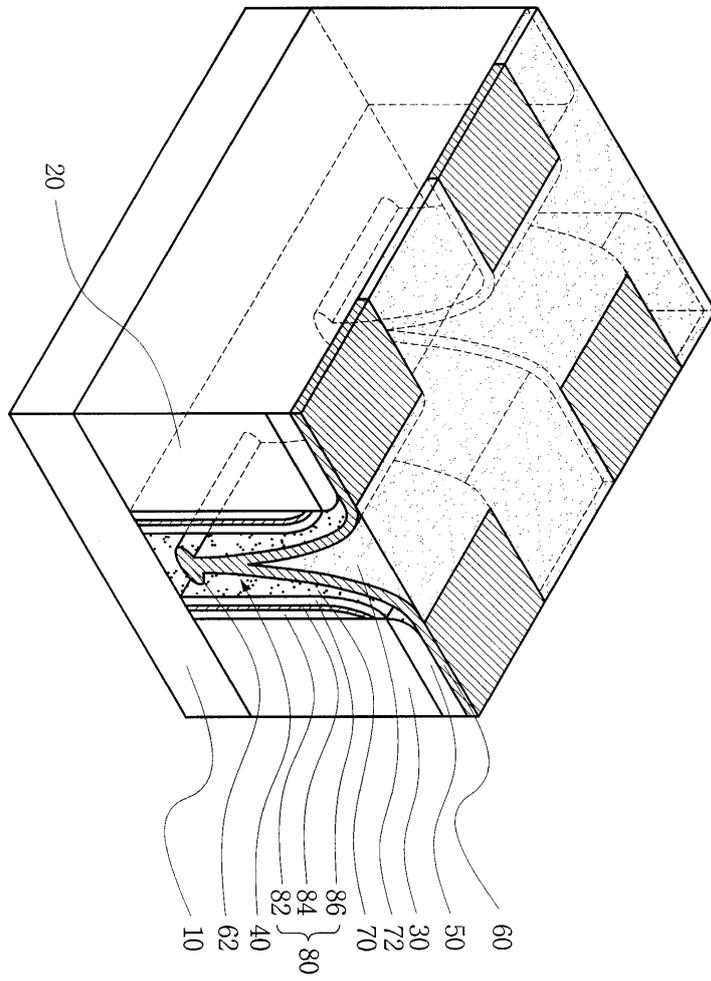
도면9d



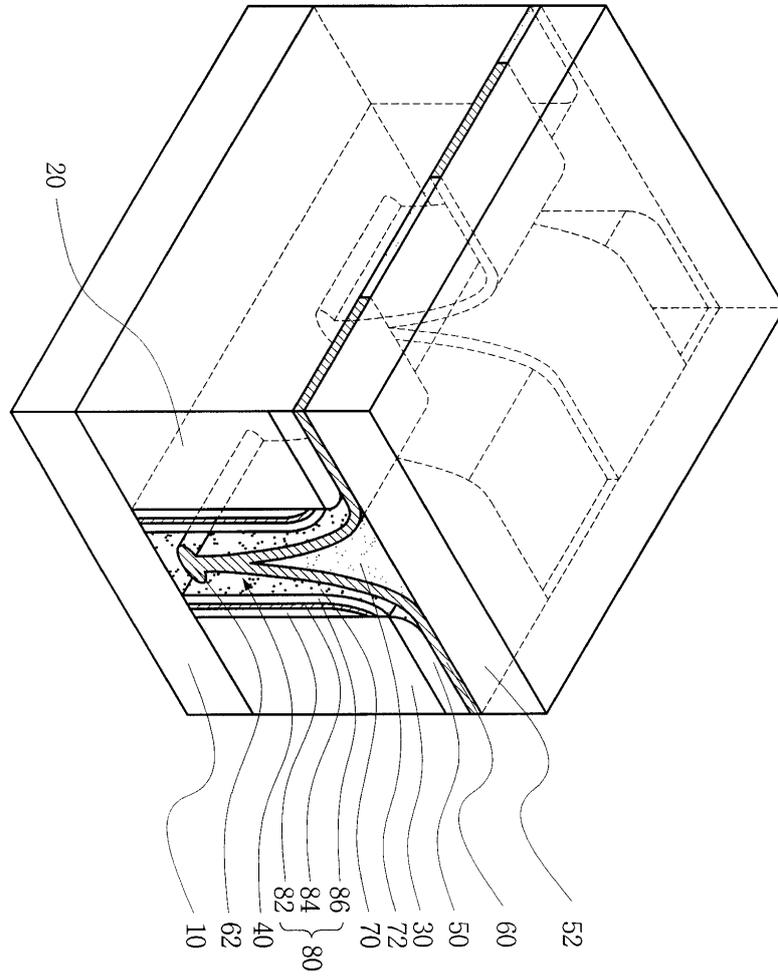
도면9e



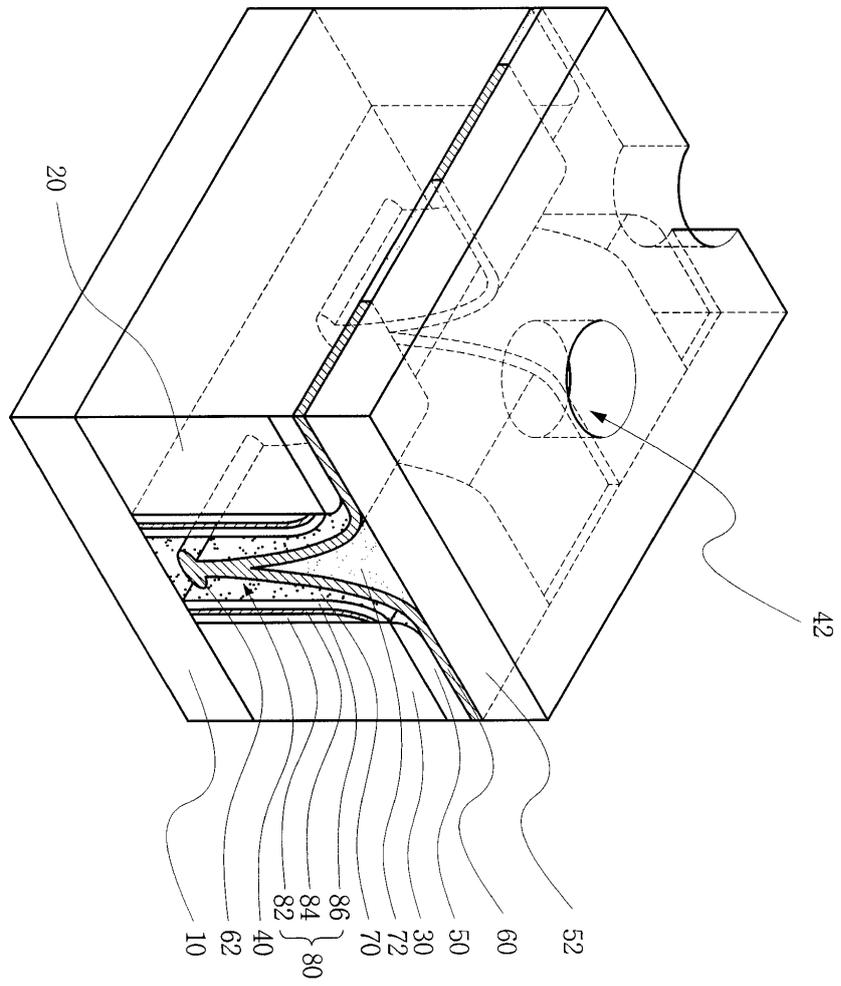
도면9f



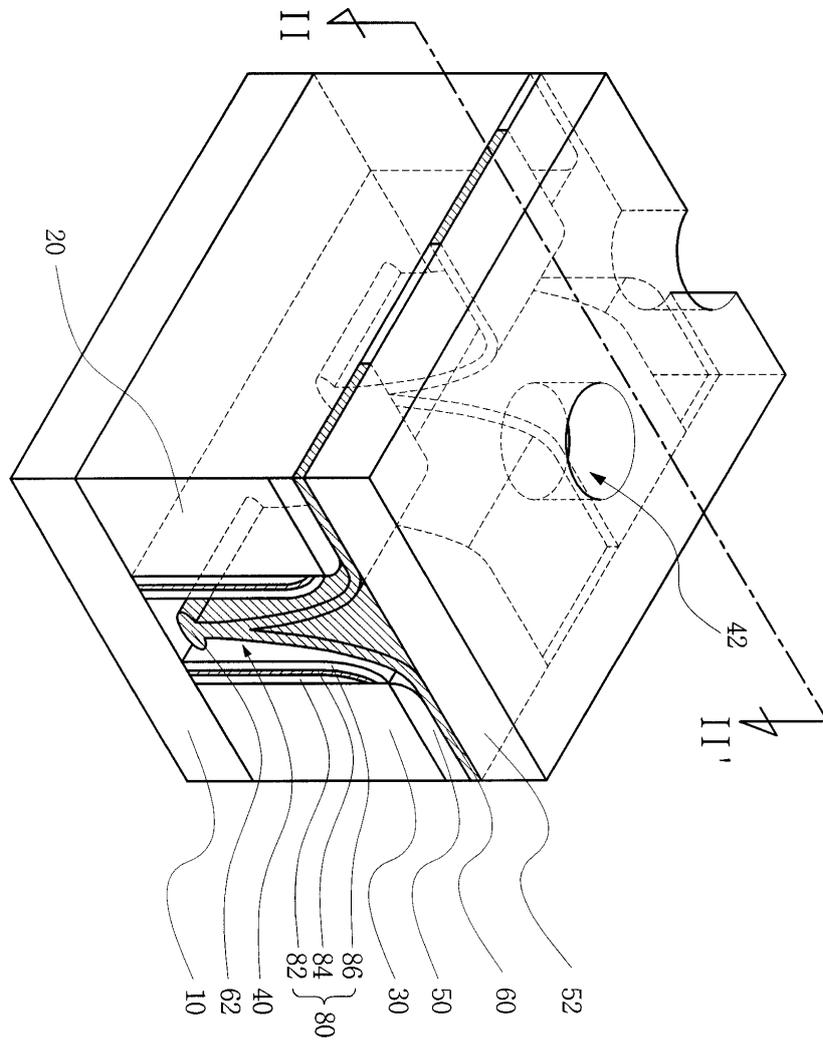
도면9g



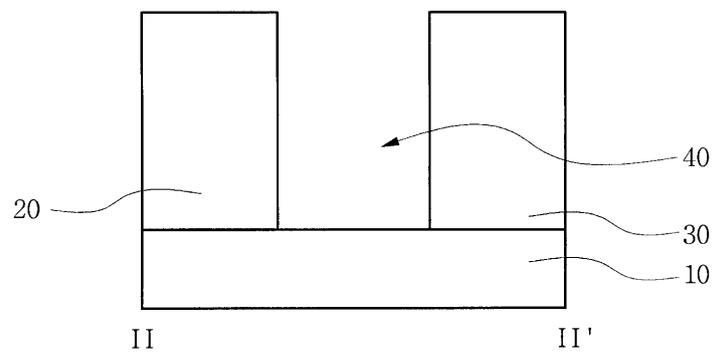
도면9h



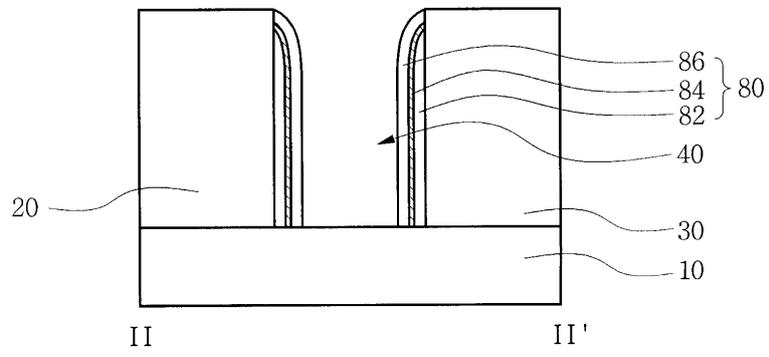
도면9i



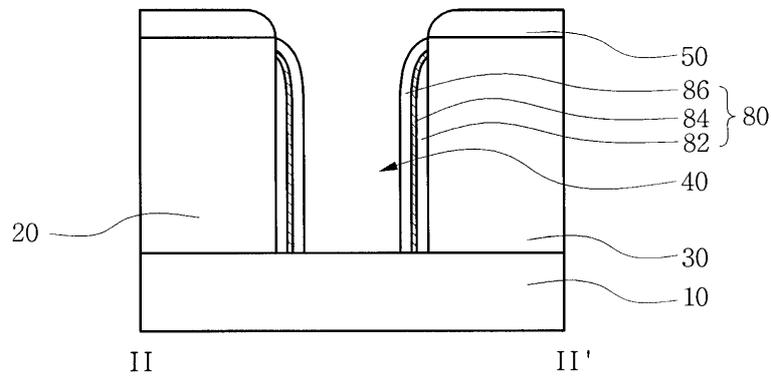
도면10a



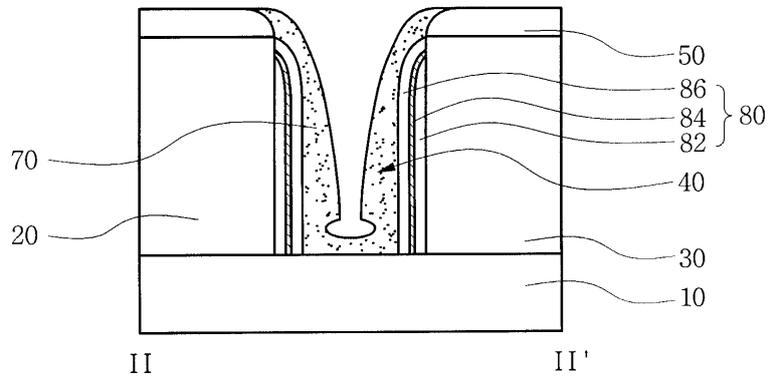
도면10b



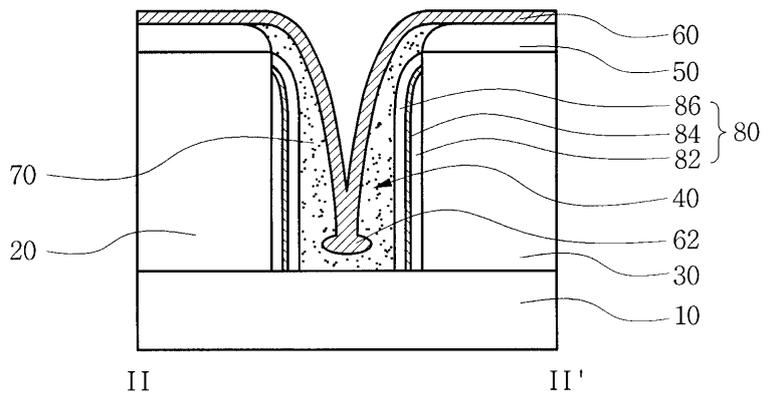
도면10c



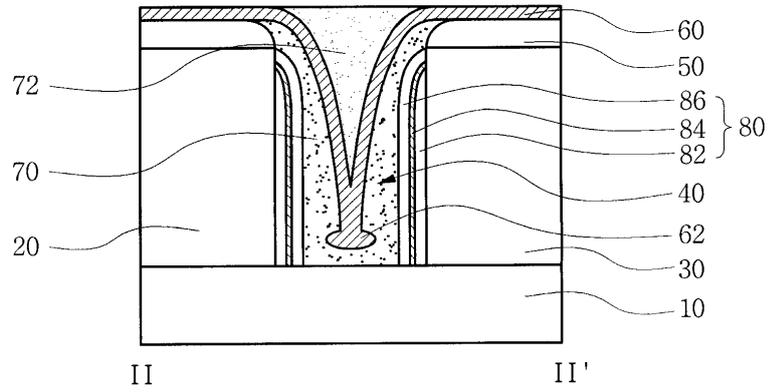
도면10d



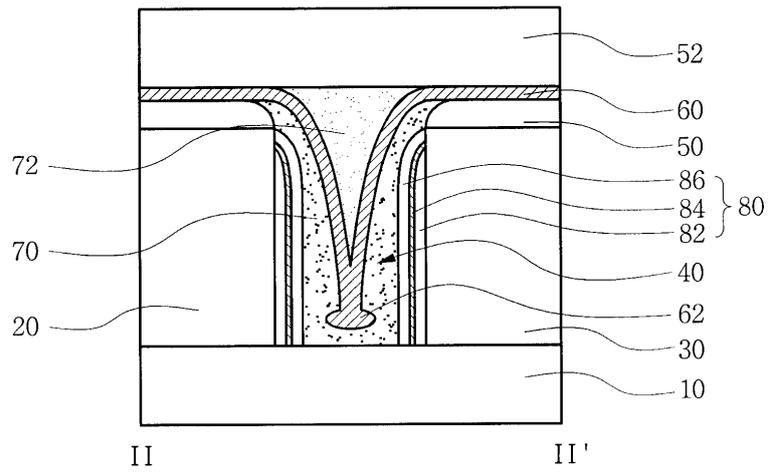
도면10e



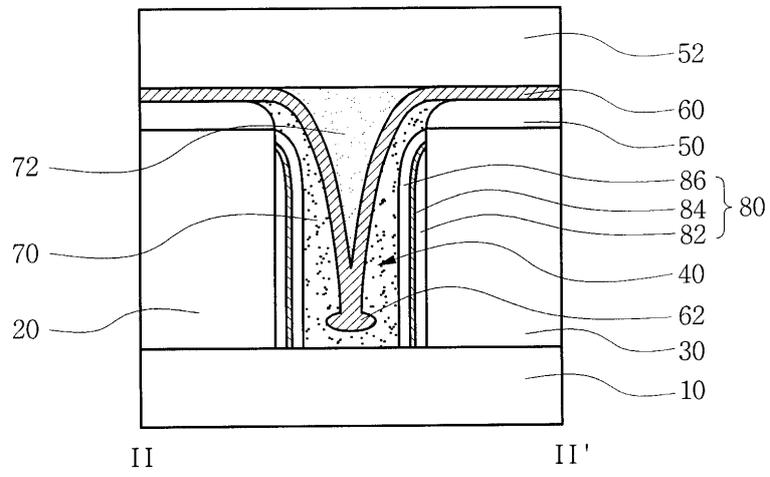
도면10f



도면10g



도면10h



도면10i

