



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I508093 B

(45) 公告日：中華民國 104 (2015) 年 11 月 11 日

(21) 申請案號：100137412

(22) 申請日：中華民國 100 (2011) 年 10 月 14 日

(51) Int. Cl. : G11C7/00 (2006.01)

(30) 優先權：2010/11/18 美國 12/949,728

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國

(72) 發明人：皮歐 弗得瑞 PIO, FEDERICO (IT)

(74) 代理人：陳長文

(56) 參考文獻：

US	7545677B2	US	7808819B2
US	2008/0263262A1	US	2009/0091979A1
US	2009/0103371A1	US	2009/0296471A1
US	2010/0142284A1	US	2010/0208523A1

審查人員：蕭明椿

申請專利範圍項數：17 項 圖式數：6 共 35 頁

(54) 名稱

包括影響記憶體之操作條件之參數之記憶體指令

MEMORY INSTRUCTION INCLUDING PARAMETER TO AFFECT OPERATING CONDITION OF MEMORY

(57) 摘要

本文中所揭示之標的物係關於用以操作記憶體之技術。

Subject matter disclosed herein relates to techniques to operate memory.

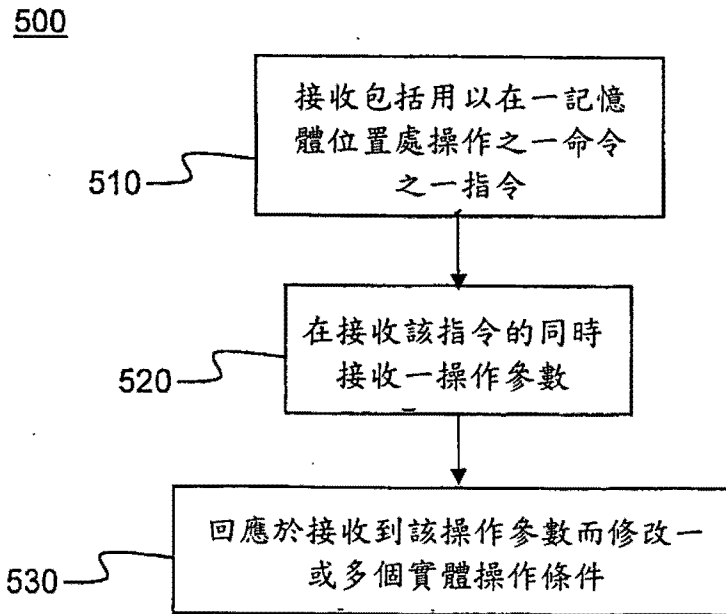


圖 5

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 100137412

※ 申請日： 100.10.14

※IPC 分類：G11C 7/00(2006.01)

一、發明名稱：(中文/英文)

包括影響記憶體之操作條件之參數之記憶體指令

MEMORY INSTRUCTION INCLUDING PARAMETER TO AFFECT
OPERATING CONDITION OF MEMORY

二、中文發明摘要：

本文中所示之標的物係關於用以操作記憶體之技術。

三、英文發明摘要：

Subject matter disclosed herein relates to techniques to operate

memory.

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本文中所揭示之標的物係關於用以操作記憶體之技術。

【先前技術】

記憶體裝置係用於諸多類型之電子裝置中，例如電腦、蜂巢式電話、PDA、資料記錄器及導航設備，此處僅列舉幾個實例。在此等電子裝置當中，可採用各種類型之非揮發性記憶體裝置，諸如 NAND 或 NOR 快閃記憶體、SRAM、DRAM 及相變記憶體，此處僅列舉幾個實例。一般而言，可使用寫入或程式化操作來將資訊儲存於此等記憶體裝置中，而可使用一讀取操作來擷取所儲存之資訊。

可由該記憶體之一製造商建立一記憶體操作所藉助之參數。舉例而言，此等參數可包括用於記憶體操作(諸如，讀取、程式化、抹除、驗證等)之電流、電壓及/或電阻參考值。

【發明內容】

在一實施例中，一種用於操作一記憶體裝置之技術可涉及針對該記憶體裝置之包括影響該記憶體裝置之一實體操作條件之一操作參數之一記憶體指令。特定而言，此一操作參數可影響一記憶體裝置中之周邊電路之一實體操作條件。舉例而言，一記憶體裝置內部之周邊電路可包含一或多個電源、感測放大器電路、計時電路(例如，一時鐘電路)、列/行解碼器及除一記憶體胞陣列以外的其他此類電路。在一記憶體指令中包括此一操作參數可為該記憶體裝

置之一使用者提供選擇性地管理該記憶體裝置之此等實體操作條件之一機會。舉例而言，降低一多位階記憶體裝置之邏輯位準之間的一邊限(例如，導致以降低的精確性為代價之增加的儲存容量)對於一種應用可有益於一使用者，而增加此一邊限(例如，導致以降低的儲存容量為代價之增加的精確性)可對另一種應用有益。在一實例中，端視一臨限電壓低於或高於操作參數值 V_{READ} ，施加包括一位址及一操作參數 V_{READ} 之一記憶體指令 READ 可分別產生 1 或 0。一使用者使用其他操作參數之一能力可影響一記憶體裝置之可靠性及/或效能及/或記憶體裝置特性，諸如寫入速度、關於程式化/讀取位準之可調整邊限、儲存於任一記憶體胞中之位準之數目、資料加密等。舉例而言，此一操作參數之一值可由一使用者及/或由一處理器執行之指令來選擇。在一實施例中，根據一記憶體裝置之一通信協定，指令程式碼之特定位元可專用於操作參數資訊。舉例而言，在一並列裝置中，特定輸入/輸出端子可接收/發送操作參數之位元。然而，在一串列裝置之情形下，舉例而言，可在預定義時鐘循環期間在一指令序列中輸入/輸出此資訊。在某些情形下，可使用一混合型串並列協定來在記憶體接針處輸入包括一操作參數之一指令。在一項實施方案中，在一命令之執行期間使用之一實體操作條件可至少部分地端視具有該操作參數之對應資訊而採用一預定義組可能值當中之者。舉例而言，此一對應可藉由一查找表建立。

可使用如上文所闡述之一記憶體指令操作之一記憶體裝置可包含揮發性或非揮發性記憶體，包括快閃NAND、快閃NOR、相變記憶體(PCM)、單位階胞(SLC)記憶體、多位階胞(MLC)記憶體等。特定而言，針對一記憶體裝置之一指令可包含包括一命令(諸如一讀取命令、一寫入或程式化命令、一抹除命令等)之若干個元素。一指令之此等元素亦可包括(例如)資料待寫入至或待自其讀取資料之記憶體裝置之一記憶體陣列中之一位置之一位址。因此，寫入至一記憶體陣列之一指令亦可包括此資料。除一指令之此等元素(例如，一命令、位址、資料等)外，此一指令可另外包括待在該指令及/或後續指令之執行期間使用之一或多個操作參數，如下文詳細闡釋。此等操作參數可包含一記憶體陣列中之一記憶體胞之一電壓參考位準、記憶體胞之邏輯位準之間或當中之一邊限或者待施加至記憶體胞之一偏壓信號之一斜升速度，此處僅列舉幾個實例。在一項實施方案中，該記憶體裝置可執行該指令，包括解譯操作參數、產生對應於該操作參數之一或多個物理量及將該一或多個物理量施加至記憶體裝置之適當節點/電路。

在一項實施例中，包括於一記憶體指令中之此一操作參數可由一記憶體裝置接收作為一數位或類比值或作為待由記憶體裝置解譯以判定該記憶體裝置之一或多個實體操作條件及/或操作模式之一程式碼。此一記憶體裝置可包括一參數管理區塊，該參數管理區塊用於藉由解譯操作參數及影響對應於該等操作參數之記憶體裝置中之周邊電路之

操作條件來執行一記憶體指令，如下文進一步詳細地闡述。

在一項實施例中，包括於一記憶體指令中之一操作參數可用於程式化記憶體胞，例如將記憶體胞之臨限電壓修改為由該操作參數規定之一位準；此可藉由影響在結束程式化操作之一程式化驗證階段中使用之一實體操作條件來達成。舉例而言，此一操作參數可用於將臨限電壓參考值設定為對應於輸入操作參數之一所期望值。以一類似方式，包括於一記憶體讀取指令中之一操作參數可用於在由該操作參數所規定的特定實體操作條件(諸如，一字線讀取電壓)下擷取先前儲存於一記憶體位址處之資料。優點還包括，一使用者可自上文所闡述之操作中受益，此乃因作為知曉程式化條件之唯一者，一使用者亦可係能夠在一稍後時間正確地擷取所儲存資料之唯一者，如下文將闡釋。

在一項實施例中，包括於一記憶體指令中之此一操作參數可在一位元操縱過程期間使用。若將在不同步驟或階段中執行將資料寫入於一記憶體頁中，則可使用位元操縱。在此等情形下，將把額外位元程式化於已經部分程式化之記憶體頁上。舉例而言，位元操縱可用於部分程式化，諸如，在測試一計算系統之各種功能或操作期間，其中可在一稍後時間(例如，在進一步測試期間)執行額外程式化。在另一實例中，一使用者可使用位元操縱來個性化或定製一記憶體裝置。在此一情形下，資料及/或程式碼可在一製作過程結束時在裝運之前由製造商僅部分地載入至記憶

體裝置中且使用者可隨後插入額外資訊(例如,密碼、程式碼等)以增加(例如)安全性。在又一實例中,可在其中資料將相對頻繁地改變之情形下(例如,在維持標頭之一記憶體區域中或在指向記憶體且表示記憶體之一內部組織之一檔案分配表中)使用位元操縱。在此一情形下,位元操縱可提供避免抹除及/或重新程式化一整個記憶體區塊之一機會。當然,用以使用一操作參數來操作一記憶體裝置之技術之此等細節僅係實例,且所主張之標的物並不限於此。

位元操縱可或可不涉及用於位元操縱過程之中間階段之錯誤校正碼(ECC)。在一項實施方案中,可僅在已儲存完整資料之後(例如,在一位元操縱過程之結束時)計算及程式化ECC。然而,在此一情形下,資料之一第一部分並不受ECC保護,從而在中間階段處之資料讀出期間導致一錯誤風險(及在位元操縱過程之稍後階段處ECC計算之必然出錯)。相比而言,若由一位元操縱過程之一早期階段產生之資料之一第一部分將受ECC保護,則可提供額外記憶體胞以在位元操縱過程之此一早期階段期間儲存ECC。舉例而言,若不可能在未抹除一整個記憶體區塊之記憶體中在「0」上方寫入「1」,則此等額外記憶體胞可係一不期望額外成本。如下文詳細論述,包括於一記憶體指令中之一操作參數可用於位元操縱及ECC過程。當然,位元操縱之此等細節僅係實例,且所主張之標的物並不限於此。

雖然本文中所闡述之實施例包括包含一或多個操作參數

(例如，包含輸入資訊之操作參數)之記憶體指令，操作參數亦可包含係一命令之一執行之一結果之資訊(例如，包含輸出資訊之操作參數)。此一或多個操作參數亦可隨附一命令之一執行之結果。舉例而言，一或多個操作參數可隨附由一讀取命令之執行產生之讀取資料。在一實施方案中，一操作參數可表示在其下實行一操作之一讀取電壓。

【實施方式】

將參考以下各圖闡述非限制性及非窮盡性實施例，其中除非另外說明，否則所有各圖中相同元件符號指代相同部件。

此說明書通篇中所提及之「一項實施例(one embodiment)」或「一實施例(an embodiment)」意指結合該實施例闡述之一特定特徵、結構或特性係包括於所主張之標的物之至少一項實施例中。因此，在此說明書通篇中之各種地方出現之片語「在一項實施例中(in one embodiment)」或「一實施例(an embodiment)」未必全部指代同一實施例。此外，可將該等特定特徵、結構或特性組合於一或多項實施例中。

圖1係根據一實施例之一記憶體裝置100之一示意圖。舉例而言，此一記憶體裝置可用於執行上文所闡述之技術。詳細地，記憶體裝置100可包含：一記憶體陣列120，其用以儲存可定址資料；一列解碼器110及行解碼器130；以及一微控制器135，其包括一命令介面及位址/資料管理區塊140以及一操作參數管理區塊150。一埠145可用於接收一

記憶體指令之元素，諸如(例如)，一命令、記憶體陣列120中之一或多個記憶體胞之一位址及/或待寫入至記憶體陣列120之資料。埠145亦可用於傳輸讀取資料，還包括若干個其他可能。在一項實施方案中，埠145亦可用於接收可與一記憶體指令包括在一起的一或多個操作參數。在另一實施方案中，此等操作參數可在埠155處提供至記憶體裝置100。埠145或埠155中之任一者可包含一並列或一串列埠。舉例而言，在串列埠之情形下，多個輸入循環可用於提供一記憶體指令之全部或一部分，包括一命令、位址、資料及/或操作參數資訊。在一項實施方案中，可分配N個循環之一操作窗(例如，執行一寫入/讀取/抹除操作之一時間跨度)以輸入N個位元之操作參數資訊。作為一說明性實例，此一窗可放置在8個命令(COMMAND)循環(例如，對於一個單位元組命令)之後且在24個位址(ADDRESS)循環(例如，對於一個三位元組位址)之前，但所主張之標的物並不限於此。另一方面，在並列埠之情形下，舉例而言，可透過埠155中之專用接針來輸入操作參數資訊。在一項實施方案中，若一記憶體指令包括一讀取(READ)命令，則可使用埠145中之某些資料接針來輸入操作參數資訊(此乃因此一讀取(READ)命令不需要包括輸入資料)。在另一實施方案中，若一記憶體指令包括一磁區抹除命令，則所有位址接針可非必需。因此，最低有效位址接針可用於輸入操作參數資訊。在包含抹除整個記憶體之一晶片抹除命令之一指令之一情形下，位址輸入及資料輸入皆非必需且

對應接針之全部或部分可用來輸入操作參數資訊。當然，用以接收一記憶體指令之元素之技術之此等細節僅係實例，且所主張之標的物並不限於此。

在一實施例中，在接收到包括一命令及操作參數資訊之一記憶體指令之後，微控制器135可解譯該命令且使用該操作參數資訊來執行該記憶體指令。列出幾個實例，此一操作參數可表示一電壓，諸如一字線(WL)讀取電壓、一WL程式化電壓、一WL驗證電壓、一電壓差、關於一預定義值(例如，如一程式化驗證操作中所使用)之一電壓邊限及/或一程式化/抹除斜升期間之一電壓步長。然而，此一操作參數亦可表示一電流值(例如，供快閃或浮動閘極記憶體中使用)或其他物理量，諸如一電阻值(例如，供PCM中使用)或一持續時間或時間延遲，諸如(例如)一NAND記憶體中之一位元線預充電與一位元線感測之間的一時間流逝。在一項實施方案中，此一操作參數可包含對應於一特定量(取決於操作參數涉及之命令)之一預定義組所允許值當中之一者之一程式碼。舉例而言，可根據一個四位元參數程式碼之值選擇16個可能電壓(或電流或電阻等)位準中之一者。在另一實施方案中，此一操作參數可包含一程式碼與一值之一組合。舉例而言，在一程式化操作期間，可為驗證電壓(由程式碼1規定)或為關於一預定義驗證電壓之邊限(程式碼2)或一電壓步長振幅(程式碼3)或一程式化電壓斜升中所使用之一步進持續時間(程式碼4)選擇一值。對應地，程式碼-值組合可導致可能實體操作條件當中之所

規定一者受操作參數之值的影響。

在一實施例中，在經由埠155接收到操作參數資訊之後，操作參數管理區塊150可在內部產生對應於該操作參數資訊之一物理量。舉例而言，在一項實施方案中，操作參數管理區塊150可包括一電壓(或電流)產生器以產生具有所規定精確性之對應於操作參數資訊之一電壓(或電流)。可將此一物理量施加於相關電路部分，諸如記憶體陣列120中之一字線、計時電路(未展示)等。

表1圖解說明包含若干個記憶體指令之一指令集之一實例，該若干個記憶體指令包括寫入啟用(WRITE ENABLE)、讀取(READ)、頁程式化(PAGE PROGRAM)、磁區抹除(SECTOR ERASE)及晶片抹除(CHIP ERASE)。每一此記憶體指令可由一指令程式碼表示；如上文所闡述，其亦可包括一位址、操作參數及資料。亦可包括可用於某些應用中之一虛設部分。

指令	闡述	單位元組 指令程式碼	位址 位元組	參數 位元組	虛設 位元組	資料 位元組
WREN	寫入啟用	06h	0	0	0	0
READ	讀取資料位元組	03h	3	1	0	1至 ∞
PP	頁程式化	02h	3	2	0	1至256
SE	磁區抹除	D8h	2	1	0	0
CE	晶片抹除	60h或C7h	0	3	0	0

表 1

舉例而言，寫入啟用(WRITE ENABLE)記憶體指令可由一個單位元組十六進制程式碼06表示，讀取(READ)記憶體指令可由03表示，頁程式化(PAGE PROGRAM)記憶體指

令可由02表示且磁區抹除(SECTOR ERASE)記憶體指令可由D8表示且晶片抹除(CHIP ERASE)記憶體指令可由60或C7表示。讀取(READ)記憶體指令可包括一個三位元組位址及一個單位元組操作參數程式碼，舉例而言，該單位元組操作參數程式碼可包含一字線讀取電壓。頁程式化(PAGE PROGRAM)記憶體指令可包括一個三位元組位址及可包含兩個不同參數之一個二位元組操作參數程式碼。舉例而言，一個參數可包含一加密編碼方案且另一參數可包含一程式化驗證(WL)電壓。磁區抹除(SECTOR ERASE)記憶體指令可包括一個二位元組位址及可表示一抹除電壓斜升中之一電壓步長(或步進持續時間)之一個單位元組操作參數程式碼。晶片抹除(CHIP ERASE)記憶體指令可包括三個單位元組操作參數程式碼，舉例而言，該三個單位元組操作參數程式碼可表示一參考電流位準、一字線讀取電壓及/或在整個記憶體之一抹除操作期間驗證記憶體胞中使用之一阱或本體讀取電壓。當然，此等細節僅係實例，且所主張之標的物並不限於此。

圖2係展示根據一實施例之一或多個記憶體胞之特性及量測參數之一曲線圖。特定而言，一狀態圖200可闡述(例如)一MLC記憶體裝置中之一狀態分佈。一水平軸205表示與記憶體狀態相關聯之相對電壓，而垂直軸208可表示一MLC記憶體裝置陣列中之相對數目個記憶體胞。當然，此等軸之位置及/或標度僅係實例，且所主張之標的物在此方面並不受限。根據一實施例，狀態圖200展示一經抹除

或重設狀態 210 及經程式化或設定狀態 220、230、240、250、260 及 270。此等設定狀態個別地分別開始於臨限電壓值 α 、 β 、 γ 、 δ 、 η 、 ϕ 處。舉例而言，一記憶體胞之此等記憶體狀態可由在一讀取操作期間在所規定操作條件下置於該記憶體胞之一閘極上之一電壓量加以界定。

在一實施例中，包括於一記憶體指令中之操作參數可用於選擇(例如)一MLC記憶體裝置之一或多個臨限電壓值。如上文所提及，此等操作參數可係使用者可選擇的。雖然此等MLC記憶體裝置可已經製造以具有彼此實質上相同的電及/或操作特性，但可在操作參數之此使用者選擇之後，針對不同MLC記憶體裝置不同地修改各種操作條件，諸如，臨限電壓參考值。舉例而言，可回應於一使用者選擇用以程式化MLC記憶體裝置之一記憶體指令中之特定操作參數來建立臨限電壓參考值 α 、 β 、 γ 、 δ 、 η 、 ϕ 。如上文所提及，一操作參數可包含一程式碼，該程式碼包含表示與該參數相關聯之一物理量之一組預定義值。舉例而言，對於一個三位元參數，位元 001 可對應於 0 伏特，010 可對應於 α 伏特，011 可對應於 β 伏特，100 可對應於 γ 伏特，101 可對應於 δ 伏特，110 可對應於 η 伏特且 111 可對應於 ϕ 伏特，但所主張之標的物並不限於此。一使用者選擇臨限參考電壓值之此一機會可導致MLC記憶體裝置針對(例如)一使用者之特定應用要求之定製。此外，一使用者選擇臨限參考電壓值之此一機會可包括實施對儲存於MLC記憶體中之資料之密碼保護。舉例而言，僅瞭解用於將特定資料寫

入至MLC記憶體裝置中之臨限電壓值之一使用者可隨後能夠讀取該特定資料(使用在程式化操作期間使用之臨限電壓參考值)。在一實施方案中，一臨限電壓值 V_T 不需要具有與其相關聯之一唯一邏輯值。舉例而言， $\alpha < V_T < \beta$ 關於 α 可表示一個「0」，但 $\alpha < V_T < \beta$ 關於 β 可表示一個「1」。在此一情形下，舉例而言，僅使用者可知曉應在任一特定位址處關於哪一參考位準來執行一讀取操作。因此，僅使用者可能夠擷取正確資料(例如，一特定位址處之一記憶體胞程式化有 $\alpha < V_T < \beta$ 以意指「0」或「1」)。因此，使用者可界定並建立適合用於加密之編碼方案。舉例而言，使用者可將邏輯值自由地指派給關於位元組或字中之位元位置中之特定參考位準量測之臨限電壓範圍。在讀出時，可輸入校正參數程式碼以便擷取有意義的資料。在一特定實施方案中，為增加所儲存資料之安全性，可僅在讀取資料歸屬於可僅為一使用者知曉之一所規定範圍內之情形下才認為此資料有效。舉例而言，此等範圍可包含在 α 與 δ 之間、 β 與 ϕ 之間或 γ 與 η 之間的讀取資料。此外，藉由選擇一記憶體指令中之一或多個操作參數，一使用者可界定不同臨限電壓範圍中之不同邏輯值(例如，「0」或「1」)。舉例而言，「1」可由 $V_T < \alpha$ 或 $\gamma < V_T < \delta$ 表示，且「0」可由 $\alpha < V_T < \gamma$ 或 $\delta < V_T < \phi$ 表示。在一項實施方案中，臨限電壓值 α 、 β 、 γ 、 δ 、 η 、 ϕ 可儲存於MLC記憶體裝置中以用作用以讀取特定資料之一「密鑰」。此外，注意，邏輯值與臨限電壓範圍之間的對應可針對記憶體陣列之不同部分單獨界定，從而

導致再進一步增加之靈活性及安全性。當然，操作參數之此等細節僅係實例，且所主張之標的物並不限於此。

在一實施例中，可藉由重新界定(例如，針對記憶體陣列之個別記憶體胞)將資料寫入至一記憶體陣列之一程式化操作期間之一定數目個所允許狀態位準來將一變化量的資訊儲存於該記憶體陣列中。隨後，可基於所界定數目個所允許狀態位準來讀取此資料。舉例而言，一記憶體陣列中之記憶體胞之一部分可包含二階(1個位元)編碼記憶體胞，記憶體胞之另一部分可包含三階(1.5個位元)編碼記憶體胞，記憶體胞之又一部分可包含四階(2個位元)編碼記憶體胞等。在此情形下，使用圖2作為一例示性參考，若陣列中之記憶體胞屬於第一個部分(1個位元)，則可使用操作參數 β 作為臨限電壓參考值來程式化及讀取該等記憶體胞，若該等記憶體胞屬於另一部分(1.5個位元)，則關於 γ 及 η 來程式化及讀取該等記憶體胞，且若該等記憶體胞屬於又一部分(2個位元/胞)，則使用 α 、 δ 及 ϕ 來程式化及讀取該等記憶體胞。因此，一記憶體陣列之記憶體容量可藉由選擇影響記憶體胞編碼之一或多個操作參數(例如，在一寫入命令之情形下)動態地變化。

在一實施例中，在如上文所闡述之一位元操縱過程期間，可界定多位階記憶體胞之邏輯內容以便允許在記憶體中將「1」覆寫至「0」上。舉例而言，知曉一位元操縱過程中之待決步驟之一使用者可使用不同操作參數來存取(例如，程式化或讀取)多位階記憶體胞，以使得不同所允

許臨限電壓範圍可與儲存於其中之邏輯值相關聯。返回至圖2，以下實例闡述涉及ECC之一特定位元操縱過程。如在本發明實例中，此一位元操縱過程可包括兩個程式化操作。在一第一程式化操作中，可將資料之一部分寫入至一頁(其中ECC可保護一整個頁)。在該第一程式化操作中，一使用者可選擇(經由一記憶體指令中之一或多個操作參數)兩個最低 V_T 分佈(目標分佈)210及220來儲存資料。舉例而言，可使用 V_T 分佈210來儲存「1」且可使用 V_T 分佈220來儲存「0」(未程式化之資料可保持於一個「1」狀態中)。可藉由提供包含一程式化命令、一位址、資料及表示一字線程式化驗證位準(諸如，圖2中之 $V_T=\alpha$)之一操作參數之一指令來實行程式化一個「0」。以一類似方式，可藉由使用包含一讀取命令、一位址及表示一字線讀取電壓(諸如， $V_T=0$ 伏特)(例如，以在該第一程式化操作處區別「1」與「0」)之一操作參數之一指令來自經受位元操縱之記憶體頁讀取此資料。

在位元操縱過程之一第二程式化操作期間，可程式化額外位元，此可導致ECC位元經受改變，包括原本被禁止的「0」至「1」轉變。一使用者可選擇(經由一記憶體指令中之一或多個操作參數)不同於上文所闡述之第一程式化操作中所使用之 V_T 分佈之兩個 V_T 分佈。因此，舉例而言，可使用 V_T 分佈240來儲存「1」且可使用 V_T 分佈270來儲存「0」。可將先前程式化之資料自分佈210複製至分佈240且自分佈220複製至分佈270，以維持臨限電壓範圍與邏輯值

之間的關聯一致性。可藉由提供包含一程式化命令、一位址、資料及一第一操作參數以及一第二操作參數之一指令來實行程式化一個「0」。該第一操作參數可包含一「經抹除」狀態之一字線程式化驗證位準(例如，圖2中之 $V_T=\gamma$)且該第二操作參數可包含一「經程式化」狀態之一字線程式化驗證位準(例如， $V_T=\phi$)。舉例而言，在一項實施方案中，在位元操縱過程之此階段之後，可使用包含一讀取命令、一位址及表示一字線讀取電壓(諸如， $V_T=\eta$ 伏特)(在此階段處藉助對記憶體胞之一單個存取來區別「1」與「0」)之一操作參數之一指令來實行自經受位元操縱之記憶體頁讀取資料。

以下實例闡述根據一實施例之涉及ECC之一特定位元操縱過程。此一位元操縱過程可包括兩個以上程式化操作。在以下實例之情形下，一位元操縱過程包括三個程式化操作。在一第一程式化操作中，可將資料之一部分寫入至一頁。在該第一程式化操作中，一使用者可選擇(經由一記憶體指令中之一或多個操作參數)兩個最低 V_T 分佈(目標分佈)210及220來儲存資料。舉例而言，可使用 V_T 分佈210來儲存「1」且可使用 V_T 分佈220來儲存「0」(未程式化之資料可保持於一個「1」狀態中)。如上文所闡釋，可藉由提供包含一程式化命令、一位址、資料及表示一字線程式化驗證位準(例如，圖2中之 $V_T=\alpha$)之一操作參數之一指令來實行程式化一個「0」。以一類似方式，可藉由使用包含一讀取命令、一位址及表示一字線讀取電壓(例如， $V_T=0$ 伏

特)(例如，以在位元操縱過程之第一程式化操作處區別「1」與「0」)之一操作參數之一指令來自經受位元操縱之記憶體頁讀取此資料。

在一位元操縱過程之一第二程式化操作期間，目標 V_T 分佈(例如，由一使用者經由操作參數選擇)可包含 V_T 分佈220，對於未改變的已經程式化之資料(例如，將「0」寫入至「0」上)且對於新程式化之資料(例如，將「0」寫入至「1」上)，其可表示一個「0」。此外，另一目標 V_T 分佈可包含 V_T 分佈240，對於未改變的已經程式化之資料(例如，將「1」寫入至「1」上)且對於新程式化之資料(例如，將「1」寫入至「0」上)，其可表示一個「1」。在此一情形下，包括於一記憶體指令中之一操作參數可表示「1」之一程式化-驗證電壓(例如， γ)。此外，在此一情形下，在該第二程式化操作中，「0」可與低於「1」之臨限電壓之一臨限電壓相關聯。因此，舉例而言，可藉由使用包含一讀取命令、一位址及表示一字線讀取電壓(諸如， $V_T=\gamma$)之一操作參數之一指令來自經受位元操縱之記憶體頁讀取此資料。

在一位元操縱過程之一第三程式化操作期間，目標 V_T 分佈(例如，由一使用者經由操作參數選擇)可包含 V_T 分佈240，對於未改變的已經程式化之資料(例如，將「1」寫入至「1」上)且對於新程式化之資料(例如，將「1」寫入至「0」上)，其可表示一個「1」。此外，另一目標 V_T 分佈可包含 V_T 分佈270，對於未改變的已經程式化之資料(例

如，將「0」寫入至「0」上)且對於新程式化之資料(例如，將「0」寫入至「1」上)，其可表示一個「0」。在此一情形下，包括於一記憶體指令中之一操作參數可表示「0」之一程式化驗證電壓(例如， ϕ)。此外，在此一情形下，在該第三程式化操作中，「1」可與低於「0」之臨限電壓的一臨限電壓相關聯。因此，舉例而言，可藉由使用包含一讀取命令、一位址及表示一字線讀取電壓(諸如 $V_T = \phi$)(或 $V_T = \eta$ ，以增加關於 V_T 分佈 270 中之已程式化胞的讀取邊限)之一操作參數之一指令來自經受位元操縱之記憶體頁讀取此資料。當然，位元操縱之此等細節僅係實例，且所主張之標的物並不限於此。

圖3包括展示根據一實施例之偏壓信號波形之特性300及記憶體胞電壓或電流之曲線圖。舉例而言，可將此等偏壓信號波形施加至一記憶體胞之一閘極以用於程式化該記憶體胞之一狀態(後續步驟之間的程式化驗證結束的可能變化並不在該波形圖中表示)。偏壓信號波形310包括一相對大電壓步長 V_{step} 及相對短時間步長 T_{step} 。相比而言，偏壓信號波形330包括一相對小電壓步長 V_{step} 及相對長時間步長 T_{step} 。偏壓信號波形320包括介於偏壓信號波形310之值與偏壓信號波形330之值之間的一電壓步長 V_{step} 及一時間步長 T_{step} 。電壓步長 V_{step} 及時間步長 T_{step} 之值可影響一記憶體操作之精確性及/或速度。雖然所主張之標的物並不限於此，但增加的精確性可導致一記憶體操作之減小之速度，而減小的精確性可導致一記憶體操作之增加之速度。

在一實施方案中，如上文所論述，可由包括於一記憶體指令中之一操作參數之一或多個值及/或程式碼來選擇電壓步長 V_{step} 及一時間步長 T_{step} 之值(且因此精確性及/或速度)。因此，一記憶體裝置之效能可由可偏好一記憶體操作相對快而非精確或偏好一記憶體操作相對慢且高度精確(例如，可以較長執行時間為代價偏好一單個記憶體胞之相對諸多個狀態位準)之一使用者來選擇。當然，偏壓波形之此等細節僅係實例，且所主張之標的物並不限於此。

在一項實施方案中，一記憶體陣列之一個部分可不同於該記憶體陣列之另一部分受一或多個操作參數的影響。換言之，操作參數不需要以相同方式影響一記憶體陣列之所有部分。因此，舉例而言，如上文所闡述，不同區塊、頁、字或位元組可至少部分地基於包括於一記憶體指令中之一或多個操作參數而具有不同編碼。

在一實施例中，用以將資訊寫入至一PCM胞之一過程可包含將該PCM胞設定或重設至一個狀態或另一狀態。舉例而言，一PCM胞可藉由通過施加一相對高振幅、相對短持續時間電程式化脈衝來熔化相變材料而重設。相比而言，一PCM胞可藉由施加具有一相對較長持續時間之一相對較小亞熔化振幅電程式化脈衝(舉例而言，其可包括一相對突然的下降)來設定。一PCM胞亦可藉由施加可能具有一隨時間逐漸傾斜的電壓或電流下降之一較高過熔化振幅電程式化脈衝以允許熔化的相變材料結晶來設定。此一重設及/或設定脈衝及過程可作為一「寫入」或「程式化」脈

衝及一「寫入」或「程式化」過程而施加。在一實施方案中，如上文所闡述，一或多個操作參數可隨附一記憶體指令中之一寫入命令。此等操作參數之值可影響一程式化脈衝之各種元素，諸如量值、持續時間、斜率等。當然，一程式化脈衝之此等細節僅係實例，且所主張之標的物並不限於此。

圖4包括展示根據一實施例之偏壓信號波形之特性及記憶體胞電壓或電流之曲線圖。此等偏壓信號波形可在讀取PCM胞之一過程期間(例如，諸如在一寫入驗證過程期間)施加至PCM胞。如下文所闡釋，可使用包括於一記憶體指令中之一操作參數來選擇此等偏壓信號波形之特定特性。舉例而言，一記憶體指令可包含一寫入命令、一記憶體陣列之一位址、待寫入之資料及影響待用於將資料寫入至記憶體陣列之偏壓信號波形之一或多個特定特性之一或多個操作參數。偏壓信號波形之此等特定特性可包括脈衝振幅、脈衝斜率、脈衝步長寬度、脈衝步長高度等。此外，一操作參數可用於在若干種類型之偏壓信號波形(例如偏壓信號波形410及420)當中進行選擇。舉例而言，偏壓信號波形410可包括一系列設定脈衝412、414及416，其構成具有自一個脈衝至下一個脈衝依序增加之個別峰值振幅之一波形。此一偏壓信號波形可解決一PCM中或多個PCM裝置中之複數個PCM胞之實體及/或電特性之可變性之一問題。在一項特定實施方案中，第一偏壓脈衝412可包含自峰值振幅440延伸至一斜升終點430之一負斜率設定斜升

435。雖然展示設定脈衝412具有一線性設定斜升及垂直轉變，但曲線圖400僅意欲表示偏壓信號之一示意圖，且所主張之標的物在此方面並不受限。在一項特定實施方案中，第二設定脈衝414之峰值振幅450可大於先前第一設定脈衝412之峰值振幅440。作為另一實例，偏壓信號波形420包括一系列重設脈衝422、424及426，該等脈衝構成具有(例如)自一個脈衝至下一個脈衝依序增加的個別振幅之一波形。與偏壓信號波形410相比，偏壓信號波形420不需要包括一負斜率設定斜升。當然，用以操作一PCM之技術之此等細節僅係實例，且所主張之標的物並不受限於此。

圖5係根據一實施例之用以操作一記憶體裝置之一過程500之一流程圖。如上文所論述，用於操作一記憶體裝置之一技術可涉及針對該記憶體裝置之包括影響該記憶體裝置之一實體操作條件之一操作參數之一記憶體指令。在方塊510處，記憶體裝置可接收包括用以在一記憶體位置處操作之一命令之此一記憶體指令。在方塊520處，除包括一命令及可能闡述記憶體位置之一位址之外，記憶體裝置可接收包括一操作參數之記憶體指令。舉例而言，一記憶體指令可包括一讀取(READ)命令、一位址及一操作參數 V_{READ} ，該操作參數 V_{READ} 可用於為由該位址規定之記憶體胞選擇一參考臨限電壓。在一特定實施方案中，此一操作參數不需要包含(例如)一電壓之一值，而是可包含表示一電壓(或電流或時間等)之值之一程式碼。在一個情形下，記憶體裝置可儲存用於將一操作參數之一程式碼轉換

成一實際電壓或電流之值之一表。舉例而言，可藉由寫入至該表(維持於記憶體裝置之一部分中)來創建及/或修改此一表。(數位)程式碼至一實際(類比)電壓或電流之此一轉換可由可包括於記憶體裝置中之一數位至類比轉換器(DAC)及/或一電壓或電流產生器執行。如上文所提及，記憶體裝置可串列地或與命令及記憶體位址並列地接收此一操作參數。在方塊530處，在執行於方塊510處接收之記憶體指令的同時，可至少部分地基於操作參數修改記憶體裝置之一或多個實體操作條件(例如，記憶體胞之臨限電壓)。當然，過程500之此等細節僅係實例，且所主張之標的物並不受限於此。

圖6係圖解說明包括一記憶體裝置610之一計算系統600之一例示性實施例之一示意圖。此一計算裝置可包含(例如)一或多個處理器以執行一應用程式及/或其他程式碼。舉例而言，記憶體裝置610可包含包括圖1中所展示之PCM 100之一部分之一記憶體。一計算裝置604可表示可組態以管理記憶體裝置610之任一裝置、器具或機器。記憶體裝置610可包括一記憶體控制器615及一記憶體622。在一項實施方案中，記憶體控制器615可包括一參數管理區塊650以接收包括於一記憶體指令中之一操作參數且至少部分地基於該操作參數修改記憶體裝置610之實體操作條件。藉由實例而非限制方式，計算裝置604可包括：一或多個計算裝置及/或平台，諸如(例如)，一桌上型電腦、一膝上型電腦、一工作站、一伺服器裝置或諸如此類；一或多個個

人計算或通信裝置或器具，諸如(例如)一個人數位助理、行動通信裝置或諸如此類；一計算系統及/或相關聯服務提供商能力，諸如(例如)一資料庫或資料儲存服務提供商/系統；及/或其任一組合。

認識到，系統600中所展示之各種裝置以及如本文中進一步闡述之過程及方法之全部或部分可使用或以其他方式包括硬體、韌體、軟體或其任一組合來實施。因此，藉由實例而非限制方式，計算裝置604可包括透過一匯流排640以操作方式耦合至記憶體622之至少一個處理單元620及一主機或記憶體控制器615。處理單元620表示可組態以執行一資料計算程序或過程之至少一部分之一或多個電路。藉由實例而非限制方式，處理單元620可包括一或多個處理器、控制器、微處理器、微控制器、專用積體電路、數位信號處理器、可程式化邏輯裝置、場可程式化閘陣列及諸如此類或其任一組合。處理單元620可包括經組態以與記憶體控制器615通信之一作業系統。舉例而言，此一作業系統可產生將經由匯流排640發送至記憶體控制器615之包括命令、位址及/或操作參數之記憶體指令。此等命令可包含讀取、寫入或抹除命令。回應於此等記憶體指令，舉例而言，記憶體控制器615可執行上文所闡述之過程500以執行命令及/或修改記憶體裝置610之一或多個實體操作條件。舉例而言，記憶體控制器615可回應於包括於一記憶體指令中之一操作參數來增加施加至一PCM胞陣列中之至少一者之一偏壓信號之一量值。

記憶體 622 表示任一資料儲存機構。記憶體 622 可包括(例如)一主要記憶體 624 及/或一輔助記憶體 626。主要記憶體 624 可包括(例如)一隨機存取記憶體、唯讀記憶體等。雖然在此實例中圖解說明為與處理單元 620 分離，但應理解，一主要記憶體 624 之全部或部分可提供於處理單元 620 內或以其他方式與處理單元 620 共置/耦合。

輔助記憶體 626 可包括(例如)與主要記憶體相同或類似類型之記憶體及/或一或多個資料儲存裝置或系統，諸如(例如)一磁碟機、一光碟機、一磁帶機、一固態記憶體磁碟機等。在某些實施方案中，輔助記憶體 626 可以操作方式接受一電腦可讀媒體 628 或可以其他方式組態以耦合至一電腦可讀媒體 628。電腦可讀媒體 628 可包括(例如)可攜載用於系統 600 中之裝置中之一或多者之資料、程式碼及/或指令及/或使得該等資料、程式碼及/或指令可存取之任一媒體。

計算裝置 604 可包括(例如)一輸入/輸出 632。輸入/輸出 632 表示可組態以接受或以其他方式引入人類及/或機器輸入之一或多個裝置或特徵，及/或可組態以遞送或以其他方式實現人類及/或機器輸出之一或多個裝置或特徵。藉由實例而非限制方式，輸入/輸出裝置 632 可包括一以操作方式組態之顯示器、揚聲器、鍵盤、滑鼠、軌跡球、觸控螢幕、資料埠等。

本文中所用之術語「及(and)」、「及/或(and/or)」及「或(or)」可包括將至少部分地取決於其所使用之上下文之各

種含義。通常，若使用「及/或(and/or)」以及「或(or)」來使諸如A、B或C之一列表相關聯，則「及/或(and/or)」以及「或(or)」意欲意指A、B及C(此處以包含意義使用)以及A、B或C(此處以互斥意義使用)。此說明書通篇中所提及之「一項實施例(one embodiment)」或「一實施例(an embodiment)」意指結合該實施例闡述之一特定特徵、結構或特性包括於所主張之標的物之至少一項實施例中。因此，在此說明書通篇中之各種地方出現之片語「在一項實施例中(in one embodiment)」或「一實施例(an embodiment)」未必全部指代同一實施例。此外，可將該等特定特徵、結構或特性組合在一或多項實施例中。

雖然已圖解說明及闡述了目前被視為實例性實施例之實施例，但熟習此項技術者將理解，可在不背離所主張之標的物之情形下做出各種其他修改且可以等效物替代。另外，可在不背離本文中所闡述之中心概念之情形下做出諸多修改以使一特定情形適於所主張之標的物之教示。因此，意欲使所主張之標的物不限於所揭示之特定實施例，而是此所主張之標的物亦可包括歸屬於隨附申請專利範圍及其等效物之範疇內之所有實施例。

【圖式簡單說明】

圖1係根據一實施例之一記憶體裝置之一示意圖。

圖2係展示根據一實施例之一記憶體胞之特性及量測參數之一曲線圖。

圖3包括展示根據一實施例之偏壓信號波形之特性及記

憶體胞電壓或電流之曲線圖。

圖4包括展示根據一實施例之偏壓信號波形之特性及記憶體胞電壓或電流之曲線圖。

圖5係根據一實施例之用以操作一記憶體裝置之一過程之一流程圖。

圖6係圖解說明一計算系統之一例示性實施例之一示意圖。

【主要元件符號說明】

100	記憶體裝置
110	列解碼器
120	記憶體陣列
130	行解碼器
135	微控制器
140	命令介面及位址/資料管理區塊
145	埠
150	操作參數管理區塊
155	埠
600	計算系統
604	計算裝置
610	記憶體裝置
615	記憶體控制器
620	處理單元
622	記憶體
624	主要記憶體

626	輔助記憶體
628	電腦可讀媒體
632	輸入/輸出裝置
640	匯流排
650	參數管理區塊

七、申請專利範圍：

1. 一種操作一記憶體裝置之方法，其包含：

接收一記憶體指令，其記憶體指令包含：

用以在一記憶體中之一位置處操作之一命令，及
至少一個操作參數；及

至少部分地基於該至少一個操作參數來影響該記憶體中之周邊電路之一實體操作條件，其中該實體操作條件包含該記憶體之一精確性及該記憶體之一操作速度中至少一者。

2. 如請求項1之方法，其中該至少一個操作參數包含一數位信號。

3. 如請求項2之方法，其進一步包含將該數位信號轉換成一類比信號。

4. 如請求項2之方法，其進一步包含：

產生對應於該數位信號之一電壓或電流；及

將該電壓或電流施加至包括於該記憶體中之一或多個周邊電路。

5. 如請求項1之方法，其中該命令包含用以執行以下操作之一命令：自該記憶體讀取、寫入至該記憶體或抹除該記憶體之至少一部分。

6. 如請求項1之方法，其進一步包含：

接收與該指令包括在一起的一額外操作參數，其中該額外操作參數指示是否將在後續指令期間施加該至少一個操作參數。

7. 如請求項6之方法，其進一步包含至少部分地基於該額外操作參數在該記憶體中影響該周邊電路之該實體操作。
8. 如請求項1之方法，其中影響該周邊電路之該實體操作條件在該記憶體指令執行期間發生。
9. 一種記憶體裝置，其包含：

用以執行以下操作之電路：

讀取至一記憶體胞陣列或自一記憶體胞陣列寫入，及接收一記憶體指令，該記憶體指令包含：

用以在該記憶體胞陣列中之一位置處操作之一命令；及

至少一個操作參數；及

用以執行以下操作之一參數管理區塊：

接收該至少一個操作參數，及

至少部分地基於該至少一個操作參數來影響該電路之一實體操作條件，其中該實體操作條件包含該記憶體之一精確性及該記憶體之一操作速度中至少一者。

10. 如請求項9之記憶體裝置，其進一步包含一產生器以至少部分地基於該至少一個操作參數來產生電壓或電流位準。
11. 如請求項9之記憶體裝置，其進一步包含：
 - 一第一輸入埠，其用以接收該至少一個操作參數；及
 - 一第二輸入埠，其用以接收該命令。

12. 如請求項9之記憶體裝置，該電路進一步用以接收闡述該記憶體胞陣列中之該位置之一位址。
13. 如請求項9之記憶體裝置，其中該實體操作條件係在該記憶體指令執行期間被影響。
14. 如請求項9之記憶體裝置，其中該記憶體指令進一步包含一額外操作參數，該額外操作參數指示是否將在後續指令期間施加該至少一個操作參數，且其中該電路至少部分基於該至少一個操作參數及該額外操作參數影響該記憶體裝置中之該電路的該實體操作條件。
15. 一種電子系統，其包含：

一記憶體裝置，其包含一記憶體胞陣列，該記憶體裝置進一步包含用以執行以下操作之一記憶體控制器：

寫入至該記憶體胞陣列或自該記憶體胞陣列讀取；

接收一記憶體指令，該記憶體指令包含：

用以在該記憶體胞陣列中之一位置處操作之一命令；及

至少一個操作參數；及

至少部分地基於該至少一個操作參數來影響該記憶體裝置中之周邊電路之一實體操作條件，其中該實體操作條件包含該記憶體之一精確性及該記憶體之一操作速度中至少一者；及

一處理器，其用以主控一或多個應用程式且用以將該記憶體指令起始至該記憶體控制器以提供對該記憶體胞

陣列之存取。

16. 如請求項15之系統，其中該實體操作條件係在該記憶體指令執行期間被影響。
17. 如請求項15之系統，其中該記憶體指令進一步包含一額外操作參數，該額外操作參數指示是否將在後續指令期間施加該至少一個操作參數，且其中該記憶體控制器至少部分基於該至少一個操作參數及該額外操作參數影響該記憶體裝置中之該周邊電路的該實體操作條件。

八、圖式：

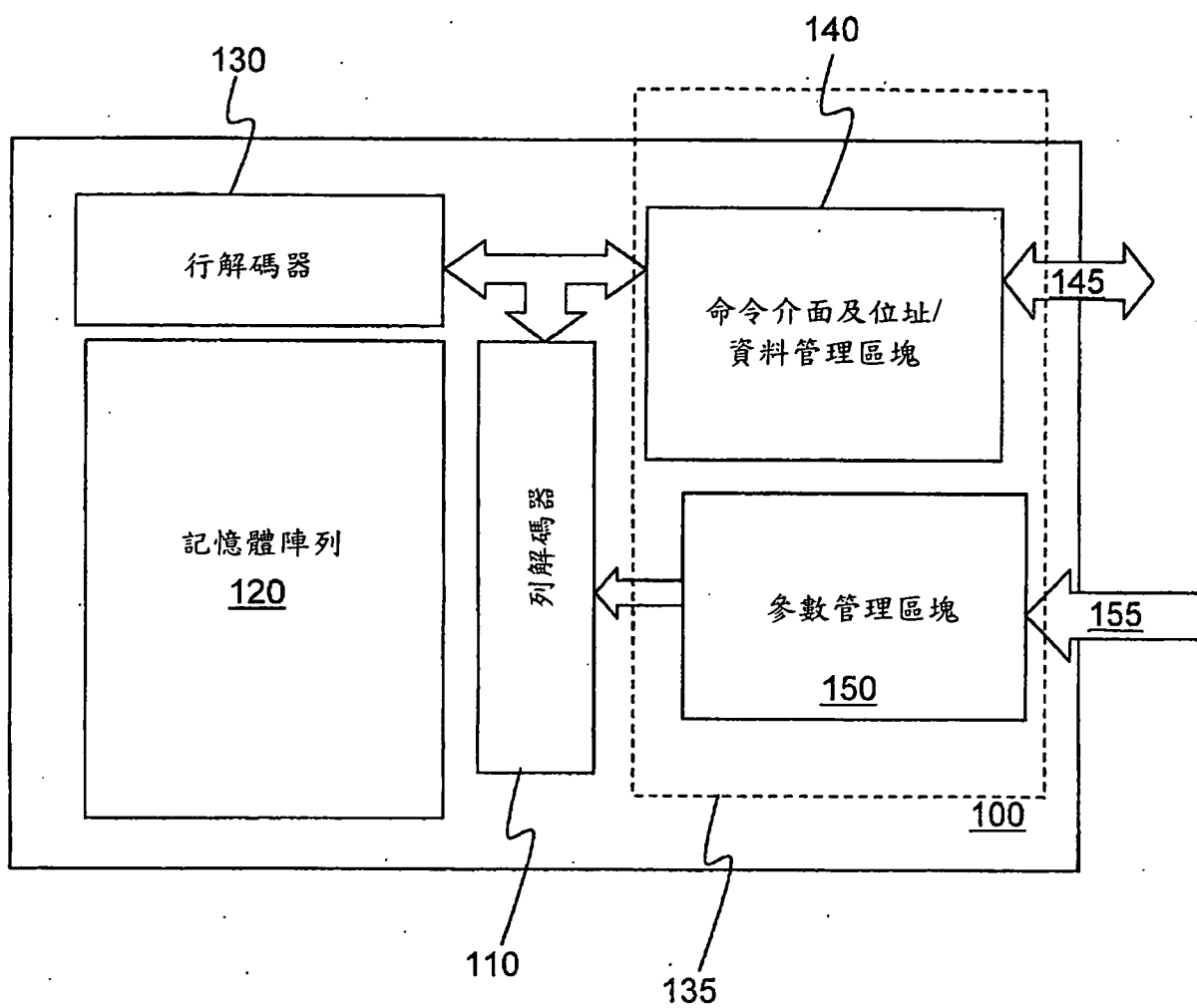


圖 1

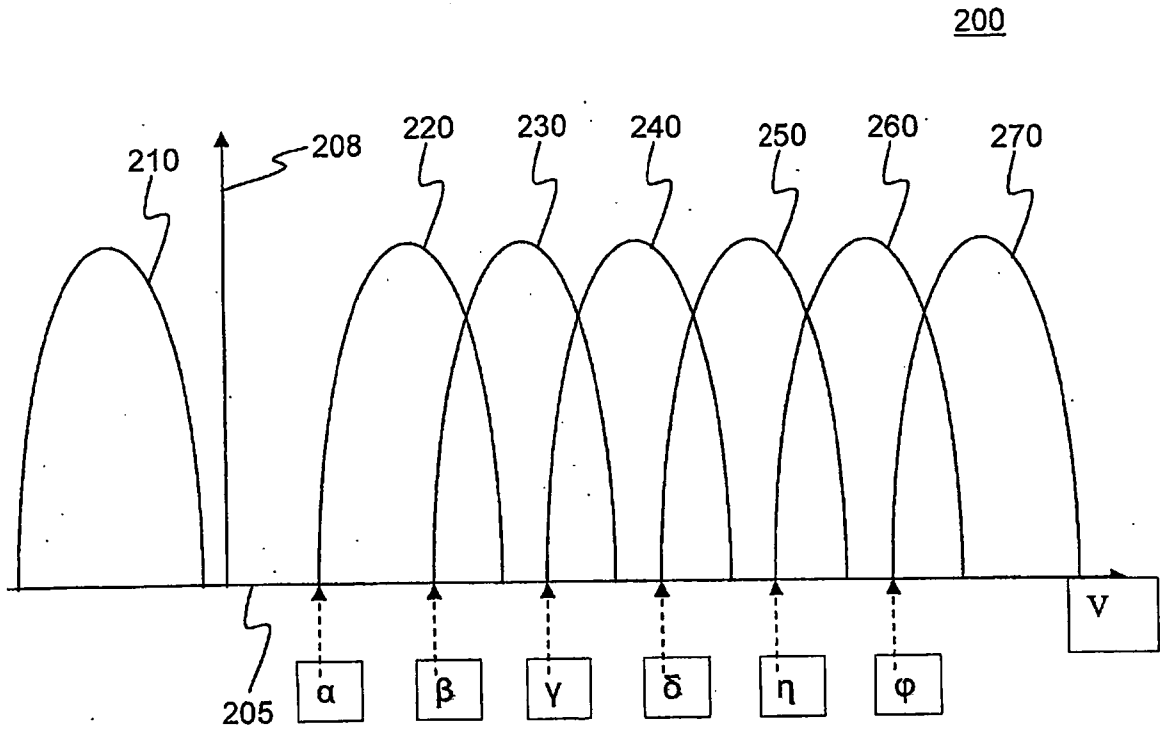


圖 2

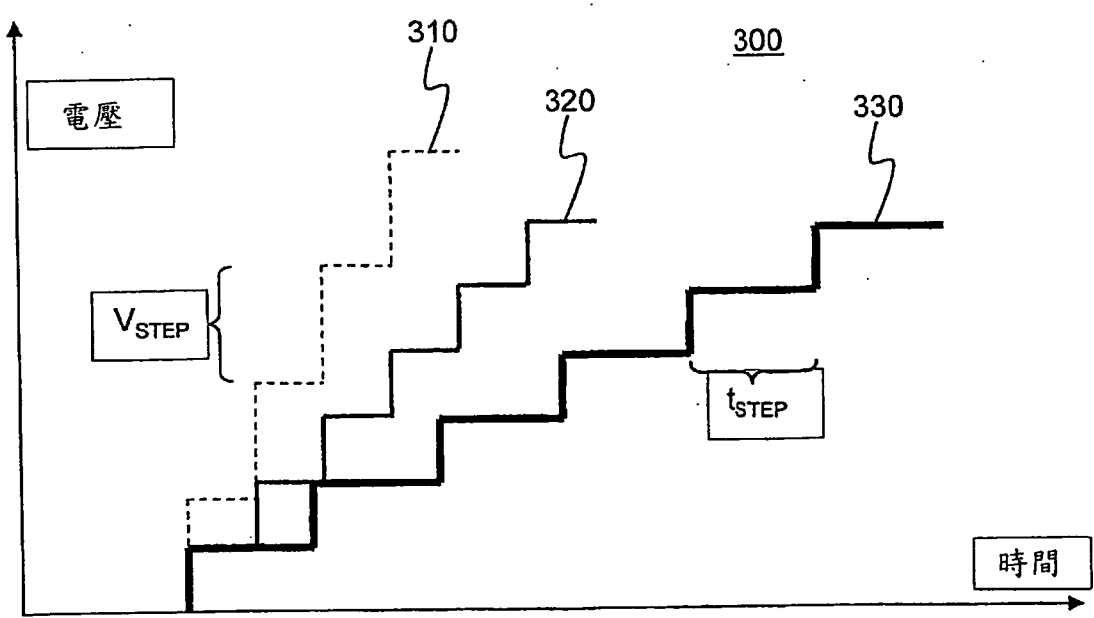


圖 3

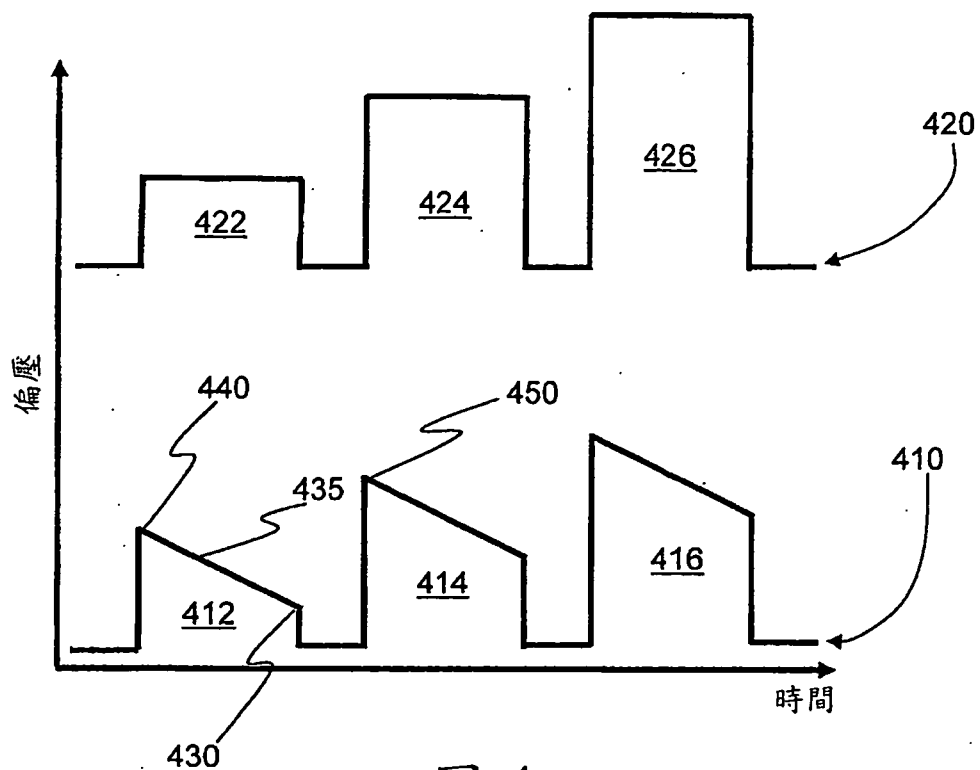


圖 4

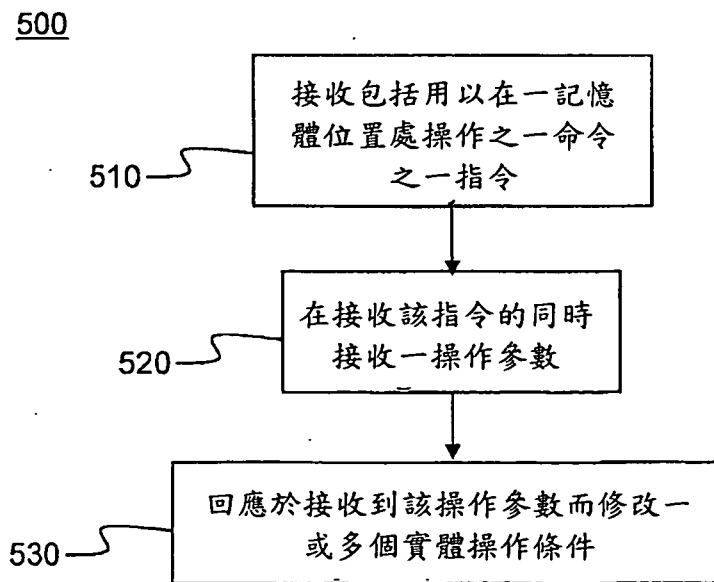


圖 5

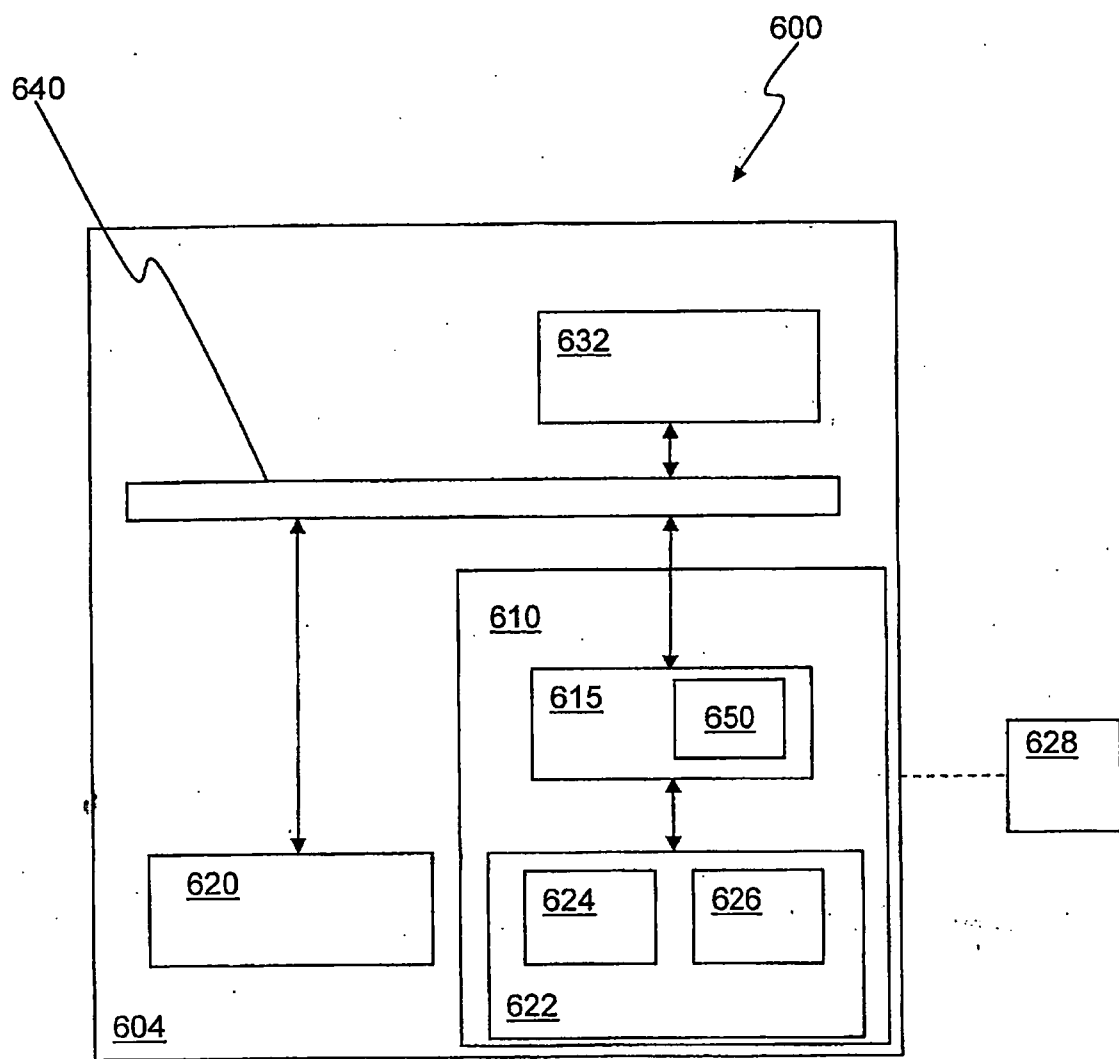


圖 6