



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I723343 B

(45) 公告日：中華民國 110 (2021) 年 04 月 01 日

(21) 申請案號：108105447

(22) 申請日：中華民國 108 (2019) 年 02 月 19 日

(51) Int. Cl. : H01L29/86 (2006.01)

H01L21/50 (2006.01)

H01L21/71 (2006.01)

(71) 申請人：頡邦科技股份有限公司 (中華民國) CHIPBOND TECHNOLOGY CORPORATION
(TW)

新竹市東區力行五路 3 號

(72) 發明人：施政宏 SHIH, CHENG-HUNG (TW)；楊念慈 YANG, NIAN-CIH (TW)；陳奕丞
CHEN, YI-CHENG (TW)；楊尚展 YANG, SHANG-JAN (TW)

(74) 代理人：張啟威

(56) 參考文獻：

TW M580254

US 8610247B2

US 2017/0062119A1

審查人員：孫建文

申請專利範圍項數：18 項 圖式數：20 共 28 頁

(54) 名稱

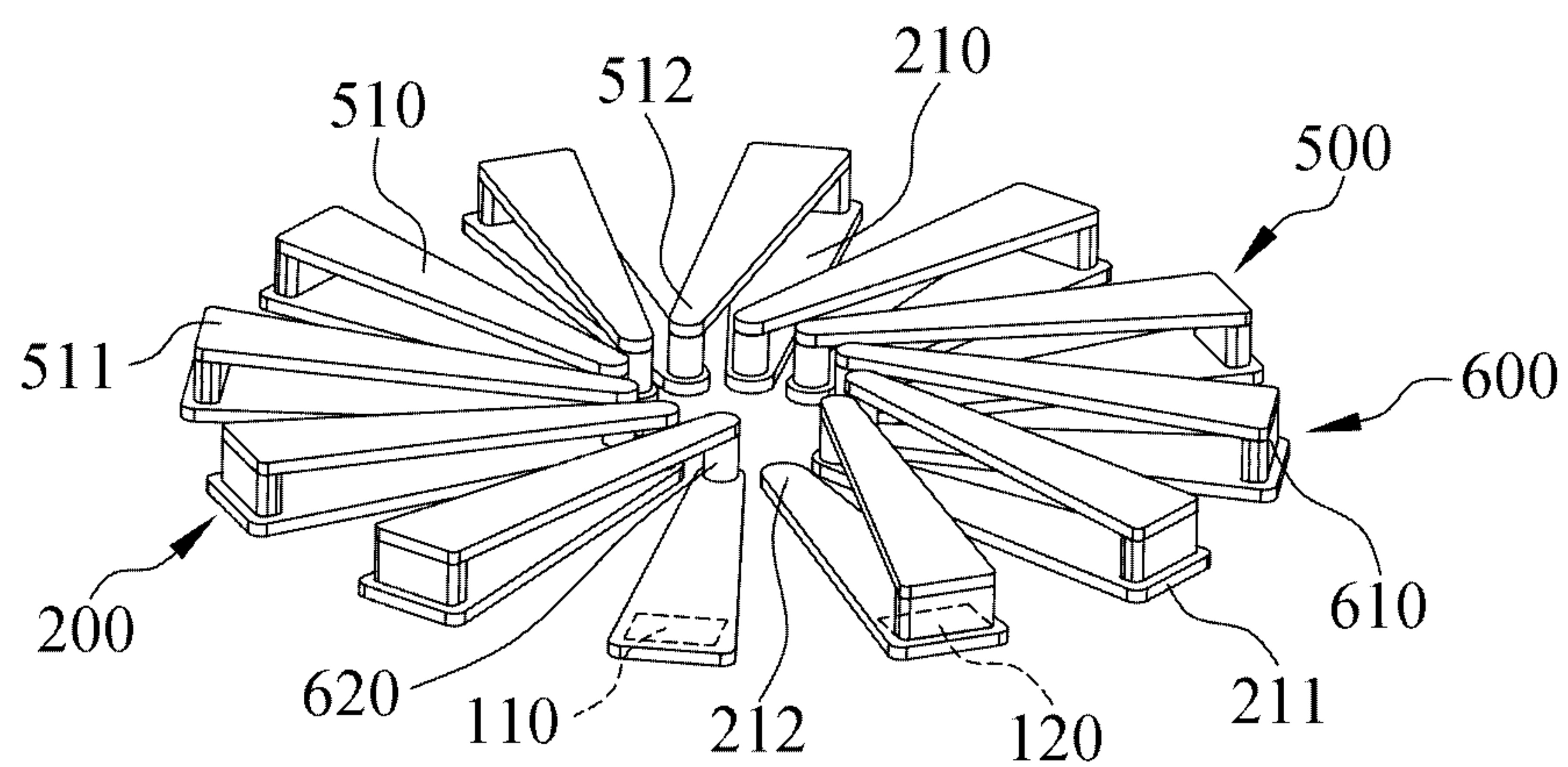
具立體電感之半導體結構及其製造方法

(57) 摘要

一種具立體電感之半導體結構具有一第一橫向電感、一縱向電感及一第二橫向電感，該第一橫向電感形成於一第一基板，該第二橫向電感及該縱向電感形成於一第二基板，接合該第一基板及該第二基板以連接該第一橫向電感及該縱向電感，使該第一橫向電感、該縱向電感及該第二橫向電感構成一立體電感。

A semiconductor structure having 3D inductor includes a first transverse inductor, a longitudinal inductor and a second transverse inductor. The first longitudinal inductor is formed on a first substrate, the second transverse inductor and the longitudinal inductor are formed on a second substrate. The longitudinal inductor is connected to the first transverse inductor by bonding the second substrate to the first substrate, such that a 3D inductor is formed from the first transverse inductor, the longitudinal inductor and the second transverse inductor.

指定代表圖：



第 15 圖

符號簡單說明：

- 110: 第一導接墊
- 120: 第二導接墊
- 200: 第一橫向電感
- 210: 第一電感部
- 211: 第一外側端
- 212: 第一內側端
- 500: 第二橫向電感
- 510: 第二電感部
- 511: 第二外側端
- 512: 第二內側端
- 600: 縱向電感
- 610: 外側電感部
- 620: 內側電感部



I723343

【發明摘要】**【中文發明名稱】** 具立體電感之半導體結構及其製造方法**【英文發明名稱】** Semiconductor structure having 3D inductor and manufacturing method thereof**【中文】**

一種具立體電感之半導體結構具有一第一橫向電感、一縱向電感及一第二橫向電感，該第一橫向電感形成於一第一基板，該第二橫向電感及該縱向電感形成於一第二基板，接合該第一基板及該第二基板以連接該第一橫向電感及該縱向電感，使該第一橫向電感、該縱向電感及該第二橫向電感構成一立體電感。

【英文】

A semiconductor structure having 3D inductor includes a first transverse inductor, a longitudinal inductor and a second transverse inductor. The first longitudinal inductor is formed on a first substrate, the second transverse inductor and the longitudinal inductor are formed on a second substrate. The longitudinal inductor is connected to the first transverse inductor by bonding the second substrate to the first substrate, such that a 3D inductor is formed from the first transverse inductor, the longitudinal inductor and the second transverse inductor.

【指定代表圖】 第15圖**【代表圖之符號簡單說明】**

110 第一導接墊

120 第二導接墊

案號 108105447 108年4月24日修正

200 第一橫向電感

210 第一電感部

211 第一外側端

212 第一內側端

500 第二橫向電感

510 第二電感部

511 第二外側端

512 第二內側端

600 縱向電感

610 外側電感部

620 內側電感部

【發明說明書】

【中文發明名稱】 具立體電感之半導體結構及其製造方法

【英文發明名稱】 Semiconductor structure having 3D inductor and manufacturing method thereof

【技術領域】

【0001】本發明關於一種半導體結構，特別是一種具有立體電感之半導體結構。

【先前技術】

【0002】習知電感多為平面電感，形成於半導體結構之基板表面，然而為了產生足夠的電感量，必須增加平面電感尺寸，使得半導體結構尺寸難以縮小，無法滿足現今半導體結構微細化的需求。

【發明內容】

【0003】本發明之目的在於提供一種具立體電感之半導體結構，藉由縱向電感連接分別位於兩個基板的放射狀橫向電感，以構成一立體電感。

【0004】本發明之一種具立體電感之半導體結構包含：一第一基板，具有一第一導接墊及一第二導接墊；一第一橫向電感，位於該第一基板上，該第一橫向電感具有複數個第一電感部，該些第一電感部放射狀排列於該第一基板，其中之一該第一電感部連接該第一導接墊，另一該第一電感部連接該第二導接墊，各該第一電感部具有一第一外側端及一第一內側端；一縱向電感，位於該第一橫向

電感上，該縱向電感具有一支撐層、複數個外側電感部及複數個內側電感部，該支撐層具有複數個外側開口及複數個內側開口，該些外側電感部位於該些外側開口，該些內側電感部位於該些內側開口；一第二橫向電感，位於該縱向電感上，該第二橫向電感具有一絕緣層及複數個第二電感部，該絕緣層具有複數個呈放射狀排列的開口，該些第二電感部位於該些開口且呈放射狀排列，各該第二電感部具有一第二外側端及一第二內側端，其中各該外側電感部之兩端分別連接該第一電感部之該第一外側端及該第二電感部之該第二外側端，各該內側電感部之兩端分別連接該第一電感部之該第一內側端及該第二電感部之該第二內側端，且連接相同該第二電感部之該外側電感部及該內側電感部分別連接兩相鄰之該第一電感部；以及一第二基板，位於該第二橫向電感上。

【0005】 本發明之一種具立體電感之半導體結構製造方法包含：形成一第一橫向電感於一第一基板，該第一基板具有一第一導接墊及一第二導接墊，該第一橫向電感具有複數個第一電感部，該些第一電感部放射狀形成於該第一基板，使其中之一該第一電感部連接該第一導接墊，並使另一該第一電感部連接該第二導接墊，各該第一電感部具有一第一外側端及一第一內側端；形成一第二橫向電感於一第二基板，該第二橫向電感具有一絕緣層及複數個第二電感部，該絕緣層形成於該第二基板且具有複數個呈放射狀排列的開口，該些第二電感部形成於該些開口並呈放射狀排列，各該第二電感部具有一第二外側端及一第二內側端；形成一縱向電感於該第二橫向電感，該縱向電感具有一支撐層、複數個外側電感部及複數個內側電感部，該支撐層形成於該第二橫向電感且具有複數個外側開口及複數個內側開口，該些外側開口顯露該些第二電感部之該第二外側端，該些內側開口顯露該些第二電感部之該第二內側端，該些外側電感部形成於該

案號 108105447 109年2月25日修正

些外側開口以連接該些該第二外側端，該些內側電感部形成於該些內側開口以連接該些第二內側端；以及接合該縱向電感及該第一橫向電感，使該些外側電感部及該些內側電感部分別連接該些第一電感部之該第一外側端及該第一內側端，其中連接相同該第二電感部之該外側電感部及該內側電感部分別連接兩相鄰之該第一電感部。

【0006】本發明形成該第一橫向電感於該第一基板並形成該第二橫向電感及該縱向電感於該第二基板，接合該縱向電感及該第一橫向電感後，使該第一橫向電感、該縱向電感及該第二橫向電感形成一立體電感，藉由形成該立體電感以增加截面積並提高其電感量。

【圖式簡單說明】

【0007】

第1圖：依據本發明之一較佳實施例，一種半導體結構製造方法之流程圖。

第2圖：依據本發明之一較佳實施例，一半導體結構之立體示意圖。

第3圖：第2圖之上視圖。

第4圖：依據本發明之一較佳實施例，該半導體結構之上視示意圖。

第5圖：沿第4圖A-A剖線之剖視示意圖。

第6圖：依據本發明之一較佳實施例，該半導體結構之立體示意圖。

第7圖：第6圖之上視圖。

第8圖：依據本發明之一較佳實施例，該半導體結構之剖視示意圖。

第9圖：依據本發明之一較佳實施例，該半導體結構之剖視示意圖。

第10圖：依據本發明之一較佳實施例，該半導體結構之立體示意圖。

案號 108105447 109年2月25日修正

第11圖：依據本發明之一較佳實施例，該半導體結構之剖視示意圖。

第12圖：依據本發明之一較佳實施例，該半導體結構之剖視示意圖。

第13圖：依據本發明之一較佳實施例，該半導體結構之上視示意圖。

第14圖：沿第13圖B-B剖線之剖視示意圖。

第15圖：依據本發明之一較佳實施例，該半導體結構之立體示意圖。

第16圖：依據本發明之一較佳實施例，該半導體結構之上視示意圖。

第17圖：沿第16圖C-C剖線之剖視示意圖。

第18圖：依據本發明之一較佳實施例，該半導體結構之上視示意圖。

第19圖：沿第18圖D-D剖線之剖視示意圖。

第20圖：沿第18圖E-E剖線之剖視示意圖。

【實施方式】

【0008】請參閱第1圖，其為本發明之一較佳實施例，一種具立體電感之半導體結構的製造方法10包含下列步驟：「形成第一橫向電感於第一基板」11、「形成第二橫向電感於第二基板」12、「形成縱向電感於第二橫向電感」13及「接合縱向電感及第一橫向電感」14，然而本發明不限制「形成第一橫向電感於第一基板」11及「形成第二橫向電感於第二基板」12之順序。

【0009】請參閱第2、3及5圖，首先，於一第一基板100上形成一第一橫向電感200，該第一基板100具有一第一導接墊110及一第二導接墊120，該第一導接墊110及該第二導接墊120顯露於該第一基板100之表面，該第一橫向電感200具有複數個第一電感部210，該些第一電感部210放射狀形成於該第一基板100，使其中一該第一電感部210連接該第一導接墊110，並使另一該第一電感部210連接

案號 108105447 108年4月24日修正

該第二導接墊120，其中可藉由蝕刻位於該第一基板100上的一金屬層以形成該些第一電感部210，或於該第一基板100上形成一圖案化光阻後，藉由該圖案化光阻進行金屬沈積以形成該些第一電感部210，本發明並無限制。

【0010】請參閱第2及3圖，各該第一電感部210具有一第一外側端211及一第一內側端212，較佳地，該第一外側端211之一寬度 W_{O1} 大於該第一內側端212之一寬度 W_{I1} ，且兩相鄰之該第一外側端211之一間距 D_{O1} 大於兩相鄰之該第一內側端212之一間距 D_{I1} ，在本實施例中，該些第一電感部210之寬度由該第一外側端211朝該第一內側端212遞減。

【0011】請參閱第2、3及5圖，較佳地，該些第一電感部210環狀排列於該第一基板100，且其中兩個相鄰的該第一電感部210分別連接該第一導接墊110及該第二導接墊120，在本實施例中，兩個相鄰的該第一電感部210係經由該第一外側端211分別連接該第一導接墊110及該第二導接墊120。

【0012】請參閱第4及5圖，形成該第一橫向電感200後，可於該第一橫向電感200上形成一保護層300，該保護層300覆蓋該第一基板100及該第一橫向電感200，該保護層300具有複數個第一顯露開口310及複數個第二顯露開口320，該些第一顯露開口310顯露該些第一電感部210之該第一外側端211，該些第二顯露開口320顯露該些第一電感部210之該第一內側端212。

【0013】請參閱第6至9圖，接著於一第二基板400上形成一第二橫向電感500，該第二橫向電感500具有複數個第二電感部510及一絕緣層520(第6及7圖省略該絕緣層520)，該絕緣層520形成於該第二基板400且具有複數個開口521，該些開口521呈放射狀排列，該些第二電感部510形成於該些開口521，因此該些第二電感部510亦呈放射狀排列，其中該絕緣層520可為一乾膜光阻，貼附於該第二

案號 108105447 108年4月24日修正

基板400後，藉由圖案化製程形成該些開口521，再進行金屬沈積以形成該些第二電感部510於該些開口521中。

【0014】請參閱第7圖，各該第二電感部510具有一第二外側端511及一第二內側端512，較佳地，該第二外側端511之一寬度 $WO2$ 大於該第二內側端512之一寬度 $WI2$ ，且兩相鄰之該第二外側端511之一間距 $DO2$ 大於兩相鄰之該第二內側端512之一間距 $DI2$ ，在本實施例中，該第二電感部510之寬度由該第二外側端511朝該第二內側端512遞減。

【0015】請參閱第10至12圖，形成該第二橫向電感500後，形成一縱向電感600於該第二橫向電感500上，該縱向電感600具有複數個外側電感部610、複數個內側電感部620及一支撐層630(第10圖省略該絕緣層520及該支撐層630)，該支撐層630形成於該第二橫向電感500且具有複數個外側開口631及複數個內側開口632，較佳地，該支撐層630亦為一乾膜光阻，貼附於該第二橫向電感500後，藉由圖案化製程形成該些外側開口631及該些內側開口632，該些外側開口631顯露該些第二電感部510之該第二外側端511，該些內側開口632顯露該些第二電感部510之該第二內側端512，接著進行金屬沈積，形成該些外側電感部610於該些外側開口631中，使該些外側電感部610連接該些第二電感部510之該第二外側端511，並同時形成該些內側電感部620於該些內側開口632中，使該些內側電感部620連接該些第二電感部510之該第二內側端512。

【0016】請參閱第12圖，在本實施例中，該外側電感部610之一高度 HO 實質上等於該內側電感部620之一高度 HI ，且該外側電感部610及該內側電感部620之高度大於該第二電感部510之一高度 H ，較佳地，該外側電感部610及該內側電感部620之高度介於 $10-80\ \mu\text{m}$ 之間，該第二電感部510之高度介於 $3-40\ \mu\text{m}$ 之間。

【0017】在其他實施例中，該支撐層630係由兩層乾膜光阻疊合而成，將第一層乾膜光阻貼附於該第二橫向電感500，進行光阻圖案化及金屬沈積製程，以形成該些外側電感部610及該些內側電感部620，接著貼附第二層乾膜光阻於第一層乾膜光阻上，再次進行光阻圖案化及金屬沈積製程，使形成於兩層乾膜光阻中的該些外側電感部610彼此連接，並使形成於兩層乾膜光阻中的該些內側電感部620彼此連接。

【0018】請參閱第13及14圖，形成該縱向電感600後，可於該縱向電感600上形成一焊料層700，該焊料層700具有複數個外側接合部710及複數個內側接合部720，該些外側接合部710連接該些外側電感部610，該些內側接合部720連接該些內側電感部620。

【0019】請參閱第15至20圖(第15、16及18圖僅顯示該第一橫向電感200、該縱向電感600及該第二橫向電感500)，形成該第一橫向電感200於該第一基板100且形成該第二橫向電感500及該縱向電感600於該第二基板400後，將該第二基板400覆晶接合於該第一基板100，以接合該縱向電感600及該第一橫向電感200，使該些外側電感部610及該些內側電感部620分別連接該些第一電感部210之該第一外側端211及該第一內側端212，請參閱第17圖，各該外側電感部610之兩端分別連接該第一電感部210之該第一外側端211及該第二電感部510之該第二外側端511，請參閱第19圖，各該內側電感部620之兩端分別連接該第一電感部210之該第一內側端212及該第二電感部510之該第二內側端512。

【0020】請參閱第15圖，較佳地，該第一橫向電感200具有N+1個第一電感部210，該第二橫向電感500具有N個第二電感部510，該縱向電感600具有N個外側電感部610及N個內側電感部620，連接該第一導接墊110之該第一電感部210未

案號 108105447 108年4月24日修正

與任何外側電感部連接(如第17圖所示)，而連接該第二導接墊120之該第一電感部210未與任何內側電感部連接(如第19圖所示)，該些第一電感部210、該些第二電感部510、該些外側電感部610及該些內側電感部620構成一立體電感，電流由該第一導接墊110流入，流經該些第一電感部210、該些外側電感部610、該些內側電感部620及該些第二電感部510後，由該第二導接墊120流出。

【0021】請參閱第15及16圖，較佳地，連接相同該外側電感部610之該第一電感部210及該第二電感部510之間的一第一重疊面積OA1大於連接相同該內側電感部620之該第一電感部210及該第二電感部510之間的一第二重疊面積OA2。

【0022】藉由該縱向電感600上的該焊料層700接合該第一橫向電感200時，各該外側接合部710用以連接該外側電感部610及該第一電感部210之該第一外側端211(如第17圖所示)，各該內側接合部720用以連接該內側電感部620及該第一電感部210之該第一內側端212(如第19圖所示)，且連接相同該第二電感部510之該外側電感部610及該內側電感部620分別連接兩相鄰之該第一電感部210(如第20圖所示)。

【0023】請參閱第15、17及19圖，本發明藉由該製造方法10製造一具立體電感之半導體結構，該半導體結構包含該第一基板100、位於該第一基板100上的該第一橫向電感200、位於該第一橫向電感200上的該縱向電感600、位於該縱向電感600上的該第二橫向電感500及位於該第二橫向電感500上的該第二基板400，較佳地，該保護層300位於該第一基板100及該縱向電感600之間。

【0024】在本實施例中，該第一基板100為一電路晶片，該第二基板400為一矽晶圓，複數個第二橫向電感500及複數個縱向電感600形成於該矽晶圓後，研磨切割該矽晶圓，使每一單元具有一第二橫向電感500及一縱向電感600，最後接

合該縱向電感600及該第一橫向電感200，以形成具有立體電感之該半導體結構。

【0025】本發明藉由半導體接合技術，使縱向電感連接位於不同基板上的放射狀橫向電感以形成立體電感，因此可使微細化半導體結構具有更高的電感量。

【0026】本發明之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本發明之精神和範圍內所作之任何變化與修改，均屬於本發明之保護範圍。

【符號說明】

【0027】

- | | |
|------------------|------------------|
| 10 半導體結構之製造方法 | 11 形成第一橫向電感於第一基板 |
| 12 形成第二橫向電感於第二基板 | 13 形成縱向電感於第二橫向電感 |
| 14 接合縱向電感及第一橫向電感 | |
| 100 第一基板 | 110 第一導接墊 |
| 120 第二導接墊 | 200 第一橫向電感 |
| 210 第一電感部 | 211 第一外側端 |
| 212 第一內側端 | 300 保護層 |
| 310 第一顯露開口 | 320 第二顯露開口 |
| 400 第二基板 | 500 第二橫向電感 |
| 510 第二電感部 | 511 第二外側端 |
| 512 第二內側端 | 520 絕緣層 |
| 521 開口 | 600 縱向電感 |

案號 108105447 108年4月24日修正

610 外側電感部

620 內側電感部

630 支撐層

631 外側開口

632 內側開口

700 焊料層

710 外側接合部

720 內側接合部

DI1 間距

DI2 間距

DO1 間距

DO2 間距

H 高度

HI 高度

HO 高度

OA1 第一重疊面積

OA2 第二重疊面積

WI1 寬度

WI2 寬度

WO1 寬度

WO2 寬度

【發明申請專利範圍】

【第1項】 一種具立體電感之半導體結構，其包含：

一第一基板，具有一第一導接墊及一第二導接墊；

一第一橫向電感，位於該第一基板上，該第一橫向電感具有複數個第一電感部，該些第一電感部放射狀排列於該第一基板，其中之一該第一電感部連接該第一導接墊，另一該第一電感部連接該第二導接墊，各該第一電感部具有一第一外側端及一第一內側端；

一縱向電感，位於該第一橫向電感上，該縱向電感具有一支撐層、複數個外側電感部及複數個內側電感部，該支撐層具有複數個外側開口及複數個內側開口，該些外側電感部位於該些外側開口，該些內側電感部位於該些內側開口；

一第二橫向電感，位於該縱向電感上，該第二橫向電感具有一絕緣層及複數個第二電感部，該絕緣層具有複數個呈放射狀排列的開口，該些第二電感部位於該些開口且呈放射狀排列，各該第二電感部具有一第二外側端及一第二內側端，其中各該外側電感部之兩端分別連接該第一電感部之該第一外側端及該第二電感部之該第二外側端，各該內側電感部之兩端分別連接該第一電感部之該第一內側端及該第二電感部之該第二內側端，且連接相同該第二電感部之該外側電感部及該內側電感部分別連接兩相鄰之該第一電感部；以及

一第二基板，位於該第二橫向電感上。

【第2項】 如申請專利範圍第1項所述之具立體電感之半導體結構，其中兩相鄰之該第一電感部分別連接該第一導接墊及該第二導接墊。

【第3項】 如申請專利範圍第1項所述之具立體電感之半導體結構，其中兩相鄰之該第一電感部經由該第一外側端分別連接該第一導接墊及該第二導接墊。

【第4項】如申請專利範圍第1項所述之具立體電感之半導體結構，其中連接相同該外側電感部之該第一電感部及該第二電感部之間的一第一重疊面積大於連接相同該內側電感部之該第一電感部及該第二電感部之間的一第二重疊面積。

【第5項】如申請專利範圍第1項所述之具立體電感之半導體結構，其中該第一外側端之一寬度大於該第一內側端之一寬度，該第二外側端之一寬度大於該第二內側端之一寬度。

【第6項】如申請專利範圍第1項所述之具立體電感之半導體結構，其中兩相鄰之該第一外側端之一間距大於兩相鄰之該第一內側端之一間距。

【第7項】如申請專利範圍第1項所述之具立體電感之半導體結構，其中該外側電感部之一高度實質上等於該內側電感部之一高度，該外側電感部之該高度大於該第二電感部之一高度。

【第8項】如申請專利範圍第1項所述之具立體電感之半導體結構，其另包含一焊料層，該焊料層具有複數個外側接合部及複數個內側接合部，各該外側接合部連接該外側電感部及該第一電感部之該第一外側端，各該內側接合部連接該內側電感部及該第一電感部之該第一內側端。

【第9項】如申請專利範圍第1項所述之具立體電感之半導體結構，其另包含一保護層，該保護層位於該第一基板及該縱向電感之間，該保護層具有複數個第一顯露開口及複數個第二顯露開口，該些第一顯露開口顯露該些第一電感部之該第一外側端，該些第二顯露開口顯露該些第一電感部之該第一內側端。

【第10項】一種具立體電感之半導體結構之製造方法，其包含：

形成一第一橫向電感於一第一基板，該第一基板具有一第一導接墊及一第

案號 108105447 109年2月25日修正

二導接墊，該第一橫向電感具有複數個第一電感部，該些第一電感部放射狀形成於該第一基板，使其中之一該第一電感部連接該第一導接墊，並使另一該第一電感部連接該第二導接墊，各該第一電感部具有一第一外側端及一第一內側端；

形成一第二橫向電感於一第二基板，該第二橫向電感具有一絕緣層及複數個第二電感部，該絕緣層形成於該第二基板且具有複數個呈放射狀排列的開口，該些第二電感部形成於該些開口並呈放射狀排列，各該第二電感部具有一第二外側端及一第二內側端；

形成一縱向電感於該第二橫向電感，該縱向電感具有一支撐層、複數個外側電感部及複數個內側電感部，該支撐層形成於該第二橫向電感且具有複數個外側開口及複數個內側開口，該些外側開口顯露該些第二電感部之該第二外側端，該些內側開口顯露該些第二電感部之該第二內側端，該些外側電感部形成於該些外側開口以連接該些該第二外側端，該些內側電感部形成於該些內側開口以連接該些第二內側端；以及

接合該縱向電感及該第一橫向電感，使該些外側電感部及該些內側電感部分別連接該些第一電感部之該第一外側端及該第一內側端，其中連接相同該第二電感部之該外側電感部及該內側電感部分別連接兩相鄰之該第一電感部。

【第11項】如申請專利範圍第10項所述之具立體電感之半導體結構之製造方法，其中兩相鄰之該第一電感部分別連接該第一導接墊及該第二導接墊。

【第12項】如申請專利範圍第10項所述之具立體電感之半導體結構之製造方法，其中兩相鄰之該第一電感部經由該第一外側端分別連接該第一導接墊及該第二導接墊。

【第13項】如申請專利範圍第10項所述之具立體電感之半導體結構之製造方

法，其中連接相同該外側電感部之該第一電感部及該第二電感部之間的一第一重疊面積大於連接相同該內側電感部之該第一電感部及該第二電感部之間的一第二重疊面積。

【第14項】如申請專利範圍第10項所述之具立體電感之半導體結構之製造方法，其中該第一外側端之一寬度大於該第一內側端之一寬度，該第二外側端之一寬度大於該第二內側端之一寬度。

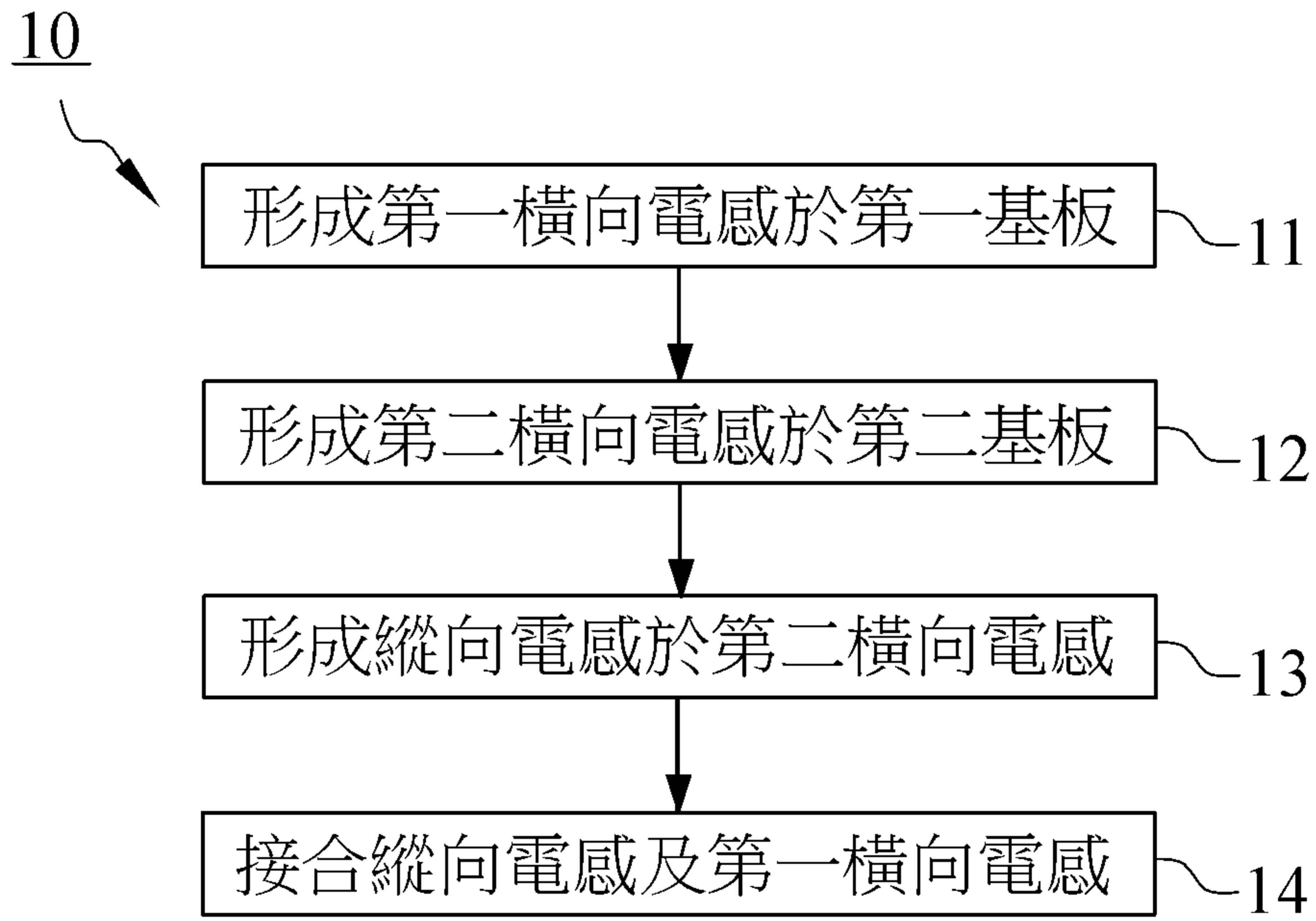
【第15項】如申請專利範圍第10項所述之具立體電感之半導體結構之製造方法，其中兩相鄰之該第一外側端之一間距大於兩相鄰之該第一內側端之一間距。

【第16項】如申請專利範圍第10項所述之具立體電感之半導體結構之製造方法，其中該外側電感部之一高度實質上等於該內側電感部之一高度，該外側電感部之該高度大於該第二電感部之一高度。

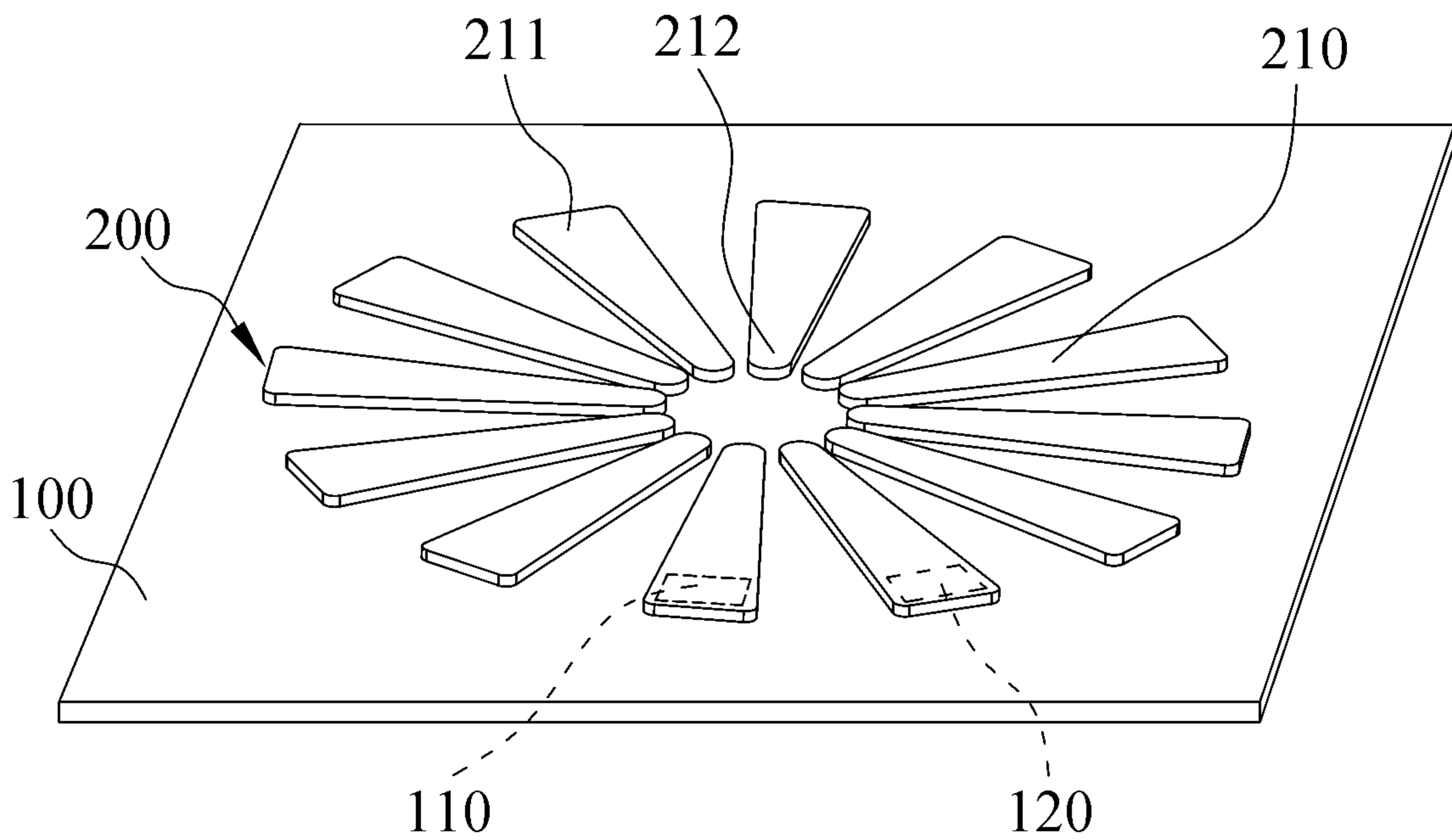
【第17項】如申請專利範圍第10項所述之具立體電感之半導體結構之製造方法，其中於形成該縱向電感後，形成一焊料層於該縱向電感，該焊料層具有複數個外側接合部及複數個內側接合部，當接合該縱向電感及該第一橫向電感時，該外側接合部用以連接該外側電感部及該第一電感部之該第一外側端，該內側接合部用以連接該內側電感部及該第一電感部之該第一內側端。

【第18項】如申請專利範圍第10項所述之具立體電感之半導體結構之製造方法，其中於形成該第一橫向電感後，形成一保護層於該第一橫向電感，該保護層具有複數個第一顯露開口及複數個第二顯露開口，該些第一顯露開口顯露該些第一電感部之該第一外側端，該些第二顯露開口顯露該些第一電感部之該第一內側端。

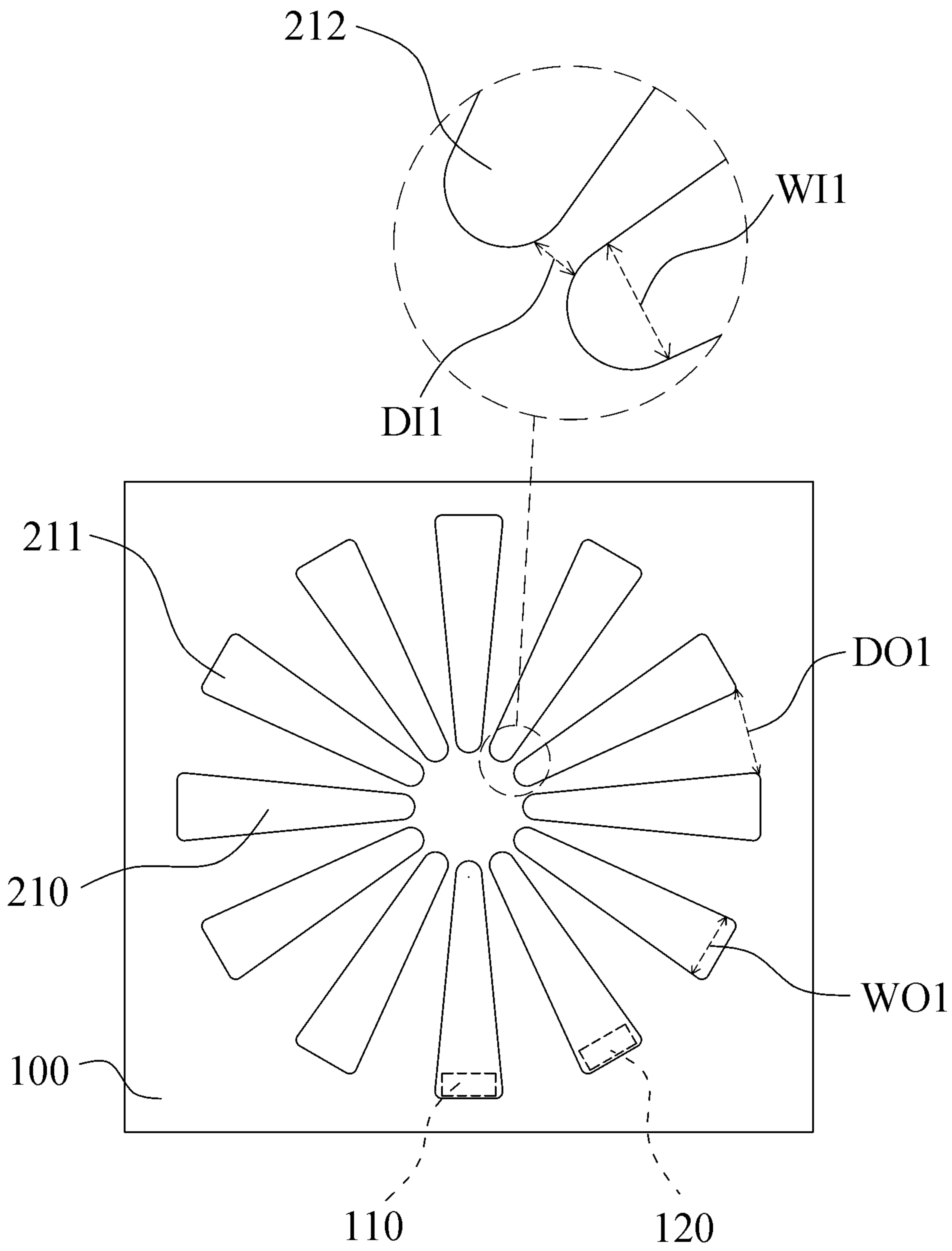
【發明圖式】



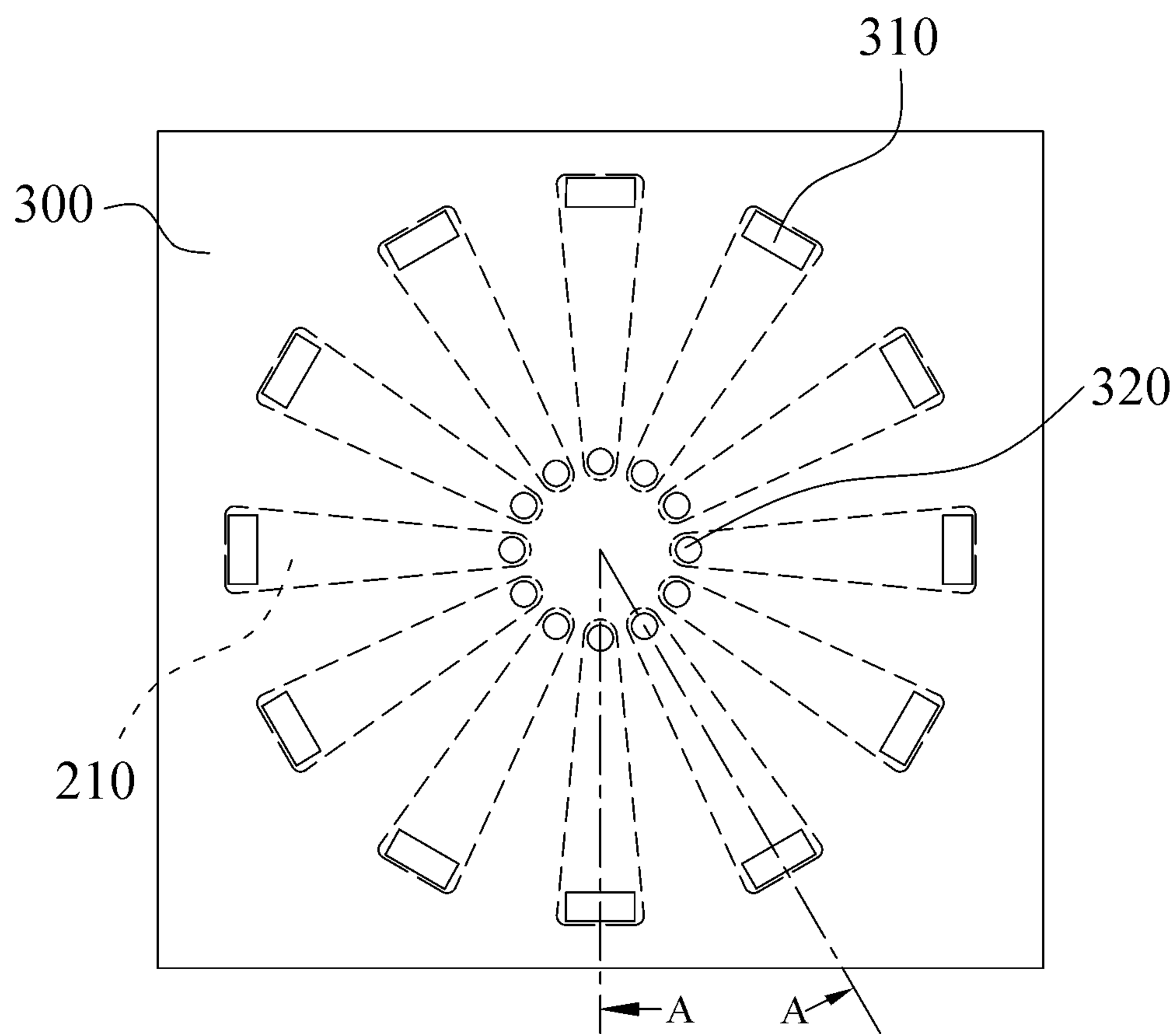
第 1 圖



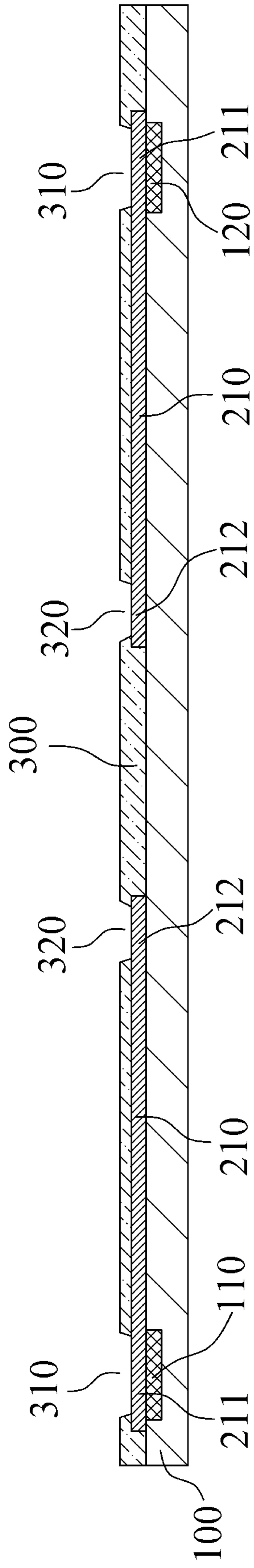
第 2 圖



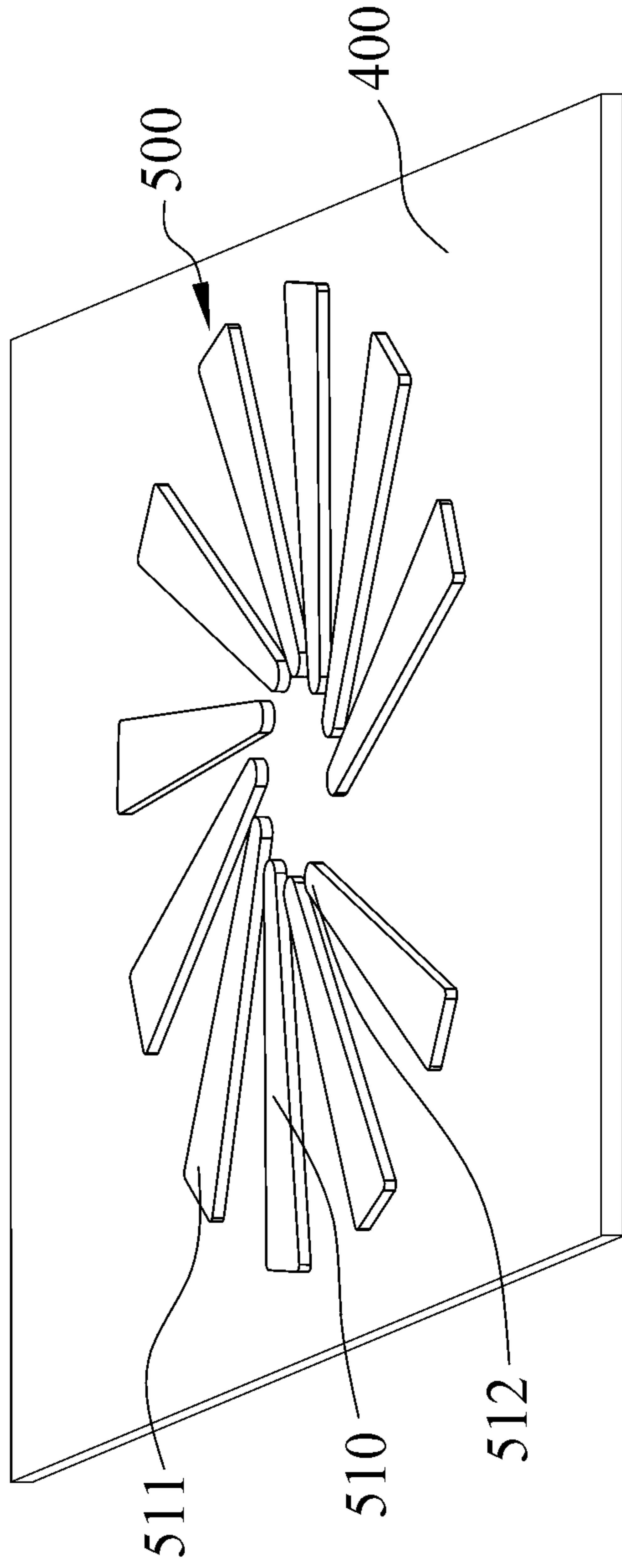
第 3 圖



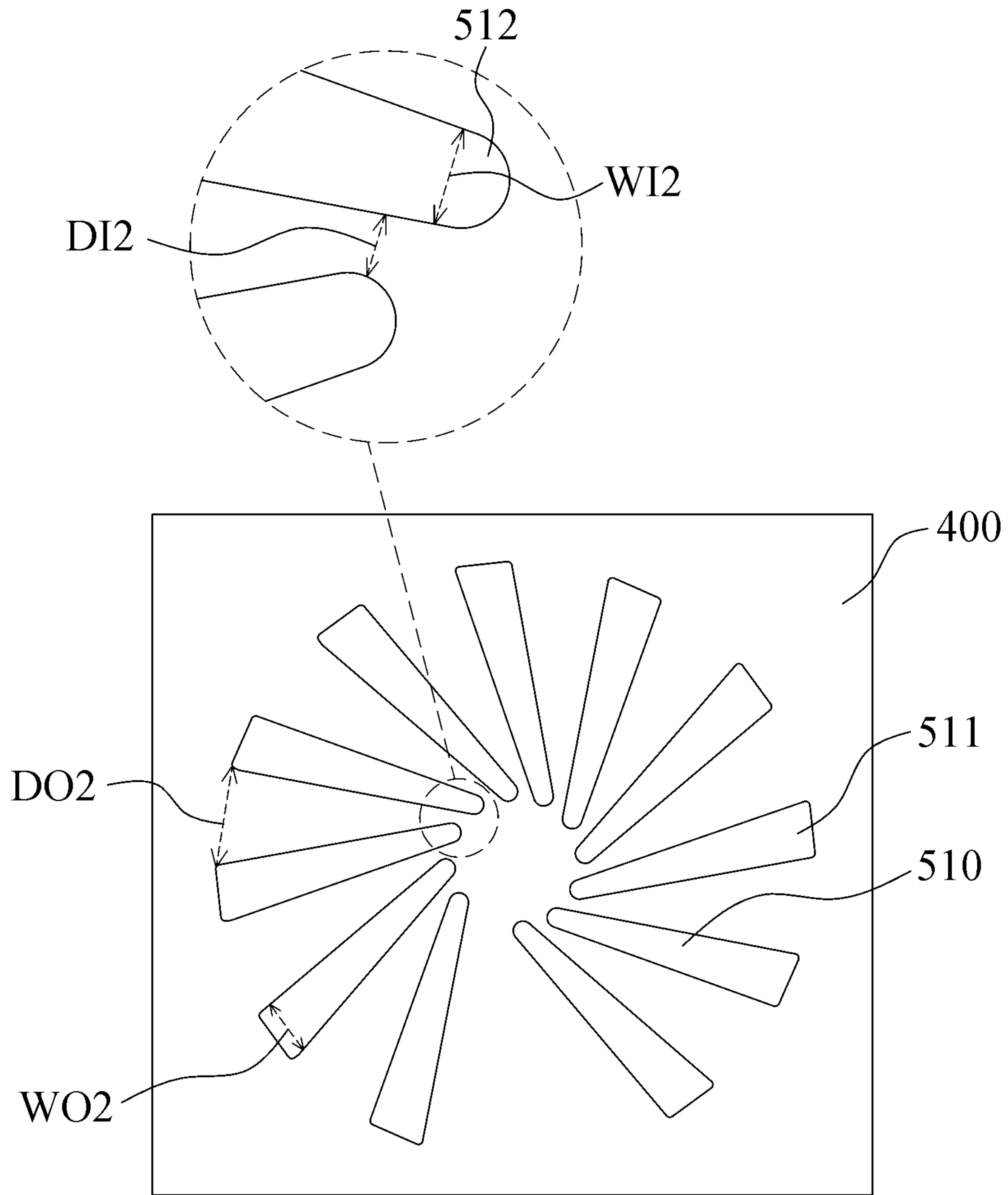
第 4 圖



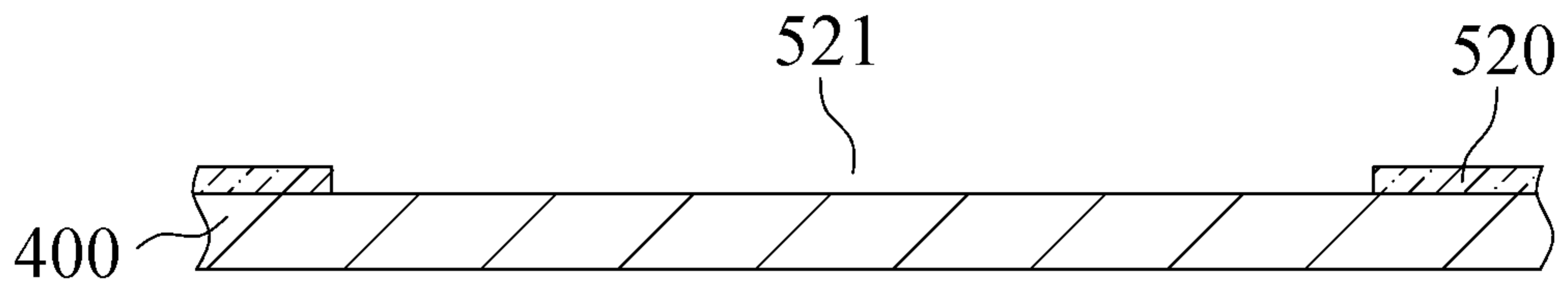
第 5 圖



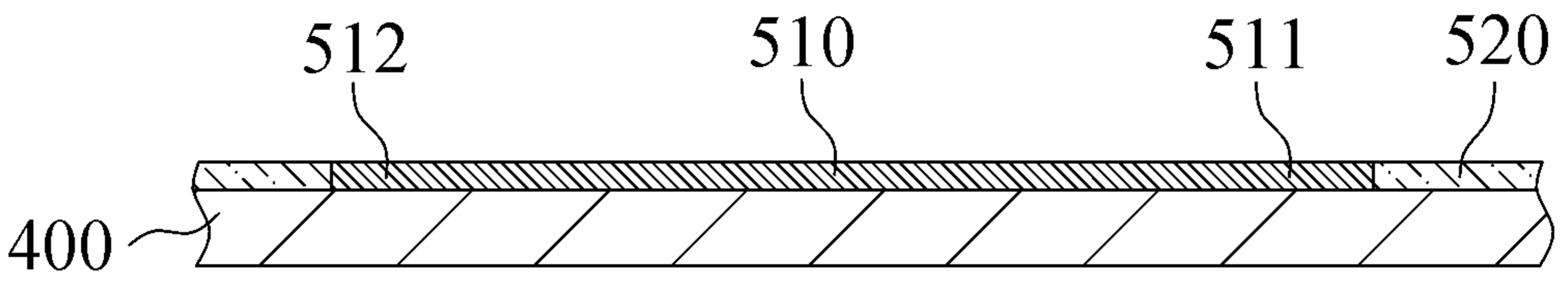
第 6 圖



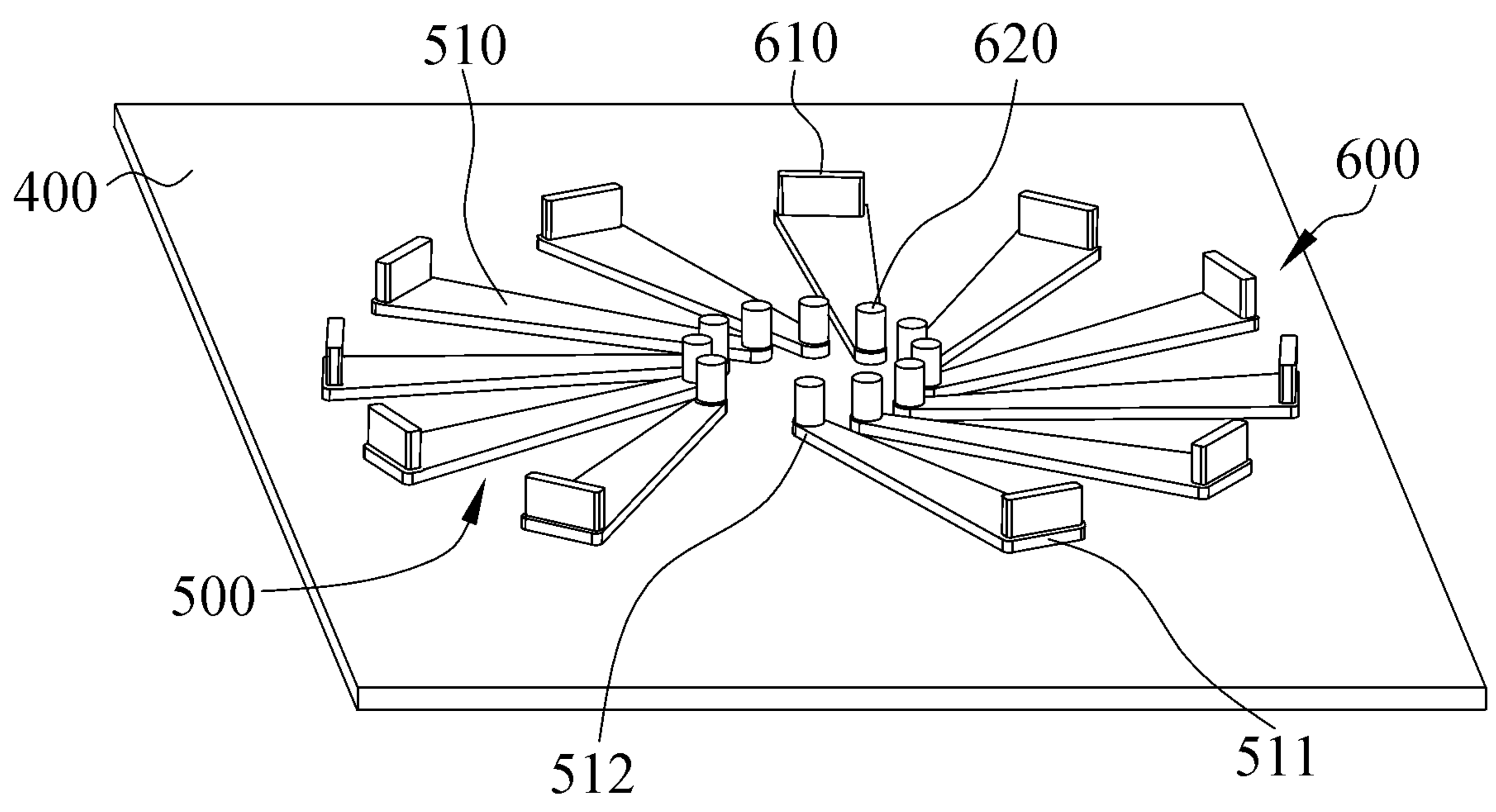
第 7 圖



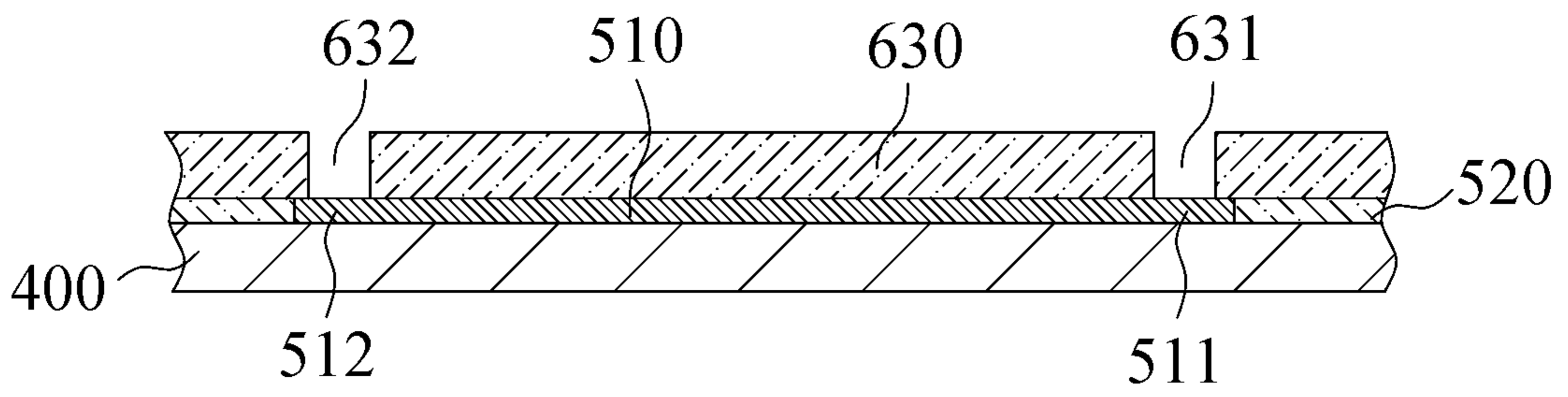
第 8 圖



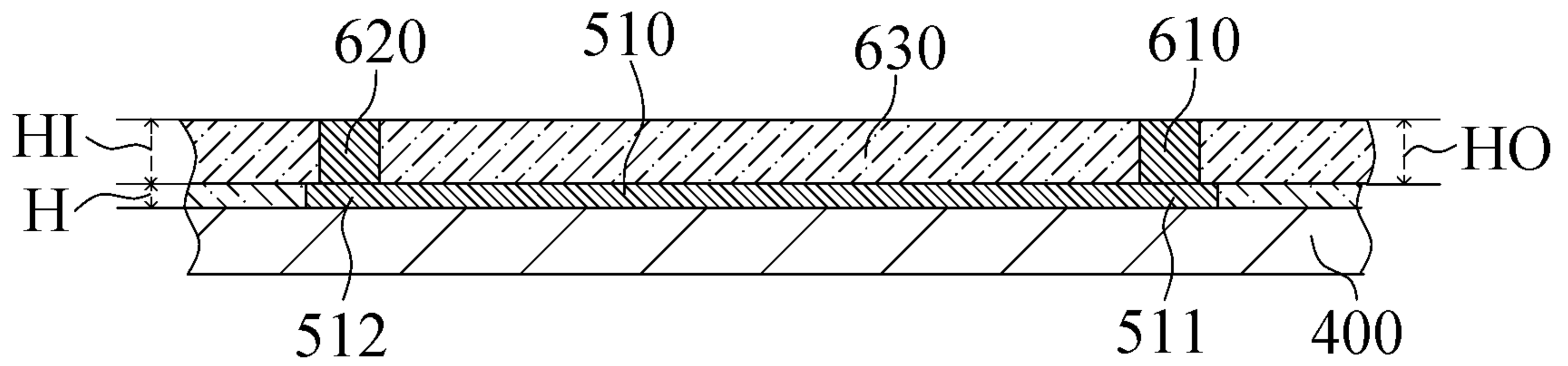
第 9 圖



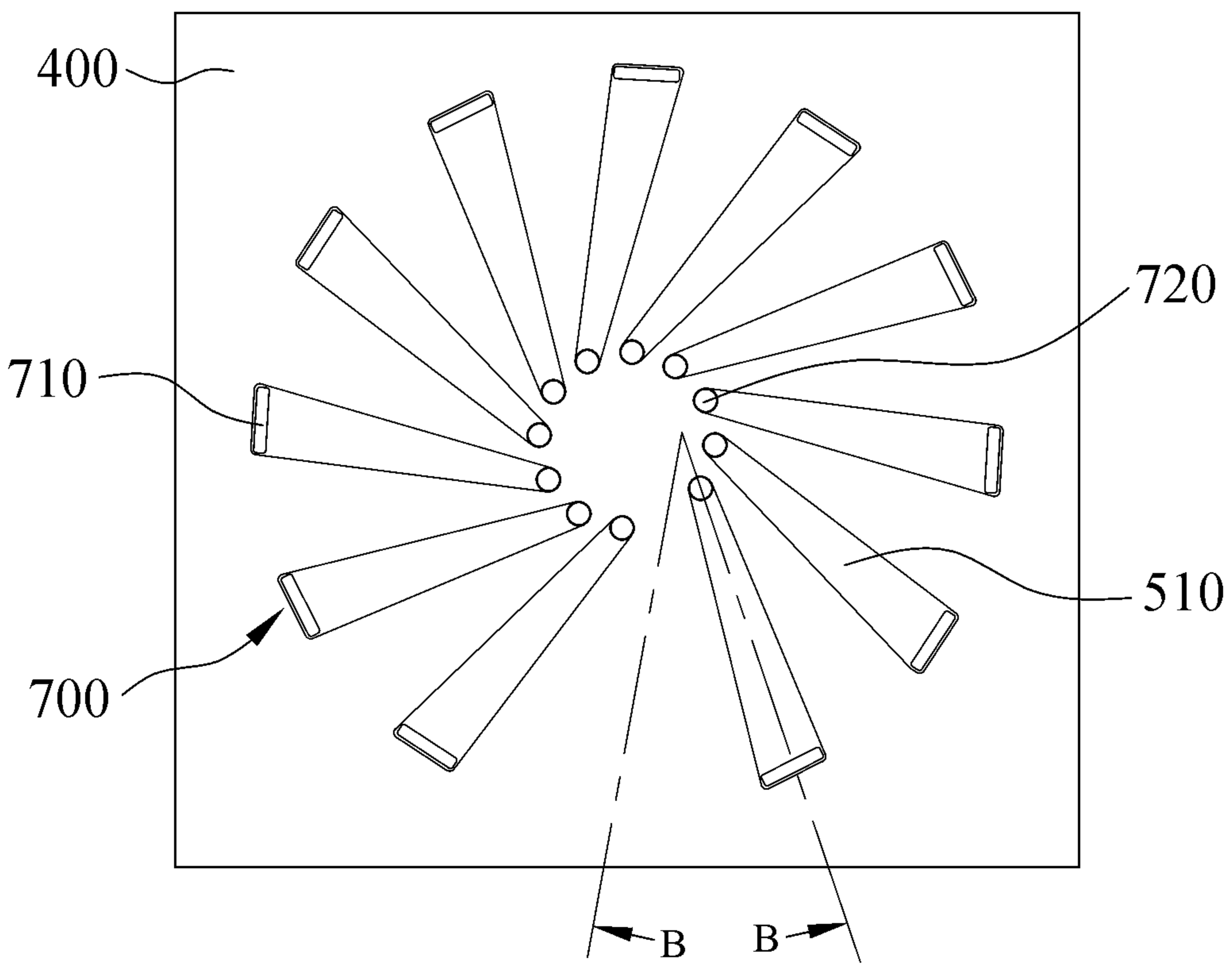
第 10 圖



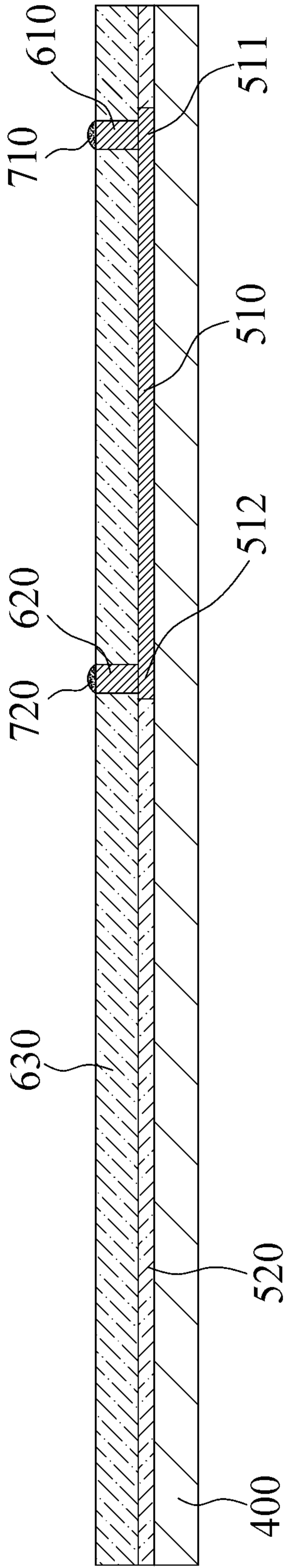
第 11 圖



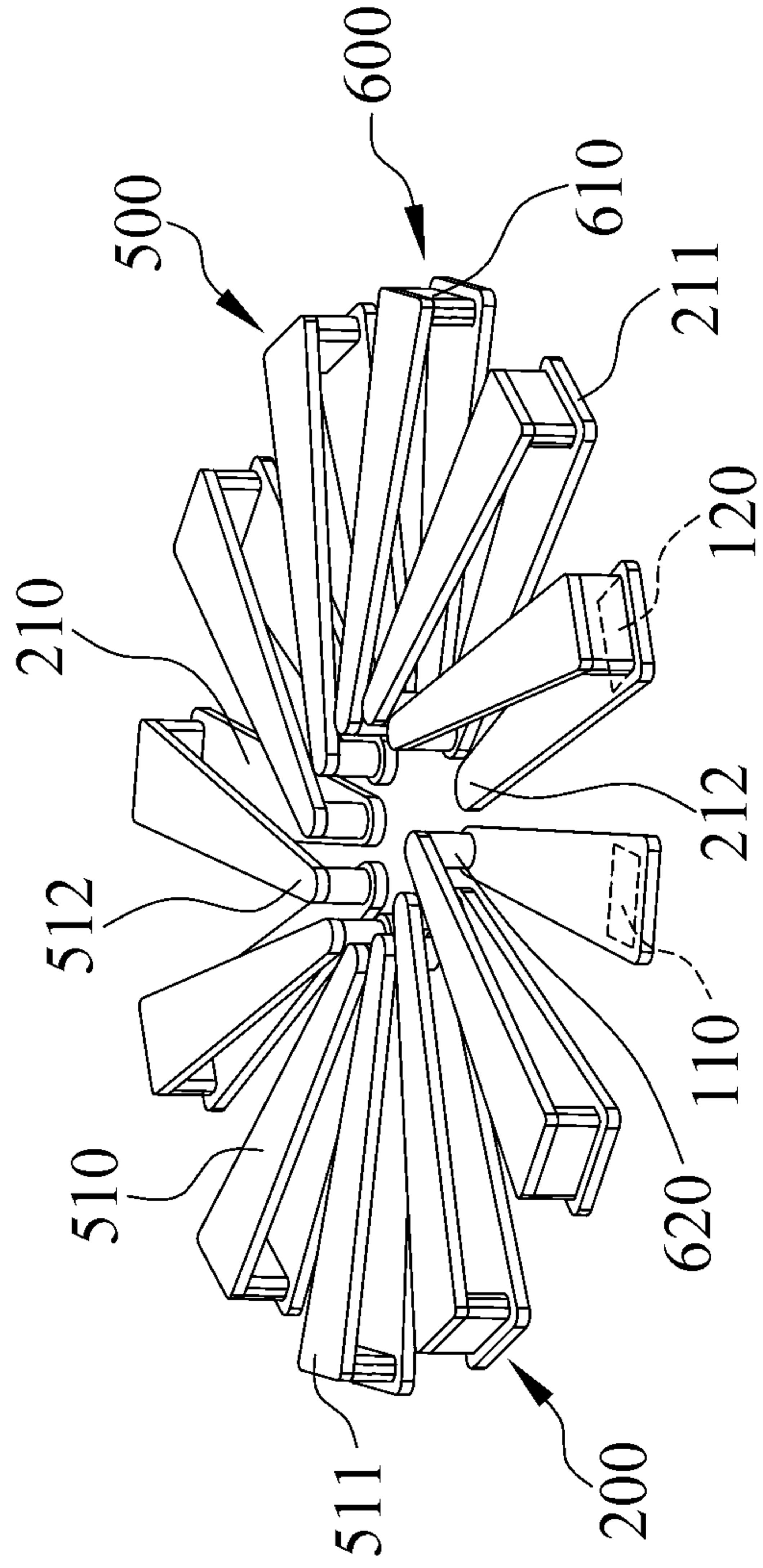
第 12 圖



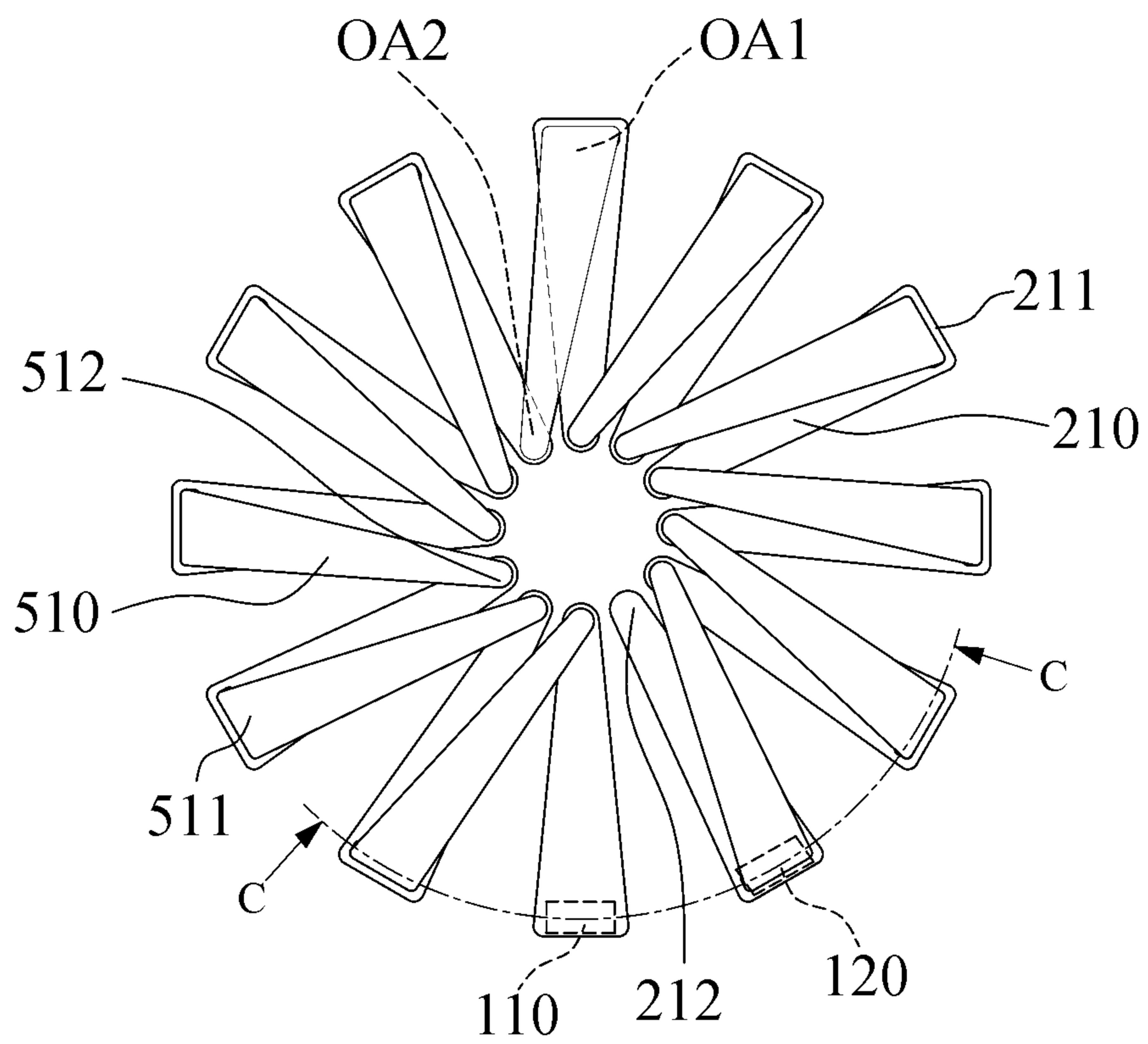
第 13 圖



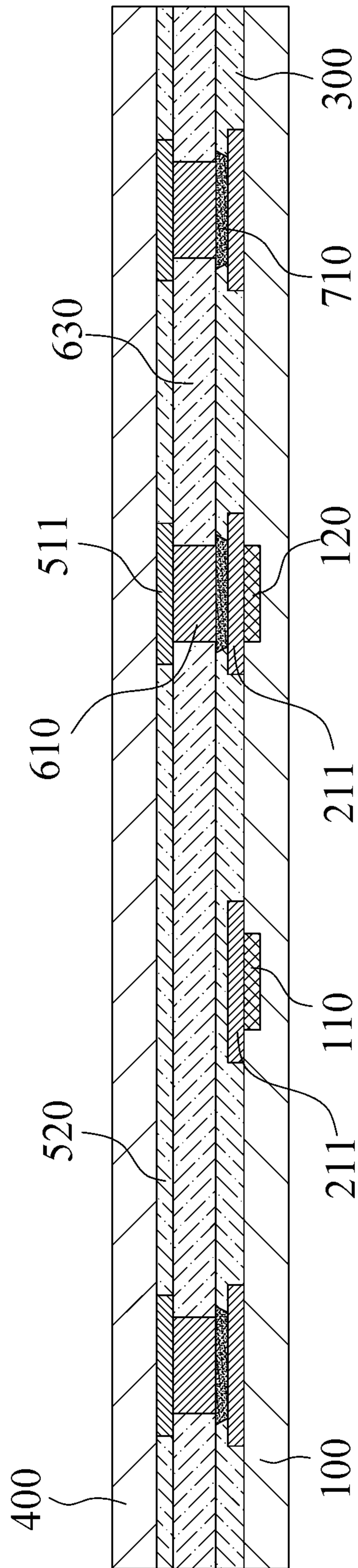
第 14 圖



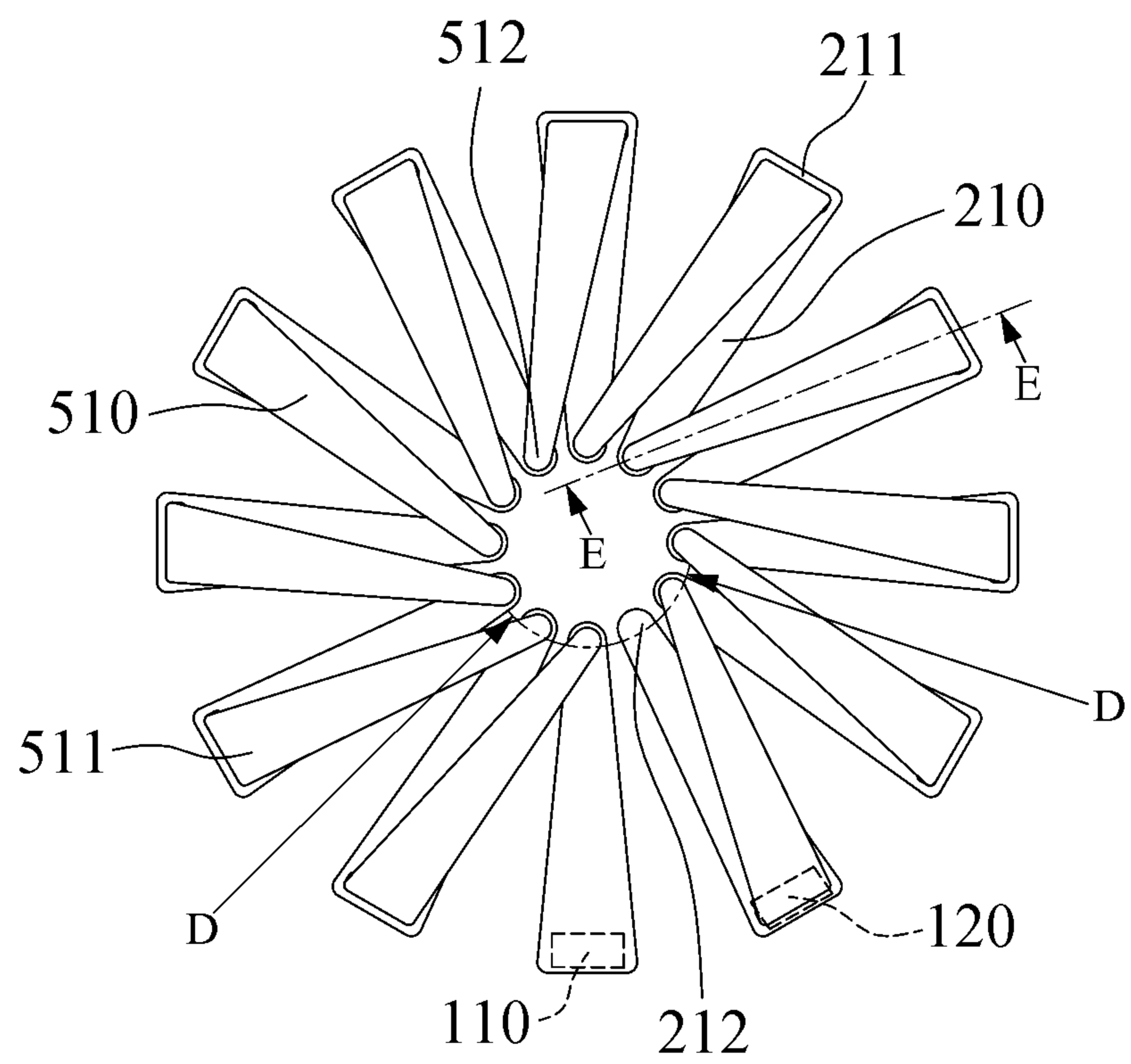
第 15 圖



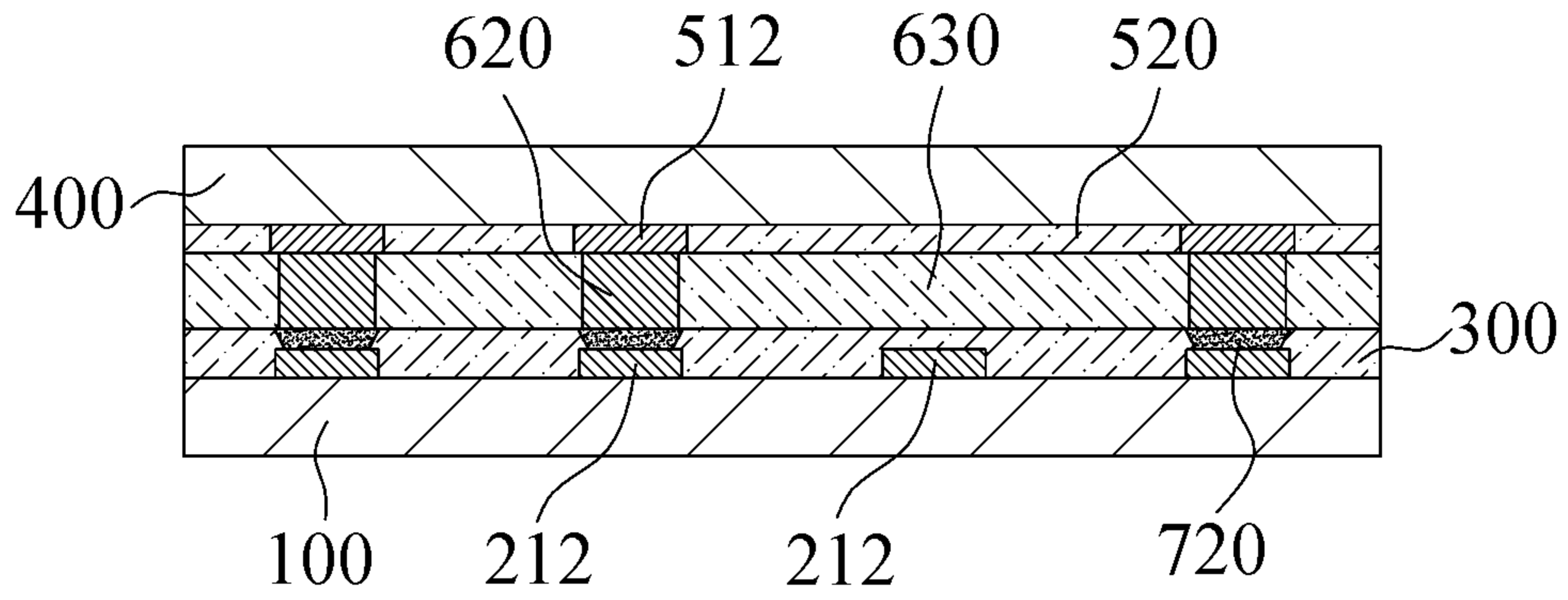
第 16 圖



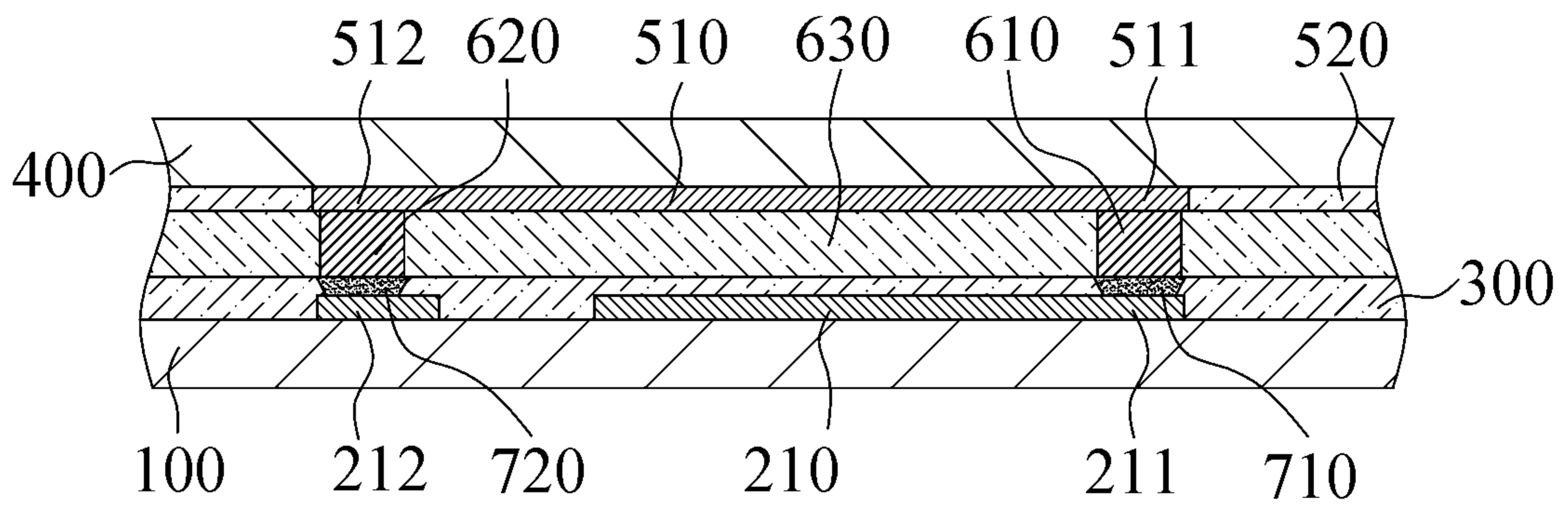
第 17 圖



第 18 圖



第 19 圖



第 20 圖