



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월17일
 (11) 등록번호 10-1419804
 (24) 등록일자 2014년07월09일

(51) 국제특허분류(Int. Cl.)
 H03M 1/38 (2006.01)
 (21) 출원번호 10-2010-0089624
 (22) 출원일자 2010년09월13일
 심사청구일자 2010년09월13일
 (65) 공개번호 10-2012-0027829
 (43) 공개일자 2012년03월22일
 (56) 선행기술조사문헌
 US20080143576 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 한국전자통신연구원
 대전광역시 유성구 가정로 218 (가정동)
 (72) 발명자
 조영균
 대전광역시 유성구 반석서로 98, 609동 1806호 (반석동, 반석마을6단지아파트)
 전영득
 대전광역시 중구 평촌로 93, 101동 305호 (태평동, 쌍용예가)
 (뒷면에 계속)
 (74) 대리인
 오세준, 권혁수, 송윤호

전체 청구항 수 : 총 8 항

심사관 : 성경아

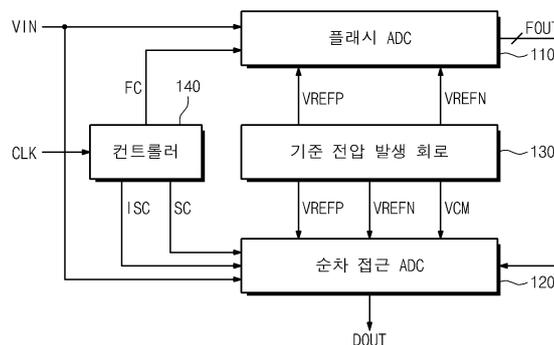
(54) 발명의 명칭 **아날로그 디지털 변환 장치**

(57) 요약

본 발명은 저전력을 소비하면서 빠른 동작 특성을 보장하는 ADC 장치를 제공한다. 본 발명의 실시 예에 따른 아날로그 디지털 변환 장치는 제 1 및 제 2 기준 전압들을 이용하여 아날로그 신호를 제 1 디지털 신호로 변환하는 서브 아날로그 디지털 변환기; 및 복수의 비트 열들을 포함하고, 제 1 및 제 2 기준 전압들을 이용해 아날로그 신호를 제 2 디지털 신호로 변환하는 순차 접근 아날로그 디지털 변환기(Successive Approximation ADC)를 포함한다. 이때, 순차 접근 아날로그 디지털 변환기는 제 1 디지털 신호를 수신하고, 제 1 디지털 신호에 기반하여 복수의 비트 열들에 제 1 및 제 2 기준 전압들 중 하나를 인가한 상태에서, 제 2 디지털 신호를 변환하도록 구성된다.

대표도 - 도1

100



(72) 발명자

남재원

대전광역시 서구 둔산대로117번길 66, 골드벤처타워 805호 (만년동)

권중기

대전광역시 서구 신갈마로 46, 101동 706호 (내동, 롯데아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 2008-S-015-01

부처명 지식경제부

연구사업명 IT성장동력기술개발

연구과제명 45nm급 혼성 SoC용 아날로그 회로

기여율 1/1

주관기관 한국전자통신연구원

연구기간 2008.03.01 ~ 2011.02.28

특허청구의 범위

청구항 1

제 1 및 제 2 기준 전압들을 발생하는 기준 전압 발생 회로;

상기 제 1 및 제 2 기준 전압들을 이용하여 외부로부터 수신된 아날로그 신호를 제 1 디지털 신호로 변환하는 서브 아날로그 디지털 변환기; 및

복수의 비트 열들을 포함하고, 상기 제 1 및 제 2 기준 전압들을 이용한 순차 접근 동작에 따라 상기 외부로부터 수신된 아날로그 신호를 제 2 디지털 신호로 변환하는 순차 접근 아날로그 디지털 변환기(Successive Approximation ADC)를 포함하며,

상기 순차 접근 아날로그 디지털 변환기는,

상기 제 1 디지털 신호를 수신하고, 상기 제 1 디지털 신호에 기반하여 상기 복수의 비트 열들에 상기 제 1 및 제 2 기준 전압들 중 하나를 인가한 상태에서, 상기 제 2 디지털 신호를 변환하되,

상기 순차 접근 아날로그 디지털 변환기는 상기 제 1 및 제 2 디지털 신호들이 합쳐진 디지털 출력 신호를 발생하고, 상기 제 1 디지털 신호를 구성하는 비트들은 상기 제 2 디지털 신호를 구성하는 비트들보다 상위 비트들로 구성되되,

상기 복수의 비트 열들은 상기 제 1 디지털 신호를 구성하는 M(M은 정수) 비트들에 각각 대응하는 비트 열들, 그리고 상기 제 2 디지털 신호를 구성하는 N(N은 정수) 비트들에 각각 대응하는 비트 열들을 포함하고,

상기 순차 접근 아날로그 디지털 변환기는

상기 제 1 디지털 신호에 기반하여 상기 M 비트들에 각각 대응하는 비트 열들에 상기 제 1 및 제 2 기준 전압들 중 하나를 인가하도록 구성되는 아날로그 디지털 변환 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 순차 접근 아날로그 디지털 변환기는 상기 M 비트들에 각각 대응하는 비트 열들과 연결된 비교부; 및

상기 비트 열들 각각은 용량성 수동 소자를 더 포함하는 아날로그 디지털 변환 장치.

청구항 5

제 4 항에 있어서,

상기 순차 접근 아날로그 디지털 변환기는

상기 N 비트들에 각각 대응하는 비트 열들에 상기 제 1 및 제 2 기준 전압들 중 하나를 인가하면서 검출된 상기 비교부의 전압에 따라 상기 N 비트들 중 하나의 값을 결정하도록 구성되는 아날로그 디지털 변환 장치.

청구항 6

제 1 항에 있어서,

상기 순차 접근 아날로그 디지털 변환기는 상기 N 비트들 중 MSB(Most Significant Bit)부터 LSB(Least Significant Bit)까지의 값을 순차적으로 결정하도록 구성되는 아날로그 디지털 변환 장치.

청구항 7

제 1 항에 있어서,

상기 서브 아날로그 디지털 변환기 및 순차 접근 아날로그 디지털 변환기는 상기 아날로그 신호를 수신하도록 구성되는 아날로그 디지털 변환 장치.

청구항 8

제 1 항에 있어서,

상기 서브 아날로그 디지털 변환기는

상기 제 1 및 제 2 기준 전압들 사이의 적어도 하나의 전압 레벨과 상기 아날로그 신호의 전압 레벨을 비교함으로써 상기 제 1 디지털 신호의 값을 결정하는 아날로그 디지털 변환 장치.

청구항 9

제 1 항에 있어서,

상기 서브 아날로그 디지털 변환기는 직렬 연결된 복수의 저항들을 포함하고,

상기 서브 아날로그 디지털 변환기는

상기 제 1 및 제 2 기준 전압들을 상기 복수의 저항들에 인가함으로써 형성된 복수의 전압 레벨들을 상기 아날로그 신호의 전압 레벨과 비교함으로써 상기 제 1 디지털 신호의 값을 결정하는 아날로그 디지털 변환 장치.

청구항 10

제 1 항에 있어서,

상기 서브 아날로그 디지털 변환기는 플래시(Flash) 아날로그 디지털 변환기인 아날로그 디지털 변환 장치.

명세서

기술분야

[0001] 본 발명은 아날로그 디지털 변환 장치에 관한 것으로, 구체적으로 순차 접근 아날로그 디지털 변환기에 관한 것이다.

배경기술

[0002] 최근에 들어, 혼성 시스템(mixed-mode system)의 사용이 증가됨에 따라, 아날로그-디지털 변환기(Analog Digital Converter; 이하, ADC라 칭함)의 필요성이 점차적으로 증가되는 추세이다. 특히, DVDP(Digital Video Disk Player)나 DBSR(Direct Broadcasting For Satellite Receiver) 등과 같은 시스템에서는 저가격화를 위해 CMOS 공정을 통한 원 칩(one chip)화에 대한 연구가 활발히 진행되고 있다. 이를 위해 무선 신호(Radio Frequency signal; RF)를 직접 처리할 수 있는 ADC의 설계 기술이 최대 쟁점으로 부각되고 있다.

[0003] 현재까지 다양한 타입들의 ADC들이 제안되었다. 플래시 ADC(Flash ADC), 파이프라인 ADC(Pipeline ADC) 및 순차 접근 ADC(Successive Approximation ADC) 등이 각각의 특성에 맞도록 적절한 응용 분야에서 사용된다. 플래시 ADC는 일반적으로 빠른 동작 특성을 갖는 장점이 있으나, 높은 전력 소모율을 갖는다는 단점이 있다. 순차 접근 ADC는 낮은 전력 소모율을 갖고 회로의 구성이 간단하다는 장점이 있으나, 늦은 동작 특성을 갖는 단점이 있다. 파이프라인 ADC는 플래시 ADC 및 순차 접근 ADC와 비교할 때, 중간 속력의 동작 특성과 중간 정도의 전력 소모율을 가진다. 최근, 이러한 ADC들의 장단점을 보완하기 위한 하이브리드 ADC(Hybrid ADC)에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 저전력을 소비하면서 빠른 동작 특성을 보장하는 아날로그 디지털 변환 장치(Analog Digital

Converting Device)를 제공하는 것이다.

과제의 해결 수단

- [0005] 본 발명의 실시 예에 따른 아날로그 디지털 변환 장치는 상기 제 1 및 제 2 기준 전압들을 이용하여 외부로부터 수신된 아날로그 신호를 제 1 디지털 신호로 변환하는 서브 아날로그 디지털 변환기; 및 복수의 비트 열들을 포함하고, 상기 제 1 및 제 2 기준 전압들을 이용한 순차 접근 동작에 따라 상기 외부로부터 수신된 아날로그 신호를 제 2 디지털 신호로 변환하는 순차 접근 아날로그 디지털 변환기(Successive Approximation ADC)를 포함한다. 그리고 제 1 및 제 2 기준 전압들을 발생하는 기준 전압 발생기를 더 포함한다.
- [0006] 상기 순차 접근 아날로그 디지털 변환기는 상기 제 1 디지털 신호를 수신하고, 상기 제 1 디지털 신호에 기반하여 상기 복수의 비트 열들에 상기 제 1 및 제 2 기준 전압들 중 하나를 인가한 상태에서, 상기 제 2 디지털 신호를 변환하도록 구성된다.
- [0007] 실시 예에 따르면, 상기 복수의 비트 열들은 상기 제 1 디지털 신호를 구성하는 M(M은 정수) 비트들에 각각 대응하는 비트 열들, 그리고 상기 제 2 디지털 신호를 구성하는 N(N은 정수) 비트들에 각각 대응하는 비트 열들을 포함한다. 그리고 상기 순차 접근 아날로그 디지털 변환기는 상기 제 1 디지털 신호에 기반하여 상기 M 비트들에 각각 대응하는 비트 열들에 상기 제 1 및 제 2 기준 전압들 중 하나를 인가하도록 구성된다.
- [0008] 실시 예로서, 상기 순차 접근 아날로그 디지털 변환기는 상기 M 비트들에 각각 대응하는 비트 열들과 연결된 비교부; 및 상기 비트 열들 각각은 용량성 수동 소자를 더 포함할 것이다.

발명의 효과

- [0009] 본 발명의 실시 예에 따르면, 순차 접근 ADC 및 플래시 ADC를 이용하여 아날로그 디지털 변환을 수행함으로써, 저전력을 소비하면서 빠른 동작 특성을 보장하는 아날로그 디지털 변환 장치가 제공된다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 실시 예에 따른 아날로그 디지털 변환 장치(Analog Digital Converting Device)를 보여주는 블록도이다.
 도 2는 도 1의 아날로그 전압이 K 비트들의 디지털 신호로 변환되는 것을 보여준다.
 도 3은 도 1의 플래시 ADC를 보여주는 블록도이다.
 도 4는 도 1의 순차 접근 ADC를 보여주는 블록도이다.
 도 5는 도 1의 아날로그 디지털 변환 장치가 아날로그 전압을 6 비트들의 디지털 신호로 변환하는 과정을 보여주는 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0012] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0013] 도 1은 본 발명의 실시 예에 따른 아날로그 디지털 변환 장치(Analog Digital Converting Device,100)를 보여주는 블록도이다. 도 1을 참조하면 아날로그 디지털 변환 장치(100)는 플래시 ADC(110), 순차 접근 ADC(120), 기준 전압 발생 회로(130), 및 컨트롤러(140)를 포함한다.
- [0014] 플래시 ADC(110)는 순차 접근 ADC(120), 기준 전압 발생 회로(130), 및 컨트롤러(140)와 전기적으로 연결된다. 플래시 ADC(110)는 서브 ADC(sub-ADC)로서 동작한다. 즉, 도 1에서 아날로그 디지털 변환 장치(100)는 플래시

ADC(110)를 포함하는 것으로 도시되나, 아날로그 디지털 변환 장치(100)는 플래시 ADC(110)대신에 다른 ADC를 포함할 수 있다. 예를 들면, 아날로그 디지털 변환 장치(100)는 플래시 ADC(110) 대신에 콤팩트 ADC(미도시)를 포함할 수 있다.

- [0015] 플래시 ADC(110)는 컨트롤러(140)로부터 수신된 플래시 제어 신호(FC)에 응답하여 동작하도록 구성된다. 플래시 ADC(110)는 외부로부터 아날로그 전압(VIN)을 수신한다. 그리고 플래시 ADC(110)는 기준 전압 발생 회로(130)로부터 제 1 및 제 2 기준 전압들(VREFP, VREFN)을 수신한다.
- [0016] 플래시 ADC(110)는 제 1 및 제 2 기준 전압들(VREFP, VREFN)을 이용하여 아날로그 전압(VIN)을 디지털 신호로 변환하고, 플래시 출력 신호(FOUT)를 발생하도록 구성된다. 예시적으로, 플래시 출력 신호(FOUT)는 M 비트들의 디지털 신호일 수 있다. 플래시 ADC(110)는 아날로그 전압(VIN)을 각각 다른 전압 레벨들을 가지는 비교 전압들과 동시에 비교하여 한번에 디지털 신호를 발생한다. 이는 도 3을 참조하여 더 상세히 설명된다.
- [0017] 순차 접근 ADC(120)는 플래시 ADC(110), 기준 전압 발생 회로(130) 및 컨트롤러(140)와 전기적으로 연결된다. 순차 접근 ADC(120)는 컨트롤러(140)로부터 수신된 입력 샘플링 제어 신호(ISC) 및 순차 접근 제어 신호(SC)에 응답하여 동작한다.
- [0018] 순차 접근 ADC(120)는 외부로부터 수신된 아날로그 전압(VIN)을 디지털 신호로 변환하도록 구성된다. 순차 접근 ADC(120)는 플래시 ADC(110)로부터 플래시 출력 신호(FOUT)를 수신한다. 순차 접근 ADC(120)는 플래시 출력 신호(FOUT)를 참조하여 외부로부터 수신된 아날로그 전압(VIN)을 디지털 신호로 변환한다. 예를 들면, 순차 접근 ADC(120)는 수신된 아날로그 전압(VIN)을 N 비트들의 디지털 신호로 변환한다. 이때, 제 1 및 제 2 기준 전압들(VREFP, VREFN)이 이용될 것이다.
- [0019] 그리고, 순차 접근 ADC(120)는 디지털 출력 신호(DOUT)를 발생한다. 디지털 출력 신호(DOUT)는 순차 접근 ADC(120)에서 변환된 디지털 신호 및 플래시 출력 신호(FOUT)를 포함할 것이다. 예시적으로, 디지털 출력 신호(DOUT)는 플래시 ADC(110)에서 결정된 M 비트들의 디지털 신호, 그리고 순차 접근 ADC(120)에서 결정된 N 비트들의 디지털 신호를 포함할 수 있다.
- [0020] 기준 전압 발생 회로(130)는 플래시 ADC(110) 및 순차 접근 ADC(120)에 전기적으로 연결된다. 그리고 기준 전압 발생 회로(130)는 플래시 ADC(110) 및 순차 접근 ADC(120)에 제 1 및 제 2 기준 전압들(VREFP, VREFN)을 제공하도록 구성된다. 그리고 기준 전압 발생 회로(130)는 순차 접근 ADC(120)에 공통 전압(VCM)을 제공하도록 구성된다.
- [0021] 도 1에 도시되지는 않으나, 기준 전압 발생 회로(130)는 외부로부터 전원 전압(미도시)를 수신하고, 수신된 전원 전압을 이용하여 제 1 및 제 2 기준 전압들(VREFP, VREFN)을 발생할 수 있다.
- [0022] 컨트롤러(140)는 플래시 ADC(110) 및 순차 접근 ADC(120)에 전기적으로 연결된다. 컨트롤러(140)는 아날로그 디지털 변환 장치(100)의 제반 동작을 제어하도록 구성된다. 컨트롤러(140)는 외부로부터 클럭 신호(CLK)를 수신한다. 컨트롤러(140)는 수신된 클럭 신호(CLK)를 이용하여 플래시 제어 신호(FC), 입력 샘플링 제어 신호(ISC) 및 순차 접근 제어 신호(SC)를 발생한다.
- [0023] 본 발명의 실시 예에 따르면, 아날로그 디지털 변환 장치(100)가 아날로그 전압(VIN)을 K 비트들의 디지털 신호로 변환하는 경우, 플래시 ADC(110)는 K 비트들 중 상위 M 비트들의 값을 결정한다. 그리고, 플래시 ADC(110)에서 결정된 상위 M 비트들에 기반하여, 순차 접근 ADC(120)는 K 비트들 중 하위 N 비트들의 값을 결정한다.
- [0024] 도 2는 도 1의 아날로그 전압(VIN)이 K 비트들의 디지털 신호로 변환되는 것을 보여준다. 도 1 및 2를 참조하면, 제 1 및 제 2 기준 전압들(VREFP, VREFN)을 기준으로, 아날로그 전압(VIN)의 레벨은 K 비트들의 디지털 신호에 대응된다. K 비트들은 상위 M 비트들 및 하위 N 비트들로 구성된다. 상위 M 비트들은 플래시 ADC(110)에서 결정될 것이다. 그리고 하위 N 비트들은 순차 접근 ADC(120)에서 결정될 것이다.
- [0025] 도 3은 도 1의 플래시 ADC(110)를 보여주는 블록도이다. 도 3에서, 설명의 편의를 위하여, 아날로그 전압(VIN)을 3 비트들의 디지털 신호로 변환하도록 구성되는 플래시 ADC(110)가 도시된다.
- [0026] 도 3을 참조하면, 플래시 ADC(110)는 비교 전압 발생부(111), 증폭부(112) 및 인코더(113)를 포함한다. 비교 전압 발생부(111)는 제 1 내지 제 8 저항들(R1~R8)을 포함한다. 비교 전압 발생부(111)는 기준 전압 발생 회로(130)로부터 제공된 제 1 및 제 2 기준 전압들(VREFP, VREFN)을 이용하여 제 1 내지 제 7 비교 전압들(VC1~VC7)을 발생한다. 제 1 내지 제 7 비교 전압들(VC1~VC7)은 증폭부(112)에 제공된다.

- [0027] 증폭부(112)는 제 1 내지 제 7 비교 유닛들(CPR1~CPR7)을 포함한다. 제 1 내지 제 7 비교 유닛들(CPR1~CPR7)은 각각 제 1 내지 제 7 비교 전압들(VC1~VC7)을 수신한다. 제 1 내지 제 7 비교 유닛들(CPR1~CPR7)은 아날로그 전압(VIN)을 수신한다. 그리고 제 1 내지 제 7 비교 유닛들(CPR1~CPR7) 각각은, 아날로그 전압(VIN)와 각각의 비교 유닛에 수신된 비교 전압 레벨의 차이를 증폭한 증폭 신호를 출력한다. 즉, 제 1 내지 제 7 비교 유닛들(CPR1~CPR7)은 각각 제 1 내지 제 7 증폭 신호들(Vamp1~Vamp7)을 출력한다.
- [0028] 인코더(113)는 증폭부(112)와 전기적으로 연결된다. 인코더(113)는 제 1 내지 제 7 증폭 신호들(Vamp1~Vamp7)을 수신한다. 인코더(113)는 제 1 내지 제 7 증폭 신호들(Vamp1~Vamp7)에 기반하여 상위 3 비트들로 구성된 플래시 출력 신호(FOUT)를 발생한다. 도 3의 제 0 내지 제 2 비트들(D0~D2)은 상위 3 비트들에 해당될 것이다.
- [0029] 도 4는 도 1의 순차 접근 ADC(120)를 보여주는 블록도이다. 도 4에서, 설명의 편의를 위해 플래시 출력 신호(FOUT)의 상위 3 비트들(D0~D2)을 참조하여, 하위 4 비트들(D3~D6)을 결정하는 순차 접근 ADC(120)가 도시된다.
- [0030] 도 4를 참조하면, 순차 접근 ADC(120)는 제 1 및 제 2 변환열(210,220), 로직부(240) 및 비교 유닛(230)을 포함한다. 제 1 변환열(210)는 복수의 커패시터들(C0~C6), 제 0 내지 제 6 스위치들(S0~S6) 및 샘플링 스위치(SS)를 포함한다. 제 0 내지 제 5 커패시터들(C0~C5)은 각각 제 0 비트 내지 제 5 비트에 대응될 것이다. 제 5 커패시터(C5)에서 제 0 커패시터(C0)까지, 순차적으로 커패시턴스(capacitance)는 2의 지수 승만큼 증가한다. 예를 들면, 도 4에 도시된 바와 같이, 제 5 커패시터(C5)의 커패시턴스는 C라고 할 때, 제 4 내지 제 0 커패시터(C4~C0)의 커패시턴스는 각각 2C, 4C, 8C, 16C, 32C일 것이다.
- [0031] 제 0 내지 제 6 커패시터들(C0~C6) 각각은 비교 유닛(230)과 연결된다. 그리고 제 0 내지 제 6 커패시터들(C0~C6) 각각은 제 0 내지 제 6 스위치들(S0~S6)과 연결된다. 제 0 내지 제 6 스위치들(S0~S6)은 각각 제 0 내지 제 6 비트 제어 신호들(BC0~BC6)에 응답하여 동작한다. 제 0 내지 제 6 스위치들(S0~S6) 각각의 동작에 따라, 제 0 내지 제 6 커패시터들(C0~C6)에 제 1 및 제 2 기준 전압들(VREFP, VREFN), 그리고 아날로그 전압(VIN)이 선택적으로 인가될 것이다.
- [0032] 샘플링 스위치(SS)는 입력 샘플링 제어 신호(ISC)에 응답하여 단자(a)에 공통 전압(VCM)을 인가한다. 예시적으로, 공통 전압(VCM)은 제 1 및 제 2 기준 전압들(VREFP, VREFN)의 합을 2로 나눈 값에 대응될 것이다. 입력 샘플링 동작이 수행되는 경우, 샘플링 스위치(SS)는 단자(a)에 공통 전압(VCM)을 인가한다. 입력 샘플링 동작이 수행되는 경우, 제 0 내지 제 6 커패시터들(C0~C6)의 일단(one side)에 공통 전압(VCM)이 인가될 것이다. 그리고 제 0 내지 제 6 커패시터들(C0~C6)의 타단(other side)에 아날로그 전압(VIN)이 인가될 것이다. 결과적으로 입력 샘플링 동작이 수행됨에 따라, 제 0 내지 제 6 커패시터들(C0~C6)에 아날로그 전압(VIN)이 저장된다.
- [0033] 제 2 변환열(220)은 제 1 변환열(210)과 마찬가지로의 구성을 갖는다. 단, 아날로그 전압(VIN)은 반전되어 제 2 변환열(220)에 입력될 것이다. 그리고 제 0 내지 제 6 커패시터들(C0~C6) 중 일부가 제 1 기준 전압(VREFP)과 연결될 때, 그와 대응하는 제 2 변환열(220)의 커패시터들에 제 2 기준 전압(VREFN)이 인가된다. 마찬가지로, 제 0 내지 제 6 커패시터들(C0~C6) 중 일부가 제 2 기준 전압(VREFN)과 연결될 때, 그와 대응하는 제 2 변환열(220)의 커패시터들에 제 1 기준 전압(VREFP)이 인가된다. 즉, 도 4의 순차 접근 ADC(120)는 차동 모드(differential mode)로 동작한다. 다만, 본 발명의 실시 예에 따른 순차 접근 ADC(120)는 싱글 모드(single mode)로 동작할 수 있다.
- [0034] 비교 유닛(230)은 제 1 및 제 2 변환열들(210,220)에 연결된다. 비교 유닛(230)은 제 1 및 제 2 변환열들(210,220)로부터 입력된 전압들의 레벨 차이를 증폭한 비교 신호(Vc)를 출력한다.
- [0035] 로직부(240)는 플래시 출력 신호(FOUT), 순차 접근 제어 신호(SC) 및 비교 신호(Vc)를 수신한다. 플래시 출력 신호(FOUT)가 입력되면, 로직부(240)는 제 0 내지 제 2 비트 제어 신호들(BC0~BC2)을 제 1 변환열(210)에 전송한다. 제 0 내지 제 2 비트 제어 신호들(BC0~BC2)은 각각 제 0 내지 제 2 비트들(D0~D2)에 기반하여 결정될 것이다. 제 0 내지 제 2 비트 제어 신호들(BC0~BC2)에 응답하여, 제 0 내지 제 2 스위치들(S0~S2)은 제 0 내지 제 2 커패시터들(C0~C2)에 제 1 및 제 2 기준 전압들(VREFP, VREFN)을 선택적으로 인가한다.
- [0036] 순차 접근 제어 신호(SC)가 수신되면, 로직부(240)는 제 3 내지 제 6 비트 제어 신호들(BC3~BC6)을 제 1 변환열(210)에 전송한다. 그리고 제 3 내지 제 6 스위치들(S3~S6)은 제 3 내지 제 6 커패시터들(C3~C6)에 제 1 및 제 2 기준 전압들(VREFP, VREFN)을 선택적으로 인가하면서 순차 접근 동작을 수행할 것이다.
- [0037] 순차 접근 동작이 수행되는 동안, 로직부(240)는 비교 신호(Vc)를 참조하여 하위 4 비트들(D3~D6)을 결정할 것이다. 도 4의 제 3 내지 제 6 비트들(D3~D6)은 하위 4 비트들에 해당된다. 그리고 로직부(240)는 제 3 내지 제

6 비트들(D3~D6)에 기반하여, 각각 제 3 내지 제 6 비트 제어 신호들(BC3~BC6)을 발생한다. 이는 도 5를 참조하여 더 상세히 설명된다.

- [0038] 로직부(240)는 상위 3 비트들(D0~D2) 및 하위 4 비트들(D3~D6)에 따라 디지털 출력 신호(DOUT)를 발생시킬 것이다. 이때, 디지털 출력 신호(DOUT)는 제 0 내지 제 6 비트들(D0~D6)로 구성될 수 있다.
- [0039] 다만, 도 4와 다르게, 디지털 출력 신호(DOUT)은 7개의 비트들(D0~D6)보다 적은 수의 비트들로 구성될 수 있다. 예시적으로, 로직부(240)는 디지털 정정 로직(미도시)을 포함할 수 있다. 디지털 정정 로직은 수신된 제 0 내지 제 6 비트들(D0~D6)의 디지털 에러를 정정한다. 디지털 정정 로직은 디지털 에러를 정정하여 디지털 출력 신호(DOUT)를 발생한다. 즉, 제 0 내지 제 6 비트들(D0~D6)에 에러가 포함될 수 있고, 디지털 정정 로직은 에러가 제거된 디지털 출력 신호(DOUT)를 발생한다.
- [0040] 예시적으로, 디지털 정정 로직은 보정 값을 저장하는 메모리(미도시)를 포함하고, 메모리에 저장된 보정 값을 참조하여 제 0 내지 제 6 비트들(D0~D6)의 디지털 에러를 정정한다. 예시적으로, 디지털 정정 로직은 제 0 내지 제 6 비트들(D0~D6)의 디지털 에러를 정정하고, 5개의 비트들로 구성된 디지털 출력 신호(DOUT)를 발생시킬 수 있다.
- [0041] 도 4에서, 제 1 및 제 2 변환열은 복수의 커패시터들을 포함하는 것으로 도시된다. 그러나 이는 예시적인 것으로서, 다른 임피던스 소자들로 구성될 수 있을 것이다. 그리고, 도 4에 설명의 편의를 위해 이진 커패시터 열을 사용한 변환기가 도시되나, 스플릿(split) 커패시터, 저항을 사용한 변환기 및 유닛 커패시터열 등을 사용한 변환기에서도 같은 방식으로 구현이 가능하다.
- [0042] 도 5는 도 1의 아날로그 디지털 변환 장치(100)가 아날로그 전압(VIN)을 6 비트들의 디지털 신호로 변환하는 과정을 보여주는 순서도이다. 도 1, 도 3 및 도 4를 참조하면, S110단계에서, 순차 접근 ADC에서 입력 샘플링 동작이 수행된다. 컨트롤러(140)에서 순차 접근 ADC로 입력 샘플링 제어 신호(ISC)가 전송될 것이다. 입력 샘플링 제어 신호(ISC)에 응답하여, 샘플링 스위치(SS, 도 4 참조)는 단자(a)에 공통 전압(VCM)을 인가할 것이다. 그리고 제 0 내지 제 6 스위치들(S0~S6)는 제 0 내지 제 6 커패시터들(C0~C6)에 아날로그 전압(VIN)을 인가할 것이다. 결과적으로, 입력 샘플링 동작이 수행됨에 따라, 제 0 내지 제 6 커패시터들(C0~C6)에 아날로그 전압(VIN)이 저장될 것이다. 입력 샘플링 동작이 종료되면, 샘플링 스위치(SS)는 개방(open) 될 것이다.
- [0043] S120단계에서, 플래시 ADC(110)에서 제 0 내지 제 2 비트들(D0~D2)이 결정된다. 도 3을 참조하여 설명된 바와 같이, 플래시 ADC(110)는 제 1 및 제 2 기준 전압들(VREFP, VREFN)을 이용하여 제 1 내지 제 7 비교 전압들(VC1~VC7)을 발생한다. 그리고 플래시 ADC(110)는 플래시 제어 신호(FC)를 수신한다. 플래시 제어 신호(FC)에 응답하여 제 1 내지 제 7 비교 전압들(VC1~VC7)과 아날로그 전압(VIN)을 비교한다. 비교 결과에 따라, 플래시 ADC(110)는 3 비트들의 디지털 신호인 플래시 출력 신호(FOUT)를 출력한다. 3 비트들은 제 0 내지 제 2 비트들(D0~D2)로 구성될 것이다.
- [0044] S130단계에서, 순차 접근 ADC(120)에서 제 3 내지 제 6 비트들(D3~D6)이 결정된다. 플래시 ADC(110)에서 변환된 제 0 내지 제 2 비트들(D0~D2)에 기반하여, 순차 접근 ADC(120)는 제 3 내지 제 6 비트들(D3~D6)을 결정할 것이다. S130단계는 S131단계 및 S132단계를 포함한다.
- [0045] S131단계에서, 변환된 제 0 내지 제 2 비트들(D0~D2)에 각각 대응하는 제 0 내지 제 2 커패시터들(C0~C2)에 제 1 및 제 2 기준 전압들(VREFP, VREFN)이 선택적으로 인가된다. 로직부(240)는 플래시 출력 신호(FOUT)를 수신할 것이다. 로직부(240)는 제 0 내지 제 2 비트들(D0~S2)에 기반하여 제 0 내지 제 2 비트 제어 신호들(BC0~BC2)을 발생시킬 것이다. 제 0 내지 제 2 비트 제어 신호들(BC0~BC2)에 응답하여, 제 0 내지 제 2 스위치들(S0~S2)은 제 1 및 제 2 기준 전압들(VREFP, VREFN) 중 어느 하나를 선택할 것이다. 예시적으로, 제 0 내지 제 2 비트들(D0~D2) 중 어느 하나가 논리 값 "1"에 대응되는 경우, 그에 대응되는 스위치는 제 1 기준 전압(VREFP)을 선택할 것이다. 예시적으로, 제 0 내지 제 2 비트들(D0~D2) 중 어느 하나가 논리 값 "0"에 대응되는 경우, 그에 대응되는 스위치는 제 2 기준 전압(VREFN)을 선택할 것이다.
- [0046] 예를 들면, 플래시 ADC(110)에서 변환된 제 0 내지 제 2 비트들(D0~D2)이 각각 로직 값 "1", "0", "1"이라고 가정한다. 이 경우, 제 0 커패시터(C0)에 제 1 기준 전압(VREFP)이 인가될 것이다. 제 1 커패시터(C1)에 제 2 기준 전압(VREFN)이 인가될 것이다. 그리고 제 2 커패시터(C2)에 제 3 기준 전압(VREFP)이 인가될 것이다.
- [0047] S132단계에서, 순차 접근 ADC(120)에서 제 3 내지 제 6 비트들(D3~D6)이 결정된다. 즉, 순차 접근 ADC(120)는 순차 접근 제어 신호(SC)를 수신한다. 그리고, 순차 접근 제어 신호(SC)에 응답하여 순차 접근 ADC(120)는 제 3 내지 제 6 비트들(D3~D6)의 논리 값을 결정할 것이다. 순차 접근 동작에 의해 제 3 내지 제 6 비트들(D3~D6)의

MSB(Most Significant Bit)부터 LSB(Least Significant Bit)까지의 논리 값이 순차적으로 결정된다.

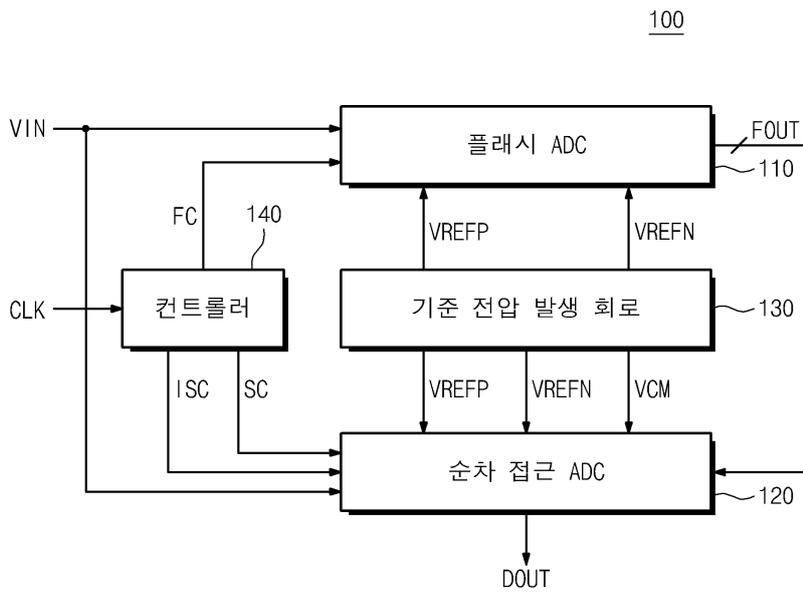
- [0048] 즉, 순차 접근 동작에 의해 제 3 비트(D3)부터 제 5 비트(D5)까지의 논리 값이 순차적으로 결정된다. 제 3 비트(D3)의 논리 값을 판별하는 경우, 제 3 커패시터(C3)에 제 1 기준 전압(VREFP)이 인가된다. 그리고 제 3 비트(D3)보다 로우 비트들에 대응하는 커패시터들에 제 2 기준 전압(VREFN)이 인가된다. 즉, 제 3 스위치(S3)는 제 1 기준 전압(VREFP)을 선택한다. 그리고 제 4 및 제 5 스위치(S4,S5)는 제 2 기준 전압(VREFN)을 선택한다. 한편, 제 6 스위치(S6)는 순차 접근 동작 동안에 항상 제 2 기준 전압(VREFN)에 연결된다.
- [0049] 비교 유닛(230)은 제 1 및 제 2 변환열들(210,220)로부터 입력되는 전압 레벨의 차이를 증폭한 비교 신호(Vc)를 발생한다. 제 0 내지 제 6 커패시터들(C0~C6) 각각의 일단(one side)에 인가된 전압 레벨에 따라, 단자(a)의 전압 레벨이 결정될 것이다. 예를 들면, 제 1 기준 전압(VREFP)이 인가된 커패시터들의 커패시턴스와, 제 2 기준 전압(VREFN)이 인가된 커패시터들 커패시턴스의 비율에 따라 단자(a)의 전압 레벨이 결정될 것이다.
- [0050] 로직부(240)는 비교 신호(Vc)에 기반하여 제 3 비트(D3)가 논리 값 "1"인지 논리 값 "0"인지 판명한다. 제 3 비트(D3)가 논리 값 "1"로 판명되면, 제 3 스위치(S3)가 제 1 기준 전압(VREFP)의 선택을 유지하도록, 로직부(240)는 제 3 비트 제어 신호(BC3)를 발생한다. 제 3 비트(D3)가 논리 값 "0"으로 판명되면, 제 3 스위치(S3)가 제 2 기준 전압(VREFN)을 선택하도록, 로직부(240)는 제 3 비트 제어 신호(BC3)를 발생한다. 이때, 제 4 및 제 5 스위치(S4,S5)는 제 2 기준 전압(VREFN)의 선택을 유지할 것이다.
- [0051] 제 3 비트(D3)와 마찬가지로, 제 4 및 제 5 비트들(D4,D5)의 논리 값이 결정될 것이다.
- [0052] 본 발명의 실시 예에 따르면, 순차 접근 ADC(120)는 플래시 ADC(110)에서 결정된 상위 M 비트들의 값에 기반하여 제 0 내지 제 2 커패시터들(C0~C2)에 인가되는 기준 전압을 조절한다. 그리고 순차 접근 ADC(120)는 하위 N 비트들의 값을 결정할 것이다. 플래시 ADC(110) 및 순차 접근 ADC(120)를 이용하여 디지털 변환을 수행함에 따라, 저전력을 소비하면서 빠른 동작 특성을 보장하는 ADC 장치가 제공된다.
- [0053] 한편, 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

부호의 설명

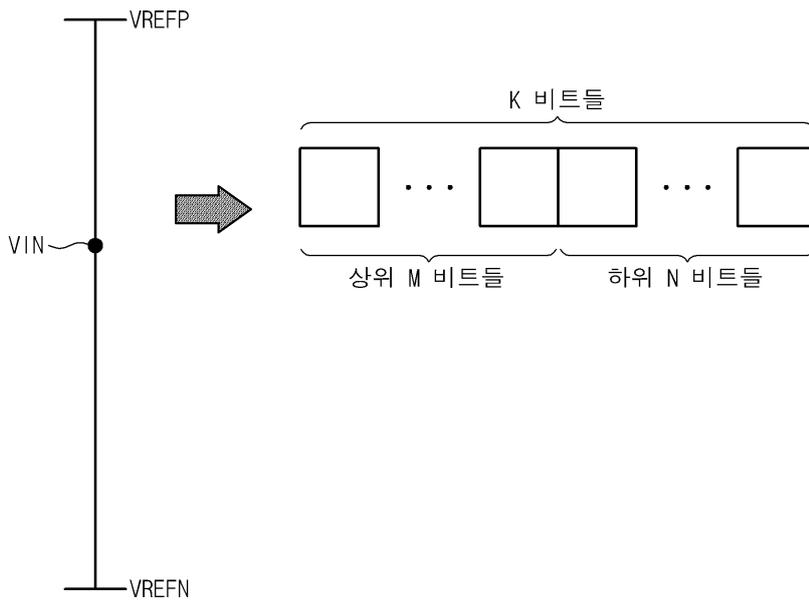
- [0054] 100: 아날로그 디지털 변환 장치
- 110: 플래시 ADC
- 120: 순차 접근 ADC
- 130: 기준 전압 발생기
- 140: 컨트롤러
- 111: 비교 전압 발생부
- 112: 증폭부
- 113: 인코더
- 210,220: 제 1 및 제 2 비교열
- 230: 비교 유닛
- 240: 로직부

도면

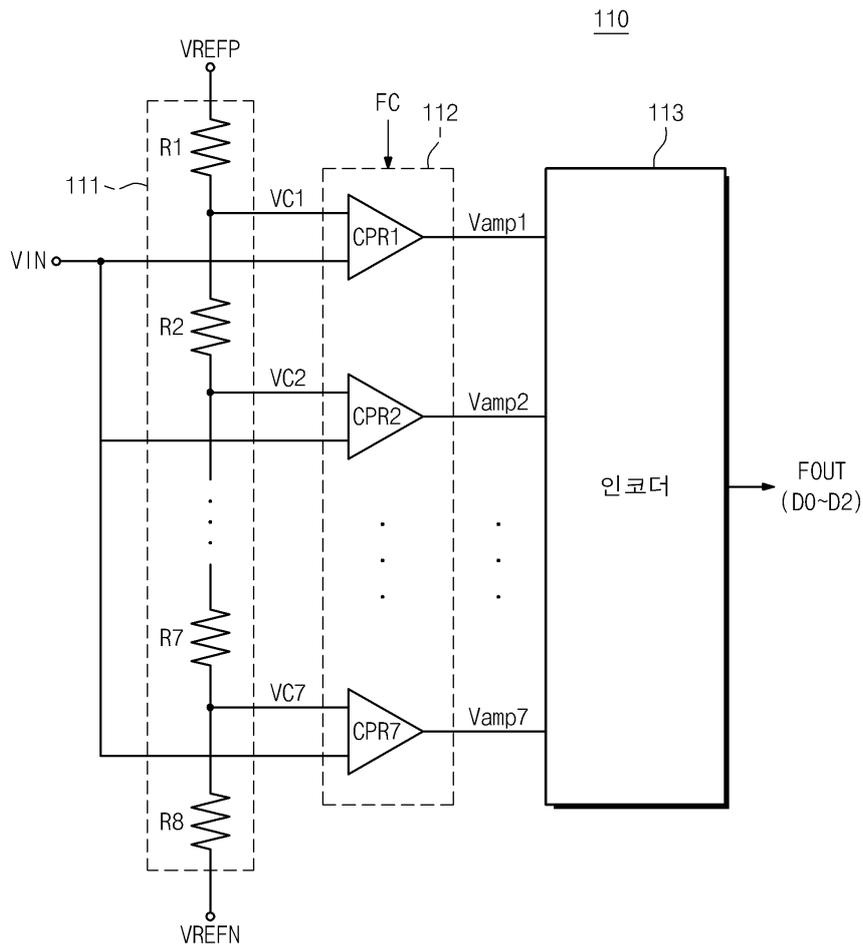
도면1



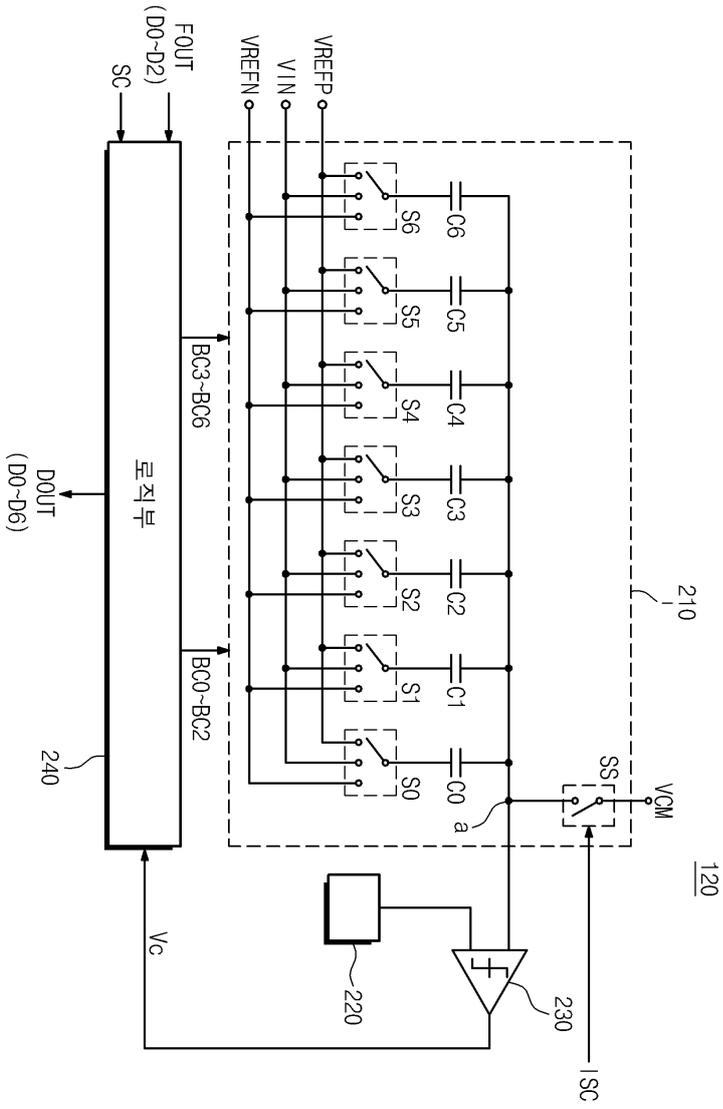
도면2



도면3



도면4



도면5

