

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3588553号
(P3588553)

(45) 発行日 平成16年11月10日(2004.11.10)

(24) 登録日 平成16年8月20日(2004.8.20)

(51) Int. Cl.⁷

F I

G 1 1 C 16/02

G 1 1 C 17/00 6 1 2 B

G 1 1 C 16/06

G 1 1 C 29/00 6 7 3 V

G 1 1 C 29/00

G 1 1 C 17/00 6 3 3 E

請求項の数 3 (全 12 頁)

(21) 出願番号	特願平10-229020	(73) 特許権者	000003078
(22) 出願日	平成10年8月13日(1998.8.13)		株式会社東芝
(65) 公開番号	特開2000-57783(P2000-57783A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成12年2月25日(2000.2.25)	(74) 代理人	100058479
審査請求日	平成13年6月13日(2001.6.13)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

データ記憶用のメモリセルが m 行、 n 列 (m , n は 1 以上の整数) に配置されたリードセルアレイと、
 選択時にオン状態となるレファレンス用の n 個のメモリセルからなる 1 行のレファレンスセルと、
 前記リードセルアレイにおける同一行のリードセルの制御ゲートに、それぞれ共通に接続された m 本のワード線と、
 前記 1 行のレファレンスセルの制御ゲートに、共通に接続された 1 本のレファレンスワード線と、
 読み出し時に前記ワード線、及びレファレンスワード線に昇圧電位を付与する昇圧回路と、
 前記ワード線、及びレファレンスワード線の電源として、前記昇圧回路の出力電位と書き込み用電源からの出力電位とを切り換える電源切り換え回路とを具備し、
 前記電源切り換え回路は、書き込み動作を除く動作期間において、前記書き込み用電源からの任意の値に設定可能な電位を出力するテストモードを備え、
 前記テストモードにおいて、前記レファレンスワード線を非選択状態にする制御回路を具備することを特徴とする不揮発性半導体メモリ。

【請求項2】

前記不揮発性半導体メモリは、フリップフロップ型のセンスアンプを具備し、プリチャージ

ジされたビット線電圧のディスチャージにおける電圧変化を検出することにより、読み出し動作を行うことを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 3】

前記電源切替え回路は、読み出し動作と書き込み動作とを切り換える切替え信号及び前記テストモードを選択するモード信号を入力する 2 入力 NOR 回路と、前記 2 入力 NOR 回路の出力に、インバータを介して並列に接続された第 1、第 2 のレベルシフタと、前記 2 入力 NOR 回路の出力に並列に接続された第 3、第 4 のレベルシフタと、直列に接続された第 1 乃至第 4 の MOS トランジスタとからなり、

前記第 1、第 3 のレベルシフタの電源端子には、前記書き込み用電源が接続され、前記第 2、第 4 のレベルシフタの電源端子には、前記昇圧回路の出力が接続され、前記第 1 乃至第 4 のレベルシフタの出力は、前記直列に接続された第 1 乃至第 4 の MOS トランジスタのゲートにそれぞれ接続され、

前記直列に接続された第 1 乃至第 4 の MOS トランジスタのドレイン側の電源端子には、前記書き込み用電源の出力が接続され、前記直列に接続された第 1 乃至第 4 の MOS トランジスタのソース側の電源端子には、前記昇圧回路の出力が接続され、

前記第 1、第 3 の MOS トランジスタの基板は、それぞれのドレインに接続され、前記第 2、第 4 の MOS トランジスタの基板は、それぞれのソースに接続され、前記第 2、第 3 の MOS トランジスタの接続点から前記書き込み用電源の出力電位及び昇圧回路の出力電位のいずれかを出力することを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ

。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は不揮発性半導体メモリに係り、特に昇圧回路により供給される昇圧電源でワード線を駆動し、かつ、プリチャージされたビット線電圧のディスチャージにおける電圧変化を検出することにより、読み出し動作を行う低電圧、低消費電力の不揮発性半導体メモリに使用されるものである。

【0002】

【従来の技術】

従来、フリップフロップ型のセンスアンプを備え、プリチャージ/ディスチャージ方式で読み出し動作を行う不揮発性半導体メモリ（以下 EPROM；Electrically Programmable Read Only Memory と呼ぶ）が知られている。ここでプリチャージ/ディスチャージ方式とは、プリチャージされたビット線電圧のディスチャージにおける電圧変化を検出する EPROM の読み出し方法をいう。

【0003】

図 5 に示す回路構成に基づき、前記 EPROM の動作原理を説明する。なお、本明細書においては、EPROM の読み出し動作を発明の対象とするので、通常メモリセルアレイと呼ばれる記憶領域を、記憶データが書き込まれたリードセルアレイと、リードセルの記憶状態を読みだす際に比較として用いる複数のレファレンスセルとに別けて説明する。

【0004】

図 5 は、リードセルアレイ、複数のレファレンスセル、及びセンスアンプからなる不揮発性半導体メモリの回路構成の一部である。中央部にセンスアンプ 10 を備え、その上下に、I 型（イントリンシック型）トランジスタ 1 と、カラムセレクトトランジスタ 2 と、m 行、n 列（m，n は 1 以上の整数）の浮遊ゲートトランジスタからなる NOR 型のリードセルアレイ 3 と、同様に n 個の浮遊ゲートトランジスタからなる 1 行の NOR 型のレファレンスセル 4 と、ディスチャージトランジスタ 5 と、ワード線 6 と、レファレンスワード線 6 a と、ソース線 7 と、ビット線 8 とからなるメモリ面 A、11 と、メモリ面 B、12 とが、プリチャージトランジスタ 9 を含むセンスアンプ 10 に対して互いに鏡像関係となるように配置される。

【0005】

10

20

30

40

50

ここでワード線は、同一行のリードセルの制御ゲートに、それぞれ共通に接続された m 本のワード線6と、前記1行のレファレンスセルの制御ゲートに共通に接続された1本のレファレンスワード線6aとから構成される。なお、ビット線は、前記リードセルの列(カラム)を選択するカラムセレクトトランジスタを介して、 n 本のビット線8から構成される。

【0006】

I型トランジスタ1は、特にチャネルイオン注入を行わず、ゲートに1V程度の固定バイアス V_{BIAS} を加えたN型MOSトランジスタであって、プリチャージトランジスタ9を介してビット線8にプリチャージ電圧を印加する際、電源電圧(V_{CC})が直接ビット線に加わらないよう、バッファとしての役割を果たすものである。なおビット線8は、カラムアドレスデコーダの出力をカラムセレクトトランジスタ2のゲートに入力することにより選択される。

10

【0007】

さらに行(ロー)アドレスデコーダの出力をワード線に入力し、選択されたワード線6と選択されたビット線8とに接続された読み出し対象のリードセル(以下選択リードセルと呼ぶ)3が、図5のメモリ面Aに丸囲みで示されている。

【0008】

選択リードセル3の読み出しは次のように行う。読み出し動作の前に、あらかじめ選択リードセル3には、例えば“0”又は“1”データの書き込みが行われる。

【0009】

NOR型のEPROMでは、前記リードセル3及びレファレンス4は中性しきい値が全て一定の正の値となるように設計される。ここで中性しきい値とは、浮遊ゲートへの電子注入を行わない状態(消去状態)のセルのしきい値をいう。

20

【0010】

“0”書き込み状態では、セルを構成するトランジスタの浮遊ゲートに電子注入が行われ、選択ゲートセル3のしきい値は中性しきい値からさらに正方向にシフトする。“1”書き込み状態では、浮遊ゲートへの電子注入は行われず消去状態の正の中性しきい値が維持される。

【0011】

図5に示す回路において、例えばメモリ面Aの選択リードセル3を読み出す場合、メモリ面Bに丸囲みで示された前記選択リードセル3に対応するレファレンスセル(以下選択レファレンスセルと呼ぶ)4が選択される。

30

【0012】

読み出しに先立ちメモリ面A、Bのディスチャージトランジスタ5をオフとし、あらかじめ、センスアンプ10の入力に接続されたプリチャージトランジスタ9のゲートにプリチャージ信号生成回路から転送されたプリチャージ信号、PR(バー)を入力することにより、I型トランジスタ1及びカラムセレクトトランジスタ2を介して、メモリ面A、Bの選択ビット線にプリチャージ電圧が供給される。

【0013】

次にメモリ面Aの選択ワード線6とメモリ面Bのレファレンスワード線6aとに読みだし電圧を付与し、ディスチャージトランジスタ5をディスチャージ信号DISによりオン状態にすれば、メモリ面A、Bにおけるプリチャージされた選択ビット線8が、それぞれ選択リードセルと選択レファレンスセルとを介して放電される。

40

【0014】

前記メモリ面A、Bにおけるプリチャージされた選択ビット線8の電圧は、フリップフロップ(以下F/Fと略称する)接続された2個のNORゲートからなるセンスアンプ10の入力にそれぞれ接続され、その2値出力 $F/F-OUT_1$ 及び $F/F-OUT_2$ により、選択リードセル3への書き込み状態が、レファレンスセル4と比較して読み出される。

【0015】

50

ここで、フリップフロップ回路からなるセンスアンプ10の読み出し動作について、さらに詳細に説明する。リードセル3とレファレンスセル4との違いは、リードセル3を構成する浮遊ゲートトランジスタのトランスコンダクタンス g_m の値が、レファレンスセル4に比べて大きく設計されることである。

【0016】

選択リードセル3が“1”書き込み状態にあるときは、浮遊ゲートへの電子注入は行われず、その中性しきい値は選択レファレンスセル4に等しい正の値となる。読み出しは選択ワード線6とレファレンスワード線6aに正の読み出し電圧を与えて両者をオン状態とし、プリチャージされたビット線8の放電電流を比較することにより行う。

【0017】

しかし、選択リードセル3の方が g_m の値が大きく設計されているので、ビット線8のプリチャージ状態が同じであれば選択リードセル側のビット線8の電荷がより早くディスチャージされ、センスアンプ10の選択リードセル側の入力電圧が選択レファレンスセル側の入力電圧に比べて小となり、ディスチャージ開始後、選択リードセル側のビット線電位が先にF/F回路のしきい値を越え、センスアンプ10の出力F/F-OUT₁が“0”から“1”に反転する。

【0018】

一方、選択リードセル3が“0”書き込み状態にあるときは、浮遊ゲートへの電子注入が行われるのでしきい値は中性しきい値からさらに正側にシフトし、選択ワード線6に読み出し電圧を印加した状態で、選択リードセル6はオフとなる。したがって常にオン状態であるレファレンス側のビット線電位が先にF/Fの回路しきい値を越え、F/F-OUT₂が“0”“1”に反転し、仮に選択リードセル側のビット線電位が、オフ・リーク等により、その後F/F回路のしきい値を越えたとしても、F/F-OUT₁の“0”状態が維持される。

【0019】

このように、センスアンプを構成するF/F回路の出力F/F-OUT₁の“1”又は“0”状態(F/F-OUT₂の“0”又は“1”状態)により、選択リードセル3への“1”書き込み又は“0”書き込み状態がF/F回路に読み出される。

【0020】

一般に使用されるカレントミラー回路を用いた差動増幅型のセンスアンプは、回路構成が複雑であるため最適化された動作電圧範囲から外れると特性劣化がいちじるしいのに対し、F/F回路からなる前記センスアンプ10は、単純なNORゲートでセルの出力を受けられるため、広い電圧範囲で動作することができる。

【0021】

さらに、ワード線昇圧により、昇圧回路を用いて電源電圧 V_{CC} からの昇圧電位をセルのワード線及びレファレンスワード線に印加することにより、低い電源電圧での読み出し動作を可能としてきた。

【0022】

しかし、このような従来の読み出し方法では、低い電源電圧における読み出しマージンを確保するため前記ワード線昇圧を行っているため、例えば、不揮発性半導体メモリの紫外線消去(以下UV消去と呼ぶ)後におけるしきい値 V_{th} の低いリードセル3に対しては、緩い条件で読み出しを行うこととなり、消去後のペリファイ(消去されたかどうかの読み出しによるチェック)としては、読み出しマージンを確保するという意味での厳しい条件で、読み出すことができないという問題点があった。

【0023】

また、UV消去後のリードセルの評価・解析のことを考慮すれば、前記ワード線昇圧方式ではワード線電位を外部から変化することができず、さらに、従来のフリップフロップ型のセンスアンプ10を用いて、選択リードセル3とレファレンスセル4とを比較する方法では、選択リードセル3のみのしきい値 V_{th} をモニターすることができないという問題点があった。

10

20

30

40

50

【 0 0 2 4 】

【 発明が解決しようとする課題 】

上記したように、従来の不揮発性メモリ、とくにプリチャージ/ディスチャージ方式を用いたUV消去型EPROMの読み出し動作において、F/F回路からなるセンスアンプの2入力に、それぞれリードセル及びレファレンスセルが接続されたビット線の電位を入力し、さらに、ワード線及びレファレンスワード線に昇圧電位を与えることにより、低い電源電圧及び低消費電力での動作を可能にし、電圧範囲の広い読み出し動作を実現してきた。

【 0 0 2 5 】

しかし、この読み出し動作では、リードセルのしきい値 V_{th} やセル電流 I_{cell} 等の状態を詳細にモニターすることができず、とくにUV消去後のリードセルが動作マージンを確保するに十分な程度に消去されたか否かをベリファイすることができないという問題点があった。

【 0 0 2 6 】

本発明は上記の問題点を解決すべくなされたもので、リードセルのしきい値 V_{th} やセル電流 I_{cell} 等を詳細にモニターすることができ、かつ、UV消去後のリードセルが動作マージンを確保するに十分な程度に消去されたか否かをベリファイすることができるEPROMを提供することを目的とする。

【 0 0 2 7 】

【 課題を解決するための手段 】

本発明のEPROMは、リードセルのしきい値 V_{th} やセル電流 I_{cell} をチェックすることができるテストモードを備え、前記テストモードにおいてワード線駆動用レベルシフタの電源を書き込み電圧 V_{pp} の電源に切り替え、ワード線の電位を任意の値にして読み出すことにより、セルのしきい値 V_{th} やセル電流 I_{cell} をモニターすることを可能にし、UV消去後のしきい値ばらつき等による読み出し不良セルを正確に選別することを特徴とする。

【 0 0 2 8 】

また、前記テストモードにおいて、F/F回路からなるセンスアンプをシングルエンド方式とする（差動入力を単一入力とする）ことにより、レファレンスセルのばらつきの影響を回避し、レファレンスセルの特性と関係なくリードセルのしきい値 V_{th} 及びセル電流 I_{cell} をモニターすることを可能にする。

【 0 0 2 9 】

具体的には、本発明の態様の不揮発性半導体メモリは、データ記憶用のメモリセルがm行、n列（m、nは1以上の整数）に配置されたリードセルアレイと、選択時にオン状態となるレファレンス用のn個のメモリセルからなる1行のレファレンスセルと、前記リードセルアレイにおける同一行のリードセルの制御ゲートに、それぞれ共通に接続されたm本のワード線と、前記1行のレファレンスセルの制御ゲートに、共通に接続された1本のレファレンスワード線と、読み出し時に前記ワード線、及びレファレンスワード線に昇圧電位を付与する昇圧回路と、前記ワード線、及びレファレンスワード線の電源として、前記昇圧回路の出力電位と書き込み用電源からの出力電位とを切換える電源切換え回路とを具備し、前記電源切換え回路は、書き込み動作を除く動作期間において、前記書き込み用電源からの任意の値に設定可能な電位を出力するテストモードを備え、前記テストモードにおいて、前記レファレンスワード線を非選択状態にする制御回路を具備することを特徴とする。

【 0 0 3 0 】

また、前記不揮発性半導体メモリは、フリップフロップ型のセンスアンプを具備し、プリチャージされたビット線電圧のディスチャージにおける電圧変化を検出することにより、読み出し動作を行うことを特徴とする。

【 0 0 3 1 】

また、好ましくは前記電源切替え回路は、読み出し動作と書き込み動作とを切り換える切

10

20

30

40

50

替え信号及び前記テストモードを選択するモード信号を入力する2入力NOR回路と、前記2入力NOR回路の出力に、インバータを介して並列に接続された第1、第2のレベルシフタと、前記2入力NOR回路の出力に並列に接続された第3、第4のレベルシフタと、直列に接続された第1乃至第4のMOSトランジスタとからなり、

前記第1、第3のレベルシフタの電源端子には、前記書き込み用電源の出力が接続され、前記第2、第4のレベルシフタの電源端子には、前記昇圧回路の出力が接続され、前記第1乃至第4のレベルシフタの出力は、前記直列に接続された第1乃至第4のMOSトランジスタのゲートにそれぞれ接続され、

前記直列に接続された第1乃至第4のMOSトランジスタのドレイン側の電源端子には、前記書き込み用電源の出力が接続され、そのソース側の電源端子には、前記昇圧回路の出力が接続され、前記第1、第3のMOSトランジスタの基板は、それぞれのドレインに接続され、前記第2、第4のMOSトランジスタの基板は、それぞれのソースに接続され、前記第2、第3のMOSトランジスタの接続点から前記書き込み用電源の出力電位及び昇圧回路の出力電位のいずれかを出力することを特徴とする。

【0032】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係るEPROMの回路構成を示している。図1において、図5と同一部分には同一の参照番号を付し、詳細な説明を省略する。

【0033】

メモリ面A、B及びセンスアンプ10は、周辺回路として、カラムアドレス信号を受けるカラムデコーダ13と、その出力レベルを制御するレベルシフタ14と、ローアドレス信号及びメモリ面A、Bの選択信号 $SLCT_1$ を受けて、ワード線6を選択するローデコーダ15と、その出力レベルを制御するレベルシフター16と、

メモリ面A、Bの選択信号 $SLCT_0$ 、及び書き込み時にレファレンスワード線を強制的に非選択にする信号 EV_{pp} を入力し、レファレンスワード線6aを選択するレファレンスセルワード線選択回路17と、その出力レベルを制御するレベルシフター18と、プリチャージトランジスタ9にプリチャージ信号PR(バー)を入力するプリチャージ生成回路19と、I型トランジスタ1に一定のバイアス電圧 V_{BIAS} を供給するバイアス回路20と、ディスチャージトランジスタ5にディスチャージ信号DISを出力するディスチャージ信号生成回路21とを備えている。

【0034】

先にのべたように、従来、昇圧回路22を用いて電源電圧 V_{CC} を昇圧して V_{BB} を出力し、これをワード線及びレファレンスワード線に印加することにより、低い電源電圧まで動作する読み出し動作範囲の広いEPROMを実現してきた。

【0035】

しかし、一般に昇圧回路22では V_{CC} の電圧を連続的に変化することができず、ワード線の電位を任意の値にして読み出すことにより、セルのしきい値をモニターすることができなかった。

【0036】

そこで、本発明のEPROMでは、新たにMODE信号により動作する電源切替え回路23を増設し、外部から任意に設定可能な書き込み電圧 V_{pp} を入力し、前記MODE信号より通常動作モードとテストモードとを切り替え、テストモードにおいてレベルシフタ16、18を介して、それぞれワード線及びレファレンスワード線に印加する電圧を任意に設定できるようにした。

【0037】

図2を用いて、MODE信号によりSWRを切り替える電源切替え回路23の一例について説明する。従来、SWRは読み出し時に V_{CC} の昇圧電位 V_{BB} 、書き込み時に書き込み電圧 V_{pp} を出力するよう切替え動作をしていたのに対し、図2の回路では、MODE信号が“1”のときに、SWRとして外部から任意に設定可能な書き込み電圧 V_{pp} を出力

10

20

30

40

50

するようになっている。即ち、MODE信号を“1”にすると、ローデコーダ15のレベルシフト16の電源を V_{PP} とし、ワード線のレベルを任意の電位に設定することを可能にする。

【0038】

図2に示す電源切替え回路23は、通常動作モードにおいて読み出し動作と書き込み動作とを切り換える切替え信号SW、及び前記通常動作モードとテストモードとを選択する信号MODEを入力する2入力NOR回路24と、前記2入力NOR回路24の出力に、インバータ25を介して並列に接続された第1、第2のレベルシフト26、27と、前記2入力NOR回路24の出力に並列に接続された第3、第4のレベルシフト28、29と、直列に接続された第1乃至第4のMOSトランジスタ30乃至33とからなる。なお、前記レベルシフト26乃至29はいずれも反転論理のレベルシフトである。

10

【0039】

前記第1、第3のレベルシフト26、28の電源端子には、前記書き込み用電源の出力 V_{PP} が接続され、前記第2、第4のレベルシフト27、29の電源端子には、前記昇圧回路の出力 V_{BB} が接続され、前記第1乃至第4のレベルシフト26乃至29の出力は、前記直列に接続された第1乃至第4のP型MOSトランジスタ30乃至33のゲートにそれぞれ接続され、

前記直列に接続された第1乃至第4のP型MOSトランジスタ30乃至33のドレイン側の(30側の)電源端子には、前記書き込み用電源の出力 V_{PP} が接続され、ソース側の(33側の)電源端子には、前記昇圧回路の出力 V_{BB} が接続され、前記第1、第3のP型MOSトランジスタの基板は、それぞれのドレインに接続され、前記第2、第4のP型MOSトランジスタの基板は、それぞれのソースに接続され、前記第2、第3のP型MOSトランジスタの接続点から前記書き込み用電源の出力電位 V_{PP} 及び昇圧回路の出力電位 V_{BB} のいずれかを出力SWRとして出力する。

20

【0040】

このようにして、MODEが“0”の通常動作モードの場合には、読み出し動作時にSWが“0”となり、SWRには V_{CC} の昇圧電位 V_{BB} が出力され、書き込み動作時にSWが“1”となり、SWRには書き込み電圧 V_{PP} が出力される。

【0041】

また、MODEが“1”のテストモードの場合には、SWRには書き込み電圧 V_{PP} が出力され、先にのべたように V_{PP} は外部で任意の値に設定することができるので、これをワード線及びレファレンスワード線に付与することにより、UV消去後のセルのしきい値をモニターすることができる。

30

【0042】

次に、図3を用いてセル電流 I_{ce11} とワード線の電圧レベル V_g との関係について説明する。なお、セル電流 I_{ce11} がゼロとなる V_g の値がセルのしきい値 V_{th} に相当する。

【0043】

前述のようにワード線の電圧レベル V_g を任意に設定可能とすることにより、通常読み出し時におけるワード線の電圧レベル V_g より低い電圧で、換言すれば読み出しマージンをより厳しくした条件で、UV消去後にセルの浮遊ゲートに残留した注入電子によるしきい値の僅かな変化を読み出し、UV消去後のしきい値をベリファイすることができる。

40

【0044】

図3において、横軸はワード線に印加する電圧レベル V_g (ゲート電圧)、縦軸はセル電流 I_{ce11} (ドレイン電流)である。実線は“1”書き込みセルとレファレンスセルのゲート電圧とドレイン電流との関係を模式的に示している。両者の中性しきい値は設計上等しくされているので、横軸のP点で共にドレイン電流が立ち上がるが、先に述べたように、レファレンスセルに比べて“1”書き込みセルのトランスコンダクタンス g_m が大きいので、“1”書き込みセルがより急峻なドレイン電流 I_{ce11} の立ち上がりを示

50

す。

【0045】

これに対して図3に破線で示す“0”書き込みセルは、浮遊ゲートに電子が注入されるので、“1”書き込みセルに比べてしきい値が正の方向にシフトし、ドレイン電流の立ち上がりQ点に移動する。しかし、トランスコンダクタンス g_m の値には変化がないので、“0”書き込みセルのドレイン電流と“1”書き込みセルのドレイン電流とは、PからQへの平行移動の関係になる。なお、図3の横軸の点Pと点Qの電圧の値は、それぞれレファレンスセルの中性しきい値と“0”書き込みメモリセルのしきい値に相当する。

【0046】

図3において、前述のようにワード線のレベルを任意に設定可能とすることにより、通常 10
の読み出し時におけるワード線レベルより低い電位でのベリファイを行うことが可能になる。このとき、読み出し時におけるリードセル側のビット線とレファレンスセル側のビット線とに流れる電流（両セルのドレイン電流）の差と、ベリファイ時における前記電流の差が、それぞれ縦の矢印R、Vで示されている。

【0047】

このとき、前記“1”書き込みセル（消去状態が維持されるセル）がUV消去の際、消去状態が不十分であれば、図3の“1”書き込みセルの横軸との交点PがQ側に移動し、これに伴い前記矢印R、Vの長さは共に減少する。このとき、ベリファイ時におけるリードセルとレファレンスセルの電流の差を示す矢印Vの減少率の方が、読み出し時におけるリードセルとレファレンスセルの電流の差を示す矢印Rの減少率に比べて大きい。 20

【0048】

両者の減少率の相違はベリファイ時のワード線レベル V_g が小さいほど顕著であり、場合によっては符号の反転を生じることもある。このことから、ベリファイ時のワード線レベルを小さくするほど、UV消去における消去状態が不十分なセルをベリファイ動作により検出し易くなることがわかる。

【0049】

以上のべたように、リードセルとレファレンスセルに流れるセル電流の差に着目すれば、間接的にセルのしきい値をモニターすることが可能となり、また、読み出し電圧に比べてベリファイ電圧を低くすることにより、リードセルに生じた僅かなしきい値の増加を極めて高い感度でモニターすることができる。すなわち、UV消去後において、しきい値が読み出しマージンの直近にある不完全な消去状態のセルの存在を容易に判別することができるので、消去不良セルによる読み出し不良の発生や、過剰書き込み等を未然に防止することができる。 30

【0050】

さらに、図4に示すように、前記MODE信号が“1”のときにレファレンスセル側の選択信号を非選択とする回路と組み合わせることにより、レファレンスセルのしきい値ばらつきの影響がなくなり、純粹にリードセルのしきい値に対応したセンスアンプの入力データが得られる。

【0051】

すなわち図4において、MODE信号が“1”であれば、NORゲート24の出力は“0” 40
となり、レファレンスセルワード線選択回路17の出力はメモリ面A、Bの選択信号SLCT₁と無関係になる。

【0052】

また、MODE信号が“0”であれば、前記選択信号SLCT₁がレファレンスセルワード線選択回路17とレベルシフタ18とを介してレファレンスワード線6aを選択する。

【0053】

レファレンスワード線が非選択となれば、センスアンプ10はシングルエンド型増幅器として動作するので、リードセルのしきい値のみに対応した出力が得られる。このようにすれば、UV消去後におけるわずかなしきい値シフトを容易にモニターできるばかりでなく 50

、とくに“ 0 ”書き込み側（セルのしきい値が高い側）においてもレファレンスセルの影響がなくなり、“ 0 ”書き込み状態のペリファイを正確に行うことが可能になる。

【 0 0 5 4 】

なお本発明は上記の実施の形態に限定されることはない。例えば第 1 の実施の形態において、2 値データの書き込み、読み出し動作する E P R O M について説明したが、本発明の電源切り替え回路を変形すれば、多値データについても同様に動作する E P R O M を提供することができる。また前記電源切替え回路のレベルシフタは反転論理である場合について説明したが、P 型 M O S トランジスタを N 型に変更すれば、非反転論理のレベルシフタを用いることができる。

【 0 0 5 5 】

また、第 1 の実施の形態において、UV 消去後のしきい値変化をモニターする場合について説明したが、必ずしも UV 消去に限定されるものではない。電氣的消去可能な E E P R O M (E l e c t r i c a l l y E r a s a b l e a n d P r o g r a m m a b l e R e a d O n l y M e m o r y) の場合にも同様に実施することができる。

【 0 0 5 6 】

また、第 1 の実施の形態において、N O R 型のセルアレイを有する場合について説明したが、周辺回路を変更すれば本発明の読み出し動作を N A N D 型のセルアレイに適用することができる。その他本発明の要旨を逸脱しない範囲で種々変形して実施することができる。

【 0 0 5 7 】

【発明の効果】

上述したように本発明の E P R O M によれば、低い電源電圧・低消費電力で動作可能な不揮発性半導体メモリ、特に昇圧回路により供給される昇圧電源でワード線を駆動し、プリチャージ/ディスチャージ方式により読み出しを行うメモリにおいて、ワード線の電位を外部より任意に与えることが可能となり、ワード線の電位を任意に設定して読み出すことにより、間接的にセルのしきい値をモニターすることが可能となり、例えば UV 消去後のセルのしきい値ばらつきによる読み出し不良セルを正確に選別することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る E P R O M の回路構成を示す図。

【図 2】本発明の電源切換え回路の構成を示す図。

【図 3】セル電流とワード線レベルとの関係を示す図。

【図 4】レファレンスワード線を非選択とする回路の部分構成図。

【図 5】従来の E P R O M のセルアレイとセンスアンプの構成を示す図。

【符号の説明】

- 1 ... I 型トランジスタ
- 2 ... カラムセレクトトランジスタ
- 3 ... リードセル群
- 4 ... レファレンスセル群
- 5 ... ディスチャージトランジスタ
- 6 ... ワード線
- 6 a ... レファレンスワード線
- 7 ... ソース線
- 8 ... ビット線
- 9 ... プリチャージトランジスタ
- 1 0 ... センスアンプ
- 1 1 ... メモリ面 A
- 1 2 ... メモリ面 B
- 1 3 ... カラムデコーダ
- 1 4、1 6、1 8 ... レベルシフタ

10

20

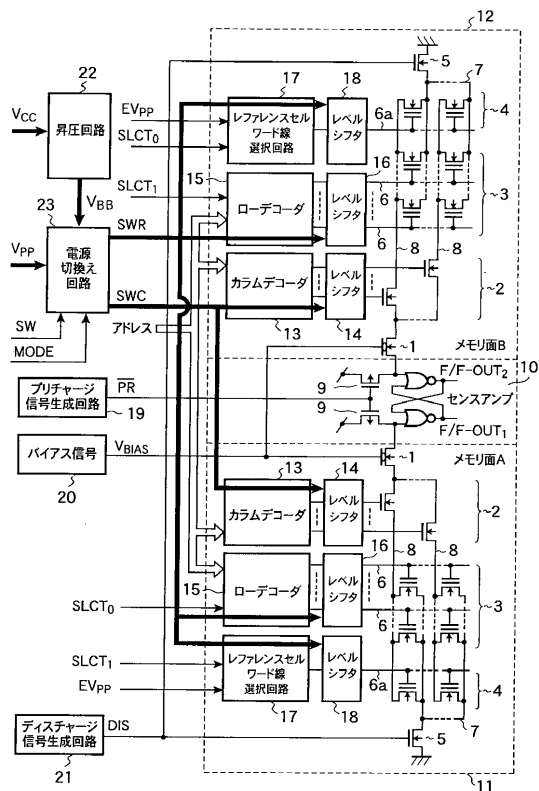
30

40

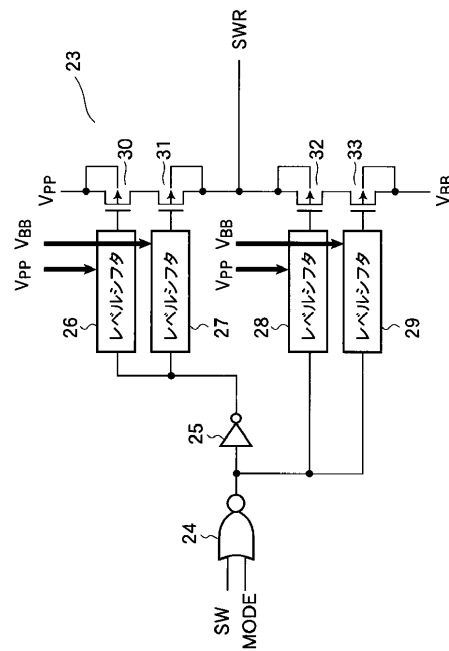
50

- 15 ... ローデコーダ
- 17 ... レファレンスセルのワード線選択回路
- 19 ... プリチャージ信号生成回路
- 20 ... バイアス回路
- 21 ... ディスチャージ信号生成回路。
- 22 ... 昇圧回路
- 23 ... 電源切り替え回路
- 25 ... インバータ
- 26 ... NOR 回路
- 26 ~ 29 ... レベルシフタ
- 30 ~ 33 ... PMOS トランジスタ

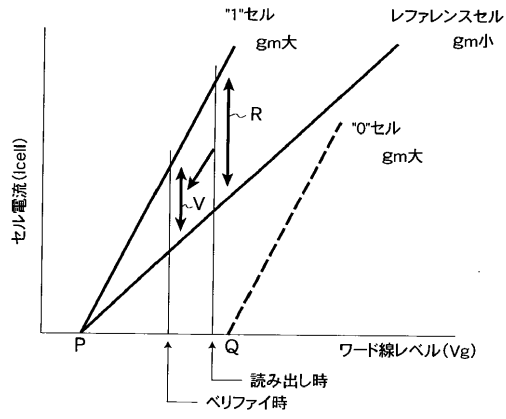
【図1】



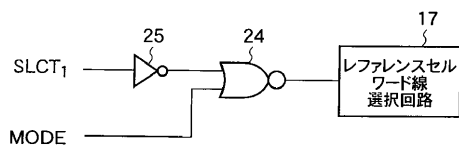
【図2】



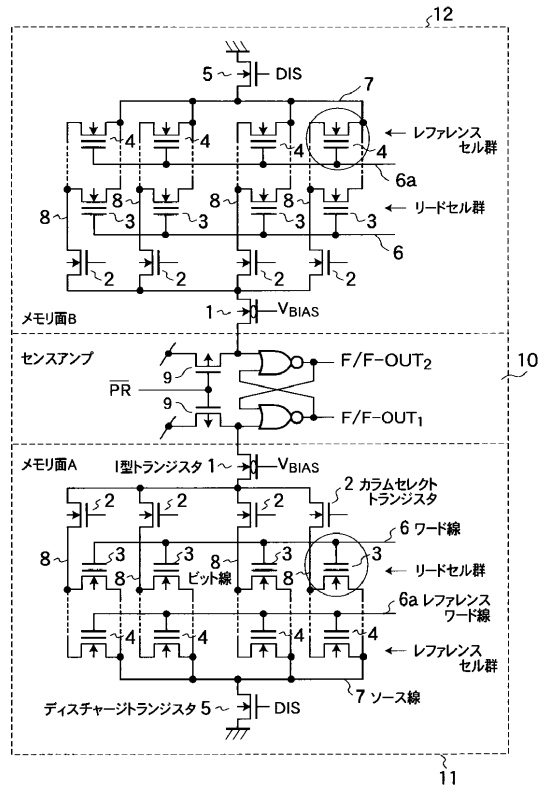
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 藤本 卓也

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

審査官 長島 孝志

(56)参考文献 特開平08-138388(JP,A)

特開平09-306191(JP,A)

特開平05-128880(JP,A)

特開平09-219095(JP,A)

特開平09-270196(JP,A)

特開平08-077787(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G11C 16/00-16/34

G11C 29/00