

公告本

申請日期	90.11.7
案號	90127631
類別	Holl 283

(以上各欄由本局填註)

517291

發明專利說明書

一、發明 名稱	中 文	積體電路之製造方法
	英 文	Production method for an integrated circuit
二、發明 創作人	姓 名	1.安德魯希利格(HELLIGER, Andreas) 2.艾克路肯(LUEKEN, Eike) 3.瑞夫史陶伯(STAUB, Ralf)
	國 籍	1-3 皆屬德國
	住、居所	1.德國德瑞斯登 01217 威漢-布屈-街 9A 號 2.德國荷茲克陳 83607 阿道夫-可平-街 46 號 3.德國德瑞斯登 01109 路維-約翰-街 4 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	1.麥可勾威什(Michael Gollwitzer) 2.荷斯特卻佛(Dr. Horst Schäfer)

(由本局填寫)	承辦人代碼:
	大類:
	IPC 分類:

本案已向：

德 DE (地區) 申請專利，申請日期： 案號： 2000年11月08日 10055290.0 號， 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

五、發明說明(1)

本發明涉及積體電路之製造方法。

本發明雖然原理上可用在任意之積體電路，但本發明將以矽技術製成之積體 DRAM 電路來說明。

本發明所要解決之問題是：在製造 DRAM 記憶胞對 (pair) 之一般之自我對準之位元線接觸區時，接觸孔之擴大或其橫向之偏移 (offset) 會使相鄰位元線有發生短路之危險，此種危險隨著設計規則 (rule) 變小而增大。由於變小之水平尺寸及變大之垂直尺寸 (即，閘極堆疊之高度) 而使位元線接觸區之縱橫比 (aspect ratio) 增大，此種問題會來越大。

第 3 圖是以矽技術製成之習知之積體 DRAM 電路。

第 3 圖中 1 表示矽 - 半導體基板，其中設有一主動或電路區 SS，其由隔離溝渠 STI 所圍繞。

在電路區 SS 及隔離溝渠 STI 上方存在一種隔離層 IS，其例如由 BPSG 或 SiO_2 所構成。在隔離層 IS 中施加一接觸孔 KL (其中存在一接觸區)，此接觸區之下部區中具有多晶矽接觸插頭 PP 且上部區中具有位元線 BL2。其它位元線 BL1 及 BL3 在相對應之位元線溝渠 BG1 或 BG3 中與位元線 BL2 相鄰。

此種配置中之問題是：至電路區 SS 及至相鄰位元線之接觸孔 KL 可具有某種程度之偏移 (offset)，本例子中是第 3 圖所示之偏向左側。須形成位元線 BL1，B2，BL3，以便在位元線溝渠上方及基板表面沈積一由鎢所構成之金屬層，在隨後之步驟中藉由化學 - 機械式拋光過程對此金屬層

五、發明說明(2)

進行回(back)拋光。由於接觸孔 KL 向左偏移，則在稱爲 BBS 之位置上在位元線 BL1 和 BL2 之間會形成短路，這樣會干擾位元線之功能。

因此，設計時微影術上較不重要(uncritical)之位元線接觸孔平面是以最小之接觸孔尺寸製成，以便使以各別之微影術所製成之相鄰位元線之短路問題緩和。披覆(overlay)需求因此很高。這樣會使微影術及接觸孔蝕刻更複雜且昂貴而無法解決問題。此外，接觸區底部上位元線接觸區未充份敞開之危險性會提高。"位元線接觸區對準該主動區或電路區 SS"此種需求會提高。

本發明之目的是提供一種積體電路之製造方法，其可防止相鄰導線發生短路之危險性。

本發明中上述目的以申請專利範圍第 1 項中所述之方法來達成。

本發明之基本原理是：在接觸區之上部區中在側壁上施加一適當之隔離層，其可防止相鄰位元線發生短路。

本發明之製造方法相對於習知之解法所具有之優點是：藉由加入少許之技術上不重要之過程，使矽可與連續之位元線之接觸區不相接觸。接觸孔－遮罩之製造在尺寸及披覆(overlay)方面因此可較不苛求，使接觸孔蝕刻可分別被最佳化以防止位元線之間之短路。

依據本發明之較佳之其它形式，在接觸孔之下部區中設有一由導電材料所構成之接觸插頭。

依據其它較佳之形式，間隔(spacer)區是由隔離用之間

五、發明說明(3)

隔層之沈積及異向回(back)蝕刻而製成，藉此使間隔層只留在接觸孔之側壁上。

依據其它較佳之形式，在設置該間隔區之後在整個結構上沈積一抗反射層(其填入此接觸孔中)。

依據其它較佳之形式，在該抗反射層上施加一種導線溝渠用之遮罩；第一和第三導線溝渠在去除其上方之抗反射層之後使用該遮罩而在該隔離層中被蝕刻；第二導線溝渠在使用該遮罩且去除該抗反射層之後由接觸孔之上部區所形成。

依據其它較佳之形式，該隔離用之間隔層沈積於該結構上方且在該隔離用之間隔層上施加一導線溝渠用之遮罩；第一，第二及第三導線溝渠在去除其上方之隔離用之間隔層之後使用該遮罩在該隔離層中被蝕刻，此時在形成第二導線溝渠時同時使該隔離用之間隔層之至少一部份由該接觸孔中去除。

依據其它較佳之形式，各導線溝渠具有一種間距及寬度，其等於最小之結構寬度。

依據其它較佳之形式，電路區由 STI 溝渠所圍繞。

依據其它較佳之形式，導線材料是鎢。

依據其它較佳之形式，以化學—械式拋光法使間隔區之上部區被去除。

依據其它較佳之形式，該間隔區由 CVD 二氧化矽所製成。

依據其它較佳之形式，各導線是積體記憶體電路之位元線。

本發明之實施例詳述於以下之圖式之說明中。圖式簡單

五、發明說明(4)

說明：

第 1a-d 圖 本發明第一實施例中以矽技術來進行積體 DRAM 電路之製造方法時各步驟之圖解。

第 2a-c 圖 本發明第二實施例中以矽技術來進行積體 DRAM 電路之製造方法時各步驟之圖解。

第 3 圖 以矽技術來製造習知之積體 DRAM 電路時之圖解。

這些圖式中相同之參考符號表示相同之組件。

第 1a-d 圖是本發明第一實施例中以矽技術來進行積體 DRAM 電路之製造方法時各步驟之圖解。

依據第 1a 圖，就像第 3 圖中一般之習知之製程一樣，首先在隔離層 IS 中設置一種接觸孔 KL，其以某種程度之偏移(off)而與該電路區 SS 相接觸。

然後設置多晶矽－接觸插頭 PP，其方式是在整面上沈積多晶矽且隨後回(back)蝕刻至一預定之深度。

在隨後之步驟中，沈積 20nm 至 70nm 厚之 CVD-SiO₂ 層，其在第 1a 圖中以 10 表示。

在接下來之步驟中，藉由各別之蝕刻過程來對 SiO₂ 進行異向(anisotropic)蝕刻，以便由間隔層 10 而在多晶矽－接觸插頭 PP 上之接觸孔 KL 之上部區之側壁上形成各間隔區 10'，如第 1b 圖所示。特別是使至多晶矽接觸插頭 PP 之此下部接觸面上之間隔層 10 被去除，接觸孔 KL 之上部側壁仍以 SiO₂ 覆蓋。

在隨後之步驟中，在整個結構上施加一種抗反射層 20，

五、發明說明(5)

其填入該接觸孔 KL 中，如第 1b 圖所示。在所形成之結構上方形成一種光阻遮罩 M0，其可決定稍後形成之各條位元線 BL1，BL2，BL3 之位置。

如第 1c 圖所示，使隔離層 IS 上方之抗反射層 20 去除直至接觸孔 KL 中某一部份為止。在隨後之步驟中，藉由遮罩 M0 來對此隔離層 IS 進行一種選擇性蝕刻，以便在接觸孔 KL 左方或右方形成位元線溝渠 BG1，BG3。然後以適當之蝕刻過程或溶解過程使遮罩 M0 及遮罩 20 被去除。因此形成三個位元線渠 BL1，BL2，BL3，其中此位元線溝渠 BL2 位於間隔區 10' 之間且另二個位元線溝渠 BL1，BL3 相鄰地設在隔離層 IS 中。

在隨後之步驟中，在所形成之結構上方之整面上沈積一種鎢且之後以化學—機械式拋光法去除此鎢，以形成各別之位元線 BL1，BL2，BL3。

第 1d 圖中顯示：在化學機械式拋光步驟中使隔離層 IS 之表面之一部份被去除(第 1 圖中之虛線)。隔離層 IS 之表面之此種剝蝕以及間隔區 10' 之上部區之剝蝕所造成之結果是：在中間之位元線 BL2 之二側接觸孔之側壁上之該間隔區 10' 之總厚可改良橫向(laterad)之隔離作用，這由第 1d 圖中可清得知。因此可防止一種短路 BBS(比較第 3 圖)之形成，且位元線 BL2 是藉由表面之間隔區 10' 而與相鄰之位元線 BL1，BL3 充分地隔離，此表面之隔離區在第 1d 圖中以 BBI 表示。

第 2a-c 圖是本發明第二實施例中以矽技術來進行積體

五、發明說明(6)

DRAM 電路之製造方法時各步驟之圖解。

第 2a-c 圖之第二實施例與第一實施例之不同點是：不需使用該抗反射層 20(比較第 1b 圖)。

第二實施例之起始點對應於第 1a 圖之狀態。然後直接在 CVD- SiO₂-間隔層 10 上施加該光阻遮罩 M0，如第 2a 圖所示。CVD- SiO₂-間隔層 10 之厚度類似於第一實施例亦為 20nm 至 70nm。

在隨後之步驟中藉由遮罩 M0 首先對間隔層 10 進行蝕刻，然後以一適當之異向蝕刻過程來對此間隔層 10 下方之隔離層 IS 進行蝕刻，此時接觸孔 KL 中該多晶矽接觸插頭 PP 作為蝕刻停止用，於是形成第 2b 圖所示之情況。因此，如第 2a 圖所示，遮罩 M0 會發生偏移(offset)，但這不重要，因為接觸孔 KL(其對稍後形成之位元線 BL1 是在一種臨界(critical)位置中之左側壁仍以 SiO₂ 覆蓋著，此乃因此區是以遮罩 M0 之光阻保護著。

在去除此遮罩 M0 之後，則形成第 2b 圖之結構，其中該間隔區 10' 位於接觸孔 KL 之上部區中，左方之間隔區較右方之間隔區厚很多。在隨後之步驟中，類似於第一實施例在所形成之結構上方在整面上沈積一種鎢且隨後對此鎢進行化學機械式回(back)拋光，以形成第 2c 圖所示之結構，其中已隔開之位元線 BL1，BL2，BL3 位於相對應之位元線溝渠 BG1，BG2，BG3 中。

以 BBI 表示之區域此處亦不重要，因位元線 BL2 是由較寬之間隔區 BBI 而與位元線 BL1 相隔開，因此可使發

五、發明說明(7)

生短路之危險性最小化。

雖然本發明是依據較佳之實施例來描述，但本發明不限於此，而是可依據不同之形式來修改。

特別是層材料之選取及具體之電路只是舉例而已而可以不同之方式來改變。

符號之說明

SS	電路區
STI	ST 隔離區
PP	接觸插頭
IS	隔離層
10	間隔層
M0	材料遮罩
20	抗反射層
BL1,BL2,BL3	位元線
BBI	隔離用之中間區
BBS	短路用之中間區
1	半導體基板
KL	接觸孔

四、中文發明摘要(發明之名稱：積體電路之製造方法)

一種積體電路之製造方法，其特徵為以下各步驟：

提供一種半導體基板(1)，其具有可接觸之電路區(SS)；

在半導體基板(1)之表面上設置一隔離層(IS)；

在隔離層(IS)中設置一接觸孔(KL)，以便與電路區(SS)相接觸；

至少在接觸孔(KL)之上部區中設置一隔離用之間隔區(10')；

設置至少三個導線溝渠(BG1；BG2；BG3)，其中第一導線溝渠(BG1)是與接觸孔(KL)相鄰而延伸，第二導線溝渠(BG2)經由接觸孔(KL)而延伸；第三導線溝渠(BG3)是與接觸孔(KL)相鄰而延伸，間隔區(10')保留在第一和第二導線溝渠(BG1；BG2)之間且亦保留在第二及第三導線溝渠(BG2；BG3)之間；

各導線溝渠(BG1；BG2；BG3)中以導線材料填入；

對該導線材料進行化學機械式拋光以產生三條相隔開之導線(BL1；BL2；BL3)。

四、~~英~~文發明摘要 (發明之名稱: Production method for an integrated circuit)

This invention relates to a production method for an integrated circuit with the steps: providing a semiconductor-substrate (1) with a contactable circuit-region (SS); Design of an isolation-layer (IS) on the surface of the semiconductor-substrate (1); Design of a contact-hole (KL) in the isolation-layer (IS) to contact the circuit-region (SS); Design of an isolating spacer-region (10') at least in the upper region of the contact-hole (KL); Design of at least 3 line-trenches (BG1, BG2, BG3), in which the first line-trench (BG1) extends adjacent to the contact-hole (KL), the second line-trench (BG2) extends through the contact-hole (KL) and the third line-trench (BG3) extends adjacent to the contact-hole (KL), where the spacer-region (10') remains between the first and the second line-trenches (BG1; BG2) and between the second and the third line-trenches (BG2; BG3); The line-trenches (BG1; BG2; BG3) are filled with the line-material; and chemical-mechanical polishing of the line-material is used to generate 3 separate lines (BL1; BL2; BL3).

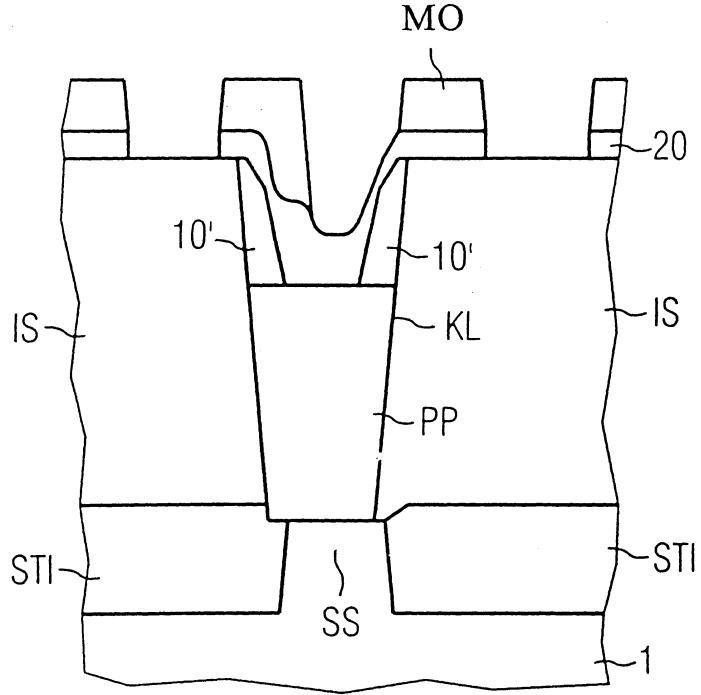
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

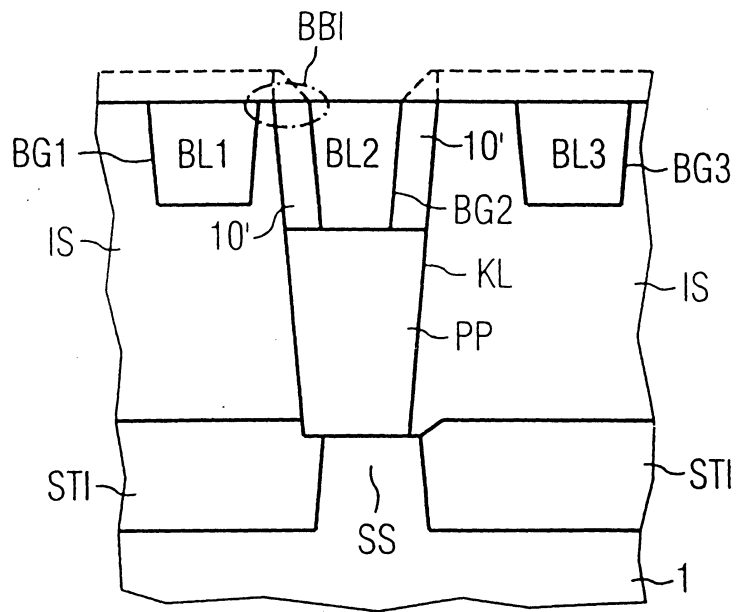
訂

線

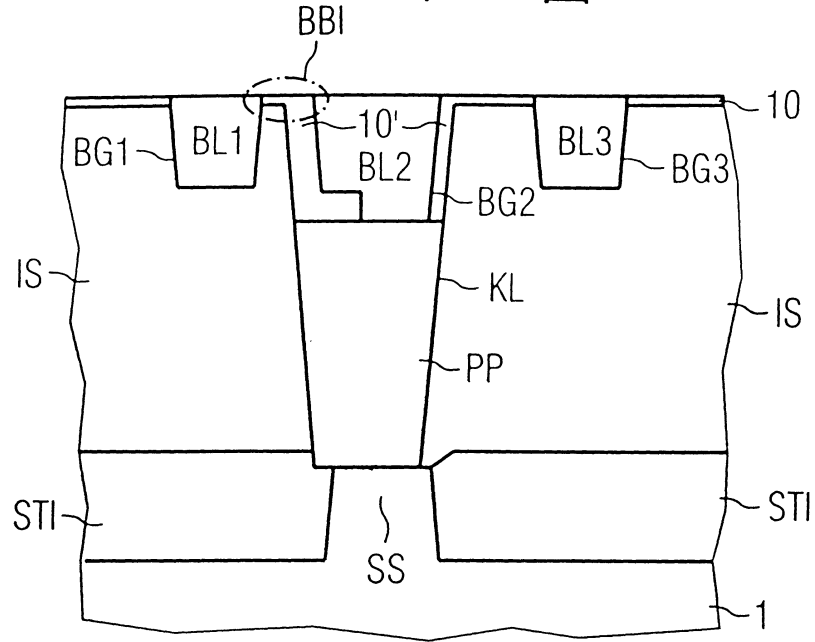
第 1c 圖



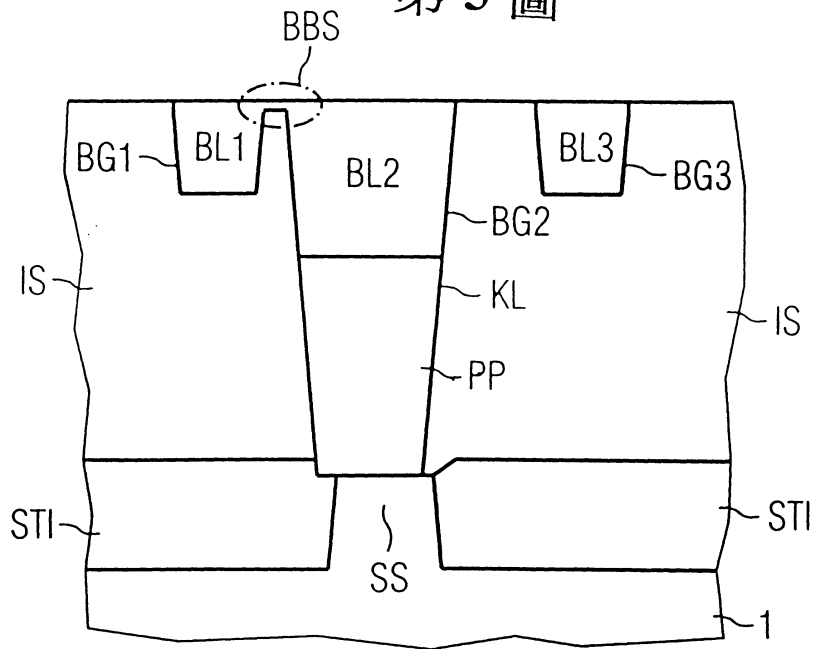
第 1d 圖



第 2c 圖



第 3 圖



六、申請專利範圍

第 90127636 號「積體電路之製造方法」專利案

(91 年 2 月修正)

六 申請專利範圍

1. 一種積體電路之製造方法，其特徵為以下各步驟：

提供一種半導體基板(1)，其具有可接觸之電路區(SS)；

在半導體基板(1)之表面上設置一隔離層(IS)；

在隔離層(IS)中設置一接觸孔(KL)，以便與電路區(SS)相接觸；

至少在接觸孔(KL)之上部區中設置一隔離用之間隔區(10')；

設置至少三個導線溝渠(BG1；BG2；BG3)，其中第一導線溝渠(BG1)是與接觸孔(KL)相鄰而延伸，第二導線溝渠(BG2)經由接觸孔(KL)而延伸；第三導線溝渠(BG3)是與接觸孔(KL)相鄰而延伸，間隔區(10')保留在第一和第二導線溝渠(BG1；BG2)之間且亦保留在第二及第三導線溝渠(BG2；BG3)之間；

各導線溝渠(BG1；BG2；BG3)中以導線材料填入；

對該導線材料進行化學機械式拋光以產生三條相隔開之導線(BL1；BL2；BL3)。

2. 如申請專利範圍第 1 項之製造方法，其中在接觸孔(KL)之下部區中設有一由導電材料所構成之接觸插頭。

3. 如申請專利範圍第 1 或第 2 項之製造方法，其中該間隔區(10')藉由隔離用之間隔層(10)之沈積及異向回蝕刻(anisotropic back etching)而形成，間隔層(10)因此只保留

六、申請專利範圍

在接觸孔(KL)之側壁上。

4. 如申請專利範圍第 1 或 2 項之製造方法，其中在設置該間隔區(10')之後在整個結構上沈積一種抗反射層(20)，其填入該接觸孔(KL)中。
5. 如申請專利範圍第 4 項之製造方法，其中在抗反射層(20)上施加一種導線溝渠(BG1；BG2；BG3)用之遮罩(M0)；第一和第三導線溝渠(BG1；BG3)在去除其上方之抗反射層(20)之後使用該遮罩(M0)而在隔離層(IS)中被蝕刻；第二導線溝渠(BG2)在使用該遮罩(M0)之情況下在去除該抗反射層(20)之後由接觸孔(KL)之上部區所形成。
6. 如申請專利範圍第 1 或第 2 項之製造方法，其中一隔離用之間隔層(10)沈積在該結構上方，且在此隔離用之間隔層(10)上施加一種各導線溝渠(BG1；BG2；BG3)用之遮罩(M0)；第一，第二及第三導線溝渠(BG1；BG2；BG3)在去除其上方之隔離用之間隔層(10)之後使用該遮罩(M0)而在隔離層(IS)中被蝕刻，其中在形成第二導線溝渠(BG2)時同時使隔離用之間隔層(10)之至少一部份由接觸孔(KL)中去除。
7. 如申請專利範圍第 1 項之製造方法，其中各導線溝渠(BG1；BG2；BG3)具有一種間距及寬度，其等於最小之結構寬度。
8. 如申請專利範圍第 1 項之製造方法，其中電路區(SS)由 STI 溝渠(STI)所圍繞。
9. 如申請專利範圍第 1 項之製造方法，其中該導線材料是

六、申請專利範圍

錫。

10. 如申請專利範圍第 1 項之製造方法，其中以化學機械式拋光法使間隔區(10')之上部區被去除。
11. 如申請專利範圍第 4 項之製造方法，其中以化學機械式拋光法使間隔區(10')之上部區被去除。
12. 如申請專利範圍第 1 項之製造方法，其中該間隔區(10')由 CVD 二氧化矽所製成。
13. 如申請專利範圍第 3 項之製造方法，其中該間隔區(10')由 CVD 二氧化矽所製成。
14. 如申請專利範圍第 1 或 7 項之製造方法，其中各導線(BL1；BL2；BL3)是積體記憶電路之位元線。

