

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5544872号
(P5544872)

(45) 発行日 平成26年7月9日(2014.7.9)

(24) 登録日 平成26年5月23日(2014.5.23)

(51) Int.Cl. F I
H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 P

請求項の数 8 (全 18 頁)

<p>(21) 出願番号 特願2009-294180 (P2009-294180) (22) 出願日 平成21年12月25日 (2009.12.25) (65) 公開番号 特開2011-134942 (P2011-134942A) (43) 公開日 平成23年7月7日 (2011.7.7) 審査請求日 平成24年9月11日 (2012.9.11)</p>	<p>(73) 特許権者 308014341 富士通セミコンダクター株式会社 神奈川県横浜市港北区新横浜二丁目10番 23 (74) 代理人 100070150 弁理士 伊東 忠彦 (74) 代理人 100146776 弁理士 山口 昭則 (72) 発明者 松木 浩久 東京都新宿区西新宿二丁目7番1号 富士 通マイクロエレクトロニクス株式会社内 審査官 宮本 靖史</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

複数の電極パッドを有する集積回路と、
 前記集積回路上に形成された第1の絶縁層と、
 前記第1の絶縁層上に形成され、前記複数の電極パッドに電氣的に接続された複数の再配線と、
 前記複数の再配線及び前記第1の絶縁層の上に形成され、前記複数の再配線の各々の一部上に開口部を有する第2の絶縁層と、
 前記開口部の内部及び該開口部の周囲の前記第2の絶縁層上に形成され且つ前記複数の再配線の各々に電氣的に接続された複数の金属膜と、
 前記複数の金属膜上に形成された複数のはんだバンプと、を有し、
 前記複数の再配線は、前記第1の絶縁層上に形成され第1の形状を有する第1の導電層と前記第1の導電層の上に形成され前記第1の形状よりも大きい第2の形状を有する第2の導電層とを含み、前記第2の導電層と前記第2の絶縁層との接合面の少なくとも一部において100nm以上の中心線平均粗さを有し、
 前記複数のはんだバンプの内の少なくとも一つが、該はんだバンプに電氣的に接続されない前記複数の再配線の内の一つに跨る、
 ことを特徴とする半導体装置。

【請求項2】

複数の電極パッドを有する集積回路と、

前記集積回路上に形成された第1の絶縁層と、

前記第1の絶縁層上に形成され、前記複数の電極パッドに電氣的に接続された複数の再配線と、

前記複数の再配線及び前記第1の絶縁層の上に形成され、前記複数の再配線の各々の一部上に開口部を有する第2の絶縁層と、

前記開口部の内部及び該開口部の周囲の前記第2の絶縁層上に形成され且つ前記複数の再配線の各々に電氣的に接続された複数の金属膜と、を有し、

前記複数の再配線は、前記第1の絶縁層上に形成され第1の形状を有する第1の導電層と前記第1の導電層の上に形成され前記第1の形状よりも大きい第2の形状を有する第2の導電層とを含み、前記第2の導電層と前記第2の絶縁層との接合面の少なくとも一部において100nm以上の中心線平均粗さを有し、

前記複数の金属膜の内の少なくとも一つが、該金属膜に電氣的に接続されない前記複数の再配線の内の一つに跨る、

ことを特徴とする半導体装置。

【請求項3】

前記金属膜はCu膜及び該Cu膜上のNi膜を含み、該Cu膜は1μm以上の厚さを有する、ことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

前記第2の絶縁層はフェノール樹脂を有することを特徴とする請求項1乃至3の何れか一項に記載の半導体装置。

【請求項5】

前記第2の絶縁層の前記開口部は、前記複数の再配線の各々の一部上と少なくとも一つの側面とを前記第2の絶縁層から露出させるように形成されている、ことを特徴とする請求項1乃至4の何れか一項に記載の半導体装置。

【請求項6】

複数の電極パッドを有する集積回路上に、前記電極パッド上に第1の開口部を有する第1の絶縁層を形成する工程と、

前記第1の絶縁層上に、前記複数の電極パッドに電氣的に接続された複数の再配線を形成する工程と、

前記複数の再配線及び前記第1の絶縁層の上に、前記複数の再配線の各々の一部上に第2の開口部を有する第2の絶縁層を形成する工程と、

前記第2の開口部の内部及び該第2の開口部の周囲の前記第2の絶縁層上に、前記複数の再配線の各々に電氣的に接続された複数の金属膜を形成する工程と、

前記複数の金属膜上に複数のはんだバンプを形成する工程であり、少なくとも一つのはんだバンプが該はんだバンプに電氣的に接続されない前記複数の再配線の内の一つに跨るように複数のはんだバンプを形成する工程と、

を有し、

前記複数の再配線は、前記第1の絶縁層上に形成され第1の形状を有する第1の導電層と前記第1の導電層の上に形成され第2の形状を有する第2の導電層とを含み、前記複数の再配線を形成する工程は、前記第2の導電層をマスクとしたエッチングによって、前記第1の形状が前記第2の形状より小さくなるように前記第1の導電層をパターンングすることを含み、且つ前記第2の導電層と前記第2の絶縁層との接合面の少なくとも一部が100nm以上の中心線平均粗さを有するように前記複数の再配線を形成する、

ことを特徴とする半導体装置の製造方法。

【請求項7】

前記複数の再配線を形成する工程は、前記第2の導電層を電解めっきにより形成し、前記第2の導電層の表面が100nm以上の中心線平均粗さを有するようにめっき浴中の添加剤の濃度を管理することを有する、

ことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】

10

20

30

40

50

前記第2の絶縁層を形成する工程は、絶縁樹脂膜の成膜及びパターニングの後に、該絶縁樹脂膜を200以下の温度でキュアする工程を有する、ことを特徴とする請求項6または7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、再配線を有する半導体装置、及びその製造方法に関する。

【背景技術】

【0002】

半導体装置の高機能化・高集積化に伴い、半導体装置の外部接続端子の多数化・高密度化が進められている。多数且つ高密度の外部接続端子を有する半導体装置は、典型的に、当該装置の表面にアレイ状の多数の突起状の端子を有し、フリップチップ実装される。そのような半導体装置には、近年、ウェハ状態で再配線や端子を形成するウェハレベルパッケージ(WLP)技術が採用されるに至っている。

10

【0003】

図1に、WLP構造を有する従来技術に係る半導体装置100の一例を模式的に示す。図1(a)の断面図を参照するに、半導体装置100は、シリコン(Si)ウェハ等を有する半導体基板120を有する。半導体基板120には、大規模集積回路(LSI)を構成するトランジスタ等が形成されている。半導体基板120の表面には、LSI端子121と、該端子121に位置整合された開口を有する窒化シリコン(SiN)等の絶縁層122とが形成されている。絶縁層122上には、やはりLSI端子121に位置整合された開口を有する第1の絶縁樹脂層131が形成されている。第1の絶縁樹脂層131上に銅(Cu)を有する再配線140が形成されるとともに、第1の絶縁樹脂層131の開口内に充填されたCuにより導電性ビア135が形成されている。さらに、第1の絶縁樹脂層131及び再配線140上に第2の絶縁樹脂層132が形成されている。第2の絶縁樹脂層132は、半導体装置100の外部接続端子が形成される位置に、再配線140を露出させる開口を有し、外部接続端子としてのはんだバンプ155と再配線140との電気接続を可能にしている。はんだバンプ155は、バリアメタル等として作用し得るバンプ下金属(アンダーバンプメタル;UBM)150を介して再配線140と電氣的に接続されることもある。斯くして、LSI端子121は再配線140を介してはんだバンプ155に電氣的に接続されている。

20

30

【0004】

図1(b)は、半導体装置100の再配線140及びはんだバンプ155のレイアウトの一例を示している。なお、図1(b)は、図1(a)に示した構成要素のうち、半導体基板120、再配線140及びはんだバンプ155のみを示している。

【0005】

再配線140は、典型的に、半導体基板表面の周縁部付近に形成された多数のLSI端子(121)の各々を、半導体装置100の頂面に分布された多数のはんだバンプ155の対応する1つに接続する。そのため、少なくとも該頂面の中央付近に位置するはんだバンプ155に対して、再配線140は、LSI端子121上に位置する第1ランド部140aと、はんだバンプ155の下に位置する第2ランド部140bと、それらの間に延在する配線部140cとを有する。中央付近に位置するはんだバンプ155の第2ランド部140bを周縁付近の対応する第1ランド部140aに接続する配線部140cは、他の第2ランド部140b同士の間を通るように引き回される必要がある。

40

【0006】

図1(b)に示した例における外部接続端子155の数は $5 \times 5 = 25$ ピンであるが、現状でも100ピン近いものが存在しており、将来的には例えば400ピンといった非常に多数の外部接続端子が必要になると予想される。このような多ピン化を実現する一般的な手法は、配線部140cの幅とその間隔(間隙幅)との和である配線ピッチを小さくし、第2ランド部140bの隣接対の間に、より多くの配線部140cを通すものである。

50

しかしながら、配線ピッチの縮小には配線間の絶縁信頼性などに関する設計ルール上の制約があり、この手法には限界がある。

【0007】

多ピン化を実現する他の手法として、UBM150の形状を第2ランド部140bと接触する部分を縮小するように変更することで第2ランド部140bを小径化することが考えられる。この手法は、該小径化により空いたUBM下のスペースに、該UBMに接続されない再配線140を通すものであり、第2ランド部140bの隣接対の間に、より多くの再配線140を通すことを可能にする。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2002-198374号公報

【特許文献2】特開2008-135486号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

半導体装置の多ピン化に対応するために再配線のランド部を縮小し、UBMの下方に、該UBMに接続されない再配線を形成する手法は、しかしながら、以下の問題を有する。

【0010】

ここでは、図1の半導体装置100において、UBM150の下方に、該UBMに接続されない更なる再配線を形成する場合について説明する。まず、はんだバンプ155を形成するためのリフロー工程における冷却時に、UBM150が収縮し、それによる収縮応力によって第2の絶縁樹脂層132が引っ張られて再配線140から剥離することがある。この問題は、UBM150が例えばニッケル(Ni)等の再結晶化時の収縮が大きい金属を含む場合、より顕著に現れ得る。Niの微細結晶においては、通常、200以上の温度で再結晶化が生じる。また、はんだバンプ155の形成時や半導体装置100の配線基板への実装時のリフローにおいて、はんだバンプ155にせん断応力が発生し、やはり第2の絶縁樹脂層132が引っ張られて再配線140から剥離し得る。さらに、第2の絶縁樹脂層132を介して対向するUBM150とその下方の更なる再配線140との間で、電気的なショートが発生する虞がある。

【0011】

これらの問題は何れも、半導体装置の再配線部の信頼性を低下させ得るものである。故に、再配線を有する半導体装置において、再配線部の信頼性低下を抑制しながら、半導体装置の多端子化を可能とし得る再配線技術が望まれる。

【課題を解決するための手段】

【0012】

一観点によれば、複数の電極パッドを有する集積回路と、複数のはんだバンプと、上記複数の電極パッドを上記複数のはんだバンプに接続する複数の再配線を有する半導体装置が提供される。当該半導体装置は、集積回路上に形成された第1の絶縁層と、上記複数の再配線及び第1の絶縁層の上に形成され、上記複数の再配線の各々の一部上に開口を有する第2の絶縁層とを有する。当該半導体装置は更に、第2の絶縁層の開口内及びその周囲の第2の絶縁層上に形成され、上記複数の再配線に電気的に接続された複数の金属膜を有し、はんだバンプはこの金属膜上に形成されている。再配線は、第2の絶縁層との接合面の少なくとも一部において100nm以上の中心線平均粗さを有し、且つはんだバンプは、該はんだバンプに電気的に接続されない再配線に跨っている。

【0013】

他の一観点によれば、複数の電極パッドを有する集積回路と、複数のはんだバンプと、上記複数の電極パッドを上記複数のはんだバンプに接続する複数の再配線を有する半導体装置の製造方法が提供される。当該方法は、集積回路上に、電極パッド上に第1の開口を有する第1の絶縁層を形成する工程と、第1の絶縁層上に、上記複数の電極パッドに電気

10

20

30

40

50

的に接続された複数の再配線を有する再配線層を形成する工程とを有する。再配線層は、その表面の少なくとも一部が100nm以上の中心線平均粗さを有するように形成される。当該方法はまた、再配線層及び第1の絶縁層の上に、上記複数の再配線の各々の一部上に第2の開口を有する第2の絶縁層を形成する工程と、第2の開口内及びその周囲の第2の絶縁層上に、再配線層に電氣的に接続された複数の金属膜を形成する工程とを有する。当該方法は更に、上記複数の金属膜上に複数のはんだバンプを形成する工程を有し、少なくとも一部のはんだバンプの各々は、該はんだバンプに電氣的に接続されない再配線層の再配線に跨るように形成される。

【発明の効果】

【0014】

10

再配線とその上の絶縁層との間の密着性を高めて再配線部での剥離を抑制しながら、外部接続端子に接続される再配線のランド部を小径化し、隣接し合う該ランド部間に、より多くの再配線を設けるためのスペースを確保することができる。

【図面の簡単な説明】

【0015】

【図1】従来技術に係る半導体装置を例示する図である。

【図2】一実施形態に従った半導体装置を示す図である。

【図3】図2の半導体装置の製造方法の一例を示す断面図である。

【図4】図2の半導体装置の製造方法の一例を示す断面図である。

【図5】図2の半導体装置の製造方法の一例を示す断面図である。

20

【図6】図2の半導体装置の一変形例を示す図である。

【図7】図2の半導体装置の他の一変形例を示す図である。

【発明を実施するための形態】

【0016】

以下、図面を参照しながら実施形態について詳細に説明する。なお、図面において、種々の構成要素は必ずしも同一の尺度で描かれていない。また、図面全体を通して、同一あるいは対応する構成要素には同一あるいは類似の参照符号を付する。

【0017】

先ず、図2を参照して、一実施形態に係る半導体装置10の概略構成を説明する。図2(a)は、半導体装置10の一部を概略的に示す上面図であり、図2(b)は、図2(a)の直線B-B'における断面図を示している。

30

【0018】

半導体装置10は、半導体基板20、第1及び第2の絶縁層31及び32、絶縁層31を貫通する導電性ビア35、再配線層40、バンプ下金属(UBM)を構成する金属膜50、及びはんだバンプ55を有している。なお、図2(a)においては、基板20上での再配線層40及びはんだバンプ55のレイアウトを容易に理解できるように、半導体装置10が有するその他の構成要素を省略している。

【0019】

半導体基板20は、例えばSiウエハ又はSOIウエハであり、その表面付近にLSI等の半導体集積回路を有する。なお、本明細書において、用語“半導体基板”は、半導体ウエハ自体のみでなく、それに形成された集積回路や、典型的に多層配線を有する配線構造をも含むものとしても使用される。半導体基板20の表面には、集積回路の電極パッド21、及び最上層の絶縁保護膜22が形成されている。典型的に、電極パッド21は例えばアルミニウム(Al)等の金属を有し、絶縁保護膜22は例えば窒化シリコン(SiN)等の無機物を有する。絶縁保護膜22は、電極パッド21を露出させる開口を有する。図2(b)には1つの電極パッド21のみが示されているが、半導体基板20の表面には多数の電極パッド21が形成される。それら多数の電極パッド21は、例えば、図1(b)に示した再配線の第1ランド部140aのように、半導体基板20の周縁部に沿って配置され得る。しかしながら、一部の電極パッド21が半導体基板20の中央部に配置される等、その他のレイアウトで配置されてもよい。

40

50

【 0 0 2 0 】

はんだバンプ 5 5 は半導体装置 1 0 の外部接続端子である。はんだバンプ 5 5 は、例えば電子機器のマザーボード等の配線基板上への半導体装置 1 0 のフリップチップ実装により、配線基板の接続パッドに接続され得る。また、半導体装置 1 0 が他の半導体装置上にチップ・オン・チップ構成で実装される場合、はんだバンプ 5 5 は該他の半導体装置の接続パッドに接続され得る。図 2 においては 2 つのはんだバンプ 5 5 のみが示されているが、半導体装置 1 0 は、典型的に、その表面全体にアレイ状に配置された多数のはんだバンプ 5 5 を有する。はんだバンプ 5 5 は、例えば Sn - Ag 系、Sn - Cu 系及び Sn - Ag - Cu 系などの如何なる好適なはんだ材料を有していてもよい。

【 0 0 2 1 】

なお、2 つの半導体装置がチップ・オン・チップ実装される場合、一方の半導体装置をここで説明する半導体装置 1 0 の構造とし、他方を半導体装置 1 0 からはんだバンプ 5 5 を除去した構造としてもよい。

【 0 0 2 2 】

再配線層 4 0 は、複数の電極パッド 2 1 の各々を複数のはんだバンプ 5 5 の対応する 1 つに電氣的に接続する複数の再配線を有する（以下、再配線層を構成する複数の再配線の各々も参照符号 4 0 にて指し示す）。なお、2 つ以上の電極パッドを 1 つのはんだバンプに接続する再配線や、1 つの電極パッドを 2 つ以上のはんだバンプに接続する再配線が存在していてもよい。各再配線 4 0 は、集積回路の電極パッド 2 1 に接続される第 1 ランド部 4 0 a と、はんだバンプ 5 5 に接続される第 2 ランド部 4 0 b と、ランド部 4 0 a と 4 0 b とを接続する配線部 4 0 c とを有する。

【 0 0 2 3 】

再配線層 4 0 は、第 1 の絶縁層 3 1 と第 2 の絶縁層 3 2 との間に形成されている。第 1 ランド部 4 0 a は、第 1 の絶縁層 3 1 の開口内に設けられた導電性ビア 3 5 を介して集積回路の電極パッド 2 1 に電氣的に接続されている。また、第 2 ランド部 4 0 b は、第 2 の絶縁層 3 2 の開口内に設けられた金属 (U B M) 膜 5 0 を介してはんだバンプ 5 5 に電氣的に接続されている。

【 0 0 2 4 】

U B M 膜 5 0 は、はんだバンプ 5 5 と再配線層 4 0 との接続部のバリアメタル等として作用する。U B M 膜 5 0 はまた、第 2 の絶縁層 3 2 の開口内からその周囲の第 2 の絶縁層 3 2 上まで延在し、該開口より大きいはんだバンプ 5 5 を形成することを可能にしている。換言すれば、U B M 膜 5 0 は、はんだバンプ 5 5 を、該バンプの径より小さい径を有する再配線の第 2 ランド部 4 0 b に接続することを可能にしている。故に、はんだバンプ 5 5 に接続される第 2 ランド部 4 0 b が小型化され、U B M 膜 5 0 及びはんだバンプ 5 5 の下方に、該バンプに接続されない再配線 4 0 (典型的には配線部 4 0 c) を通す空間が作り出されている。

【 0 0 2 5 】

例えば、はんだバンプ 5 5 及び U B M 膜 5 0 のピッチを $300\ \mu\text{m}$ 、U B M 膜 5 0 の直径を $150\ \mu\text{m}$ 、再配線 4 0 のピッチを $30\ \mu\text{m}$ ($L/S = 15\ \mu\text{m}/15\ \mu\text{m}$) と仮定する。仮に、再配線の第 2 ランド部 4 0 b の径が U B M 膜 5 0 の径と同等の約 $150\ \mu\text{m}$ である場合、U B M 膜 5 0 の下に更なる再配線 4 0 を通すことができない。その場合、隣接し合う第 2 ランド部 4 0 b の間の約 $150\ \mu\text{m}$ のスペースに配置することができる再配線 4 0 は 4 本のみである。それに対し、再配線 4 0 の第 2 ランド部 4 0 b の直径を $100\ \mu\text{m}$ とし、それと同等以下の径で U B M 膜 5 0 と第 2 ランド部 4 0 b とを接続することにより、隣接し合う第 2 ランド部 4 0 b の間の $200\ \mu\text{m}$ のスペースに、再配線 4 0 を 6 本通すことができる。

【 0 0 2 6 】

このように、1 つの U B M 膜 5 0 又ははんだバンプ 5 5 の下に複数の再配線 4 0 を形成すること、換言すれば、1 つのはんだバンプ 5 5 が複数の再配線に跨がる構成にすることにより、はんだバンプ 5 5 のアレイの行・列数の増加すなわち多ピン化が可能になる。

10

20

30

40

50

【 0 0 2 7 】

なお、図 2 に示した 2 つの U B M 膜 5 0 及び 2 つのはんだバンプ 5 5 は何れも複数の再配線 4 0 に跨っている。しかしながら、半導体装置における L S I 端子及びはんだバンプの全体レイアウトや、半導体装置上での各 U B M 膜及びはんだバンプの位置などに応じて、一部の U B M 膜及びはんだバンプは、自身に接続されない再配線を跨がないものであってもよい。

【 0 0 2 8 】

続いて、なおも図 2 を参照して、半導体装置 1 0 の再配線層 4 0、U B M 膜 5 0、並びに第 1 及び第 2 の絶縁層 3 1 及び 3 2 を更に詳細に説明する。

【 0 0 2 9 】

再配線層 4 0 は好ましくは、第 1 の絶縁層 3 1 上に形成された第 1 導電層 4 1 と、第 1 導電層 4 1 上に形成された第 2 導電層 4 2 とを有する。好適な一例において、第 2 導電層 4 2 は、低抵抗率を有する金属として広く使用されている C u を有し、例えば電解めっき法によって $1 \mu\text{m} - 7 \mu\text{m}$ の厚さに形成される。第 1 導電層 4 1 は、C u の拡散バリアとして作用する金属を有し、好ましくは更に再配線 4 0 の第 1 の絶縁層 3 1 への密着性を向上させる金属を有する。第 1 導電層 4 1 は例えば、チタン (T i) 又はクロム (C r) を有し、スパッタ法によって $0.1 \mu\text{m} - 0.5 \mu\text{m}$ の厚さに形成される。第 1 導電層 4 1 は、より好ましくは、T i 又は C r 膜上に更に、例えば $0.1 \mu\text{m}$ 厚の、スパッタ法による C u 膜を有する。スパッタ C u 膜は、めっき C u 膜 (第 2 導電層 4 2) より、T i 又は C r 膜との密着性に優れるからである。第 1 導電層 4 1 は、スパッタ膜に限定されず、例えば C V D 膜など、その他の方法で形成された膜であってもよい。

【 0 0 3 0 】

第 2 導電層 4 2 は、第 2 の絶縁層 3 2 との接合面の少なくとも一部において、 100 nm 以上、例えば 150 nm 又は 200 nm 程度、の中心線平均粗さ (R a) を有するように形成されている。表 1 及び表 2 は、第 2 導電層 4 2 の R a をおおよそ 100 nm としたときの効果を、 $R a \sim 40 \text{ nm}$ の場合と比較して示している。ここでは、はんだバンプ 5 5 の形成後すなわち半導体装置 1 0 の完成後と配線基板へのリフロー実装後とに、剥離状態の断面観察 (表 1) 及び密着強度測定 (表 2) を行った。なお、表 1 は母数を 2 0 としたときの剥離発生サンプル数を示し、表 2 は母数を 5 としたときの平均密着強度を示している。表 1 及び表 2 が示すように、はんだバンプ形成後の段階においては、R a が 40 nm と 100 nm との間で有意差は見られず、ともに剥離なく、約 1.7 N の平均密着強度を得ることができた。すなわち、 40 nm 以上の R a を設けることにより、半導体装置 1 0 単独での再配線部の密着性を確保することができた。しかしながら、リフローによる配線基板への実装後において有意差が観測された。R a $\sim 40 \text{ nm}$ の場合、3 サンプルにて剥離が発生し、平均密着強度も約 1.2 N まで低下した。一方、R a $\sim 100 \text{ nm}$ の場合には、剥離サンプルは観察されず、約 1.6 N という十分な密着強度を確保することができた。

【 0 0 3 1 】

【 表 1 】

表面粗さ	バンプ形成後の剥離発生数	実装後の剥離発生数
40nm	0/20	3/20
100nm	0/20	0/20

【 0 0 3 2 】

10

20

30

40

【表 2】

表面粗さ	バンプ形成後の密着強度	実装後の密着強度
40nm	1.67 N	1.13 N
100nm	1.72 N	1.61 N

10

【0033】

このように、第2導電層42をそのRaが100nm以上となるように形成することにより、再配線40と第2の絶縁層32との間にアンカー効果を生じさせ、実装後においてもこれらの層の間での剥離の発生を抑制することができる。Raの好適範囲は、十分なアンカー効果の観点からは特に上限はなく、100nm以上であればよいが、過大なRaは上に位置する第2の絶縁層32の絶縁破壊やクラックの発生の原因となり得るため、現実的には500nm以下とすることが好ましい。

【0034】

また、再配線層40において、第1導電層41のパターンは第2導電層42のパターンより小さく形成されている。第1導電層を第2導電層パターンの内側方向に後退させたアンダーカット領域44を設けることにより、第2の絶縁層32として塗布した絶縁材料を該領域44に回り込ませ、再配線40と第2の絶縁層32との間のアンカー効果を増大させることができる。例えば2μm程度の後退量のアンダーカット領域44を形成することにより、アンカー効果を有意に高め、これらの層の間での剥離の発生を抑制し得る。

20

【0035】

UBM膜50は、例えば、図示のように、第2の絶縁層32側からはんだバンプ55側に向かって第1乃至第3の導電膜51、52及び53を有していてもよい。第1導電膜51は、例えばTi又はCr等の、バリア性及び第2の絶縁層32との密着性に優れた金属を有し、例えばスパッタ法によって0.1μm-0.5μmの厚さに形成される。第2導電膜52は、例えば、Ti又はCr膜51との密着性に優れた、スパッタ法又はCVD法によるCu膜であり、例えば0.1μm-0.5μmの厚さに形成される。これら第1及び第2の導電膜51及び52は、再配線層40の第1導電層41と同一の材料で形成してもよい。第3導電膜53は、例えば、はんだバンプ55のはんだとの濡れ性に優れたNi膜であり、電解めっき法によって例えば1μm-5μmの厚さに形成され得る。

30

【0036】

特に第3導電膜53をNi膜とする場合において、第2導電膜52として1μm以上の厚さのCu膜を形成することが好ましい。Cu膜52は、ヤング率が比較的高く、好ましくは1μm以上の厚さに形成することにより、Ni膜53の再結晶化などによる収縮応力を自身の変形により吸収する効果を有する。また、Ni膜の再結晶化の影響自体を回避し得るよう、第3導電膜53をめっきCu膜としてもよい。

40

【0037】

第1の絶縁層31は例えば2μm-7μmの厚さを有し、第2の絶縁層32は、再配線層40の厚さに依存するが、例えば3μm-10μmの厚さを有する。好ましくは、第2の絶縁層32は、再配線40上で3μm以上の厚さを有する。それにより、再配線40とUBM膜50とが3μm以上離隔されるので、UBM膜50とその下に形成された、該UBM膜に接続されない再配線40との間での電気的なショートが抑制される。また、第2の絶縁層32が3μm以上の膜厚を有することにより、UBM膜50及び/又ははんだバンプ55の熱収縮による応力を第2の絶縁層32内で緩衝し、第2の絶縁層32と再配線40との界面に印加される応力を低減することができる。

【0038】

50

第1及び第2の絶縁層31及び32は、好ましくは同一の材料を有するが、異なる材料を有することも可能である。第1及び第2の絶縁層31及び32は、典型的に、例えばポリイミド又はフェノール樹脂などの絶縁樹脂とし得る。

【0039】

一例において、第2の絶縁層32は、300以下、より好ましくは200以下の温度でキュア可能な絶縁樹脂を有する。第2の絶縁層32に低温キュア可能な樹脂を用いることは以下の利点を有する。第1に、第2の絶縁樹脂層32のキュア時の膨張・収縮により第2の絶縁樹脂層32と配線層40との間に応力が残留するが、低温キュアにより残留応力を低減し、これらの間での剥離を抑制することができる。第2に、第2の絶縁樹脂層32のキュアにより第2の絶縁樹脂層32は膜厚が減少される所謂“膜減り”を生ずるが、低温キュアにより膜減り量を低減し得る。それにより、再配線40表面の突起部上での第2の絶縁層32のクラックや電氣的ショートが発生を抑制することができる。このような低温キュア可能な絶縁樹脂としてフェノール樹脂を挙げることができる。例えば、JSR社から入手可能なWPRシリーズは200以下でキュア可能である。また、第2の絶縁樹脂層32を、例えばフェノール樹脂にゴム材料などの高弾性材料を混入した複合材料とすることにより、該絶縁層32の応力吸収作用を高め、該絶縁層32と再配線40との界面に印加される応力を更に低減してもよい。

10

【0040】

他の一例において、第2の絶縁層32は、Cuとの密着性に優れるポリイミドを有してもよい。

20

【0041】

次に、図3-5を参照して、図2に示した半導体装置10の製造方法を説明する。

【0042】

まず、図3(a)に示すように、半導体基板20の表面に、電極パッド21を露出させる開口26を有する絶縁膜22を形成する。半導体基板20にはLSI等の半導体集積回路が形成されており、その頂部の電極パッド21は例えばA1パッドである。絶縁膜22は、例えばSiN等の無機物を有し、半導体基板20の全面に例えば5µmの厚さで堆積され、その後、フォトリソグラフィによって開口26が形成される。

【0043】

次いで、図3(b)に示すように、電極パッド21上に開口36を有する第1の絶縁層31を形成し、第1の絶縁層31上及び開口36内に導電層41'を成膜する。例えば、ポリイミド又はフェノール樹脂などの絶縁樹脂を有する絶縁膜がスピンコーティングによって成膜され、フォトリソグラフィによって開口36が形成される。あるいは、開口36を有する絶縁層31が印刷法によって形成される。導電層41'の形成は、例えば、Ti又はCr膜をスパッタ法によって0.1µm-0.5µmの厚さに成膜した後、Cu膜をスパッタ法によって0.1µmの厚さに成膜することによって行われる。このように積層された導電層41'により、下地の第1の絶縁層31と上に形成されるめっき膜とのそれぞれに対する導電層41'の密着性を向上させ得る。なお、スパッタ法に代えてCVD法を用いることも可能である。

30

【0044】

次いで、図3(c)に示すように、レジストパターン46の形成後、例えばめっきCu膜42を5µmの厚さに形成する。このめっき工程は好ましくは、めっき膜の表面の制御性を向上し得るよう、周期的に電流を反転させるPPR(Pulse Periodic Reverse)法を用いる。また、このめっき工程は好ましくは、Cu膜42の表面を粗面に制御するよう、めっき浴に添加剤を付加することを含む。例えば、硫酸銅水溶液に添加剤として塩素(Cl)及び/又はポリアクリルアミド(PAA)等を混入する。PPR法におけるレシピの一例を表3に示す。

40

【0045】

【表 3】

浴組成	標準	適正範囲
硫酸銅五水塩	90g/L	50-130g/L
塩素イオン	70mg/L	60-80mg/L
PPR-C	5mL/L	4-8mL/L
PPR-Aコンク	0.2mL/L	0.1-0.3mL/L

10

【0046】

このように添加剤の濃度を適正範囲に管理することにより、Cu膜42の表面の中心線平均粗さ(Ra)を100nm以上、例えば150nm又は200nmにすることができる。100nm以上のRaを有するCu膜42は、後に形成される第2の絶縁層がCu膜42上から剥離することを抑制するのに十分なアンカー効果を発揮する。

【0047】

続いて、図4(a)に示すように、レジストパターン46の剥離後、Cu膜42をマスクとして導電層41'をエッチングする。これにより、第1導電層41及び第2導電層42を有する複数の再配線40と、再配線40(第1ランド部40a)を電極パッド21に接続する導電性ビア35とが形成される。例えば、導電層41'がTi/Cu膜である場合、Cu膜に対するエッチャントとして酢酸又はアンモニアと過酸化水素との混合溶液を用い、Ti膜に対するエッチャントとしてフッ酸を用い得る。このとき、少なくともTi膜のエッチングにおいて、Ti膜41をCu膜42のパターンの内側に後退させたアンダーカット領域44を形成するようにオーバーエッチングすることが好ましい。アンダーカット領域の幅、すなわち、Ti膜パターン41のCu膜パターン42に対する後退量は、例えば2μmとし得る。このような幅のアンダーカット領域44により、後に形成される第2の絶縁層が再配線40から剥離することを抑制するアンカー効果を得ることができる。

20

【0048】

なお、Cu膜42の粗面加工は、上述のめっき液中の添加剤の濃度管理に加えて、あるいは代えて、図4(a)に示した工程中にその他の化学的処理によって行ってもよい。例えば、レジストパターン46の剥離後にそのような化学的処理を行うことにより、Cu膜42の側面のRaをも増大させ得る。

30

【0049】

次いで、図4(b)に示すように、再配線40の第2ランド部40b上に開口37を有する第2の絶縁層32を形成する。例えば、第1の絶縁層31と同じポリイミド又はフェノール樹脂などの絶縁樹脂を有する第2の絶縁層32がスピニングによって成膜され、フォトリソグラフィによって開口37が形成される。第2の絶縁層32は、好ましくは再配線40上で3μm以上の厚さを有するように形成される。例えば、再配線40が上述のように0.1μm-0.5μmのスパッタTi又はCr膜と、0.1μmのスパッタCu膜と、5μmのめっきCu膜を有する場合、第2の絶縁層32は10μmの厚さに形成され得る。第2の絶縁層32は、上述のように、残留応力及び/又は膜減りの低減の観点から、300℃以下、より好ましくは200℃以下の温度でキュア可能な絶縁樹脂を有する。

40

【0050】

次いで、図4(c)に示すように、第2の絶縁層32のキュア後、導電膜51'及び52'を成膜する。導電膜51'及び52'は、一例において、再配線40の第1導電層41と同様に、それぞれ、スパッタ法によるTi又はCr膜51'及びCu膜52'とし得

50

る。特に、導電膜 5 2 ' 上に Ni 膜が形成される場合、Ni 膜の収縮応力を吸収し得るよう
に、導電膜 5 2 ' は 1 μm 以上の厚さを有する Cu 膜とすることが好ましい。

【0051】

続いて、図 5 (a) に示すように、レジストパターン 5 6 の形成後、電解めっき法によ
って導電膜 5 3 及びはんだ 5 5 ' を形成する。導電膜 5 3 ' は Ni 膜とし得る。他の一例
において、導電膜 5 3 ' は、該膜自体の熱収縮による第 2 の絶縁層 3 2 への影響を低減し
得るよう、Ni 膜に代えて Cu 膜としてもよい。

【0052】

次いで、図 5 (b) に示すよう、レジストパターン 5 6 の剥離後、露出された導電膜 5
2 ' 及び 5 1 ' をエッチングによって除去する。それにより、導電膜 5 1、5 2 及び 5 3
を有する UBM 膜 5 0 が形作られる。

10

【0053】

最後に、図 5 (c) に示すように、はんだリフローにより、はんだ 5 5 ' からはんだバ
ンプ 5 5 を形成する。以上により、図 2 に示した半導体装置 1 0 の形成が完了する。

【0054】

なお、図 5 (a) のはんだ 5 5 ' の形成及び図 5 (c) のはんだリフローの工程を省略
することにより、チップ・オン・チップ実装にて他の半導体装置のはんだバンプに接続さ
れる外部接続パッド (5 0) を有する半導体装置を製造することができる。

【0055】

次に、図 6 及び図 7 を参照して、図 2 に示した半導体装置 1 0 の変形例を説明する。こ
こでは、半導体装置 1 0 と共通する事項の説明は省略あるいは簡略化する。

20

【0056】

図 6 は、一変形例に係る半導体装置 1 0 ' を示している。図 6 (a) は、半導体装置 1
0 ' の一部を概略的に示す上面図であり、図 6 (b) は、図 6 (a) の直線 B - B ' にお
ける断面図を示している。

【0057】

半導体装置 1 0 ' は、半導体装置 1 0 と比較して一層多くの再配線 4 0 に跨る UBM 膜
6 0 及びはんだバンプ 6 5 を有している。このように、UBM 膜 6 0 及び / 又ははんだバ
ンプ 6 5 の下に延在する、該 UBM 膜及び / 又ははんだバンプに電氣的に接続されない再
配線 4 0 の数は特に限定されるものではない。UBM 膜 6 0 は第 1 乃至第 3 の導電膜 6 1
、6 2 及び 6 3 を有している。導電膜 6 1、6 2 及び 6 3 の材料は、それぞれ、半導体装
置 1 0 の導電膜 5 1、5 2 及び 5 3 と同様とし得る。

30

【0058】

なお、図 6 の半導体装置 1 0 ' においては、UBM 膜 6 0 及びはんだバンプ 6 5 がそれ
ぞれ半導体装置 1 0 の UBM 膜 5 0 及びはんだバンプ 5 5 を大径化したものであるかのよ
うに図示した。しかしながら、半導体装置 1 0 ' は半導体装置 1 0 に対して、UBM 膜及
びはんだバンプの大きさは同等あるいはそれより小さいものとし且つ再配線ピッチを縮小
したものと見なしてもよい。

【0059】

図 7 は、他の一変形例に係る半導体装置 1 0 " を示している。図 7 (a) は、半導体装
置 1 0 " の一部を概略的に示す上面図であり、図 7 (b) は、図 7 (a) の直線 B - B '
における断面図を示している。

40

【0060】

半導体装置 1 0 " は、図 2 に示した半導体装置 1 0 の UBM 膜 5 0 に代えて、UBM 膜
7 0 を有している。UBM 膜 7 0 は第 1 乃至第 3 の導電膜 7 1、7 2 及び 7 3 を有して
おり、導電膜 7 1、7 2 及び 7 3 の材料は、それぞれ、半導体装置 1 0 の導電膜 5 1、5 2
及び 5 3 と同様とし得る。半導体装置 1 0 " は、UBM 膜 7 0 と再配線の第 2 ランド部 4
0 b との接続部において、配線基板などに用いられることがある所謂 NSMD (非はんだ
マスク定義) パッドのような構成を有している。具体的には、第 2 の絶縁層 3 2 に外部接
続端子を設けるための開口を形成するとき、該開口は、再配線の第 2 ランド部 4 0 b 上と

50

、該第2ランド部に覆われていない隣接する第1の絶縁層31の部分に跨って形成される。すなわち、該開口は第2ランド部40bの少なくとも1つの側面をも露出させるように形成される。それにより、UBM膜70は該第2ランド部40bに該少なくとも1つの側面においても接合されている。

【0061】

故に、再配線の第2ランド部40bを縮小した場合にも、第2ランド部40bとUBM膜70との接合強度を高めることができる。また、第2ランド部40bを更に縮小すること、例えば、第2ランド部40bを配線部40cと同一の幅とすることが可能であり、UBM膜70の下方に更なる再配線40を通すスペースを作り出し得る。

【0062】

なお、図7(b)においては、UBM膜70の各導電膜の形状を、図2(b)のUBM膜50の各導電膜に対し、第2及び第3の導電膜の形状を維持し、最下層の導電膜の形状のみを変更して示している。しかしながら、UBM膜70の各導電膜の形状はこの限りではなく、再配線40(特に、第2ランド部40b)の幅や第2の絶縁層32に形成される開口の大きさに応じて、第2及び第3の導電膜72及び73、更にははんだバンプ55の形状も変化し得る。

【0063】

以上、実施形態について詳述したが、本発明は特定の実施形態に限定されるものではなく、特許請求の範囲に記載された要旨の範囲内において、種々の変形及び変更が可能である。

【0064】

以上の説明に関し、更に以下の付記を開示する。

(付記1)

複数の電極パッドを有する集積回路と、
前記集積回路上に形成された第1の絶縁層と、
前記第1の絶縁層上に形成され、前記複数の電極パッドに電氣的に接続された複数の再配線を有する再配線層と、
前記再配線層及び前記第1の絶縁層の上に形成され、前記複数の再配線の各々の一部上に開口を有する第2の絶縁層と、
各々が前記開口内及びその周囲の前記第2の絶縁層上に形成され且つ前記再配線層に電氣的に接続された複数の金属膜と、
前記複数の金属膜上に形成された複数のはんだバンプと、を有し、
前記再配線層は、前記第2の絶縁層との接合面の少なくとも一部において100nm以上の中心線平均粗さを有し、且つ前記複数のはんだバンプの少なくとも一部の各々が、該はんだバンプに電氣的に接続されない前記再配線層の再配線に跨る、
ことを特徴とする半導体装置。

(付記2)

前記再配線層は、前記第1の絶縁層上に形成された第1導電層と、該第1導電層上に形成された第2導電層とを有し、前記複数の再配線の各々において、前記第1導電層のパターンの大きさは前記第2導電層のそれより小さい、ことを特徴とする付記1に記載の半導体装置。

(付記3)

複数の電極パッドを有する集積回路と、
前記集積回路上に形成された第1の絶縁層と、
前記第1の絶縁層上に形成され、前記複数の電極パッドに電氣的に接続された複数の配線を有する再配線層と、
前記再配線層及び前記第1の絶縁樹脂層の上に形成され、前記複数の配線の各々の一部上に開口を有する第2の絶縁層と、
各々が前記開口内及びその周囲の前記第2の絶縁層上に形成され且つ前記再配線層に電氣的に接続された複数の金属膜と、を有し、

10

20

30

40

50

前記再配線層は、前記第 2 の絶縁層との接合面の少なくとも一部において 100 nm 以上の中心線平均粗さを有し、且つ前記複数の金属膜の少なくとも一部の各々が、該金属膜に電氣的に接続されない前記再配線層の再配線に跨る、

ことを特徴とする半導体装置。

(付記 4)

前記再配線層は、前記第 1 の絶縁層上に形成された第 1 導電層と、該第 1 導電層上に形成された第 2 導電層とを有し、前記複数の再配線の各々において、前記第 1 導電層のパターンの大きさは前記第 2 導電層のそれより小さい、ことを特徴とする付記 3 に記載の半導体装置。

(付記 5)

10

前記金属膜は Ni 膜を含むことを特徴とする付記 1 乃至 4 の何れか一に記載の半導体装置。

(付記 6)

前記金属膜は Cu 膜及び該 Cu 膜上の Ni 膜を含み、該 Cu 膜は 1 μm 以上の厚さを有する、ことを特徴とする付記 1 乃至 5 の何れか一に記載の半導体装置。

(付記 7)

前記第 2 の絶縁層はフェノール樹脂を有することを特徴とする付記 1 乃至 6 の何れか一に記載の半導体装置。

(付記 8)

前記フェノール樹脂はゴム材料を含有することを特徴とする付記 7 に記載の半導体装置

20

。

(付記 9)

前記第 2 の絶縁層は前記再配線層上で 3 μm 以上の厚さを有することを特徴とする付記 1 乃至 8 の何れか一に記載の半導体装置。

(付記 10)

前記第 2 の絶縁層の前記開口は、前記複数の再配線の各々の一部上と、該一部の周囲の、前記複数の再配線により覆われていない前記第 1 の絶縁層の一部上とに跨って形成されている、ことを特徴とする付記 1 乃至 8 の何れか一に記載の半導体装置。

(付記 11)

複数の電極パッドを有する集積回路上に、前記電極パッド上に第 1 の開口を有する第 1 の絶縁層を形成する工程と、

30

前記第 1 の絶縁層上に、前記複数の電極パッドに電氣的に接続された複数の再配線を有する再配線層を形成する工程であり、該再配線層の表面の少なくとも一部が 100 nm 以上の中心線平均粗さを有するように再配線層を形成する工程と、

前記再配線層及び前記第 1 の絶縁層の上に、前記複数の再配線の各々の一部上に第 2 の開口を有する第 2 の絶縁層を形成する工程と、

前記第 2 の開口内及びその周囲の前記第 2 の絶縁層上に、前記再配線層に電氣的に接続された複数の金属膜を形成する工程と、

前記複数の金属膜上に複数のはんだバンプを形成する工程であり、少なくとも一部のはんだバンプの各々が該はんだバンプに電氣的に接続されない前記再配線層の再配線に跨る

40

ように複数のはんだバンプを形成する工程と、

を有することを特徴とする半導体装置の製造方法。

(付記 12)

複数の電極パッドを有する集積回路上に、前記電極パッド上に第 1 の開口を有する第 1 の絶縁層を形成する工程と、

前記第 1 の絶縁層上に、前記複数の電極パッドに電氣的に接続された複数の再配線を有する再配線層を形成する工程であり、該再配線層の表面の少なくとも一部が 100 nm 以上の中心線平均粗さを有するように再配線層を形成する工程と、

前記再配線層及び前記第 1 の絶縁層の上に、前記複数の再配線の各々の一部上に第 2 の開口を有する第 2 の絶縁層を形成する工程と、

50

前記第 2 の開口内及びその周囲の前記第 2 の絶縁層上に、前記再配線層に電氣的に接続された複数の金属膜を形成する工程であり、少なくとも一部の金属膜の各々が該金属膜に電氣的に接続されない前記再配線層の再配線に跨るように複数の金属膜を形成する工程と

を有することを特徴とする半導体装置の製造方法。

(付記 13)

前記再配線層は、前記第 1 の絶縁層上に形成された第 1 導電層と、該第 1 導電層上に形成された第 2 導電層とを有し、

前記再配線層を形成する工程は、

パターン形成された前記第 2 導電層をマスクとしたエッチングにより、前記複数の再配線の各々において前記第 1 導電層のパターンの大きさが前記第 2 導電層のそれより小さくなるように、前記第 1 導電層をパターニングする工程を有する、

ことを特徴とする付記 11 又は 12 に記載の半導体装置の製造方法。

(付記 14)

前記再配線層は、前記第 1 の絶縁層上に形成された第 1 導電層と、該第 1 導電層上に形成された第 2 導電層とを有し、

前記再配線層を形成する工程は、前記第 2 導電層を電解めっきにより形成し、前記第 2 導電層の表面が 100 nm 以上の中心線平均粗さを有するようにめっき浴中の添加剤の濃度を管理することを有する、

ことを特徴とする付記 11 乃至 13 の何れか一に記載の半導体装置の製造方法。

(付記 15)

前記第 2 導電層は銅を有し、前記めっき浴は、前記添加剤として塩素及び/又はポリアクリルアミドが混入された硫酸銅水溶液を有する、ことを特徴とする付記 14 に記載の半導体装置の製造方法。

(付記 16)

前記第 2 の絶縁層を形成する工程は、絶縁樹脂膜の成膜及びパターニングの後に、該絶縁樹脂膜を 200 以下の温度でキュアする工程を有する、ことを特徴とする付記 11 乃至 15 の何れか一に記載の半導体装置の製造方法。

(付記 17)

前記第 2 の絶縁層はフェノール樹脂を有することを特徴とする付記 15 に記載の半導体装置の製造方法。

(付記 18)

前記金属膜を形成する工程は、1 μm 以上の厚さの Cu 膜を形成する工程と、該 Cu 膜上に電解めっきにより Ni 膜を形成する工程とを含む、ことを特徴とする付記 11 乃至 17 の何れか一に記載の半導体装置の製造方法。

【符号の説明】

【0065】

10 半導体装置

20 半導体基板

21 電極パッド

22 絶縁保護膜

26 絶縁保護膜の開口

31 第 1 の絶縁(樹脂)層

32 第 2 の絶縁(樹脂)層

35 導電性ビア

36 第 1 の絶縁層の開口

37 第 2 の絶縁層の開口

40 再配線(層)

40a 第 1 ランド部

40b 第 2 ランド部

10

20

30

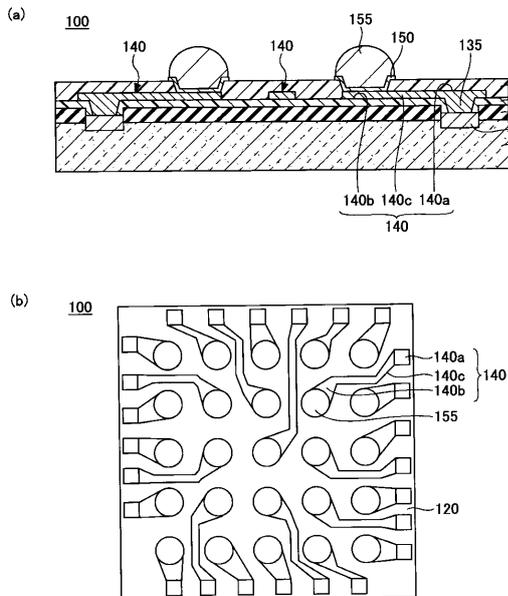
40

50

- 40c 配線部
- 41 再配線の第1導電層
- 42 再配線の第2導電層
- 44 アンダーカット領域
- 46、56 レジストパターン
- 50、60、70 バンプ下金属(UBM)膜
- 51、61、71 UBM膜の第1導電膜
- 52、62、72 UBM膜の第2導電膜
- 53、63、73 UBM膜の第3導電膜
- 55、65 はんだバンプ

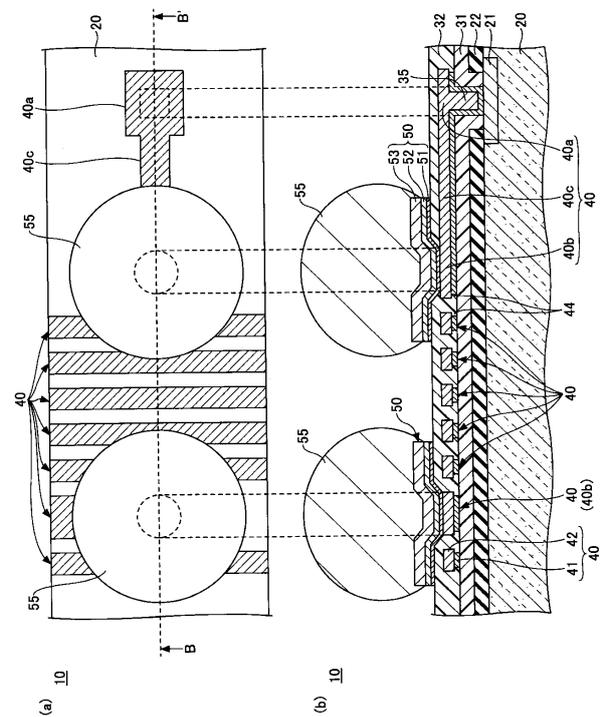
【図1】

従来技術に係る半導体装置を例示する図



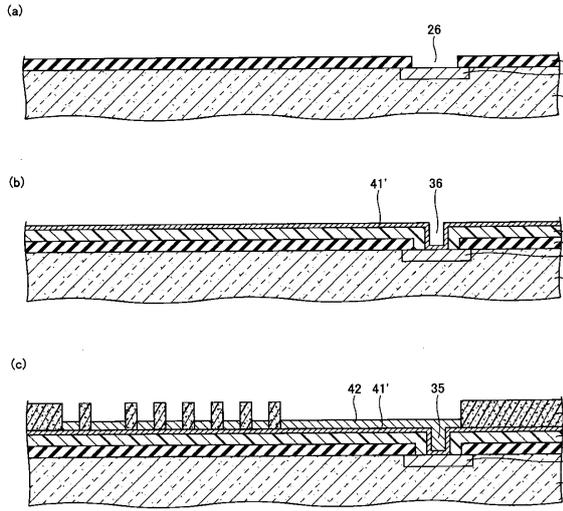
【図2】

一実施形態に係る半導体装置を示す図



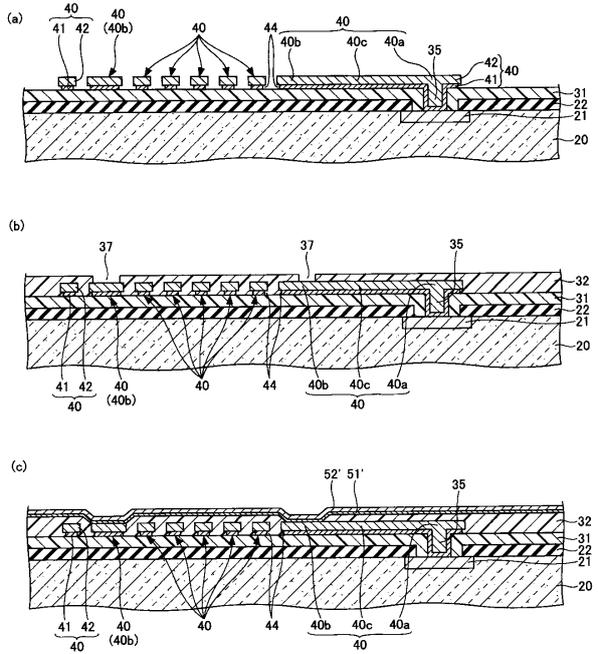
【図3】

図2の半導体装置の製造方法の一例を示す断面図(1)



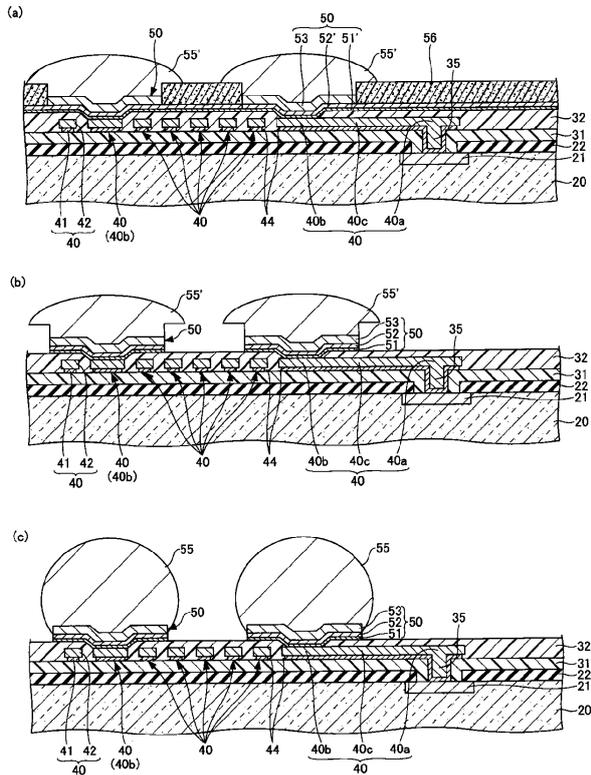
【図4】

図2の半導体装置の製造方法の一例を示す断面図(2)



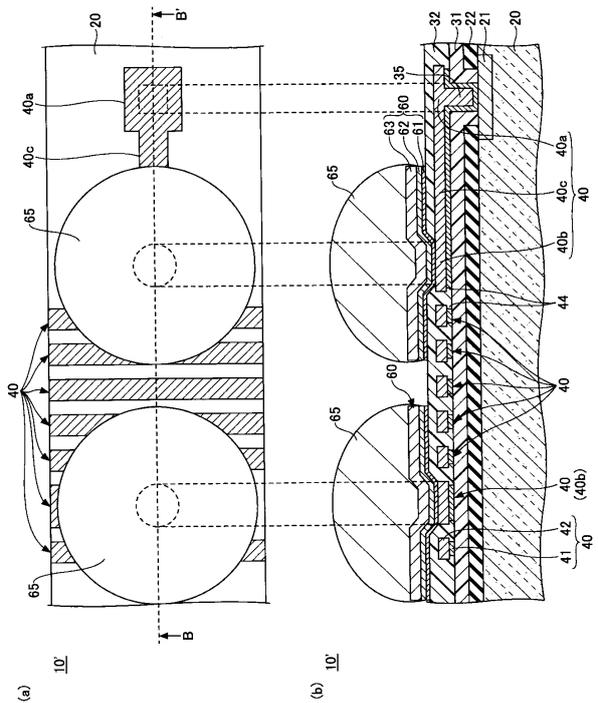
【図5】

図2の半導体装置の製造方法の一例を示す断面図(3)



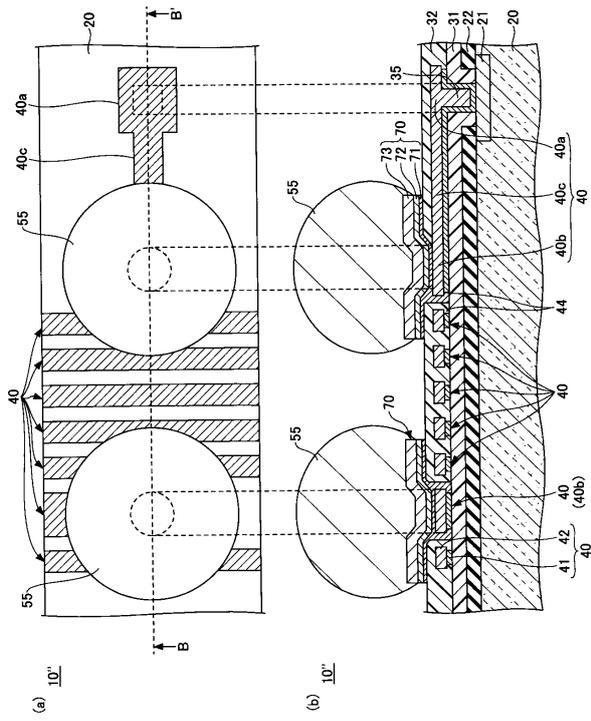
【図6】

図2の半導体装置の一変形例を示す図



【 図 7 】

図2の半導体装置の他の変形例を示す図



フロントページの続き

- (56)参考文献 特開2001-156172(JP,A)
特開2001-024023(JP,A)
特開2009-177072(JP,A)
特開2005-236318(JP,A)
特開2008-172232(JP,A)
特開平05-274947(JP,A)
特開2008-135486(JP,A)
特開2011-077398(JP,A)
特開2010-092930(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12 - 23/15
H01L 23/522
H01L 23/532
H01L 21/3205
H01L 21/3213
H01L 21/60
H01L 21/768
H01L 21/82 - 21/822
H01L 27/04
H01L 27/118