



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년01월12일
<i>G11C 7/06</i> (2006.01)	(11) 등록번호	10-0668497
<i>G11C 7/08</i> (2006.01)	(24) 등록일자	2007년01월08일

(21) 출원번호	10-2005-0106956	(65) 공개번호
(22) 출원일자	2005년11월09일	(43) 공개일자
심사청구일자	2005년11월09일	

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1	
(72) 발명자	박문필 경기 남양주시 화도읍 마석우리 문산주택 나동 202호	
(74) 대리인	김성남	
(56) 선행기술조사문헌	JP2002358778 A	JP2003068073 A
	KR1020040092772 A	KR1020050059790 A
	* 심사관에 의하여 인용된 문헌	

심사관 : 윤난영

전체 청구항 수 : 총 21 항

(54) 비트라인 센스앰프 드라이버를 구비한 반도체 메모리 장치

(57) 요약

고속으로 동작하는 메모리 장치에서, 리프레쉬 동작시에 센스앰프를 오버 드라이빙하기 위한 비트라인 센스앰프 드라이버를 제시한다. 본 발명의 비트라인 센스앰프 드라이버는 외부 전원전압 단자 및 센스앰프 파워라인 신호 출력 단자 간에 접속되고, 리프레쉬 플래그 신호 및 센스앰프 파워라인 인에이블 신호에 의해 구동되어, 리프레쉬 동작시 센스앰프 파워라인 신호 출력 단자에 외부 전원전압을 인가하기 위한 리프레쉬 오버 드라이빙 제어부를 포함한다. 본 발명에 의하면 구동전원이 노이즈로 작용하여 메모리 장치의 고속 동작을 저해하는 것을 방지할 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

센스앰프를 구동시키기 위하여 센스앰프 파워라인 신호를 생성,출력하는 센스앰프 드라이버; 및

상기 센스앰프 파워라인 신호를 출력 단자와 외부 전원전압 단자 사이에 연결되어, 리프레쉬 플래그 신호 및 센스 앰프 파워 라인 인에이블 신호의 입력시 상기 외부 전원전압을 상기 센스앰프 파워라인 신호 출력 단자에 제공하는 리프레쉬 오버 드라이빙 제어부를 포함하는 반도체 메모리 장치.

## 청구항 2.

제 1 항에 있어서,

상기 리프레쉬 오버 드라이빙 제어부는 상기 리프레쉬 플래그 신호 및 센스앰프 파워라인 인에이블 신호에 의해 소정의 펄스 폭을 갖는 리프레쉬 오버 드라이빙 제어 신호를 출력하는 리프레쉬 오버 드라이빙 제어 신호 발생부; 및

상기 리프레쉬 오버 드라이빙 제어 신호 발생부의 출력 신호에 의해 외부 전원전압을 상기 센스앰프 파워라인 신호 출력 단자에 인가하는 드라이버;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 3.

제 2 항에 있어서,

상기 리프레쉬 오버 드라이빙 제어 신호 발생부는 상기 리프레쉬 플래그 신호 및 센스앰프 파워라인 인에이블 신호를 입력으로 하여, 소정의 펄스 폭을 갖는 리프레쉬 오버 드라이빙 제어 신호를 출력하는 논리 소자를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 4.

제 3 항에 있어서,

상기 논리 소자는 NAND 게이트인 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 5.

제 3 항에 있어서,

상기 리프레쉬 오버 드라이빙 제어 신호 발생부는 상기 센스앰프 파워라인 인에이블 신호를 소정 시간 지연시켜 상기 논리 소자로 입력하기 위한 제 1 지연 수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 6.

제 2 항에 있어서,

상기 드라이버는 외부 전원전압 단자 및 상기 센스앰프 파워라인 신호 출력 단자에 접속되어, 상기 리프레쉬 오버 드라이빙 제어 신호에 의해 구동되는 스위칭 소자를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 7.

제 6 항에 있어서,

상기 스위칭 소자는 MOS 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 8.

제 6 항에 있어서,

상기 드라이버는 상기 리프레쉬 오버 드라이빙 제어 신호를 소정 시간 지연시켜, 상기 스위칭 소자의 구동 신호로 출력하기 위한 지연수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 9.

제 5 항에 있어서,

상기 센스앰프 드라이버는 상기 제 1 지연 수단의 출력 신호를 소정 시간 지연시켜 인에이블 신호(SAP)로 출력하기 위한 지연수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 10.

내부 전원전압에 의해 구동되며, 센스앰프를 구동시키기 위하여 센스앰프 파워 라인 출력 신호를 생성하는 센스앰프 드라이버; 및

외부 전원전압 단자 및 상기 센스앰프 드라이버에 제공되는 상기 내부 전원전압 입력 단자 사이에 연결되어, 리프레쉬 플래그 신호 및 센스 앰프 파워 라인 인에이블 신호의 입력시 상기 외부 전원전압을 상기 센스앰프 파워 라인 출력 신호 단자에 제공하는 리프레쉬 오버 드라이빙 제어부를 포함하는 반도체 메모리 장치.

### 청구항 11.

제 10 항에 있어서,

상기 리프레쉬 오버 드라이빙 제어부는 상기 리프레쉬 플래그 신호 및 센스앰프 파워라인 인에이블 신호에 의해 소정의 펄스 폭을 갖는 리프레쉬 오버 드라이빙 제어 신호를 출력하는 리프레쉬 오버 드라이빙 제어 신호 발생부; 및

상기 리프레쉬 오버 드라이빙 제어 신호 발생부의 출력 신호에 의해 외부 전원전압을 상기 내부 전원전압 입력 단자에 인가하는 드라이버;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 12.

제 11 항에 있어서,

상기 리프레쉬 오버 드라이빙 제어 신호 발생부는 상기 리프레쉬 플래그 신호 및 센스앰프 파워라인 인에이블 신호를 입력으로 하여, 소정의 펄스 폭을 갖는 리프레쉬 오버 드라이빙 제어 신호를 출력하는 논리 소자를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 13.

제 12 항에 있어서,

상기 논리 소자는 NAND 게이트인 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 14.

제 12 항에 있어서,

상기 리프레쉬 오버 드라이빙 제어 신호 발생부는 상기 센스앰프 파워라인 인에이블 신호를 소정 시간 지연시켜 상기 논리 소자로 입력하기 위한 제 1 지연 수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 15.

제 11 항에 있어서,

상기 드라이버는 외부 전원전압 단자 및 상기 내부 전원전압 입력 단자에 접속되어, 상기 리프레쉬 오버 드라이빙 제어 신호의 지연 신호에 의해 구동되는 스위칭 소자를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 16.

제 15 항에 있어서,

상기 스위칭 소자는 MOS 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 17.

제 15 항에 있어서,

상기 드라이버는 상기 리프레쉬 오버 드라이빙 제어 신호를 소정 시간 지연시켜, 상기 스위칭 소자의 구동 신호로 출력하기 위한 제 2 지연수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 18.

제 14 항에 있어서,

상기 센스앰프 드라이버는 상기 제 1 지연수단의 출력 신호를 소정 시간 지연시켜 인에이블 신호(SAP)로 출력하기 위한 지연수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 19.

센스앰프를 구동시키기 위하여 센스앰프 파워라인 신호를 생성,출력하는 센스앰프 드라이버; 및

리프레쉬 플래그 신호 및 센스앰프 파워라인 인에이블 신호에 응답하여, 리프레쉬 동작시 상기 센스앰프 드라이버를 구동시키기 위한 상기 센스앰프 파워 라인 신호의 출력 단자에 외부 전원전압을 인가하기 위한 리프레쉬 오버 드라이빙 제어부를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 20.

제 19 항에 있어서,

상기 리프레쉬 오버 드라이빙 제어부는 외부 전원전압 단자 및 센스앰프 파워라인 신호 출력 단자 간에 접속되는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 21.

제 19 항에 있어서,

상기 리프레쉬 오버 드라이빙 제어부는 외부 전원전압 단자 및 내부 전원전압 입력 단자 간에 접속되는 것을 특징으로 하는 반도체 메모리 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 보다 구체적으로는 고속으로 동작하는 메모리 장치에서, 리프레쉬 동작시에 센스앰프를 오버 드라이빙하기 위한 비트라인 센스앰프 드라이버를 구비한 반도체 메모리 장치에 관한 것이다.

그래픽용 메모리 장치인 GDDR4, GDDR5, 그리고 차세대 범용 메모리 장치인 DDR2, DDR3 등은 점점 높은 동작 주파수에 의해 고속화되고 있으며, 고속 동작에 따라 동작 전원의 안정화가 매우 큰 쟁점이 되고 있다. 또한, 동작 전원에 의한 노이즈에 매우 민감하여, 전원 노이즈에 따라 동작 특성이 결정될 정도로 내부 전원의 안정성을 확보하는 것이 중요하다.

일반적인 메모리 장치에서는 비트라인과 비트라인-바를 활성화하는 센스앰프의 구동을 안정적이고 빠르게 하기 위하여, 액티브 동작시 메모리 장치의 내부 전원(VCORE)을 사용하는 센스앰프 드라이버에 순간적으로 외부 전원(VDD)을 인가하는 오버 드라이빙 방식을 사용하였다.

도 1 및 도 2는 일반적인 비트라인 센스앰프의 예시도이다.

비트라인 이퀄라이즈 신호(BLEQ)가 하이(high)인 상태에서는 N-타입 트랜지스터(102, 104, 106)가 턴온되어 센스앰프 파워라인(RTO)과 센스앰프 접지라인(SB)의 전압이 제 1 전압(VBLP)으로 된다. 이후, 액티브 명령이 인에이블되어 BLEQ 신호가 로우(low)가 되고, 워드라인 선택신호가 인에이블되면, 비트라인 쌍(BL, BLb)에 차지 쉐어링(charge sharing)이 개시된다.

비트라인 센싱은 메모리 셀에 의해 비트라인 쌍에 쉐어링된 전하량을 센싱하는 것으로, 이를 위해서는 비트라인 쌍(BL, BLb)에 인가된 전압을 증폭시켜야 하므로, 비트라인 센스앰프 드라이버 인에이블 신호(SAP 및 SAN)를 액티브 상태로 하는데, 제 1 인에이블 신호(SAP)는 로우 레벨로 인가하고 제 2 인에이블 신호(SAN)는 하이 레벨로 인가한다.

이에 따라, P-타입 트랜지스터(108) 및 N-타입 트랜지스터(110)가 각기 턴온되어 센스앰프 파워라인(RTO)의 전압 레벨이 제 1 전압에서 내부 전원 전압(VCORE)에 의한 제 2 전압으로 천이한다. 또한, 센스앰프 접지라인(SB)에 인가되어 있던 전압은 제 1 전압에서 접지전압(VSS)으로 천이한다.

센스앰프 파워라인(RTO) 및 센스앰프 접지라인(SB)에 인가된 전위는 센스앰프의 전원 소스로 되어, 차지 웨어링을 시작한 비트라인 쌍(BL, BLb)의 전압 레벨을 증폭하여 센싱이 수행되도록 한다. 이때, 비트라인 쌍(BL, BLb)에 인가된 전압 레벨의 차이가 일정 값 이상이 되어야 정확한 센싱이 이루어지므로, 오버 드라이빙 제어신호(OVD)를 인에이블시켜 P 타입 트랜지스터(100, 200)를 통해 센스앰프 파워라인(RTO)으로 외부 전원전압(VDD)이 인가되도록 한다.

이때, 오버 드라이빙 제어신호(OVD)에 의해 구동되는 P 타입 트랜지스터(100, 200)는 외부 전원 단자(VDD)와 센스앰프 파워라인 신호 출력 단자(RTO) 간에 접속하거나(도 1의 경우), 외부 전원 단자(VDD)와 내부 전원(VCORE) 입력 단자 간에 접속할 수 있다(도 2의 경우).

하지만, 안정적인 전원 공급이 우선되는 고속 동작 메모리 장치는 이러한 오버 드라이빙 중에 구동 전원이 노이즈로 작용하여 메모리 장치의 특성을 저하시키게 된다. 또한, 오버 드라이빙에 의해 내부 전원의 상승이 유발되어 안정적인 동작을 저해하는 문제가 있다. 즉, 오버 드라이빙시 외부 전원을 순간적으로 사용하게 되고, 이때 사용 전류가 크기 때문에 외부 전원의 전위가 불안정하게 된다. 따라서, 구동 전원 노이즈에 민감한 고속 동작 메모리 장치가 불안정한 외부 전원에 의해 성능 저하 및 에러를 유발하게 되는 것이다.

한편, 고속 동작 메모리 장치의 경우 칼럼 어드레스의 길이가 길지 않으며, 소자 및 공정 기술의 발달에 따라 뱅크가 독립적으로 활성화되는 노멀 동작에서는 오버 드라이빙을 하지 않아도 동작 속도의 열화가 심하지 않으므로 오버 드라이빙을 하지 않아도 무방하다. 그러나, 리프레쉬 동작에서는 메모리 장치의 모든 뱅크가 활성화되므로 내부 전원이 취약해지는 단점이 있으며, 따라서 리프레쉬 동작시에 오버 드라이빙을 수행하여야 메모리 셀의 리스토어를 원활하게 할 수 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 고속 동작 반도체 메모리 장치의 노멀 동작시에는 오버 드라이빙을 수행하지 않고, 리프레쉬 동작시에만 오버 드라이빙을 수행함으로써, 구동 전원에 의한 노이즈를 제거할 수 있는 비트라인 센스앰프 드라이버를 구비한 반도체 메모리 장치를 제공하는 데 그 기술적 과제가 있다.

### 발명의 구성

상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 반도체 메모리 장치는 센스앰프를 구동시키기 위하여 센스앰프 파워라인 신호를 생성, 출력하는 센스앰프 드라이버, 및 상기 센스앰프 파워라인 신호를 출력 단자와 외부 전원전압 단자 사이에 연결되어 리프레쉬 플래그 신호 및 센스 앰프 파워 라인 인에이블 신호의 입력시 상기 외부 전원전압을 상기 센스앰프 파워라인 신호 출력 단자에 제공하는 리프레쉬 오버 드라이빙 제어부를 포함한다.

또한, 본 발명의 다른 실시예에 의한 반도체 메모리 장치는, 내부 전원전압에 의해 구동되며 센스앰프를 구동시키기 위하여 센스앰프 파워 라인 출력 신호를 생성하는 센스앰프 드라이버, 및 외부 전원전압 단자 및 상기 센스앰프 드라이버에 제공되는 상기 내부 전원전압 입력 단자 사이에 연결되어 리프레쉬 플래그 신호 및 센스 앰프 파워 라인 인에이블 신호의 입력시 상기 외부 전원전압을 상기 센스앰프 파워 라인 출력 신호 단자에 제공하는 리프레쉬 오버 드라이빙 제어부를 포함한다.

본 발명의 또 다른 실시예에 의한 반도체 메모리 장치는, 센스앰프를 구동시키기 위하여 센스앰프 파워라인 신호를 생성, 출력하는 센스앰프 드라이버, 및 리프레쉬 플래그 신호 및 센스앰프 파워라인 인에이블 신호에 응답하여, 리프레쉬 동작시 상기 센스앰프 드라이버를 구동시키기 위한 상기 센스앰프 파워 라인 신호의 출력 단자에 외부 전원전압을 인가하기 위한 리프레쉬 오버 드라이빙 제어부를 포함한다.

삭제

삭제

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 구체적으로 설명하기로 한다.

도 3은 본 발명에 의한 비트라인 센스앰프 드라이버의 블록도이다.

도시한 것과 같이, 본 발명에 의한 비트라인 센스앰프 드라이버는 센스앰프 파워라인 인에이블 신호(RTO\_enable) 및 리프레쉬 플래그 신호(Refresh\_flag) 신호에 의해 구동되어, 리프레쉬 동작시 센스앰프 파워라인 신호 출력 단자에 외부 전원전압을 인가하기 위한 리프레쉬 오버 드라이빙 제어부(300) 및 리프레쉬 오버 드라이빙 제어부(300)와 접속되어, 센스앰프를 구동하기 위한 센스앰프 파워라인 신호(RTO) 및 센스앰프 접지라인 신호(SB)를 출력하는 센스앰프 드라이버(400)를 포함한다.

도 4는 본 발명의 일 실시예에 의한 비트라인 센스앰프 드라이버의 회로도이고, 도 5는 본 발명의 다른 실시예에 의한 비트라인 센스앰프 드라이버의 회로도이다.

본 발명의 일 실시예에서, 비트라인 센스앰프 드라이버는 도 4에 도시한 것과 같이 외부 전원전압 단자(VDD)와 센스앰프 파워라인 신호 출력 단자(N1) 간에 접속되고, 리프레쉬 플래그 신호(Refresh\_flag) 및 센스앰프 파워라인 인에이블 신호(RTO\_enable)에 의해 구동되는 리프레쉬 오버 드라이빙 제어부(300)를 포함한다.

본 발명의 다른 실시예에서, 리프레쉬 오버 드라이빙 제어부(300)는 도 5에 도시한 것과 같이, 외부 전원전압 단자(VDD)와 내부 전원전압 입력 단자(N2) 간에 접속하는 것도 가능하다.

보다 구체적으로, 본 발명의 센스앰프 드라이버는 내부 전원전압 단자(VCORE)와 센스앰프 파워라인 신호 출력 단자 간에 접속되어 제 1 인에이블 신호(SAP)에 의해 구동되는 제 1 P 타입 트랜지스터(308), 센스앰프 파워라인 신호 출력 단자와 비트라인 프리차지 전압 공급 단자(VBLP) 간에 접속되어 비트라인 이퀄라이즈 신호(BLEQ)에 의해 구동되는 제 1 N 타입 트랜지스터(302), 센스앰프 접지라인 신호(SB) 출력 단자와 비트라인 프리차지 전압 공급 단자(VBLP) 간에 접속되어 비트라인 이퀄라이즈 신호(BLEQ)에 의해 구동되는 제 2 N 타입 트랜지스터(304), 센스앰프 파워라인 신호 출력 단자와 센스앰프 접지라인 신호 출력 단자 간에 접속되어 비트라인 이퀄라이즈 신호(BLEQ)에 의해 구동되는 제 3 N 타입 트랜지스터(306) 및 센스앰프 접지라인 신호 출력 단자와 접지단자(VSS) 간에 접속되어 제 2 인에이블 신호(SAN)에 의해 구동되는 제 4 N 타입 트랜지스터(309)를 구비하고, 이에 더하여 리프레쉬 오버 드라이빙 제어부(300)를 더 포함한다.

이와 같은 센스앰프 드라이버는 노멀 동작시 내부 전원을 사용하는 인에이블 신호(SAP)에 의해 구동되므로, 외부 전원을 안정화시킬 수 있고, 모든 뱅크가 활성화되는 리프레쉬 동작시에 오버 드라이빙하여 내부 전원이 취약해 지는 것을 방지할 수 있다.

한편, 도 5와 같이 리프레쉬 오버 드라이빙 제어부(300)를 내부 전원(VCORE) 입력 단자에 직접 연결하게 되면, 뱅크의 서브홈마다 리프레쉬 오버 드라이빙 제어부(300)를 추가할 필요가 없으므로 뱅크 레이아웃시 더욱 유리한 이점이 있다.

아울러, 도 4 및 도 5에서 설명한 센스앰프 드라이버의 구성은 이에 한정되지 않고, 센스앰프를 구동할 수 있는 모든 가능한 형태로 구성할 수 있으며, 이에 본 발명의 리프레쉬 오버 드라이빙 제어부(300)를 접속하여 사용할 수 있다.

도 6은 도 4 및 도 5에 도시한 리프레쉬 오버 드라이빙 제어부의 상세 블록도이다.

도시한 것과 같이, 리프레쉬 오버 드라이빙 제어부(300)는 리프레쉬 동작을 개시하기 위한 리프레쉬 플래그 신호(Refresh\_flag)와 센스앰프 파워라인 인에이블 신호(RTO\_enable)에 의해 리프레쉬 오버드라이빙 제어 신호(Refresh\_OVDz)를 생성하는 제어 신호 생성부(310) 및 리프레쉬 오버 드라이빙 제어 신호 생성부의 출력 신호(Refresh\_OVDz)에 의해 외부 전원전압(VDD)을 센스앰프 드라이버로 공급하기 위한 드라이버(320)를 포함하여 이루어진다.

리프레쉬 플래그 신호(Refresh\_flag) 신호는 노멀 동작시에 로우 레벨을 갖고, 리프레쉬 명령이 입력됨에 따라 하이 레벨로 천이하기 때문에, 노멀 동작에서는 센스앰프 드라이버가 오버 드라이빙되지 않고, 오로지 리프레쉬 동작 중에만 오버 드라이빙된다.

따라서, 이러한 리프레쉬 오버 드라이빙 제어부를 사용하게 되면, 노멀 동작에서는 오버 드라이빙을 수행하지 않고, 리프레쉬 동안에만 오버 드라이빙을 하게 됨으로써, 고속 동작에 영향을 주지 않게 된다. 왜냐하면, 리프레쉬 동작 중에는 읽기 및 쓰기 등의 노멀 동작을 하지 않고, 오로지 메모리 셀의 리스토어만 수행되며, 이때 메모리 장치 내의 모든 뱅크가 활성화되므로, 순간적으로 외부 전압을 인가하더라도 노이즈로 작용하지 않게 되는 것이다.

도 7은 도 6에 도시한 리프레쉬 오버 드라이빙 제어부의 상세 회로도이다.

도시한 것과 같이, 리프레쉬 오버 드라이빙 제어 신호 발생부(310)는 리프레쉬 플래그 신호(Refresh\_flag)와 센스앰프 파워라인 인에이블 신호(RTO\_enable)를 입력으로 하여 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)를 출력하는 논리 소자(312)로 이루어지며, 센스앰프 파워라인 인에이블 신호(RTO\_enable)는 제 1 지연수단(314)에 의해 소정 시간 지연시켜 논리 소자(312)로 입력할 수 있다.

여기에서, 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)는 원하는 오버 드라이빙 시간만큼 펄스 폭을 조절할 수 있으며, 이는 제 1 지연수단(314)의 지연 시간을 제어하는 것에 의해 가능하게 된다.

리프레쉬 플래그 신호(Refresh\_flag)는 노멀 동작시에 로우 상태를 갖고, 리프레쉬 명령이 입력되면 하이 상태로 천이한다. 또한, 센스앰프 파워라인 인에이블 신호(RTO\_enable)는 액티브 명령 및 리프레쉬 명령이 입력될 때 하이 상태로 활성화된다. 따라서, 논리소자(312)의 두 입력 신호(Refresh\_flag, RTO\_enable)는 리프레쉬 명령에 의해 하이 레벨로 천이하여 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)를 로우 레벨로 활성화시키게 된다.

한편, 드라이버(320)는 외부 전원전압 단자(VDD)와 센스앰프 파워라인 신호 출력 단자(N1), 또는 내부 전원전압 입력 단자(N2)에 접속되어 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)에 의해 구동되는 스위칭 소자(324)로 이루어진다. 여기에서, 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)는 제 2 지연수단(322)에 의해 소정 시간 지연시켜 스위칭 소자(324)를 구동하도록 할 수도 있다.

리프레쉬 오버 드라이빙 제어 신호 발생부(310)에서 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)가 활성화되었으므로, 이에 의해 스위칭 소자(324)가 턴온되어, 리프레쉬 동작시 센스앰프 파워라인 신호 출력 단자(N1), 또는 내부 전원전압 입력 단자(N2)에 소정 시간 동안 외부 전원전압(VDD)이 인가되게 된다.

이때, 스위칭 소자(324)는 P 타입 트랜지스터 또는 N 타입 트랜지스터와 같은 MOS 트랜지스터로 구현할 수 있다. 특히, 스위칭 소자(324)를 N 타입 트랜지스터로 구현하는 경우 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)의 전위는 외부 전원(VDD)과 N 타입 트랜지스터 항복전압을 합한 전압 이상의 전위를 갖도록 제어해야 한다.

한편, 본 발명에서, 제 1 인에이블 신호(SAP)는 센스앰프 파워라인 인에이블 신호(RTO\_enable)를 제 1 및 제 3 지연 수단(314, 332)에 의해 지연시킨 후 반전수단(334)에 의해 반전시킴으로써 생성하는 것이 바람직하다. 제 3 지연 수단(332)을 추가하는 이유는 센스앰프가 인에이블되기 전에 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)가 미리 스위칭 소자(342)를 턴온시켜, 센스앰프 파워라인 신호 출력 단자(N1) 또는 내부 전원전압 입력 단자(N2)에 외부 전압을 차징하게 되면 보다 효과적인 오버 드라이빙을 할 수 있기 때문이다.

도 8은 본 발명에 의한 비트라인 센스앰프 드라이버를 이용한 리프레쉬 오버 드라이빙 동작을 설명하기 위한 타이밍도이다.

도시한 것과 같이, 리프레쉬 명령이 입력됨에 따라, 시간 t1에 리프레쉬 플래그 신호(Refresh\_flag) 신호가 인에이블되고, 이로부터 수 ns 후인 시간 t2에 센스앰프 파워라인 인에이블 신호(RTO\_enable)가 인에이블된다.

이후, 리프레쉬 플래그 신호(Refresh\_flag)와 센스앰프 파워라인 인에이블 신호(RTO\_enable)의 지연 신호가 논리 소자(312)로 입력되어, 시간 t3에 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)가 출력되고, 이 신호에 의해 스위칭 소자(324)가 구동되어, 센스앰프 파워라인 신호 출력 단자(N1) 또는 내부 전원전압 입력 단자(N2)의 전압이 상승하게 된다.

한편, 시간 t4에 인에이블 신호(SAP)가 출력되어, 리프레쉬 오버 드라이빙 제어 신호(Refresh\_OVDz)에 의해 센스앰프 파워라인 신호 출력 단자(N1), 또는 내부 전원전압 입력 단자(N2)에 외부 전원전압이 차징되고 난 후에 인에이블 신호(SAP)에 의해 센스앰프가 동작하도록 한다.

이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

## 발명의 효과



본 발명에 의하면, 노멀 동작시에는 오버 드라이빙을 수행하지 않고, 전류 소모량이 큰 리프레쉬 동작시에 센스앰프를 오버 드라이빙함으로써, 구동전원이 노이즈로 작용하여 메모리 장치의 고속 동작을 저해하는 것을 방지할 수 있다. 또한, 내부 전원을 안정적으로 공급할 수 있고, 오버 드라이빙으로 인한 내부 전원의 전위 상승을 방지할 수 있어 메모리 장치의 동작 특성을 개선할 수 있다.

### 도면의 간단한 설명

도 1은 일반적인 비트라인 센스앰프 드라이버의 일 예시도,

도 2는 일반적인 비트라인 센스앰프 드라이버의 다른 예시도,

도 3은 본 발명에 의한 비트라인 센스앰프 드라이버의 블록도,

도 4는 본 발명의 일 실시예에 의한 비트라인 센스앰프 드라이버의 회로도,

도 5는 본 발명의 다른 실시예에 의한 비트라인 센스앰프 드라이버의 회로도,

도 6은 도 4 및 도 5에 도시한 리프레쉬 오버 드라이빙 제어부의 상세 블록도,

도 7은 도 6에 도시한 리프레쉬 오버 드라이빙 제어부의 상세 회로도,

도 8은 본 발명에 의한 비트라인 센스앰프 드라이버를 이용한 리프레쉬 오버 드라이빙 동작을 설명하기 위한 타이밍도이다.

<도면의 주요 부분에 대한 부호 설명>

300 : 리프레쉬 오버 드라이빙 제어부

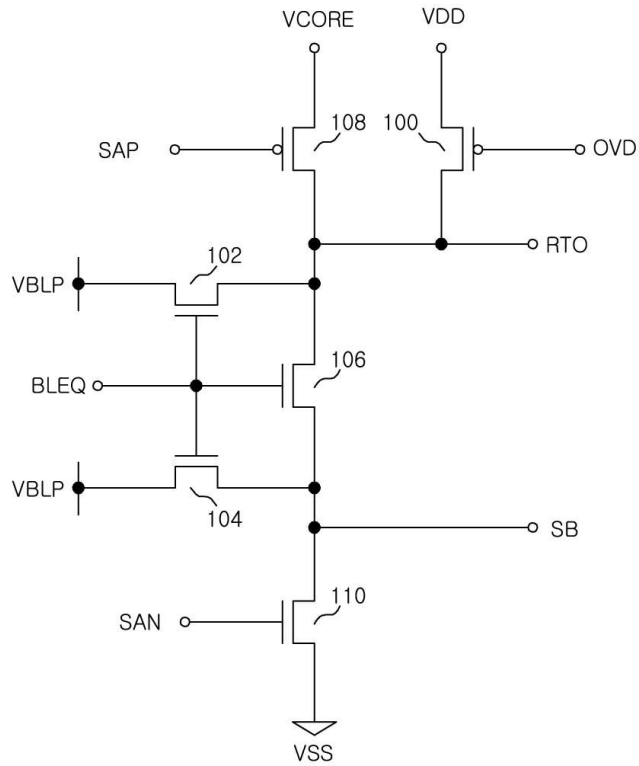
310 : 리프레쉬 오버 드라이빙 제어신호 발생부

320 : 드라이버

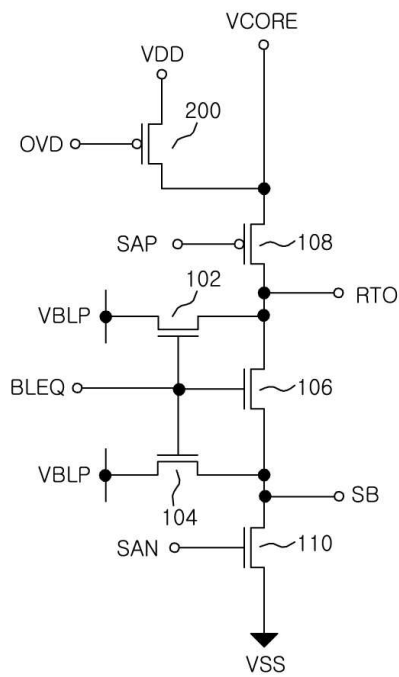
400 : 센스앰프 드라이버

도면

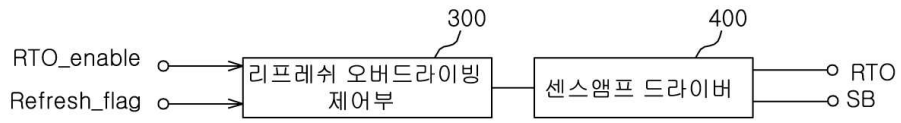
도면1



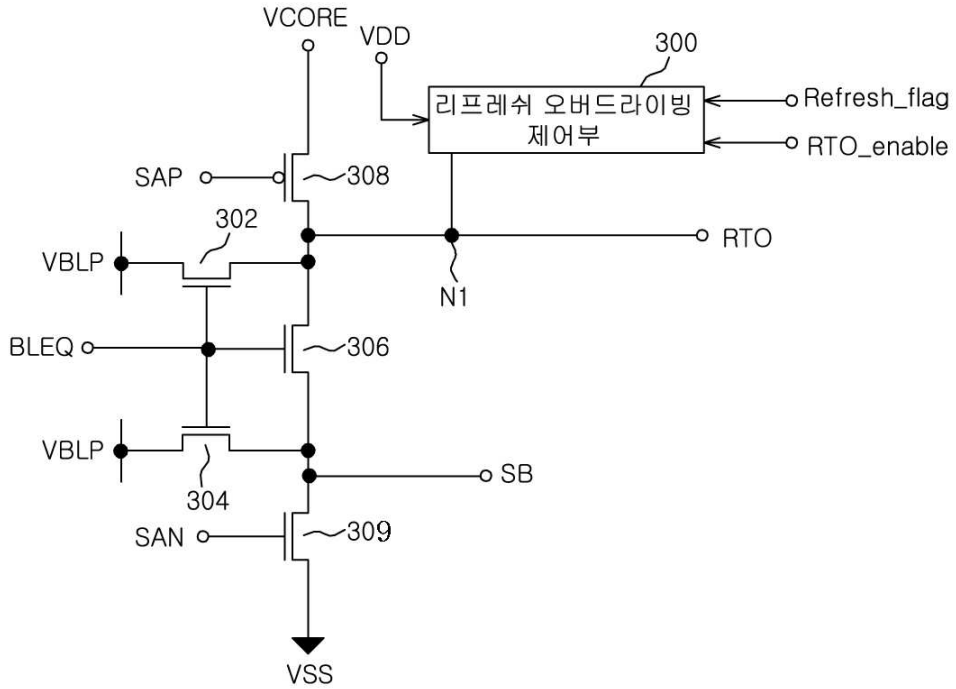
도면2



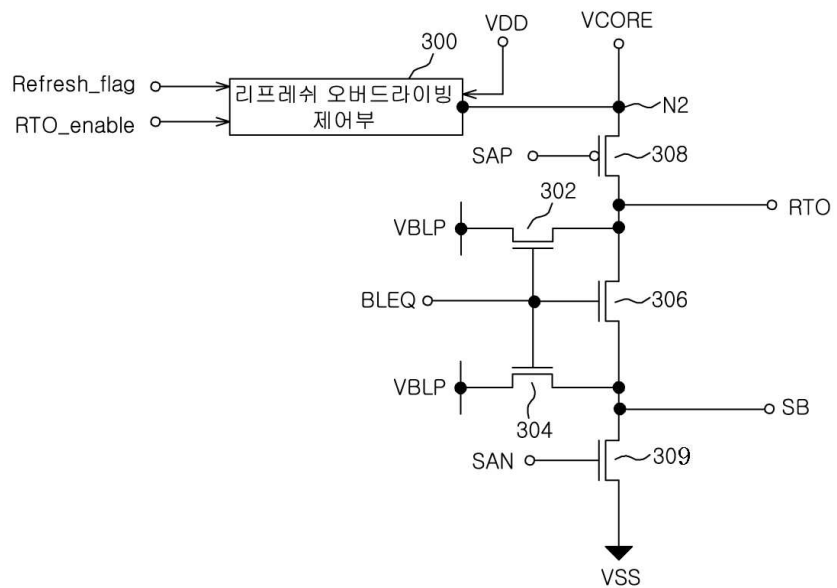
도면3



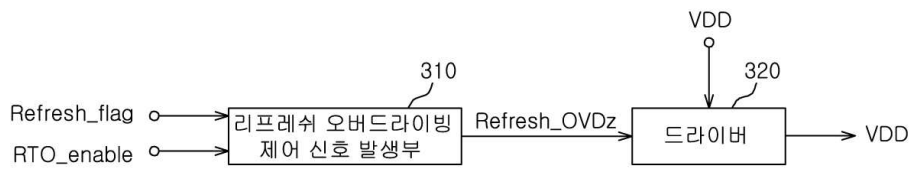
도면4



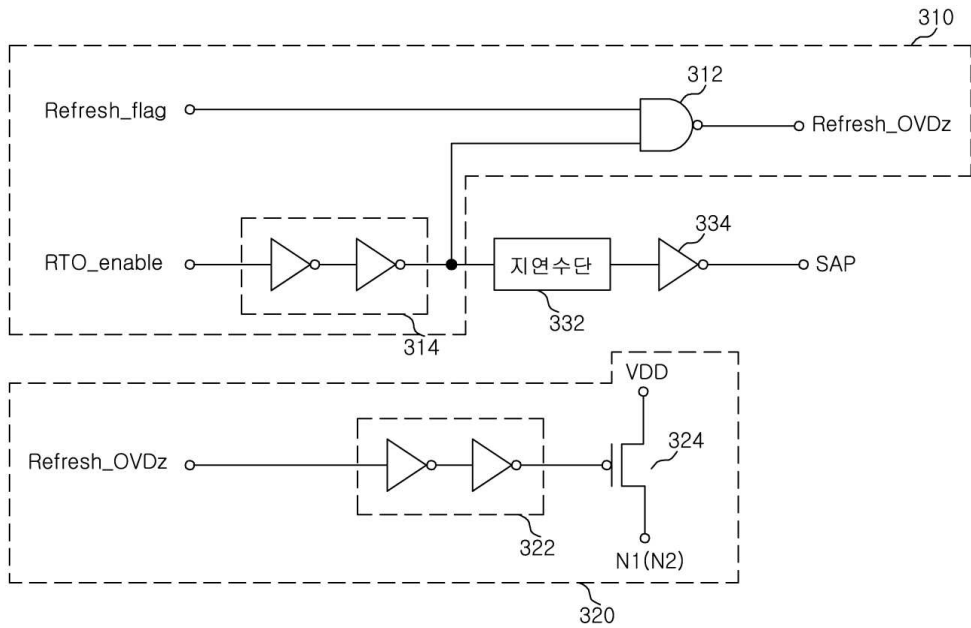
도면5



도면6



도면7



도면8

